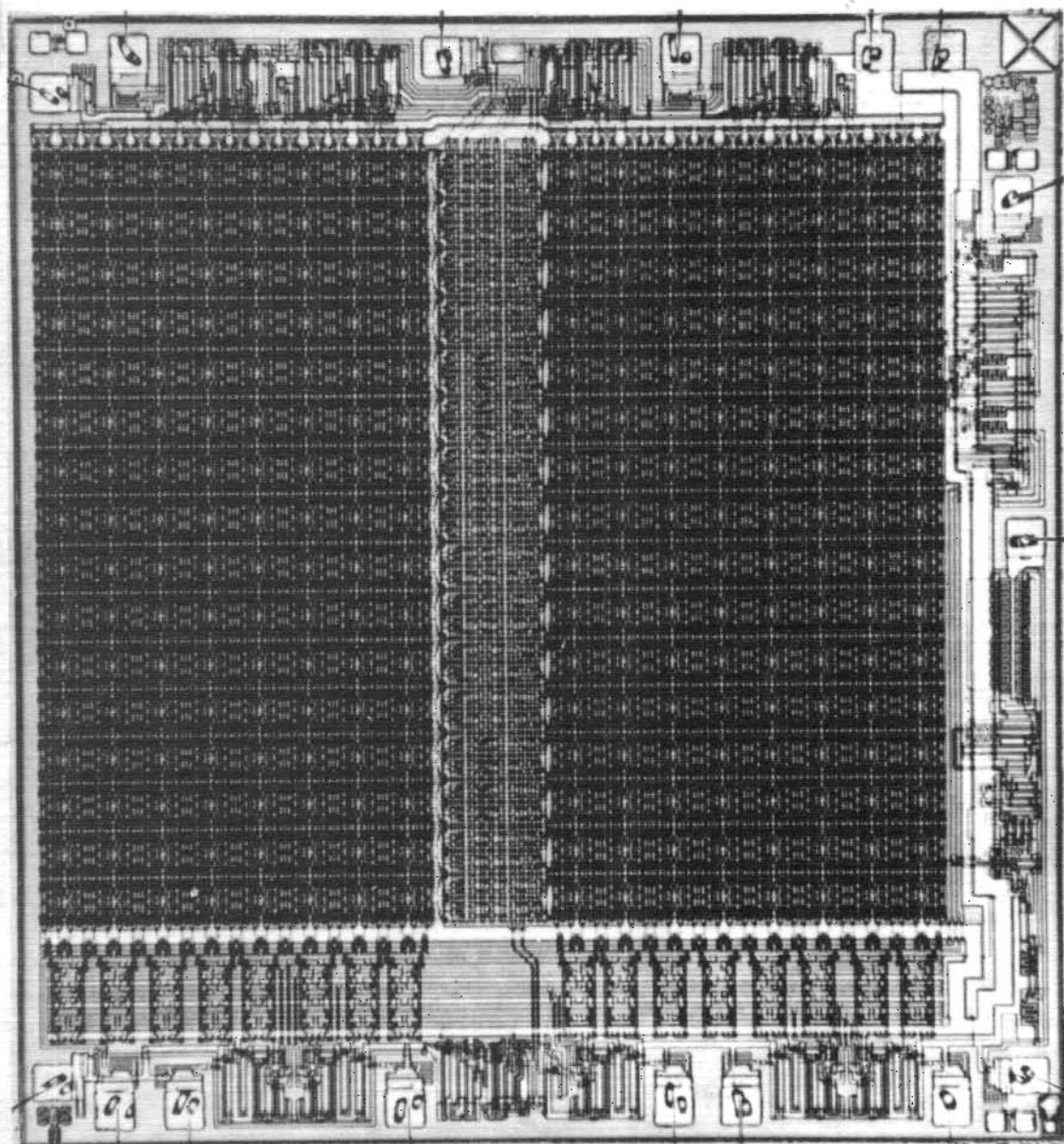


DATENBUCH MIKRORECHNER- SCHALTKREISE



Manfred Kramer / Steffen Würtenberger



**Manfred Kramer
Steffen Würtenberger**

Datenbuch Mikrorechner- schaltkreise



**Militärverlag
der Deutschen Demokratischen
Republik**

Kramer, M.; Würtenberger, S.:
Datenbuch Mikrorechnerschaltkreise. –
1. Auflage, – Berlin:
Militärverlag der DDR (VEB), 1989. –
368 S.: 278 Bilder – (Amateurbibliothek)

ISBN 3-327-00683-0

1. Auflage, 1989
© Militärverlag der Deutschen Demokratischen Republik
(VEB) – Berlin, 1989
Lizenz-Nr. 5
Printed in the German Democratic Republic
Lichtsatz: INTERDRUCK
Graphischer Großbetrieb Leipzig – III/18/97
Druck und buchbinderische Verarbeitung:
Druckerei des Ministeriums für Nationale Verteidigung
(VEB) – 32312-8
Lektor: Wolfgang Stammler
Zeichnungen: Birgit Schepuhl
Typografie: Anne-Katrin Engelstädter
Umschlaggestaltung: R. Lebek
Redaktionsschluß: 31. März 1988
LSV 3539
Bestellnummer: 7471352
01600

Inhaltsverzeichnis

	Vorwort	5
1.	Einleitung	6
2.	Mikroprozessoren	8
2.1.	Mikroprozessor <i>U 880 D</i>	8
2.2.	Mikroprozessor <i>8080A</i>	43
2.3.	16-bit-Mikroprozessor-Schaltkreis <i>UB 8001 C/UB 8002 D</i>	52
2.4.	Mikroprozessor <i>K 1810 WM88 (8088)</i>	85
3.	Speicher	110
3.1.	Programmierbare Nur-Lese-Speicher (PROM)	110
3.1.1.	1024-bit-PROM <i>74S287</i> in <i>Schottky-TTL-Technik</i>	110
3.1.2.	2048-bit-PROM <i>74S571</i> in <i>Schottky-TTL-Technik</i>	112
3.1.3.	4096-bit-PROM <i>93438</i> in <i>Schottky-TTL-Technik</i>	114
3.1.4.	1 kByte EPROM <i>U 555 C</i>	117
3.1.5.	2 kByte EPROM <i>U 2716 C</i>	120
3.1.6.	4 kByte EPROM <i>U 2732 C</i>	125
3.1.7.	8 kByte EPROM <i>K 573 RF4</i>	130
3.1.8.	16 kByte EPROM <i>27128</i>	135
3.1.9.	32 kByte EPROM <i>27256</i>	140
3.1.10.	4 kByte EAROM <i>KR 1601 RRI</i>	145
3.2.	Statische Schreib-Lese-Speicher (SRAM)	148
3.2.1.	64-bit-RAM <i>7489</i> in <i>Schottky-TTL-Technik</i>	148
3.2.2.	256-bit-RAM <i>74S201</i> in <i>TTL-Technik</i>	151
3.2.3.	256-bit-RAM <i>K 155RUS</i> in <i>TTL-Technik</i>	154
3.2.4.	1024-bit-RAM <i>93425</i> in <i>TTL-Technik</i>	157
3.2.5.	4 kbit statischer Schreib-Lese-Speicher <i>U 214 D</i>	159
3.2.6.	4 kbit statischer Schreib-Lese-Speicher <i>U 224 D</i>	164
3.2.7.	4 kbit schneller statischer Schreib-Lese-Speicher <i>U 2148 C</i>	169
3.2.8.	64 kbit statischer Schreib-Lese-Speicher <i>U 6264 D</i>	174
3.2.9.	16 kbit statischer Schreib-Lese-Speicher <i>U 6516 D</i>	179
3.3.	Dynamische Schreib-Lese-Speicher (DRAM)	183
3.3.1.	16 kbit dynamischer Schreib-Lese-Speicherschaltkreis <i>U 256 C/</i> <i>U 256 D</i>	183
3.3.2.	16 kbit dynamischer Schreib-Lese-Speicherschaltkreis <i>K 565 RU6</i>	192
3.3.3.	64 kbit dynamischer Schreib-Lese-Speicherschaltkreis <i>U 2164 C</i>	198
4.	Peripherieschaltkreise	210
4.1.	Parallel-Ein-/Ausgabeschaltkreise <i>UA 855 D, UB 855 D, VB 855 D</i>	210
4.2.	Serielle Ein-/Ausgabeschaltkreise <i>U 856x D</i>	220
4.3.	Zähler-Zeitgeber-Schaltkreis <i>U 857 D</i>	233

4.4.	Programmierbarer Peripherieschaltkreis für direkten Speicherzugriff (DMA) <i>U 858 D</i>	240
4.5.	Schneller 1-aus-8-Binärdekoder '8205	242
4.6.	Universeller 8-bit-Bustreiber '8212	244
4.7.	Interrupt-Steuereinheit '8214	249
4.8.	Bidirektionaler 4-bit-Bustreiber '8216/'8226	253
4.9.	Programmierbarer serieller Schnittstellenschaltkreis '8251A	257
4.10.	Programmierbarer Zähler und Zeitgeber (Timer) <i>KR 580 WI53</i>	268
4.11.	Programmierbarer Ein-/Ausgabeschaltkreis '8255A	272
4.12.	Programmierbarer Interrupt-Controller (PIC) '8259A	282
4.13.	Steuerschaltkreis für Floppy-Disk <i>U 8272 D</i>	290
4.14.	Steuerschaltkreis für Grafik-Display <i>U 82720 DC 04</i>	307
4.15.	8-bit-Bustreiber- und Speicherschaltung '8282/'8283	331
4.16.	Bidirektionale 8-bit-Bustreiber '8286/'8287	333
4.17.	8xD-Flip-Flop-Schaltkreis <i>DL 374 D</i>	335
4.18.	Leitungstreiber-Schaltkreise <i>DL 540 D</i> und <i>DL 541 D</i>	338
4.19.	Systemtaktgenerator <i>DL 8127 D</i>	342
4.20.	Programmierbarer Bildschirm-Controller <i>KR 580 WG75</i>	347
4.21.	Taktgenerator <i>KR 1810 GF84</i>	362

Vorwort

Die Zahl der verfügbaren integrierten Schaltkreise hat in den letzten Jahren merklich zugenommen. Bauelemente mit hohem Integrationsgrad dringen in viele Spezialgebiete der Elektronik ein. Erwähnt sei als Beispiel die Computergrafik, die sich im Moment besonders rasch entwickelt. Für das vorliegende Datenbuch mußte deshalb eine Auswahl getroffen werden, die nach Ansicht der Bearbeiter den Interessen der Elektronikamateure am besten entspricht, so wurden z. B. der Arithmetikprozessor *U 8032 C* und andere im Amateurbereich wenig gebräuchliche Bauelemente aus Platzgründen nicht aufgenommen. Auch ältere Schaltkreise, wie z. B. der Mikroprozessor *U 808 D* und die zugehörigen veralteten Speicher *U 552 C* und *U 202 D* konnten keine Berücksichtigung finden.

Bei der inzwischen erreichten hohen Integrationsdichte der Bauelemente und vor allem durch die häufig vorhandene Programmierbarkeit der Arbeitsweise reichen die technischen Daten wie Schaltzeiten und Spannungspegel für den Entwurf von eigenen Schaltungen nicht mehr aus. Die Daten werden daher durch teilweise recht umfangreiche Beschreibungen ergänzt. Eine Ausnahme bilden hierbei die Speicher- und Interfaceschaltkreise, die zwar ebenfalls einen erstaunlichen Integrationsgrad erreichen, aber durch die festliegende Funktion nur wenige Erläuterungen zusätzlich zu den technischen Daten erfordern.

Viele Bauelemente sind durch ausgeprägte internationale Standardisierung gekennzeichnet, d. h., äquivalente Typen werden in allen Industrieländern gefertigt. Die Bezeichnungen weichen dabei meist nur in einem oder zwei Buchstaben voneinander ab, die technischen Daten stimmen fast immer völlig überein. Es war deshalb nicht notwendig, eine umfangreiche Äquivalenztypenliste aufzunehmen.

Wenn kein verbindlicher Standard vorhanden war oder die Bauelemente nur aus Importen zur Verfügung stehen, wurden die ausführlichsten Unterlagen verwendet, wobei einige erst ins Deutsche übersetzt werden mußten. Vorrang hatte die Aktualität des Bauelements, auch wenn die Daten in Einzelfällen noch Veränderungen durch die Hersteller unterworfen sein können.

Das Buch ist zur Information für Elektronikamateure der DDR vorgesehen. Interessenten aus Industrie und Wirtschaft werden auf die verbindlichen Typenlisten des VEB *Applikationszentrum Elektronik* Berlin verwiesen.

Bei der Bearbeitung eines so umfangreichen Datenmaterials sind Fehler nicht auszuschließen. Mitteilungen dazu sowie sonstige Anregungen und Hinweise werden gern unter folgender Anschrift entgegengenommen:

Manfred Kramer, Postfach 156, Berlin, 1136.

Berlin, im Februar 1988

Steffen Würtenberger

Manfred Kramer, Y2 3VO

1. Einleitung

Gegenüber den bisher gewohnten Datenbüchern in der Reihe »Amateurbibliothek« ist die Datensammlung zu Mikrorechnerschaltkreisen prinzipiell anders aufgebaut. Dazu mußte von den Autoren bei dieser bedeutenden Gruppe von Bauelementen vor allem die Programmierbarkeit der gewünschten Funktion berücksichtigt werden. Eine gewisse Ausnahme bilden die Halbleiterspeicher und die Bustreiber; bei ihnen dürfte es aber auch die wenigsten Probleme beim Einsatz geben.

Grundsätzlich werden nur Schaltkreise beschrieben, die im Wirtschaftsgebiet des RGW produziert und in irgendeiner Form von der Industrie der DDR angewendet werden. Damit ist die Chance gegeben, daß eine größere Anzahl von Amateuren auch über diese Schaltkreise verfügen können.

Die in den eigentlichen ausführlichen Datentabellen verwendeten Formelzeichen sind im allgemeinen eindeutig. Vor allem die dynamischen Kennwerte erklären sich unter Zuhilfenahme der Zeitdiagramme. Nachstehend werden einige häufiger benötigte Abkürzungen erläutert.

ADx	Adreß-/Datenleistungen
ALE	Übernahme Speicheradressen
ALU	Arithmetik-Logik-Einheit
ARDY	Quittung Kanal A
AS	Adreß-Strobe, Adressen gültig
ASTB	Abtastimpuls Kanal A
Ax	Adresseneingänge
B/A	Kanalauswahl
BIU	Bus-Interface-Block
BP	Base Pointer (Basiszeiger)
BRDY	Quittung Kanal B
BUSAK	Bus acknowledge, Busausgabeanerkennung
BUSRQ	Bus request, Busanforderung
BSTB	Abtastimpuls Kanal B
B/W	Byte-/Wort-Zugriffssignal

CAS	Column-Address-Strobe (Spalten-Adressen-Takt)
C, CLK	Takt
C/D	Auswahl Steuerung/Daten
CE	Chip-Enable, Schaltkreisfreigabe
C/TRGx	Takt/Trigger x
CS	Chip Select, Chipauswahl
CS	Codesegment
CTSA,	Sendebereitschaft Kanal A
CTSB	oder Kanal B
DBIN	Dateneingabe
DCDA,	Datenträger erkennt Kanal A
DCBE	oder Kanal B
DEN	Daten gültig
DI	Destination Index (Index des Ziels des Datenverkehrs)
DI	Data Input, Dateneingang
DO	Data Output, Datenausgang
DQx	Datenein- und Datenausgänge
DT/R	Daten senden/empfangen
DTRA,	Bereitschaft Kanal A oder Kanal B
DTRB	
DRAM	dynamic random access memory (dynamischer Schreib-Lese-Speicher)
Dx	Dateneingänge
DS	Datensegment
EAROM	Elektrisch programmierbarer und löschbarer ROM
EPROM	Elektrisch programmierbarer ROM
ES	Extrasegment
EU	Steuerung und Befehlsausführung
E1, E2	Freigabe-Eingänge (Enable)
HALT	Halt-Zustand
HOLD	Datenbusanforderung extern
HOLDA	Quittung für Datenbusanforderung extern
IEI	Interrupt-Freigabe, Eingang
IEO	Interrupt-Freigabe, Ausgabe

INT	Maskierte Interrupt-Anforderung	ROM	read only memory, Nur-Lese-Speicher
INTE	Interrupt erlaubt	RQ/GTx	Bussteuerung extern
INTA	Interruptquittung	RTSA,	Sendeanforderung Kanal A
INTR	Interruptanforderung	RTSB	oder Kanal B
IO/M	Speicherzugriff	R//W	Schreib-/Lese-Leitung
IORQ	Input/Output-Request, Eingabe-Ausgabe-Anforderung	RxDA,	Empfangsdaten Kanal A oder Kanal B
I/O-Schaltung	Input/Output-(Eingangs-/Ausgangs-)Schaltung	RxDB	Empfängertakt Kanal A oder Kanal B
KS0	Kanalauswahl	RxCA,	Empfängertakt Kanal A oder Kanal B
Latch	Zwischenspeicher	RxCB	Empfängertakt Kanal A oder Kanal B
LOCK	Sperre für externe Busanforderung	SEGT	Segmentierungsstrapsignal
MI	Daisy-chain-Eingang (für Multiprocessing)	SI	Source Index (Index der Datenquelle)
MO	Daisy-chain-Ausgang (für Multiprocessing)	SNx	Segmentnummer
MOV	Move (Bewegen)	SP	Stackpointer (Kellerzeiger)
MP	Mikroprozessor	SRAM	static random access memory (statischer Schreib-Lese-Speicher)
MREQ	memory request, Speicheranforderung	SS	Stacksegment
M1	Maschinenzyklus 1	SS0	Status
NMI	Nichtmaskierbarer Interrupt	STOP	Signal zur Einzelbefehl-Verarbeitung
N//S	Normal-/System-Betriebsart	STx	Status-Information
NVI	nichtvektorisierbarer Interrupt	Sx	Status
OE	Output-Enable, Freigabe der Ausgänge	SYNC	Operationscode holen
PUSH	(Schieben)	SYNCA,	externe Synchronisation Kanal A oder Kanal B
POP	(Auftauchen)	SYNCB	Sendertakt Kanal A oder Kanal B
QSx	Status	TxCA,	Sendertakt Kanal A oder Kanal B
Qx	Datenausgänge	TxCB	Sendertakt Kanal A oder Kanal B
RAS	Row-Address-Strobe (Zeilen-Adressen-Takt)	TxDA,	Sendedaten Kanal A oder Kanal B
RD	READ (Lesen)	TxDB	Sendedaten Kanal A oder Kanal B
READY	Fertigmeldung	VI	Vektorisierte Interruptanforderung
Reset	Rücksetzen	WAIT	Wartezustand
RFSH	Refresh, Auffrischen der Information (für dynamische Speicher)	WR, WE	WRITE (Schreiben), Schreib-Lese-Steuerung
		W/RDYA,	Fertigmeldung an CPU von Kanal A oder Kanal B
		W/RDYB	Kanal A oder Kanal B
		XCHG	EXCHANGE (Austauschen)
		ZC/TOx	Nulldurchgang/Zeitgebermeldung x

2. Mikroprozessoren

2.1. Mikroprozessor U 880 D

Vergleichstyp Z 80 Zilog

Kurzbeschreibung

- Typvarianten UA 880 D, UB 880 D und VB 880 D

	Takt- frequenz	Betriebs- temperatur
UA 880 D	4 MHz	$\vartheta_a = 0$ bis 70°C
UB 880 D	2,5 MHz	$\vartheta_a = 0$ bis 70°C
VB 880 D	2,5 MHz	$\vartheta_a = -25$ bis 85°C

- Befehlssatz mit 158 Befehlen mit 16-, 8-, 4- und Einzel-bit-Instruktionen sowie zusätzliche Adressierweisen (indizierte, relative und bit-Adressierung)
- 21 interne Register und Befehlszähler
- 3 schnelle Interrupt-Behandlungsarten und ein zusätzlicher nichtmaskierbarer Interrupt
- 5-V-Einphasentakt
- Betriebsspannung +5 V
- Anschluß von dynamischen und statischen Standardspeicherschaltkreisen
- integrierte dynamische Refresh-Hardware
- Eingänge TTL-kompatibel, Ausgänge können eine Standard-TTL-Last treiben

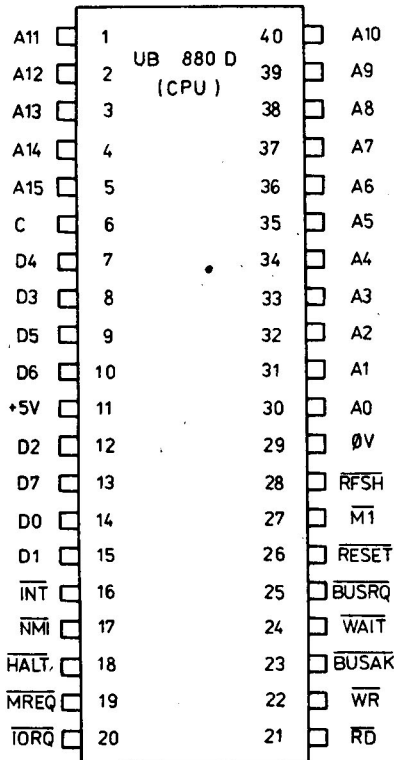


Bild 1
Anschlußbelegung

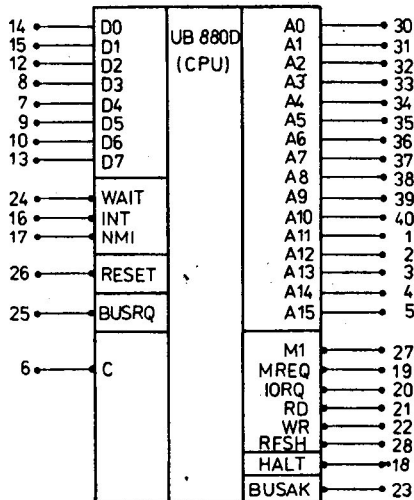


Bild 2
Logiksymbol

Befehlsliste des Schaltkreises

Der folgende Abschnitt enthält die Zusammenfassung des U 880 D-Befehlssatzes. Die Befehle sind logisch zu Gruppen zusammengefaßt. Die Tabelle enthält die mnemotechnische Abkürzung der Assemblersprache, die symbolische Operation, den Inhalt des Flag-Registers, der nach der Ausführung des jeweiligen Befehls auftritt, den aktuellen Operationscode, die Zahl der für jede Operation erforderlichen Bytes und Speicherzyklen sowie die Gesamtzahl der T-Zyklen (externe Takte), die für den Aufruf und die Ausführung jedes Befehls erforderlich sind.

Erklärungen zur Befehlsliste:

L hinter einer Registerbezeichnung kennzeichnet die niederwertigen 8 bit des Registers, H die höherwertigen 8 bit des Registers, z. B. PCH, PCL.

PC Programmzähler (programm counter)

SP Stack pointer

(SP) Inhalt des Stack pointers

M steht für (HL)

Flag-Schreibweise:

Flag nicht beeinflusst X Flag unbestimmt

0 Flag gelöscht ↓ Flag entsprechend dem Ergebnis der Operation gesetzt

1 Flag gesetzt I Inhalt des Interrupt-Freigabe-Flip-Flops (IFF) ist das P/V-Flag überführt

Assembler- sprache	Symbolische Operation	Flags		Operationscode								Bytes M-Zyklen	Takte Bemerkung							
		C	Z	P	V	S	N	H	7	6	5			4	3	2	1	0		
LD r,r	r ← r	0 1 ← r → ← r →	1	4	r ₁ , r ₂ Register 000 B 001 C 010 D 011 E 100 H 101 L 111 A
LD r,n	r ← n	0 0 ← r → 1 1 0 2	2	7	
LD r,M	r ← M	- n -	2	7	
LD r,(IX + d)	r ← (IX + d)	0 1 ← r → 1 1 0 1	5	19	
LD r,(IY + d)	r ← (IY + d)	1 1 0 1 1 1 0 1 3	3	5	
		0 1 ← r → 1 1 0	1	5	
		- d -	3	19	r ₁ , r ₂ stehen für eines der Register A, B, C, D, E, H, L.

2. Mikroprozessoren

Assembler- sprache	Symbolische Operation	Flags		Operationscode								Bytes M-Zyklen	Takte Bemerkung			
		C	Z	7	6	5	4	3	2	1	0					
LD M,r	M ← r	2	7
LD (IX + d),r	(IX + d) ← r	5	19
LD (IY + d),r	(IY + d) ← r	5	19
LD M,n	M ← n	3	10
LD (IX + d),n	(IX + d) ← n	5	19
LD (IY + d),n	(IY + d) ← n	5	19
LD A,(BC)	A ← (BC)	2	7
LD A,(DE)	A ← (DE)	2	7
LD A,(nn)	A ← (nn)	4	13
LD (BC),A	(BC) ← A	2	7
LD (DE),A	(DE) ← A	2	7

LD (nn),A	(nn) ← A	0 0 1 1 0 0 1 0 3	4	13
		- n -		
		- n -		
LDA,I	A ← I	1 1 1 0 1 1 0 1 2	2	9
		0 1 0 1 0 1 1 1		
LDA,R	A ← R	1 1 1 0 1 1 0 1 2	2	9
		0 1 0 1 1 1 1 1		
LDI,A	I ← A	1 1 1 0 1 1 0 1 2	2	9
		0 1 0 0 0 1 1 1		
LDR,A	R ← A*	1 1 1 0 1 1 0 1 2	2	9
		0 1 0 0 1 1 1 1		

16-bit-Ladegruppe

LD dd,nn	dd ← nn	0 0 d d 0 0 0 1 3	3	10	dd Paar
		- n -			00 BC
		- n -			01 DE
LD IX,nn	IX ← nn	1 1 0 1 1 1 0 1 4	4	14	10 HL
		0 0 1 0 0 0 0 1			11 SP
		- n -			
		- n -			
LD IY,nn	IY ← nn	1 1 1 1 1 1 0 1 4	4	14	
		0 0 1 0 0 0 0 1			
		- n -			
		- n -			
LD HL,(nn)	H ← (nn + 1) L ← (nn)	0 0 1 0 1 0 1 0 3	5	16	
		- n -			
		- n -			

2. Mikroprozessoren

Assemblier- sprache	Symbolische Operation	Flags		Operationscode							Bytes M-Zyklen	Takte Bemerkung		
		C	Z	7	6	5	4	3	2	1			0	
LD dd,(nn)	ddH ← (nn + 1) ddL ← (nn)	.	.	1	1	1	0	1	1	0	1	4	6	20
LD IX,(nn)	IXH ← (nn + 1) IXL ← (nn)	.	.	1	1	0	1	1	1	0	1	4	6	20
LD IY,(nn)	IYH ← (nn + 1) IYL ← (nn)	.	.	1	1	1	1	1	0	1	4	6	6	20
LD (nn),HL	(nn + 1) ← H (nn) ← L	.	.	0	0	1	0	0	0	1	0	3	5	16
LD (nn),dd	(nn + 1) ← ddH (nn) ← ddL	.	.	1	1	1	0	1	1	0	1	4	6	20
LD (nn),IX	(nn + 1) ← IXH (nn) ← IXL	.	.	1	1	0	1	1	0	0	1	4	6	20
LD (nn),IY	(nn + 1) ← IYH (nn) ← IYL	.	.	1	1	1	1	1	0	1	4	6	6	20

LD SP,HL	SP ← HL	1 1 1 1 1 1 0 0 1 1	1 1	6
LD SP,IX	SP ← IX	1 1 0 1 1 1 0 1 2	2	10
LD SP,IY	SP ← IY	1 1 1 1 1 1 0 0 1	2	10
PUSH qq	(SP - 2) ← qqL (SP - 1) ← qqH SP ← (SP - 2)	1 1 1 1 1 1 0 1 1	3	11
PUSH IX	(SP - 2) ← IXL (SP - 1) ← IXH SP ← (SP - 2)	1 1 0 1 1 1 0 1 2	4	15
PUSH IY	(SP - 2) ← IYL (SP - 1) ← IYH SP ← (SP - 2)	1 1 1 1 1 1 0 1 2	4	15
POP qq	qqH ← (SP + 1) qqL ← (SP) SP ← (SP + 2)	1 1 q q 0 0 0 1 1	3	10
POPIX	IXH ← (SP + 1) IYL ← (SP) SP ← (SP + 2)	1 1 0 1 1 1 0 1 2	4	14
POPIY	IYH ← (SP + 1) IYL ← (SP) SP ← (SP + 2)	1 1 1 1 1 1 0 1 2	4	14

Anstausch-, Blocktransfer- und Suchgruppe

EX DE,HL	DE ↔ HL	1 1 1 0 1 0 1 1 1	1	4
EX AF	AF ↔ AF'	0 0 0 0 1 0 0 0 1	1	4

qq Paar
00 BC
01 DE
10 HL
11 AF

2. Mikroprozessoren

Assembler- sprache	Symbolische Operation	Flags		Operationscode							Bytes		Takte Bemerkung					
		C	Z	P/V	S	N	H	7	6	5	4	3		2	1	0	M-Zyklen	
EXX	$\begin{pmatrix} BC \\ DE \\ HL \end{pmatrix} \leftrightarrow \begin{pmatrix} BC' \\ DE' \\ HL' \end{pmatrix}$	1	1	0	1	1	0	0	1	1	4	Vertauschung Register- satz/Alternativregistersatz
EX(SF),HL	H ↔ (SP + 1) L ↔ (SP)	1	1	1	0	0	0	1	1	1	5	19
EX(SF),IX	IXH ↔ (SP + 1) IXL ↔ (SP)	1	1	0	1	1	0	1	2	6	23	
EX(SF),IY	IYH ↔ (SP + 1) IYL ↔ (SP)	1	1	1	1	0	1	2	6	23		
LDI	(DE) ← M DE ← DE + 1 HL ← HL + 1 BC ← BC - 1	.	X	↓ ¹⁾	X	0	0	1	1	0	1	1	0	1	2	4	16	
LDIR	(DE) ← M DE ← DE + 1 HL ← HL + 1 BC ← BC - 1	.	X	0	X	0	0	1	1	0	1	1	0	1	2	5	21	wenn BC ≠ 0
LDD	(Wiederholung bis BC = 0) (DE) ← M DE ← DE - 1 HL ← HL - 1 BC ← BC - 1	.	X	↓ ¹⁾	X	0	0	1	1	0	1	1	0	1	2	4	16	wenn BC = 0
LDDR	(DE) ← M DE ← DE - 1 HL ← HL - 1 BC ← BC - 1 (Wiederholung bis BC = 0)	.	X	0	X	0	0	1	1	0	1	1	0	1	2	5	21	wenn BC ≠ 0
		.						1	0	1	1	0	0	0	2	4	16	wenn BC = 0

CPI	A ← M HL ← HL + 1 BC ← BC - 1	↕ ² ↕ ¹) X 1 X	1 1 1 0 1 1 0 1 2 1 0 1 0 0 0 0 1	4	16
CPIR	A ← M HL ← HL + 1 BC ← BC - 1 (Wiederholung bis BC = 0 oder A = M)	↕ ² ↕ ¹) X 1 X	1 1 1 0 1 1 0 1 2 1 0 1 1 0 0 0 1 2	5	21 16
CPD	A ← M HL ← HL - 1 BC ← BC - 1	↕ ² ↕ ¹) X 1 X	1 1 1 0 1 1 0 1 2 1 0 1 0 1 0 0 1	4	16
CPDR	A ← M HL ← HL - 1 BC ← BC - 1 (Wiederholung bis BC = 0 oder A = M)	↕ ² ↕ ¹) X 1 X	1 1 1 0 1 1 0 1 2 1 0 1 1 1 0 0 1 2	5	21 16

8-bit-Arithmetik und logische Gruppe

ADD r	A ← A + r	↕ ↕ V ³) ↕ 0 ↕	1 0 0 0 0 0 ← r → 1	1	4
ADD n	A ← A + n	↕ ↕ V ↕ 0 ↕	1 1 0 0 0 1 1 0 2 - n	2	7
ADD M	A ← A + M	↕ ↕ V ↕ 0 ↕	1 0 0 0 0 1 1 0 1	2	7
ADD (IX + d)	A ← A + (IX + d)	↕ ↕ V ↕ 0 ↕	1 1 0 1 1 1 0 1 3 1 0 0 0 0 1 1 0 - d	5	19
ADD (IY + d)	A ← A + (IY + d)	↕ ↕ V ↕ 0 ↕	1 1 1 1 1 1 0 1 3 1 0 0 0 0 1 1 0 - d	5	19
ADC r	A ← A + r + CY ⁶)	↕ ↕ V ↕ 0 ↕	1 0 0 0 1 ← r → 1 - d	1	4
ADC n	A ← A + n + CY	↕ ↕ V ↕ 0 ↕	1 1 0 0 1 1 1 0 2 - n	2	7

2. Mikroprozessoren

Assembler- sprache	Symbolische Operation	Flags			Operationscode							Bytes M-Zyklen	Takte Bemerkung					
		C	Z	P/V	S	N	H	7	6	5	4			3	2	1	0	
ADCM	$A \leftarrow A + M + CY$	↑	↑	V	↑	0	↓	1	0	0	0	1	1	1	0	1	2	7
ADC (IX + d)	$A \leftarrow A + (IX + d) + CY$	↑	↑	V	↑	0	↓	1	1	0	1	1	1	0	1	3	5	19
ADC (IY + d)	$A \leftarrow A + (IY + d) + CY$	↑	↑	V	↑	0	↓	1	1	1	1	1	0	1	3	5	19	
SUB r	$A \leftarrow A - r$	↑	↑	V	↑	1	↓	1	0	0	1	0	←	r	→	1	1	4
SUB n	$A \leftarrow A - n$	↑	↑	V	↑	1	↓	1	1	0	1	0	1	1	0	2	2	7
SUB M	$A \leftarrow A - M$	↑	↑	V	↑	1	↓	1	0	0	1	0	1	1	0	1	2	7
SUB (IX + d)	$A \leftarrow A - (IX + d)$	↑	↑	V	↑	1	↓	1	1	0	1	1	0	1	3	5	19	
SUB (IY + d)	$A \leftarrow A - (IY + d)$	↑	↑	V	↑	1	↓	1	1	1	1	1	0	1	3	5	19	
SBC r	$A \leftarrow A - r - CY$	↑	↑	V	↑	1	↓	1	0	0	1	1	←	r	→	1	1	4
SBC n	$A \leftarrow A - n - CY$	↑	↑	V	↑	1	↓	1	1	0	1	1	1	0	2	2	7	
SBC M	$A \leftarrow A - M - CY$	↑	↑	V	↑	1	↓	1	0	0	1	1	1	0	1	2	7	
SBC (IX + d)	$A \leftarrow A - (IX + d) - CY$	↑	↑	V	↑	1	↓	1	1	0	1	1	0	1	3	5	19	

Assembler- sprache	Symbolische -Operation	Flags				Operationscode										Bytes M-Zyklen	Takte Bemerkung	
		C	Z	P/V	S	N	H	7	6	5	4	3	2	1	0			
XOR (IX + d)	$A \leftarrow A \cdot (IX + d)$	0	↑	P	↑	0	0	1	1	0	1	1	1	0	1	3	5	19
XOR (IY + d)	$A \leftarrow A \cdot (IY + d)$	0	↑	P	↑	0	0	1	1	1	1	1	0	1	3	5	19	
CMP r	$A - r$	↑	↑	V	↑	1	↑	1	0	1	1	1	1	←	r	→	1	4
CMP n	$A - n$	↑	↑	V	↑	1	↑	1	1	1	1	1	1	0	2	2	7	
CMPM	$A - M$	↑	↑	V	↑	1	↑	1	0	1	1	1	1	0	1	2	7	
CMP (IX + d)	$A - (IX + d)$	↑	↑	V	↑	1	↑	1	0	1	1	0	1	3	5	19		
CMP (IY + d)	$A - (IY + d)$	↑	↑	V	↑	1	↑	1	1	1	1	0	1	3	5	19		
INC r	$r \leftarrow r + 1$	↑	↑	V	↑	0	↑	0	0	0	←	r	→	1	0	1	1	4
INCM	$M \leftarrow M + 1$	↑	↑	V	↑	0	↑	0	0	1	1	0	1	0	1	3	11	
INC (IX + d)	$(IX + d) \leftarrow (IX + d) + 1$	↑	↑	V	↑	0	↑	1	1	0	1	1	0	1	3	6	23	
INC (IY + d)	$(IY + d) \leftarrow (IY + d) + 1$	↑	↑	V	↑	0	↑	1	1	1	1	1	0	1	3	6	23	
DEC r	$r \leftarrow r - 1$	↑	↑	V	↑	1	↑	0	0	0	←	r	→	1	0	1	1	4

Assembler- sprache	Symbolische Operation	Flags				Operationcode										Bytes M-Zyklen	Takte Bemerkung		
		C	Z	P/V	S	N	H	7	6	5	4	3	2	1	0				
IMO	Setzen der Interrupt-Mode 0	1	1	1	0	1	1	0	1	2	2	8	
IM1	Setzen der Interrupt-Mode 1	1	1	1	0	1	1	0	1	2	2	8	
IM2	Setzen der Interrupt-Mode 2	1	1	1	0	1	1	0	1	2	2	8	
16-bit-Arithmetik																			
ADD HL,dd	HL ← HL + dd	↓	.	.	.	0	X	0	0	0	d	d	1	0	0	1	1	3	11
ADC HL,dd	HL ← HL + dd + CY	↑	↑	V	↑	0	X	1	1	1	0	1	1	0	1	2	4	15	
SBC HL,dd	HL ← HL - dd - CY	↑	↑	V	↑	1	X	1	1	1	0	1	1	0	1	2	4	15	
ADD IX,pp	IX ← IX + pp	↑	.	.	.	0	X	1	1	0	1	1	1	0	1	2	4	15	
ADD IY,pp	IY ← IY + pp	↑	.	.	.	0	X	1	1	1	1	1	1	0	1	2	4	15	
INC dd	dd ← dd + 1	0	0	0	p	p	1	0	0	1	1	6	pp Register 00 BC 01 DE 10 IX/IY 11 SP
INC IX	IX ← IX + 1	1	1	0	1	1	1	0	1	2	2	10	
INC IY	IY ← IY + 1	1	1	1	1	1	1	0	1	2	2	10	
DEC dd	dd ← dd - 1	0	0	0	0	0	0	1	1	1	1	6	
DEC IX	IX ← IX - 1	1	1	0	1	1	1	0	1	2	2	10	

Assembler- sprache	Symbolische Operation	Flags		Operationcode							Bytes M-Zyklen	Takte Bemerkung								
		C	Z	P	V	S	N	H	7	6			5	4	3	2	1	0		
RL (IX + d)		↑	↑	P	↑	↑	0	0	1	1	0	1	1	1	0	1	4	6	23	
									0	1	0	0	1	0	1	1				
									0	0	0	1	0	1	1	0				
RL (IY + d)		↑	↑	P	↑	↑	0	0	1	1	1	1	1	1	0	1	4	6	23	
									1	1	0	0	1	0	1	1				
									0	0	0	1	0	1	1	0				
RRCr		↑	↑	P	↑	↑	0	0	1	0	1	1	1	1	0	2	2	8		zyklische Verschiebung Register, rechtsherum
RRCM		↑	↑	P	↑	↑	0	0	1	0	1	1	1	1	0	2	4	15		
									0	0	0	0	1	1	1					
RRC (IX + d)		↑	↑	P	↑	↑	0	0	1	1	1	1	1	1	0	4	6	23		
									1	1	0	0	1	0	1					
									0	0	0	0	1	1	1					
RRC (IY + d)		↑	↑	P	↑	↑	0	0	0	1	1	1	1	1	0	4	6	23		
									0	0	0	0	1	1	1					
									0	0	0	0	1	1	1					
RRr		↑	↑	P	↑	↑	0	0	1	0	1	1	1	1	0	2	8			Zyklische Verschiebung Register, nach rechts
									1	1	0	0	1	0	1					
									0	0	0	1	1	1	0					
RRM		↑	↑	P	↑	↑	0	0	1	0	1	1	1	1	0	4	15			
									1	1	0	0	1	1	1					
									0	0	0	1	1	1	0					
RR (IX + d)		↑	↑	P	↑	↑	0	0	1	1	1	1	1	1	0	6	23			
									1	1	0	0	1	0	1					
									0	0	0	1	1	1	1					
									0	0	0	1	1	1	1					

Assembler- sprache	Symbolische Operation	Flags		Operationcode							Bytes M-Zyklen	Takte Bemerkung					
		C	Z	7	6	5	4	3	2	1			0				
SRL M		↑	↑	P	↓	0	0	1	1	0	0	1	1	2	4	15	
SRL (IX + d)		↑	↑	P	↓	0	0	1	1	0	1	1	1	0	6	23	
SRL (IY + d)		↑	↑	P	↓	0	0	1	1	1	1	1	1	0	6	23	
RLD		↑	↓	P	↓	0	0	1	1	0	1	1	1	1	5	18	
RRD		↑	↓	P	↓	0	0	1	1	0	1	1	1	1	5	18	
																zyklische Zahlenverschie- bung links und rechts zwi- schen AC und M, Inhalt der oberen Hälfte des AC wird nicht beeinflusst	
Gruppe bit setzen, löschen und testen																	
BIT b,r	$Z \leftarrow \bar{I}_b^r$	↑	X	X	0	1	1	1	0	0	1	0	1	1	2	8	r Register
BIT b,M	$Z \leftarrow \bar{M}_b$	↑	X	X	0	1	0	1	0	0	1	0	1	1	2	3	000 B 001 C 010 D
BIT b,(IX + d)	$Z \leftarrow \overline{(IX + d)}_b$	↑	X	X	0	1	1	1	0	1	1	1	0	1	4	5	011 E 100 H 101 L 111 A

2. Mikroprozessoren

Assemblersprache	Symbolische Operation	Flags		Operationscode								Bytes		Takte Bemerkung	
		C	Z	7	6	5	4	3	2	1	0	M-Zyklen			
Befehlsgruppe Sprünge⁷⁾															
JMP nn	PC ← nn	cc 000 NZ nicht Null 001 Z Null 010 NC kein Übertrag 011 C Übertrag
JP cc,nn	wenn Bedingung cc wahr ist, PC ← nn, sonst weiter	100 PO unpaarig 101 PE paarig 110 P Vorzeichen positiv 111 N Vorzeichen negativ
JRe	PC ← PC + e	111 N Vorzeichen negativ
JRCe	wenn C = 0, kein Sprung; wenn C = 1, PC ← PC + e	Bedingung nicht erfüllt Bedingung erfüllt
JRNce	wenn C = 1, kein Sprung; wenn C = 0, PC ← PC + e	Bedingung nicht erfüllt Bedingung erfüllt
JRZe	wenn Z = 0, kein Sprung; wenn Z = 1, PC ← PC + e	Bedingung nicht erfüllt Bedingung erfüllt
JRNZe	wenn Z = 1, kein Sprung; wenn Z = 0, PC ← PC + e	Bedingung nicht erfüllt Bedingung erfüllt
JMP M	PC ← M	4
JMP (IX)	PC ← IX	8
JMP (IY)	PC ← IY	8

DJNZe B ← B - 1 wenn B = 0, kein Sprung; wenn B ≠ 0, PC ← PC + e

0	0	0	1	0	0	0	0	2	2	8	wenn B = 0
-	e	-	2	-	-	-	-	2	3	13	wenn B ≠ 0

Befehlsgruppe Unterprogrammaufruf und Rücksprung

CALL nn (SP - 1) ← PCH (SP - 2) ← PCL PC ← nn SP ← SP - 2

1	1	0	0	1	1	0	1	3	5	17	000 00H 100 20H 001 08H 101 28H 010 10H 110 30H 011 18H 111 38H
---	---	---	---	---	---	---	---	---	---	----	--

CA cc nn wenn Bedingung cc falsch ist, kein Sprung; sonst wie CALL nn

1	1	c	c	1	0	0	3	3	10	wenn cc falsch ist	
-	n	-	-	-	-	-	-	3	5	17	wenn cc wahr ist

RET PCL ← (SP) PCH ← (SP + 1) SP ← SP + 2

1	1	0	0	1	0	0	1	1	3	10	wenn cc falsch ist
---	---	---	---	---	---	---	---	---	---	----	--------------------

Rcc wenn Bedingung cc falsch ist, kein Sprung; sonst wie RET

1	1	c	c	0	0	0	1	1	5	wenn cc falsch ist	
1	1	1	1	0	0	0	1	1	3	11	wenn cc wahr ist

RETI Rücksprung vom Interrupt

1	1	0	1	1	0	1	2	4	14	cc Bedingung
0	1	0	0	1	1	0	1			000 NZ nicht Null

RETN Rücksprung vom nicht maskierbaren Interrupt

1	1	1	0	1	1	0	1	2	4	14	001 Z Null 010 NC kein Übertrag 011 C Übertrag
---	---	---	---	---	---	---	---	---	---	----	--

RST p (SP - 1) ← PCH (SP - 2) ← PCL PCH ← 0 PCL ← p SP ← SP - 2

1	1	←	t	→	1	1	1	1	3	11	100 PO unpaarig 101 PE paarig 110 P Vorzeichen positiv
1	1	M									111 M Vorzeichen negativ

2. Mikroprozessoren

Assembler- sprache	Symbolische Operation	Flags		Operationscode							Bytes M-Zyklen	Takte Bemerkung						
		C	Z	7	6	5	4	3	2	1			0					
Befehlsgruppe Ein- und Ausgabe																		
IN n	$A \leftarrow (n)$	1	1	0	1	1	0	1	1	2	3	11	n zu A0 bis A7 AC zu A8 bis A15
IN r	$r \leftarrow (C)$.	↓	P	↑	0	0	1	1	0	1	1	0	1	2	3	12	C zu A0 bis A7 B zu A8 bis A15
INF	wenn $r = 110$, werden nur Flags ge- stellt	.					0	1	←	r	→	0	0	0	0			
INI	$M \leftarrow (C)$ $B \leftarrow B - 1$ HL ← HL + 1	.	↕	X	X	1	X	1	1	0	1	1	0	1	2	4	16	C zu A0 bis A7 B zu A8 bis A15
INIR	$M \leftarrow (C)$ $B \leftarrow B - 1$ HL ← HL + 1 Wiederholung bis $B = 0$.	1	X	X	1	X	1	1	0	1	1	0	1	2	5	21	C zu A0 bis A7 B zu A8 bis A15
IND	$M \leftarrow (C)$ $B \leftarrow B - 1$ HL ← HL - 1	.	↕	X	X	1	X	1	1	0	1	1	0	1	2	4	16	C zu A0 bis A7 B zu A8 bis A15
INDR	$M \leftarrow (C)$ $B \leftarrow B - 1$ HL ← HL - 1 Wiederholung bis $B = 0$.	1	X	X	1	X	1	1	0	1	1	0	1	2	5	21	C zu A0 bis A7 B zu A8 bis A15
OUT n	$(n) \leftarrow A$	1	1	0	1	0	0	1	1	2	3	11	n zu A0 bis A7 AC zu A8 bis A15
OUT r	$(C) \leftarrow r$	1	1	1	0	1	1	0	1	2	3	12	C zu A0 bis A7 B zu A8 bis A15

OUTI	(C) ← M B ← B - 1 HL ← HL + 1	↕ ⁸⁾ X X 1 X	1 1 1 0 1 1 0 1 1 1 1 0 1 0 0 0 1 1 1	4	16	C zu A0 bis A7 B zu A8 bis A15
OTIR	(C) ← M B ← B - 1 HL ← HL + 1 Wiederholung bis B = 0	1 X X 1 X	1 1 1 0 1 1 0 1 1 1 1 0 1 1 0 0 1 1 2	5 B ≠ 0 4 B = 0	21	C zu A0 bis A7 B zu A8 bis A15
OUTD	(C) ← M B ← B - 1 HL ← HL - 1	↕ ⁸⁾ X X 1 X	1 1 1 0 1 1 0 1 1 1 1 0 1 0 1 0 1 1 1	4	16	C zu A0 bis A7 B zu A8 bis A15
OTDR	(C) ← M B ← B - 1 HL ← HL - 1 Wiederholung bis B = 0	1 X X 1 X	1 1 1 0 1 1 0 1 1 1 1 0 1 1 1 0 1 1 2	5 B ≠ 0 4 B = 0	21	C zu A0 bis A7 B zu A8 bis A15

1) P/V-Flag ist 0, wenn das Ergebnis von $BC - 1 = 0$, sonst $P/V = 1$.

2) Z-Flag ist 1, wenn $A = (M)$, sonst $Z = 0$.

3) Das V-Symbol in der P/V-Flag-Spalte bedeutet, daß das P/V-Flag den Überlauf des Ergebnisses einer Operation enthält. Ebenso weist das Symbol P auf die Parität hin. $V = 1$ bedeutet Überlauf, $V = 0$ kein Überlauf, bei $P = 1$ ist das Ergebnis paarg, bei $P = 0$ unpaarg.

4) CY ist das Übertrags-Flag.

5) IFF1 ist das Interrupt-Annahme-Flip-Flop, IFF2 das Interrupt-Zwischenspeicher-Flip-Flop.

6) Die Schreibweise s_b bezeichnet bit b (0 bis 7) des Speicherplatzes s.

7) e kennzeichnet die Abstandsabgabe in der relativen Adressierungsart, bezogen auf das 1. Byte des Sprungbefehls. e ist ein Zweierkomplement mit Vorzeichen im Bereich von -126 bis +129.

8) Wenn $B - 1 = 0$, wird das Z-Flag gesetzt, sonst ist es gelöscht. e - 2 gibt im Operationscode die tatsächliche Adresse $PC + e$ an, da der Befehlszähler vor der Addition von e um 2 erhöht wurde.

2. Mikroprozessoren

Beschreibung der Anschlüsse

Anschluß	Funktion	Beschreibung
A0 bis A15	16-bit Adreßbus	<ul style="list-style-type: none">- Tri-State-Ausgänge- liefern Adressen für externe Speicher (max. 64 kByte) und E/A-Bausteine
D0 bis D7	8-bit-bidirektionaler Datenbus	<ul style="list-style-type: none">- Tri-State-Ein-/Ausgänge- Datenaustausch zwischen CPU und Speicher bzw. CPU und E/A-Bausteinen
M1	Maschinenzyklus 1	<ul style="list-style-type: none">- Tri-State-Ausgang, low aktiv- bei M1 aktiv ist der laufende Maschinenzyklus der Operationscode-Lesezyklus der momentan auszuführenden Anweisung- Bestätigung der Interruptanforderung (nur zusammen mit IORQ aktiv)
MREQ	Speicheranforderung (»Memory Request«)	<ul style="list-style-type: none">- Tri-State-Ausgang, low aktiv- Speicherzugriff (Lesen oder Schreiben)
IORQ	E/A-Anforderung (»Input/Output-Request«)	<ul style="list-style-type: none">- Tri-State-Ausgang, low aktiv- niederwertige 8 bit des Adreßbusses liefern Adresse zur E/A-Torauswahl (Ein- oder Ausgabe)- Bestätigung der Interruptanforderung (nur zusammen mit M1 aktiv)
RD	Lesen (»Read«)	<ul style="list-style-type: none">- Tri-State-Ausgang, low aktiv- Lesen der Daten vom Speicher oder von einem E/A-Baustein
WR	Schreiben (»Write«)	<ul style="list-style-type: none">- Tri-State-Ausgang, low aktiv- CPU hält Daten für Speicher oder E/A-Baustein auf Datenbus bereit
RFSH	Auffrischen der Information (»Refresh«)	<ul style="list-style-type: none">- Tri-State-Ausgang, low aktiv- niederwertige 7 bit des Adreßbus führen Refreshadresse für dynamische Speicher- Verwendung der laufenden MREQ-Signale zur Einleitung eines Refreshzyklus für alle angeschlossenen Speicher
HALT	Halt-Zustand (»Halt«)	<ul style="list-style-type: none">- Ausgang, low aktiv- CPU im (Software-)Halt-Zustand- zur weiteren Programmbearbeitung ist Interrupt-Signal nötig- CPU führt zur Sicherstellung des Refresh-Vorganges Leerbefehle (NOPs) aus
WAIT	Warte-Anforderung (»WAIT«)	<ul style="list-style-type: none">- Eingang, low aktiv- Warten der CPU bis Speicher oder E/A-Schaltung bereit
INT	Maskierte Interrupt-Anforderung (»Interrupt-Request«)	<ul style="list-style-type: none">- Eingang, low aktiv- Unterbrechungsanforderung an die CPU (wird erst nach Abarbeitung des in Ausführung befindlichen Befehls berücksichtigt)

Anschluß	Funktion	Beschreibung
NMI	nichtmaskierbare Interrupt-Anforderung («nonmaskable Interrupt»)	<ul style="list-style-type: none"> - Eingang, low aktiv - Interrupt höherer Priorität - bei Anlegen eines Low-Signals an NMI wird entsprechend einer RESTART-Instruktion die Programmbehandlung bei Speicheradresse 0066 H fortgesetzt
RESET	Rücksetzen («Reset»)	<ul style="list-style-type: none"> - Eingang, low aktiv - Rücksetzen von Interrupt-Freigabe Flip-Flop, Befehlszähler, Register I und R - CPU in Interruptbetriebsart 0 während RESET aktiv - Daten- und Adreßbus hochohmig, die übrigen Ausgänge inaktiv
BUSRQ	Bus-Anforderung («Bus-Request»)	<ul style="list-style-type: none"> - Eingang, low aktiv - Adreß-, Daten- und Steuerbus hochohmig, so daß diese Leitungen von externen Schaltungen benutzt werden können
BUSAK	Bus-Anforderungsbestätigung («Bus-Acknowledgement»)	<ul style="list-style-type: none"> - Ausgang, low aktiv - Bestätigung, daß Adreß-, Daten- und Steuerbus in hochohmigem Zustand sind
C	Systemtakt	- Takteingang für einphasigen TTL-Takt

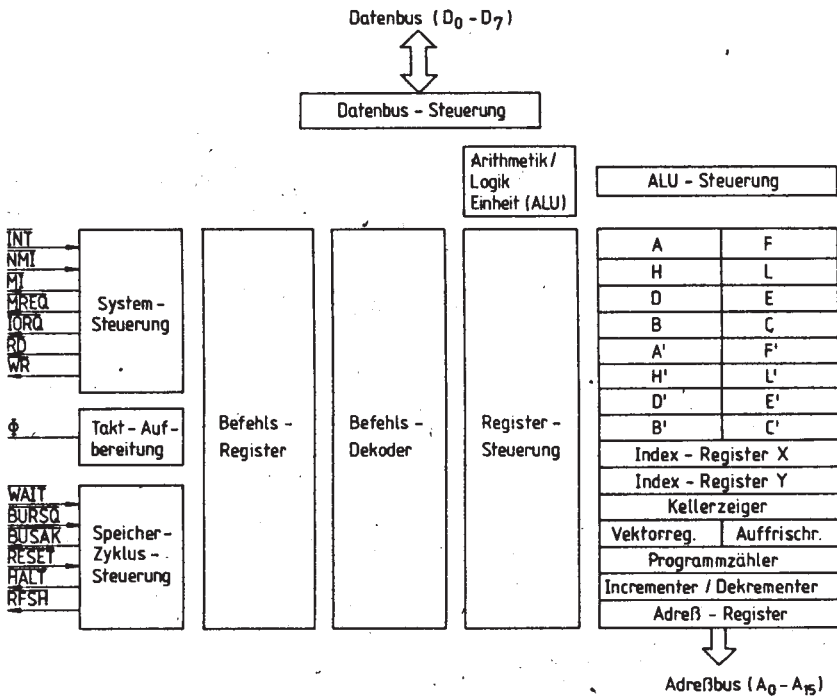


Bild 3 Struktur des Mikroprozessors U 880 D

2. Mikroprozessoren

**Tabelle 1 Grenzwerte ($\vartheta_a = 0$ bis 70°C ;
 $\vartheta_a = -25$ bis $+85^\circ\text{C}$ für *VB 880 D*)**

Betriebsspannung U_{CC}	-0,5 bis 7 V
Eingangsspannung U_I	-0,5 bis 7 V
Verlustleistung P_V	1,1 W
Lagerungstemperaturbereich ϑ_{stg}	-55 bis +125 $^\circ\text{C}$

Tabelle 2 Statische Betriebsbedingungen

Kenngröße	Werte	
	min.	max.
Betriebsspannung U_{CC} in V	4,75	5,25
L-Eingangsspannung U_{IL} in V	-0,5	0,8
H-Eingangsspannung U_{IH} in V	2	U_{CC}
L-Takteingangsspannung U_{ILC} in V	-0,5	0,45
H-Takteingangsspannung U_{IHC} in V	$U_{CC} - 0,6\text{ V}$	$U_{CC} + 0,3\text{ V}$
Betriebstemperaturbereich ϑ_a in $^\circ\text{C}$		
<i>UB/UA 880 D</i>	0	+70
<i>VB 880 D</i>	-25	+85

Tabelle 3 Statische Kennwerte (Einstellwerte nach *TGL 26 176*)

Kenngröße	Werte	
	min.	max.
Eingangsreststrom I_{IL} in μA		100
Reststrom des Datenbusses bei Eingabe I_{ILD} in μA		100
Reststrom des Tri-state-Ausgangs im hochohmigen Zustand I_{ILO} in μA		100
L-Ausgangsspannung bei Belastung U_{OL} in V		0,8
H-Ausgangsspannung bei Belastung U_{OH} in V	2, 4	
Funktionsfähigkeit bei maximaler/minimaler Betriebsspannung U_{OL} in V		0,8
U_{OH} in V	2	
Stromaufnahme I_{CC} in mA		200

Tabelle 4 Dynamische Betriebsbedingungen

Kenngröße	UB/VB 880 D		UA 880 D	
	min.	max.	min.	max.
Taktperiode t_c in ns	400	1)	250	1)
H-Breite des Taktes	170	2 000	105	2 000
$t_{w(CH)}$ in ns				
L-Breite des Taktes	170	2 000	105	2 000
$t_{w(CL)}$ in ns				
Anstiegs- und Abfallzeiten des Taktes t_r , t_f	-	30	-	30 ²⁾
Bereitstellungszeit von \overline{WAIT} vor HL-Flanke des Taktes	70	-	70	-
$t_{s(WT)}$ in ns				
Bereitstellungszeit von \overline{RESET} vor LH-Flanke des Taktes	90	-	60	-
$t_{s(RS)}$ in ns				
Bereitstellungszeit von \overline{INT} vor LH-Flanke des Taktes	80	-	80	-
$t_{s(IT)}$ in ns				
Impulsbreite von \overline{NMI} -Low	80	-	80	-
$t_{w(NMI)}$ in ns				
Bereitstellungszeit von \overline{BUSRQ} vor LH-Flanke des Taktes	80	-	50	-
$t_{s(BQ)}$ in ns				
Datenbereitstellungszeit bis zur LH-Flanke des Taktes im M1-Zyklus (Signal D0 bis D7)	50	-	50	-
$t_{sC(D)}$ in ns				
Datenbereitstellungszeit bis zur HL-Flanke des Taktes von M2 bis M5 (Signal D0 bis D7)	60	-	60	-
$t_{sC(D)}$ in ns				
alle Nachwirkzeiten t_H	0	-	0	-

1) $t_c = t_{w(CH)} + t_{w(CL)} + t_r + t_f$.

2) Bei einer Taktperiode von $t_c = 250$ ns muß entsprechend 1) t_r , $t_f = 20$ ns betragen.

2. Mikroprozessoren

Tabelle 5 Verzögerungszeiten des '880 (Meßbedingungen nach TGL 26 176)

Zeiten in ns	Kurz- zeichen	UB 880 D VB 880 D	UA 880 D
Adressenausgangsverzögerungszeit	$t_{D(AD)}$	160	120
Verzögerungszeit bis Floaten Ausgangsverzögerungszeiten:	$t_{F(AD)}$	110	100
Daten	$t_{D(D)}$	260	160
Verzögerungszeit bis Floaten bei Schreibzyklus	$t_{F(D)}$	90	90
Verzögerungszeit \overline{MREQ} von HL-Flanke des Taktes bis $\overline{MREQ} = L$	$t_{DLC(MR)}$	110	95
Verzögerungszeit \overline{MREQ} von HL-Flanke des Taktes bis $\overline{MREQ} = H$	$t_{DHC(MR)}$	110	95
Verzögerungszeit \overline{MREQ} von LH-Flanke des Taktes bis $\overline{MREQ} = H$	$t_{DHC(MR)}$	110	95
Verzögerungszeit \overline{IORQ} von LH-Flanke des Taktes bis $\overline{IORQ} = L$	$t_{DLC(IR)}$	100	85
Verzögerungszeit \overline{IORQ} von HL-Flanke des Taktes bis $\overline{IORQ} = L$	$t_{DLC(IR)}$	120	95
Verzögerungszeit \overline{IORQ} von LH-Flanke des Taktes bis $\overline{IORQ} = H$	$t_{DHC(IR)}$	110	95
Verzögerungszeit \overline{IORQ} von HL-Flanke des Taktes bis $\overline{IORQ} = H$	$t_{DHC(IR)}$	120	95
Verzögerungszeit \overline{RD} von LH-Flanke des Taktes bis $\overline{RD} = L$	$t_{DLC(RD)}$	110	95
Verzögerungszeit \overline{RD} von HL-Flanke des Taktes bis $\overline{RD} = L$	$t_{DLC(RD)}$	140	105
Verzögerungszeit \overline{RD} von LH-Flanke des Taktes bis $\overline{RD} = H$	$t_{DHC(RD)}$	110	95
Verzögerungszeit \overline{RD} von HL-Flanke des Taktes bis $\overline{RD} = H$	$t_{DHC(RD)}$	120	95
Verzögerungszeit \overline{WR} von LH-Flanke des Taktes bis $\overline{WR} = L$	$t_{DLC(WR)}$	90	75

Zeiten in ns	Kurz- zeichen	UB 880 D VB 880 D	UA 880 D
Verzögerungszeit \overline{WR} von HL-Flanke des Taktes bis $WR = L$	$t_{DL(WR)}$	100	90
Verzögerungszeit \overline{WR} von HL-Flanke des Taktes bis $WR = H$	$t_{DH(WR)}$	110	90
Verzögerungszeit \overline{MI} von LH-Flanke des Taktes bis $\overline{MI} = L$	$t_{DL(MI)}$	145	110
Verzögerungszeit \overline{MI} von HL-Flanke des Taktes bis $\overline{MI} = H$	$t_{DH(MI)}$	145	110
Verzögerungszeit \overline{RFSH} von LH-Flanke des Taktes bis $\overline{RFSH} = L$	$t_{DL(RF)}$	195	140
Verzögerungszeit \overline{RFSH} von LH-Flanke des Taktes bis $\overline{RFSH} = H$	$t_{DH(RF)}$	160	130
Verzögerungszeit \overline{HALT} von HL-Flanke	$t_{D(HT)}$	310	310
Verzögerungszeit \overline{BUSAK} von LH-Flanke des Taktes bis $\overline{BUSAK} = L$	$t_{DL(BA)}$	130	110
Verzögerungszeit \overline{BUSAK} von HL-Flanke des Taktes bis $\overline{BUSAK} = H$	$t_{DH(BA)}$	120	110
Verzögerungszeit \overline{MREQ} , \overline{IORQ} , \overline{RD} , \overline{WR} bis Floaten	$t_{P(C)}$	110	90
Kapazitäten in pF			
Taktkapazität	C_C	60	60
Eingangskapazität	C_I	7	7
Ausgangskapazität	C_O	10	10
Zusätzliche Zeitangaben			
Adresse vor \overline{MREQ} stabil, Speicherzyklus	t_{acm}	$= t_{w(CH)} + t_f - 75 \text{ ns (65 ns)}$	
Adresse vor \overline{IORQ} , \overline{RD} oder \overline{WR} stabil, E/A-Zyklus	t_{aci}	$= t_c - 80 \text{ ns (70 ns)}$	
Adresse nach \overline{RD} oder \overline{WR}	t_{ca}	$= t_{w(CL)} + t_r - 40 \text{ ns}$	
Adresse nach \overline{RD} oder \overline{WR} beim Floaten stabil	t_{caf}	$= t_{w(CL)} + t_r - 60 \text{ ns (45 ns)}$	
Daten vor \overline{WR} stabil, Spei- cherzyklus	t_{dcm}	$= t_c - 180 \text{ ns (170 ns)}$	

2. Mikroprozessoren

Zeiten in ns	Kurz- zeichen	UB 880 D VB 880 D	UA 880 D
Daten vor \overline{WR} stabil, E/A-Zyklus	t_{dc1}	$= t_{w(CL)} + t_f - 180 \text{ ns}$	(170 ns)
Daten nach \overline{WR} stabil	t_{cdf}	$= t_{w(CL)} + t_f - 50 \text{ ns}$	(70 ns)
Impulsbreite von \overline{MREQ} -Low	$t_{w(MRL)}$	$= t_c - 40 \text{ ns}$	(30 ns)
Impulsbreite von \overline{MREQ} -High	$t_{w(MRH)}$	$= t_{w(CH)} + t_f - 30 \text{ ns}$	(20 ns)
Impulsbreite von \overline{WR} -Low	$t_{w(WRL)}$	$= t_c - 40 \text{ ns}$	(30 ns)
M1 vor IORQ stabil (Interrupt-Annahme)	t_{m1}	$= 2 t_c + t_{w(CH)} + t_f - 80 \text{ ns}$	

Klammerwerte für UA 880 D

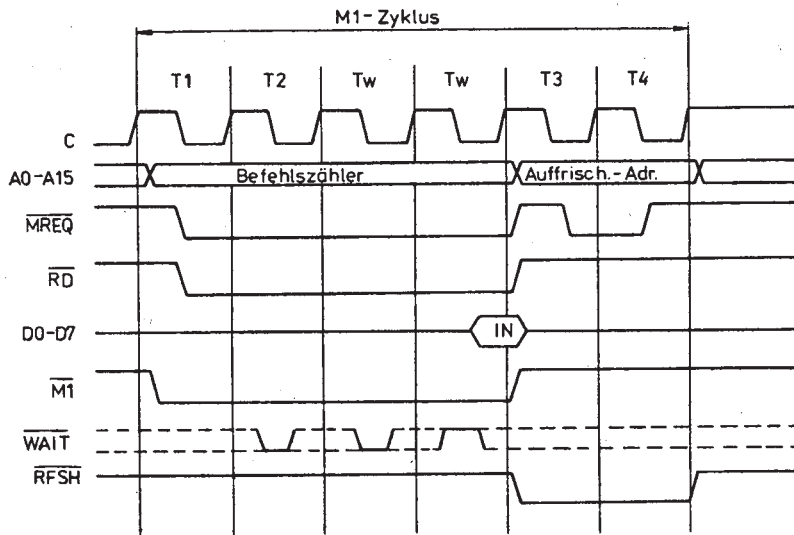


Bild 4
Aufruf Operationscode

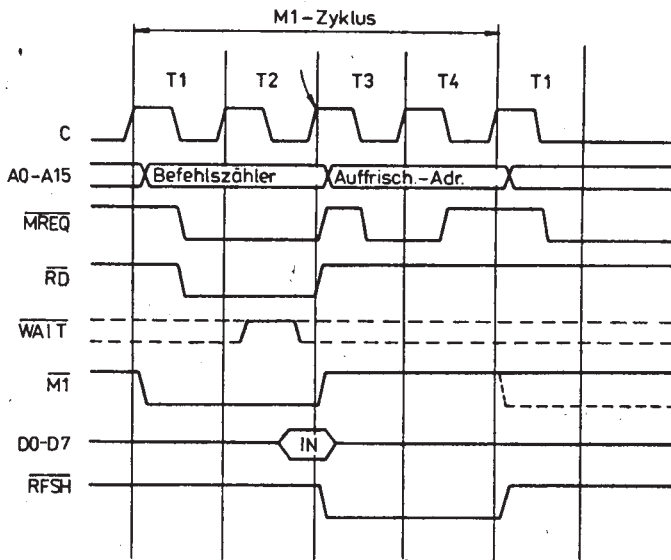


Bild 5 Aufruf Operationscode mit WAIT

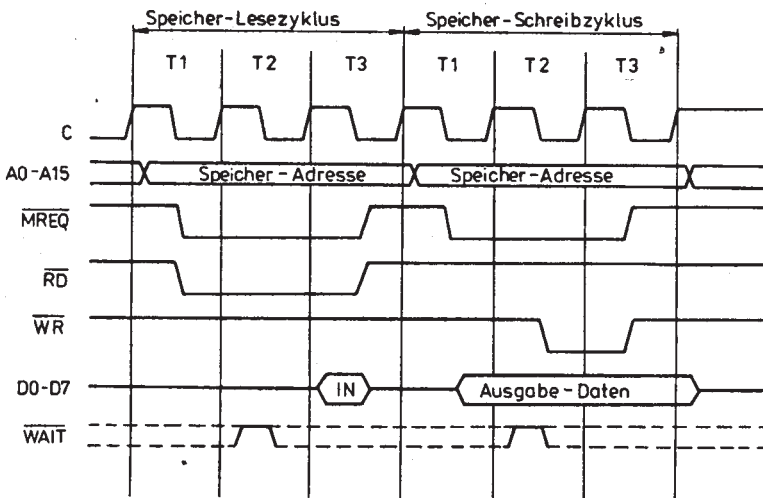


Bild 6 Speicher-Lese- oder Schreibzyklus

2. Mikroprozessoren

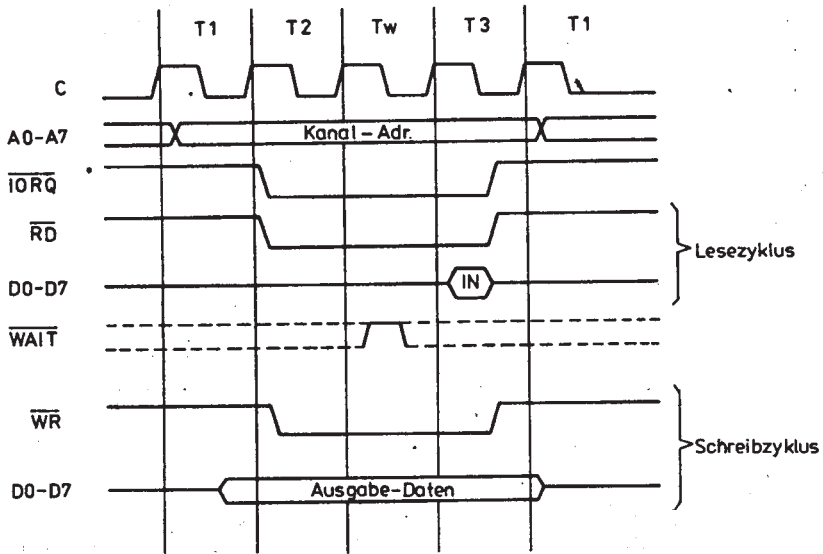


Bild 7 Eingabe- oder Ausgabezyklus

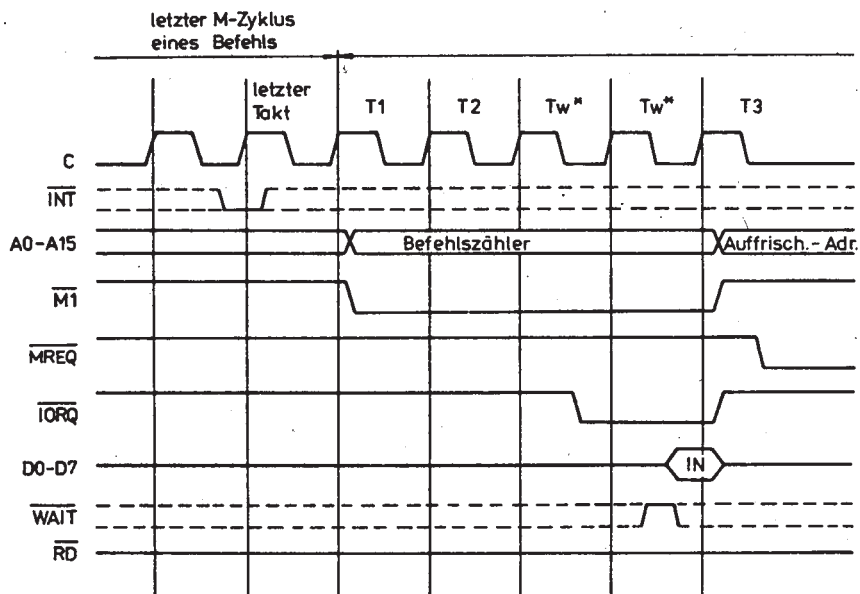


Bild 9 Interruptzyklus

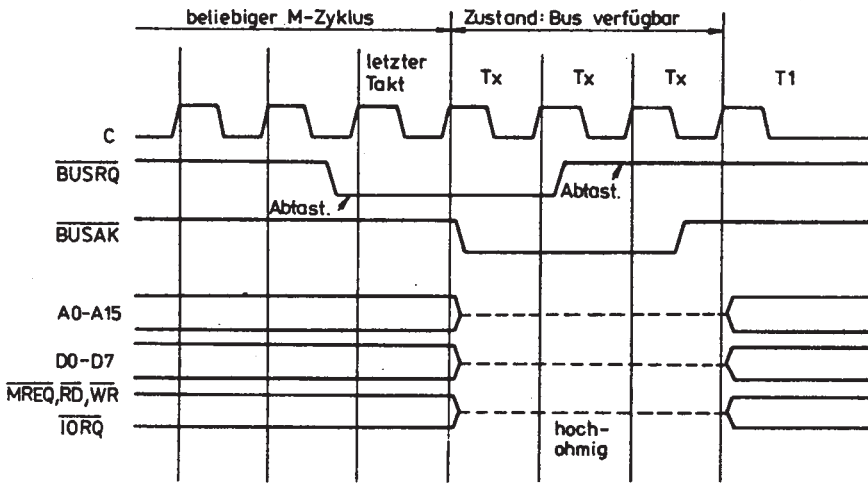


Bild 8 Bus-Anforderungs-/Bus-Bestätigungszyklus

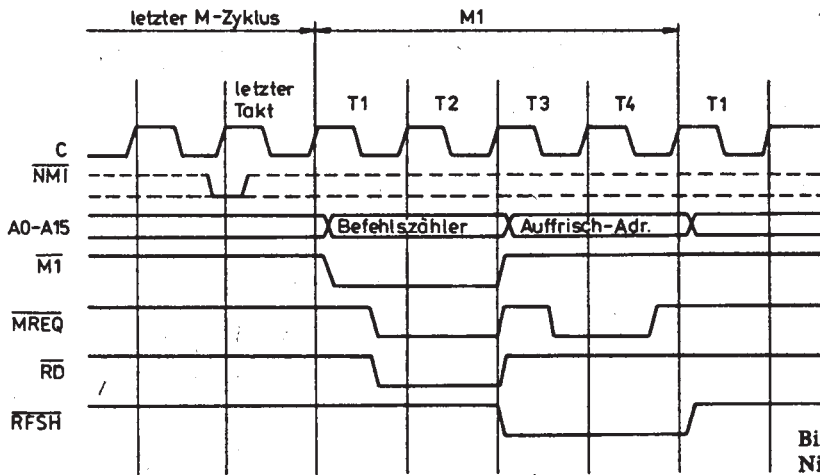
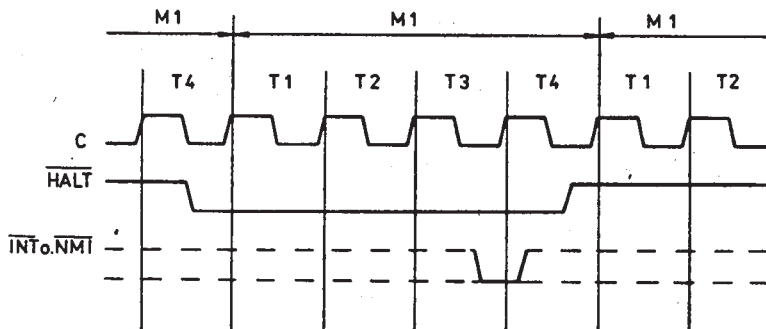


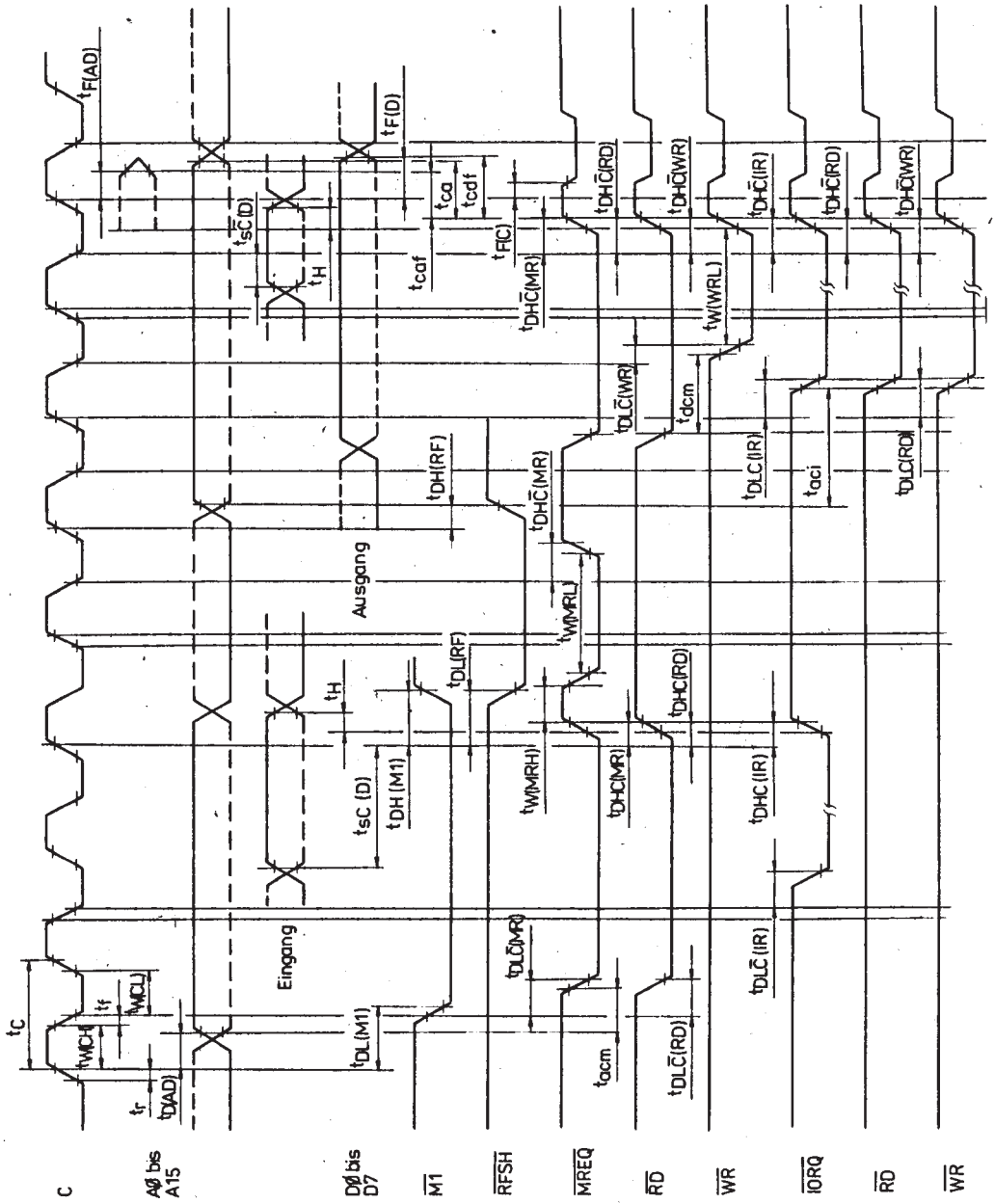
Bild 10 Nichtmaskierbarer Interrupt



Halt-Befehl wurde während dieses Speicherzyklus aufgerufen

Bild 11 Halt-Ablauf

2. Mikroprozessoren



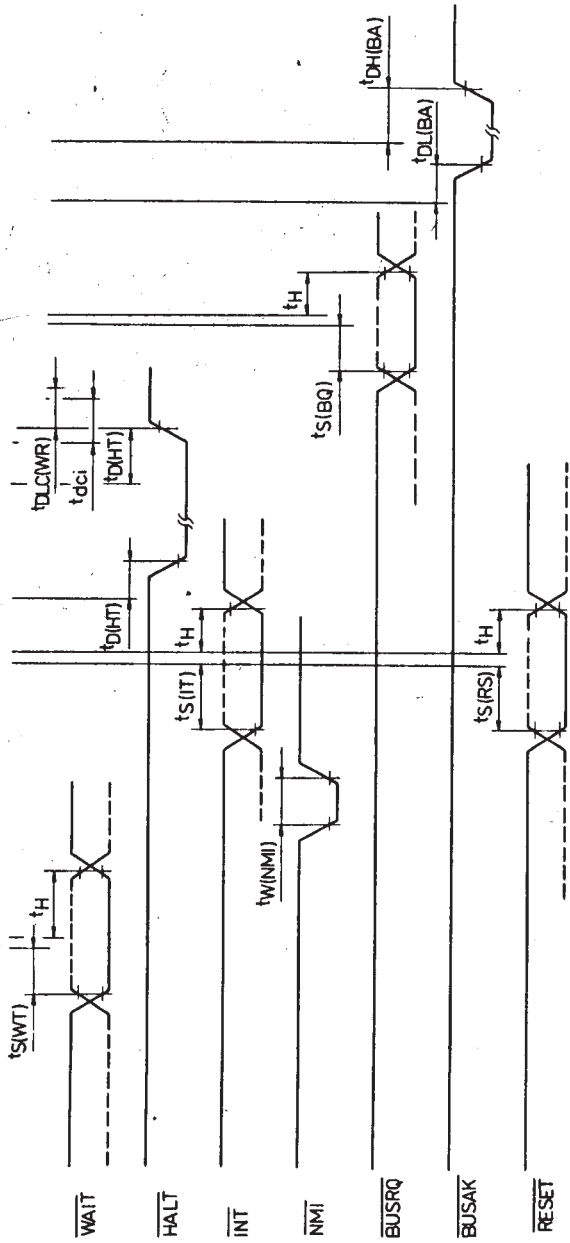


Bild 12 Zeitdiagramm

2. Mikroprozessoren

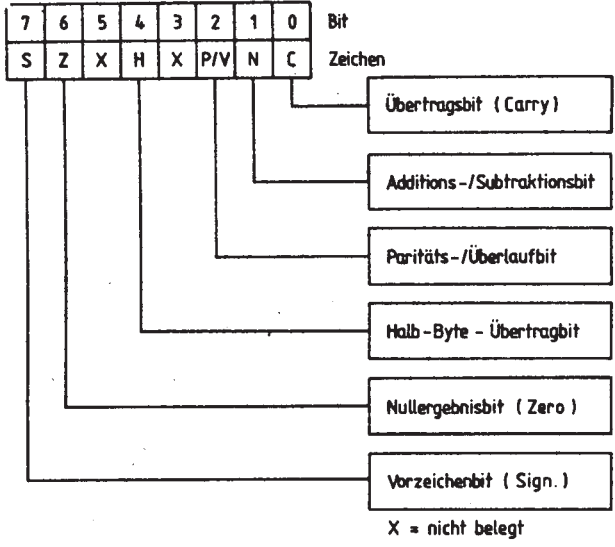


Bild 13
Flag-Register

2.2. Mikroprozessor 8080 A

Vergleichstyp
 KR 580 IK80A Elorg
 P 8080 A Intel

Tabelle 1 Anschlüsse

Bezeichnung	Richtung*	Funktion
A0 bis A15	O	Adreßausgänge, 3-state
D0 bis D7	I/O	Datenbus
RESET	I	rücksetzen des Programmzählers auf 0
HOLD	I	Prozessor wird angehalten, z. B. für DMA
HLDA	O	Quittung des Prozessors für hold
INT	I	Interrupteingang
INTE	O	Interrupt erlaubt
DBIN	O	Dateneingabe
/WR	O	schreiben
WAIT	O	Wartequittung
READY	I	Wartesteuerung
Φ1, Φ2		Taktimpulse
SYNC	O	Operationskode holen

* I = Eingang, O = Ausgang, I/O = bidirektional.

Bild 2 Logiksymbol

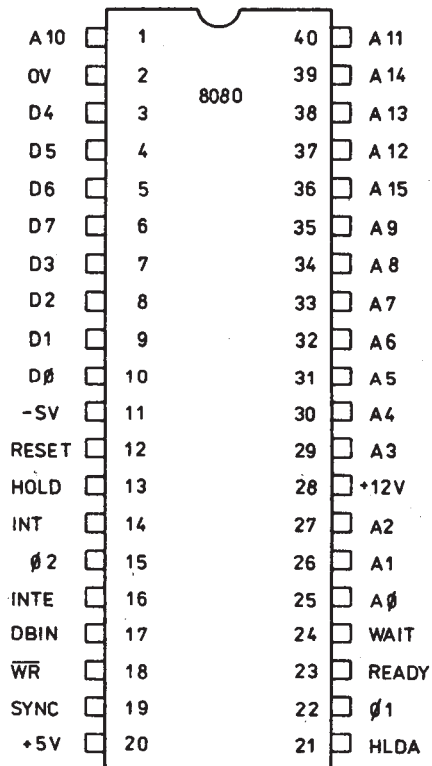
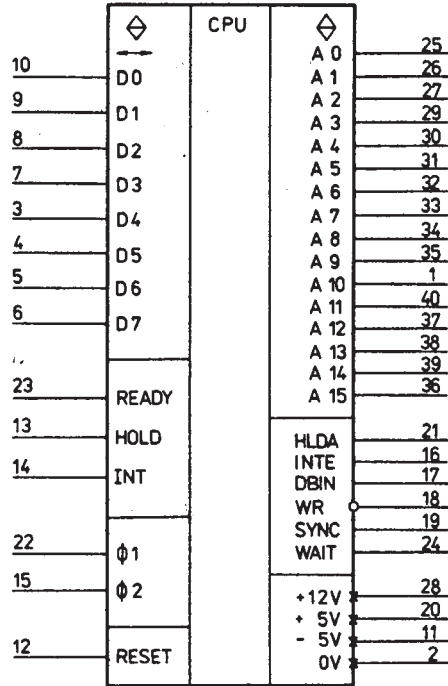

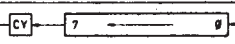
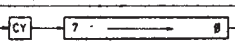



Bild 1 Anschlußbelegung

2. Mikroprozessoren

Tabelle 2 Befehlssatz

Befehl	Operation	1. Byte	2./3. Byte	Flags SZHPNC	Zyklen
mov r1,r2	r1:=r2	01dddsss	-	-	5
mov r,M	r:=(hl)	01ddd110	-	-	7
mov M,r	(hl):=r	01110sss	-	-	7
mvi r,n	r:=n	00ddd110	n	-	7
mvi M	(hl):=n	00110110	n	-	10
sta nn	(nn):=a	00110010	nn	-	13
lda nn	a:=(nn)	00111010	nn	-	13
stax b	(bc):=a	00000010	-	-	7
stax d	(de):=a	00010010	-	-	7
ldax b	a:=(bc)	00001010	-	-	7
ldax d	a:=(de)	00011010	-	-	7
lxi b	bc:=nn	00000001	nn	-	10
lxi d	de:=nn	00010001	nn	-	10
lxi h	hl:=nn	00100001	nn	-	10
shl d	(nn):=hl	00100010	nn	-	16
lhl d	hl:=(nn)	00101010	nn	-	16
xch g	Tausch d _e ,(hl)	11101011	-	-	4
in	a:=(n)	11011011	n	-	10
out	(n):=a	11010011	n	-	10
add r	a:=a+r	10000sss	-	alle	4
add M	a:=a+M	10000110	-	alle	7
adi	a:=a+n	11000110	n	alle	7
adc r	a:=a+r+cy	10001sss	-	alle	4
adc M	a:=a+M+cy	10001110	-	alle	7
aci	a:=a+n+cy	11001110	n	alle	7
sub r	a:=a-r	10010sss	-	alle	4
sub M	a:=a-(hl)	10010110	-	alle	7
sui	a:=a-n	11010110	n	alle	7
sbb r	a:=a-r-cy	10011sss	-	alle	4
sbb M	a:=a-M-cy	10011110	-	alle	7
sbi	a:=a-n-cy	11011110	n	alle	7
cmp r	a=r?	10111sss	-	SZHV1C	4
cmp M	a=(hl)?	10111110	-	SZHV1C	7
cpi	a=n?	11111110	n	SZHV1C	7
dad b	hl:=hl+bc	00001001	- 0C	10
dad d	hl:=hl+de	00011001	- 0C	10
dad h	hl:=hl+hl	00101001	- 0C	10
dad sp	hl:=hl+sp	00111001	- 0C	10
daa	a:=dez(a)	00100111	-	alle	4
ana r	a and r	10100sss	-	alle	4
ora r	a or r	10110sss	-	alle	4
xra r	a xor r	10101sss	-	alle	4

Befehl	Operation	1. Byte	2./3. Byte	Flags SZHPNC	Zyklen
ana M	a and (hl)	10100110	-	alle	7
ora M	a or (hl)	10110110	-	alle	7
xra M	a xor (hl)	10101110	-	alle	7
ani	a and n	11100110	n	alle	7
ori	a or n	11110110	n	alle	7
xri	a xor n	11101110	n	alle	7
rlc		00000111	-	C	4
rrc		00001111	-	C	4
ral		00010111	-	C	4
rar		00011111	-	C	4
inr r	r:=r+1	00ddd100	-	N,C,H	5
dcr r	r:=r-1	00ddd101	-	P	5
inr M	M:=M+1	00110100	-	P	10
dcr M	M:=M-1	00110101	-	P	10
inx b	bc:=bc+1	00000011	-	-	5
inx d	de:=de+1	00010011	-	-	5
inx h	hl:=hl+1	00100011	-	-	5
dcx b	bc:=bc-1	00001011	-	-	5
dcx d	de:=de-1	00011011	-	-	5
dcx h	hl:=hl-1	00101011	-	-	5
inx sp	sp:=sp+1	00110011	-	-	5
dcx sp	sp:=sp-1	00111011	-	-	5
Sprung					
jmp	unbedingt	11000011	nn	-	10
jnz	bei Z=0	11000010	nn	-	10
jz	bei Z=1	11001010	nn	-	10
jnc	bei C=0	11010010	nn	-	10
jc	bei C=1	11011010	nn	-	10
jpo	bei P=0	11100010	nn	-	10
jpe	bei P=1	11101010	nn	-	10
jp	bei S=0	11110010	nn	-	10
jm	bei S=1	11111010	nn	-	10
pchl	nach (hl)	11101001	-	-	5
Unterprogrammaufruf					
call	unbedingt	11001101	nn	-	17
cnz	bei Z=0	11000100	nn	-	17
cz	bei Z=1	11001100	nn	-	17
cnc	bei C=0	11010100	nn	-	17
cc	bei C=1	11010100	nn	-	17

2. Mikroprozessoren

Befehl	Operation	1. Byte	2./3. Byte	Flags SZHPNC	Zyklen		
cpo	bei P=0	11100100	nn	-	17		
cpe	bei P=1	11101100	nn	-	17		
cp	bei S=0	11110100	nn	-	17		
cm	bei S=1	11111100	nn	-	17		
rst n	pc:=n*8 0 ≤ n ≤ 7	11-n-111	-	-	10		
Rücksprung							
ret	unbedingt	11001001	-	-	10		
rnz	bei Z=0	11000000	-	-	11		
rz	bei Z=1	11001000	-	-	11		
rnc	bei C=0	11010000	-	-	11		
rc	bei C=1	11011000	-	-	11		
rpo	bei P=0	11100000	-	-	11		
rpe	bei P=1	11101000	-	-	11		
rp	bei S=0	11110000	-	-	11		
rm	bei S=1	11111000	-	-	11		
Interrupt							
ei	erlaubt	11111011	-	-	4		
di	gesperrt	11110011	-	-	4		
Stackbefehle							
push b	stack:=bc	11000101	-	-	11	ddd	Zielregister
push d	stack:=de	11010101	-	-	11	sss	Quellregister
push h	stack:=hl	11100101	-	-	11	000	b
push psw	stack:=af	11110101	-	-	11	001	c
pop b	bc:=stack	11000001	-	-	10	010	d
pop d	de:=stack	11010001	-	-	10	011	e
pop h	hl:=stack	11100001	-	-	10	100	h
pop psw	af:=stack	11110001	-	-	10	101	i
lxi sp	stack:=nn	00110001	nn	-	10	111	a
sphl	sp:=hl	11111001	-	-	5		
inx sp	sp:=sp+1	00110011	-	-	5		
dcx sp	sp:=sp-1	00111011	-	-	5		
dad sp	hl:=hl+sp	00111001	-	-	10		
xthl	(hl):=sp sp:=(hl)	11100011	-	-	18		
sonstige Befehle							
hlt	halt	01110110	-	-	7		
nop	keine Operation	-0-	-	-	4		
cma	a:=/a	00101111	-	-	4		
stc	C:=1	00110111	-	-	4		
cmc	C:=/C	00111111	-	-	4		

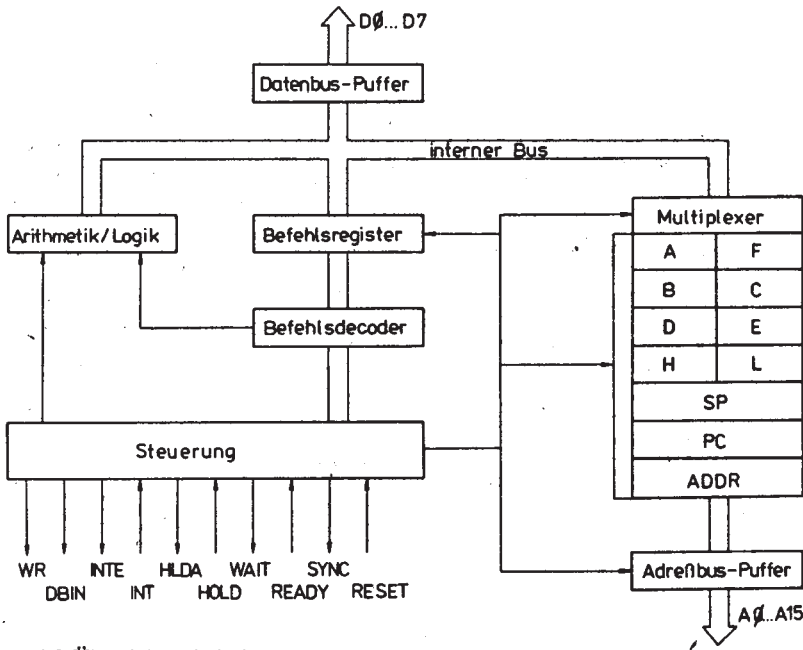


Bild 3 Übersichtsschaltplan

Tabelle 3 Technische Daten

Grenzwerte

Betriebstemperaturbereich	-10 bis +70 °C
Lagerungstemperatur	-40 bis +125 °C
Taktfrequenz	2 MHz
Eingangs- und Ausgangsspannungen relativ zu U_{PB}	-0,3 bis +20 V
Verlustleistung	1,5 W

Statische Kennwerte

(bei $\theta_a = -10$ bis $+70$ °C, $U_{DD} = 12 \pm 0,6$ V, $U_{CC} = +5,0 \pm 0,25$ V, $U_{SS} = 0$ V)

Bezeichnung	Sym- bol	min.	max.	Ein- heit	Bedin- gungen
Takt-L-Spannung	U_{ILC}	$U_{SS} - 1$	$U_{SS} + 0,8$	V	
Takt-H-Spannung	U_{IHC}	9	$U_{DD} + 1$	V	

2. Mikroprozessoren

Bezeichnung	Sym- bol	min.	max.	Ein- heit	Bedin- gungen
Eingangsspan- nung L	U_{IL}	$U_{SS} - 1$	$U_{SS} + 0,8$	V	
Eingangsspan- nung H	U_{IH}	3,3	$U_{CC} + 1$	V	
Ausgangsspan- nung L	U_{OL}		0,45	V	$I_{OL} = 1,9 \text{ mA}$ an allen Ausgän- gen
Ausgangsspan- nung H	U_{OH}	3,7		V	$I_{OH} =$ $-150 \mu\text{A}$
Stromaufnahme U_{DD}	I_{DD}		70	mA	$t_{CY} = \text{min}$
Stromaufnahme U_{CC}	I_{CC}		80	mA	$t_{CY} = \text{min}$
Stromaufnahme U_{BB}	I_{BB}		1	mA	$t_{CY} = \text{min}$
Eingangsleck- strom	I_{IL}		10	μA	
Eingangsleck- strom Takt	I_{CL}		10	μA	
Leckstrom bei HOLD	I_{FL}		$+10/-100$	μA	$U_{ADDR/DATA} =$ $U_{SS} + 0,45 \text{ V}$
Eingangsleck- strom der Daten- kanäle	I_{DL}		-2	mA	$U_{SS} < U_{IN} <$ $U_{SS} + 0,8 \text{ V}$
Kapazitäten					
Eingangskapazi- tät Takt	C_0	15	20	pF	
Eingangskapazi- tät	C_{IN}	6	10	pF	
Ausgangskapazi- tät	C_{OUT}	10	15	pF	
Dynamische Kennwerte					
Taktperiode	t_{CY}	0,48	2	μs	
Takt-Anstiegs-/ Abfallzeit	t_r, t_f	0	50	ns	
Takt-Impulszeit $\Phi 1$	t_{01}	60		ns	
Takt-Impulszeit $\Phi 2$	t_{02}	220		ns	
Verzögerung $\Phi 2/\Phi 1$	t_{D1}	0		ns	
Verzögerung $\Phi 1/\Phi 2$	t_{D2}	70		ns	

Bezeichnung	Sym- bol	min.	max.	Ein- heit	Bedin- gungen
Verzögerung Flanke $\Phi 1$ zu $\Phi 2$	t_{D3}	80		ns	
Verzögerung Adressen/ $\Phi 2$	t_{DA}		200	ns	$C_L = 100 \text{ pF}$
Verzögerung Da- ten/ $\Phi 2$	t_{DD}		220	ns	
Verzögerung SYNC, WR, WAIT, HLDA zu $\Phi 1$ oder $\Phi 2$	t_{DC}		120	ns	$C_L = 100 \text{ pF}$
Verzögerung DBIN/ $\Phi 2$	t_{DF}	25	140	ns	
Verzögerung Ein- gabedaten zu $\Phi 2$	t_{D1}	t_{DF}		ns	
Anstiegszeit Da- ten/ $\Phi 1$ während DBIN-Periode	t_{DS1}	30		ns	
Anstiegszeit Da- ten/ $\Phi 2$ während DBIN-Periode	t_{DS2}	150		ns	
Haltezeit Daten zu $\Phi 2$ während DBIN-Periode	t_{DH}	1		ns	
Verzögerung INTE zu $\Phi 2$	t_{IE}		200	ns	$C_L = 50 \text{ pF}$
Anstiegszeit READY/ $\Phi 2$	t_{RS}	120		ns	
Anstiegszeit HOLD/ $\Phi 2$	t_{HS}	140		ns	
Anstiegszeit INT/ $\Phi 2$	t_{IS}	120		ns	
Haltezeit HOLD/ $\Phi 2$	t_H	0		ns	
Verzögerung Da- ten/ $\Phi 2$	t_{FD}	120		ns	
Anstiegszeit Adressen zu WR	t_{AV}	$> 2t_{CY} - t_{D3} - t_{r02}$ - 140		ns	$C_L = 100 \text{ pF}$
Anstiegszeit Da- ten zu WR	t_{DV}	$> t_{CY} - t_{DS} - t_{r02}$ - 170		ns	$C_L = 100 \text{ pF}$
Datenhaltezeit nach WR ohne HLDA	t_{WD}	$> t_{WA} = t_{D3} + t_{r02}$ + 10			
bei HLDA		$> t_{WA} = t_{WF}$		ns	

2. Mikroprozessoren

Bezeichnung	Sym- bol	min.	max.	Ein- heit	Bedin- gungen
Haltezeit WR- Adressen ohne HLDA	t_{WA}	$> t_{WD} = t_{D3} + t_{r02} + 10$		ns	
bei HLDA	t_{WD}	t_{WF}		ns	
Übergangszeit in 3. Zustand nach HLDA	t_{HF}	$t_{D3} + t_{r02} - 50$		ns	
Daten- und Adressen-Halte- zeit nach WR in HOLD-Zustand	t_{WF}	$t_{D3} + t_{r02} - 10$		ns	

2. Mikroprozessoren

2.3. 16-bit-Mikroprozessor-Schaltkreis *UB 8001 C/UB 8002 D*

Beschreibung

Der hochintegrierte Halbleiterschaltkreis *UB 8001 C/UB 8002 D* ist ein Einchip-Mikroprozessor (MP) und wird in n-Kanal-Silicon-Gate-Technologie gefertigt.

Er ist vorgesehen für den Einsatz in Geräten der kommerziellen Elektronik, in Mikrorechnern und in Konsumgütern.

Der *UB 8001 C/UB 8002 D* kann als leistungsfähiger 16-bit-Mikroprozessor in Minimalsystemen (Steuer- und Regeltechnik) sowie in Multiprozessorsystemen und Parallelrechnern eingesetzt werden.

Anschlußbeschreibung

AD0 bis AD15 Adreß-/Datenleitungen (Tri-state-Anschlüsse)

Funktionen:

- Adreßbit ausgeben
- Datenbit übernehmen (lesen)
- Datenbit ausgeben (schreiben)

\overline{AS} Adreß-Strobe, steigende Flanke zeigt Gültigkeit der Adressen an (aktiv-Low-Ausgang)

\overline{BUSAK} Busausgabeanerkennung
MP-BUS ist hochohmig (aktiv-Low-Ausgang)

\overline{BUSRQ} Busanforderung (aktiv-Low-Eingang)

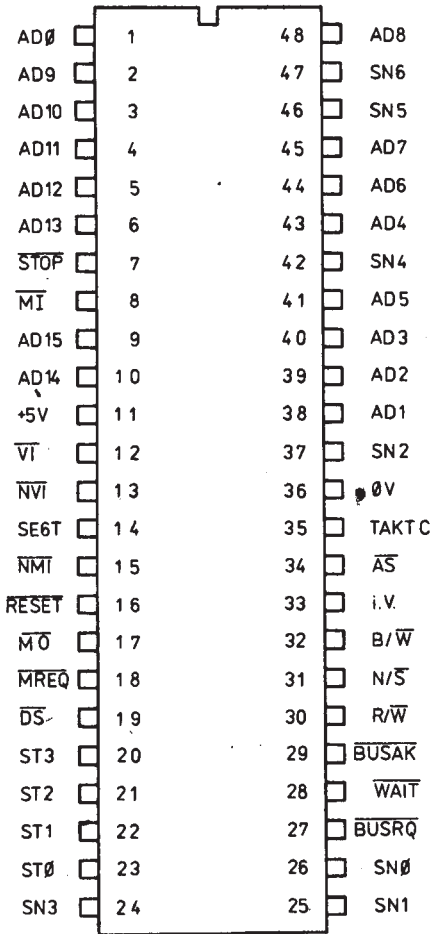
B/\overline{W} Byte-/Wort-Zugriffssignal (gibt Auskunft über Art des Speicherzugriffs), Tri-state-Ausgang, Low bedeutet wortweisen Zugriff (plus Langwort)

C Systemtakt (+5 V Einphasentakt)

\overline{DS} Daten-Strobe, zeigt Gültigkeit der Daten an (Tri-state-aktiv-Low-Ausgang)

i. V. innere Verbindung, darf nicht beschaltet werden

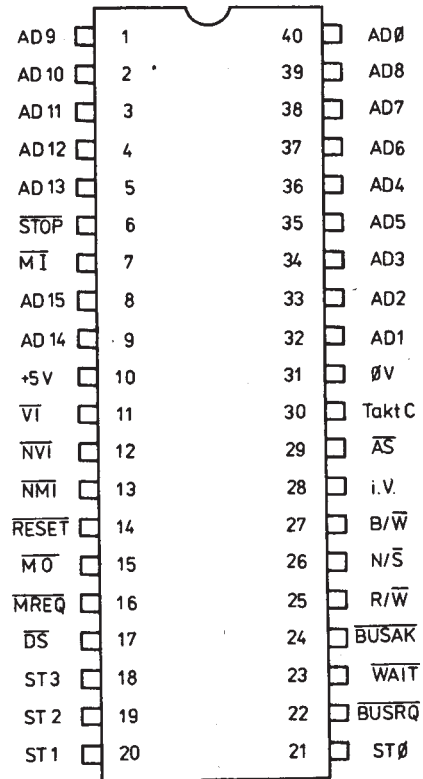
\overline{MI}	Daisy-chain-Eingang für Multiprocessing (Eingang aktiv-Low)
\overline{MO}	Daisy-chain-Ausgang für Multiprocessing (Ausgang aktiv-Low)
\overline{MREQ}	Low zeigt einen Speichertransfer an, High einen Transfer mit E/A-Port (Tri-state-aktiv-Low-Ausgang)
\overline{NMI}	Nicht maskierbarer Interrupt durch fallende Flanke ausgelöst (flankengetriggert Low-aktiver-Eingang)
N/\overline{S}	Normal-/System-Betriebsart (Tri-state-Ausgang, Low zeigt den System-Mode an)
\overline{NVI}	Nicht vektorisierbarer Interrupt (Eingang aktiv-Low)
\overline{RESET}	Rücksetzen des Mikroprozessors (Eingang aktiv-Low)
R/\overline{W}	Schreib-/Lese-Leitung (Tri-state-Ausgang; Low bedeutet Schreibvorgang)
\overline{SEGT}	Segmentierungstrapsignal der Speicherverwaltungseinheit an den Mikroprozessor (Eingang aktiv-Low, nur <i>UB 8001 C</i>)
SN0 bis SN6	Segmentnummer zur segmentierten Speicheradressierung (Ausgänge aktiv-High, nur <i>UB 8001 C</i>)
ST0 bis ST3	STATUS-Informationen über jeweiligen Zustand des Mikroprozessors (Ausgänge aktiv-High)
\overline{STOP}	Signal zur Einzelbefehl-Verarbeitung (Eingang aktiv-Low)
\overline{VI}	Vektorisierte Interruptanforderung (Eingang aktiv-Low)
\overline{WAIT}	Speicher, E/A-Geräte nicht bereit für Datenübertragung (Eingang aktiv-Low)



a)

Bild 1

Anschlußbelegung; a - U 8001, b - U 8002



b)

Funktionsbeschreibung

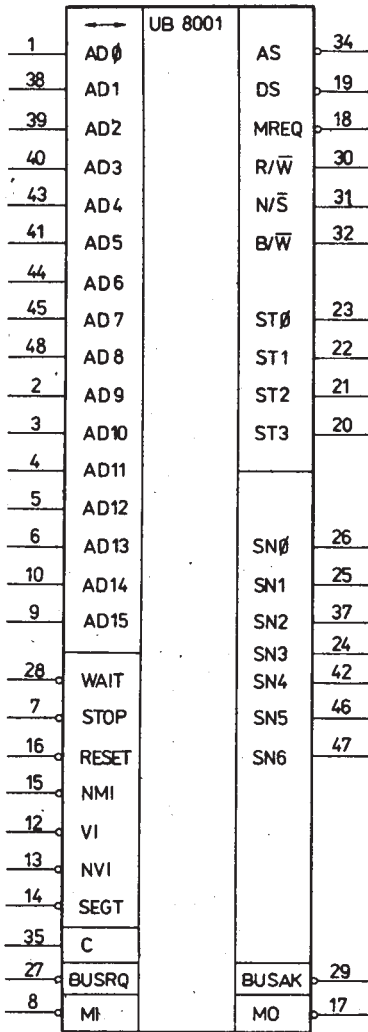
Der UB 8001 C/UB 8002 D ist ein 16-bit-Mikroprozessor, der eine große Vielfalt an Applikationen aufweist.

Die Leistungsfähigkeit seines Befehlssatzes wird vor allem durch einen hohen Grad an Regelmäßigkeit, durch zahlreiche Register, Datentypen und Adressierungsarten erreicht. Ein Befehls-Holezyklus von 3 Taktperioden ist Grundlage eines hohen Datendurchsatzes des Mikroprozessors mit relativ niedriger Taktfrequenz, wodurch Speicher mit einer

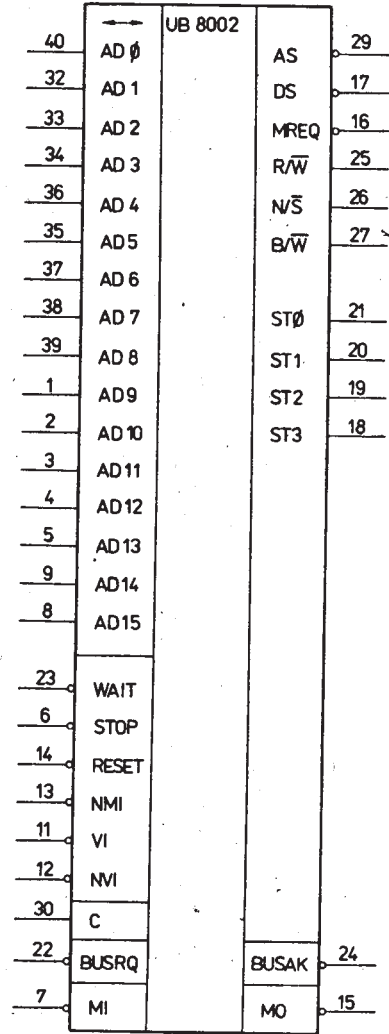
vergleichsweise langen Zugriffszeit verwendet werden können.

Der UB 8001 C hat einen vielseitigen Registersatz, der aus 16 gleichartigen 16-bit-Universalregistern (Akku, Index, Stack) besteht und auch Byte- und 32-bit-Wordoperationen ermöglicht. Es können 8 Datentypen von bits bis Vierfachworten (64 bit bei Multiplikation und Division) verarbeitet werden, und es existieren 8 Adressierungsarten. Der Mikroprozessor kann im System- und Normalmode arbeiten. Der Systembetrieb ge-

2. Mikroprozessoren



a)



b)

Bild 2

Logiksymbol; a - U 8001; b - U 8002

stattet privilegierte Operationen. Dadurch wird das Erarbeiten von Betriebssystemen gefördert.

Einfach auszuwertende Mikroprozessor-Steuersignale (STATUS ST0 bis ST3) ermöglichen ein exaktes Timing des gemultiplexten Adreß-/Datenbusses. Alle Anschlüsse sind TTL-kompatibel. Eine fein

nivelierte Interruptstruktur mit 3 Interruptebenen und 5 Trapunterscheidungen ist vorhanden.

Das spezielle Refresh-Register kann für den Einsatz dynamischer Speicher programmiert werden.

Der Schaltkreis wird in 2 Versionen angeboten: UB 8001 C als 48poliger segmentierter

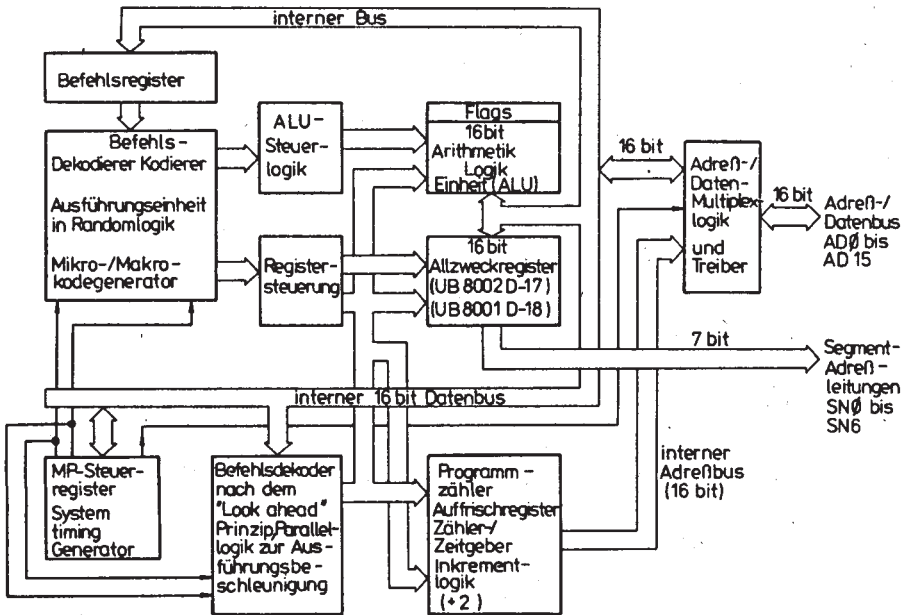


Bild 3 Übersichtsschaltplan

Mikroprozessor, UB 8002 D als 40poliger nichtsegmentierter Mikroprozessor.

Der Hauptunterschied zwischen beiden ist der Adreßbereich: Der UB 8001 C kann direkt 8 MByte Speicher adressieren. Der UB 8002 D adressiert direkt 64 KByte.

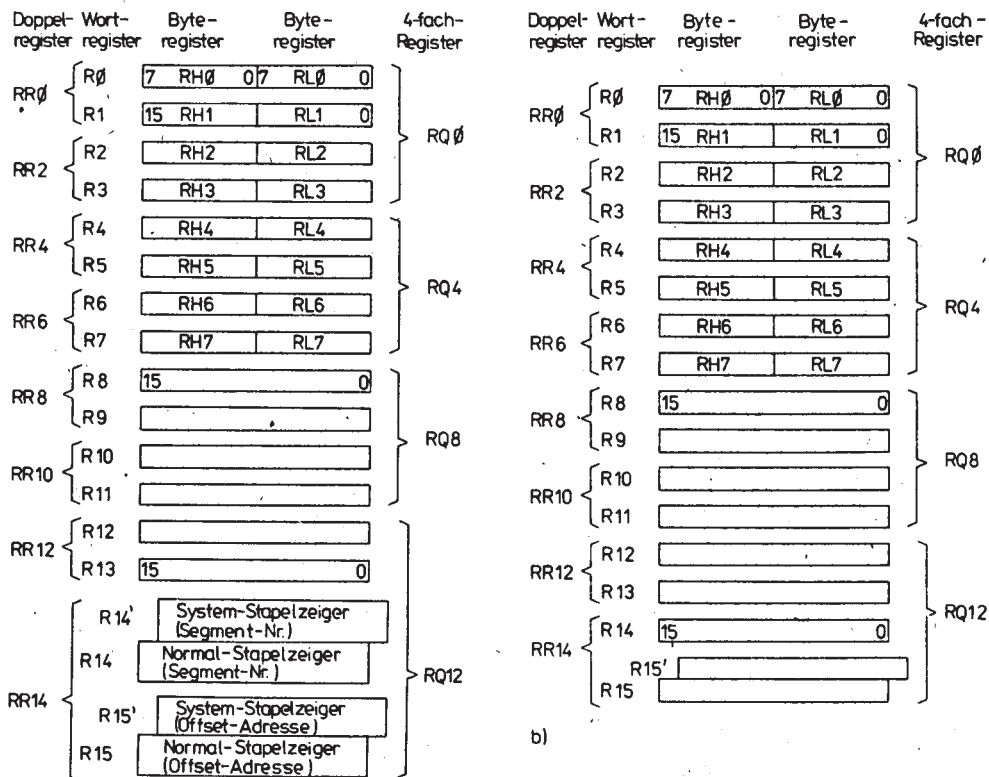
Spezielle Befehle und die Systemarchitektur erlauben es, optimal mit Compilern zu arbeiten sowie wirkungsvolle Betriebssysteme zu erstellen und sichern ein breites Anwendungsfeld.

Eine ausführliche Funktionsbeschreibung und eine vollständige Befehlsliste des UB 8001 C und UB 8002 D liegen in einer umfangreichen »Technischen Beschreibung UB 8001 C/UB 8002 D« vor.

Tabelle 1 Zuordnung der Register zu einem Binärwert des src- bzw. dst-Feldes im Op-kode

Vierfachregister	Doppelregister	Wortregister	Byte-Register	Binärkodierung
RQ0	RR0	R0	RH0	0 0 0 0
		R1	RH1	0 0 0 1
	RR2	R2	RH2	0 0 1 0
		R3	RH3	0 0 1 1
RQ4	RR4	R4	RH4	0 1 0 0
		R5	RH5	0 1 0 1
	RR6	R6	RH6	0 1 1 0
		R7	RH7	0 1 1 1
RQ8	RR8	R8	RL0	1 0 0 0
		R9	RL1	1 0 0 1
	RR10	R10	RL2	1 0 1 0
		R11	RL3	1 0 1 1
RQ12	RR12	R12	RL4	1 1 0 0
		R13	RL5	1 1 0 1
	RR14	R14	RL6	1 1 1 0
		R15	RL7	1 1 1 1

2. Mikroprozessoren



a)

Bild 4
Registerstruktur; a - U 8001, b - U 8002

Tabelle 2 Betriebszustände

ST3	ST2	ST1	ST0	Nr.	Bedeutung	
0	0	0	0	0	interne Operation	
0	0	0	1	1	Auffrischen des dynamischen RAM-Speicherbereiches	
0	0	1	0	2	E/A-Operation mit allgemeiner Anwenderschnittstelle	Ein-/Ausgabe-Operationen
0	0	1	1	3	E/A-Operation mit der MMU (Befehle SINDR, SINI, SOTIR, SOUT)	

0	1	0	0	4	MP akzeptiert einen Segment-Trap	Interrupt-Anerkennungs-Operationen
0	1	0	1	5	MP akzeptiert einen NMI (nicht maskierter Interrupt)	
0	1	1	0	6	MP akzeptiert einen NVI (nicht vektorisierter Interrupt)	
0	1	1	1	7	MP akzeptiert einen VI (Vektorinterrupt)	
1	0	0	0	8	Anforderungszyklus für den Datenspeicher	Speicher-Operationen
1	0	0	1	9	Anforderungszyklus für den Stackspeicher	
1	0	1	0	10	EPU-Anforderung für den Datenspeicher	
1	0	1	1	11	EPU-Anforderung für den Stackspeicher	
1	1	0	0	12	Befehlszyklus für n-tes Wort im Code-Speicher	
1	1	0	1	13	Befehlszyklus für erstes Wort im Code-Speicher	
1	1	1	0	14	Transfer-Operation von der EPU zum MP	
1	1	1	1	15	ohne definierten Betriebszustand (reserviert)	

2. Mikroprozessoren

Tabelle 3 Befehlsliste in Befehlsgruppen alphabetisch geordnet

Mne- monic	Befehlsbeschreibung	Daten- art	Operanden	Adressie- rungsart	Flags aktiv
Arithmetische Befehle					
ADC	Addition mit vorhergehendem Übertrag, der dem Quellope- rand hinzugezählt wird	B,W	dst,src	R	C,Z,S,V, D ¹),H ¹)
ADD	Addition, mit Vorzeichen, Zweier-Komplement	B,W,L	dst,src	R,IM,IR, DA,X	C,Z,S,V, D ¹),H ¹)
CP	Vergleich eines Speicherinhal- tes, Subtraktion	B,W	dst,src	IR,DA,X	C,Z,S,V
	Vergleich eines Registerinhalts, Subtraktion	B,W,L	dst,src	R,IM,IR, DA,X	C,Z,S,V
DAB	Korrekturfunktion einer vorher- gehenden Addition oder Sub- traktion von Binär-BCD-Werten	B	dst	R	C,Z,S
DEC	ein beliebiger Operand in Regi- ster oder Speicher wird ernied- rigt (um 1 bis 16)	B,W	dst,src	R,IR,DA,X	Z,S,V
DIV	binäre Division, mit Vorzei- chen, Ergebnis in Register mit doppelter Länge	W,L	dst,src	R,IM,IR, DA,X	C,Z,S,V
EXTS	das Vorzeichen-Bit der niedri- geren Hälfte eines Operanden wird auf die obere Hälfte des Operanden bezogen	B,W,L	dst	R	-
INC	ein beliebiger Operand in Regi- ster oder Speicher wird erhöht (um 1 bis 16)	B,W	dst,src	R,IR,DA,X	Z,S,V
MULT	binäre Multiplikation, mit Vor- zeichen, Ergebnis in Register mit doppelter Länge	W,L	dst,src	R,IM,IR, DA,X	C,Z,S,V
NEG	Bildung des echten Komple- ments, Zweier-Komplement $x \rightarrow 2^n - x$	B,W	dst	R,IR,DA,X	C,Z,S,V
SBC	Subtraktion mit vorgehendem Übertrag, der dem Quellope- rand hinzugezählt wird	B,W	dst,src	R	C,Z,S,V, D ¹),H ¹)
SUB	Subtraktion, mit Vorzeichen, Zweier-Komplement-Addition	B,W,L	dst,src	R,IM,IR, DA,X	C,Z,S,V, D ¹),H ¹)
Bit-Manipulation					
BIT	Abfrage eines bestimmten Bits in einem Wortregister	B,W	dst,src	R,IR,DA,X	Z

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart	Flagsaktiv
RES	setzt ein bestimmtes Bit in einem Operand, Wort oder Byte auf Null, Bit-Nummer als Zahl	B,W	dst,src	R,IR,DA,X	-
	- statisch: direkter Wert angegeben - dynamisch: Register enthält den Wert	B,W	dst,src	R	-
SET	setzt ein bestimmtes Bit in einem Operand, Wort oder Byte auf Eins, Bit-Nummer als Zahl	B,W	dst,src	R,IR,DA,X	-
	- statisch: wie RES - dynamisch: wie RES	B,W	dst,src	R	-
TCC	siehe unter logische Befehle	B,W	cc,dst	R	-
TSET	Abfrage eines Operanden, ob das MSB gesetzt ist; war es gesetzt, alle Bits des Operanden werden auf Eins gesetzt	B,W	dst	R,IR,DA,X	S
Blocktransfer- und String-Manipulation					
CPD	Vergleichsfunktion Register oder Speicher mit dekrementieren eines Zählerregisters	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPDR	Vergleichsfunktion mit dekrementieren, repetierend	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPI	Vergleichsfunktion Register oder Speicher mit inkrementieren eines Zählerregisters	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPIR	Vergleichsfunktion mit inkrementieren, repetierend	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPSD	Vergleichsfunktion zweier Zeichenketten im Speicher mit dekrementieren eines Zählerregisters	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPSDR	Vergleichsfunktion zweier Zeichenketten mit dekrementieren, repetierend	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPSI	Vergleichsfunktion zweier Zeichenketten im Speicher mit inkrementieren eines Zählerregisters	B,W	dst,src, r,cc	IR	(C),Z, (S),V
CPSIR	Vergleichsfunktion zweier Zeichenketten mit inkrementieren, repetierend	B,W	dst,src, r,cc	IR	(C),Z, (S),V
LDD	laden von Datenblöcken in Speicher, mit dekrementieren eines Anzahl-Zählerregisters	B,W	dst,src,r	IR	V

2. Mikroprozessoren

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart	Flags aktiv
LDDR	laden von Datenblöcken in Speicher, mit repetierender Funktion durch dekrementieren eines Anzahl-Zählerregisters bis Null	B,W	dst,src,r	IR	V ²⁾
LDI	laden von Datenblöcken in Speicher, mit inkrementieren eines Anzahl-Zählerregisters	B,W	dst,src,r	IR	V
LDIR	laden von Datenblöcken in Speicher, mit repetierender Funktion durch inkrementieren eines Anzahl-Zählerregisters bis Null	B,W	dst,src,r	IR	V ²⁾
TRDB	Manipulation einer Zeichenketten-Tabelle, Stringanzahl-Register wird dekrementiert	B	dst,src,r	IR	V
TRDRB	Manipulation einer Zeichenketten-Tabelle, repetierende Bearbeitung, Stringanzahl-Register wird dekrementiert bis Null	B	dst,src,r	IR	V ²⁾
TRIB	Manipulation einer Zeichenketten-Tabelle, Stringanzahl-Register wird inkrementiert	B	dst,src,r	IR	V
TRIRB	Manipulation einer Zeichenketten-Tabelle, repetierende Bearbeitung, Index wird inkrementiert, Stringanzahl-Register dekrementiert bis Null	B	dst,src,r	IR	Z,V ²⁾
TRTDB	Manipulation einer Zeichenketten-Tabelle mit einer Testfunktion, Stringanzahl-Register wird dekrementiert	B	src1,src2, r	IR	Z,V
TRTDRB	Manipulation einer Zeichenketten-Tabelle mit einer Testfunktion, repetierende Bearbeitung, Index wird dekrementiert, Stringanzahl-Register wird dekrementiert bis Null	B	src1,src2, r	IR	Z,V
TRTIB	Manipulation einer Zeichenketten-Tabelle mit einer Testfunktion, Stringanzahl-Register wird inkrementiert	B	src1,src2, r	IR	Z,V
TRTIRB	Manipulation einer Zeichenketten-Tabelle mit einer Testfunktion, repetierende Bearbeitung, Index wird inkrementiert, Stringanzahl-Register wird dekrementiert bis Null	B	src1,src2, r	IR	Z,V

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart	Flags aktiv
MP-Steueroperationen					
COMFLG	Komplementbildung beliebiger Flags	-	flag	-	C,Z,S,P/V ¹⁾
DI ³⁾	löschen bzw. Null setzen der beiden Freigabebits von VI und NVI im FCW-Wort	-	int	-	-
EI ³⁾	setzen der beiden Freigabebits von VI bis NVI im FCW-Register	-	int	-	-
HALT ³⁾	MP-Operation ist ausgesetzt	-	-	-	-
LDCTL ³⁾	laden eines Steuerwortes bzw. -Bytes vom Register in FCW, Refresh-Register, Programmstatusfläche PSAPSEG, PSAPOFF und Normal-Stapelzeiger (NSPSEG, NSPOFF)	-	dst,src	R	C,Z,S,P, D,H ¹⁾
LDCTL ³⁾	laden eines Steuerwortes bzw. -Bytes von FCW, Refresh-Register, PSAPSEG, PSAPOFF und Stapelzeiger ins Register	-	dst,src	-	-
LDCTLB	laden des FLAG-Registers (Byte)	-	-	R	C,Z,S,P/V, D,H ¹⁾
LDCTLB	laden der FLAGs in ein Byte-Register	-	-	-	-
LDPS ³⁾	laden Programmstatus, PC-Offset, PC Segment (nur Segment, MP), FCW	-	src	IR,DA,X	C,Z,S,P, D,H
MBIT ³⁾	Abfrage der MI-Anschlüsse für ein Multiprozessorsystem, S = Null, wenn MI aktiv	-	-	-	(Z),S
MREQ ³⁾	Abfrage der MI-Anschlüsse, wenn aktiv → MO nicht setzen, wenn nicht aktiv → MO aktivieren, S-Flag abfragen	-	dst	-	Z,S
MRES ³⁾	MO-Anschluß H = inaktiv setzen	-	-	-	-
MSET ³⁾	MO-Anschluß L = aktiv setzen	-	-	-	-
NOP	keine MP-Operation	-	-	-	-
RESFLG	setzt ein oder mehrere Flags auf Null	-	flag	-	C,Z,S,P/V ¹⁾
SETFLG	setzt ein oder mehrere Flags auf Eins	-	flag	-	C,Z,S,P/V ¹⁾

2. Mikroprozessoren

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart		Flags aktiv
				üblich	speziell	
Eingabe/Ausgabe-Befehle (Schnittstellen-Operationen)						
Jeder E/A-Befehl (ausgenommen (S)IN und (S)OUT) bezeichnet sein eigenes Zählerregister, das die Anzahl der transferierten Operanden beinhaltet.						
IN ³⁾	mit Hilfe einer Eingangs-Portadresse wird ein Operand in ein Register geholt	B,W	dst,src	IR, DA	(DA)	-
IND ³⁾	laden eines Port-Operanden in einen Speicherplatz mit dekrementieren eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V
INDR ³⁾	laden mehrerer Port-Operanden (Datenblock) in Speicherplätze, mit repetierendem Dekrement eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V ²⁾
INI ³⁾	laden eines Port-Operanden in einen Speicherplatz, mit inkrementieren eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V
INIR ³⁾	laden mehrerer Port-Operanden (Datenblock) in Speicherplätze, mit repetierendem Inkrement eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V ²⁾
OTDR ³⁾	Ausgabe mehrerer Operanden (Datenblock) vom Speicher an Ausgabeadressen, mit repetierendem Dekrement eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V ²⁾
OTIR ³⁾	Ausgabe mehrerer Operanden (Datenblock) vom Speicher an Ausgabeadressen, mit repetierendem Inkrement eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V ²⁾
OUT ³⁾	mit einer Ausgangs-Portadresse wird ein Operand in einem Register zu einem Ausgangs-Port gegeben	B,W	dst,src	IR, DA	(DA)	-
OUTD ³⁾	Ausgabe eines Operanden vom Speicher an einen Port, mit dekrementieren eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V
OUTI ³⁾	Ausgabe eines Operanden vom Speicher an ein Port, mit inkrementieren eines Operandenzählers	B,W	dst,src,r	IR	(IR)	V

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart		Flags aktiv
				üblich	speziell	
SIN ³)	einfacher Ladebefehl, MMU-Register zu MP-Register	B,W	dst,src	IR, DA	(DA)	-
SIND ³)	Blockdaten-Transfer von MMU zu Datenspeicher, automatisch Dekrement des Zieladressenregisters, mit dekrementieren eines Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V
SINDR ³)	Blockdaten-Transfer von MMU zu Datenspeicher, repetierendes Dekrement des Zieladreib- und Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V ²)
SINI ³)	Blockdaten-Transfer von MMU zu Datenspeicher, automatisch Inkrement des Zieladressenregisters, mit dekrementieren eines Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V
SINIR ³)	Blockdaten-Transfer von MMU zu Datenspeicher, repetierendes Inkrement der Zieladresse und dekrementieren des Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V ²)
SOTDR ³)	Blockdaten-Transfer vom Datenspeicher zu MMU, repetierendes Dekrement des Quelladreib-Registers und des Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V ²)
SOTIR ³)	Blockdaten-Transfer vom Datenspeicher zu MMU, repetierendes Inkrement des Quelladreib-Registers und dekrementieren des Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V ²)
SOUT ³)	einfacher Ladebefehl, MP-Register zu MMU-Register	B,W	dst,src	IR, DA	(DA)	-
SOUT ³)	Blockdaten-Transfer vom Datenspeicher zu MMU, automatisch Dekrement des Quelladreibregisters, mit dekrementieren eines Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V

2. Mikroprozessoren

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart		Flags aktiv
				üblich	speziell	
SOUTI ³⁾	Blockdaten-Transfer vom Datenspeicher zu MMU, automatisch Inkrement des Quelladreßregisters, mit dekrementieren eines Operanden-Zählerregisters	B,W	dst,src,r	IR	(IR)	V
Lade- und Austauschbefehle						
CLR	löschen bzw. Null setzen eines Register- bzw. Speicherinhaltes	B,W	dst	R,IR,DA,X		-
EX	Quell- und Zieloperand werden ausgetauscht, im Register oder Speicher	B,W	dst,src	R,IR,DA,X		-
LD	laden eines Operanden von Register oder Speicher in Register oder Speicher in allen typischen Adressierungsarten für Quell- und Zieloperand	B,W,L	dst,src	R,IM,IR,DA,X,BA,BX		-
LDA	laden einer Adresse in Register	W	dst,src	R,DA,X,BA,BX		-
LDAR	berechnen und laden einer relativen Adresse in ein Allzweckregister aus dem momentanen PC-Wert nach LDAR plus Distanz	W	dst,src	R,RA		-
LDK	laden einer konstanten Zahl (0 bis 15) in die niedrigsten 4 bit eines Wortregisters	W	dst,src	R,IM		-
LDM	repetierendes Umladen des Inhalts im Allzweckregisterfeld in oder vom Speicher, Register 0 bis 15 wahlweise	W	dst,src,num	R,IR,DA,X		-
LDR	laden in Register vom Speicher oder umgekehrt mit einer relativen Sprungadressenangabe, effektive Operandenadresse aus Distanz plus momentanem PC-Inhalt	B,W,L	dst,src	R,RA		-

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart	Flags aktiv
POP	zurückholen von Daten, Statuswerten oder Adressen aus dem Stack in das Arbeitsregister oder den Datenspeicher	W,L	dst,src	R,IR,DA,X	-
PUSH	inverser Befehl zu POP, verschieben von Daten, Statuswerten oder Adressen aus Arbeitsregistern oder Datenspeicher in den Stapelspeicher	W,L	dst,src	R,IM,IR,DA,X	-
Logische Befehle					
AND	logische UND-Funktion, von Quell- und Zieloperand	B,W	dst,src	R,IM,IR,DA,X	Z,S,P
COM	Komplementbildung eines Register- oder Speicherinhalts	B,W	dst	R,IR,DA,X	Z,S,P
OR	logische ODER-Verknüpfung des Quell- und Zieloperanden	B,W	dst,src	R,IM,IR,DA,X	Z,S,P
TCC	bildet einen Operanden nach Booleschen Gesetzen als Folge einer logischen Operation des vorangegangenen Befehls, in dem 4 bit cc-Feld ist die abzufragende Bedingung enthalten	B,W	cc, dst	R	-
TEST	testet einen Operanden nach einer logischen ODER-Verknüpfung, Test auf Inhalt Null und gesetztem MSB	B,W,L	dst	R,IR,DA,X	Z,S,P
XOR	logische »exklusiv«-ODER-Verknüpfung des Quell- und Zieloperanden	B,W	dst,src	R,IM,IR,DA,X	Z,S,P
Programm-Steuerbefehle					
CALL	retten des laufenden Programmzählerwertes in den Stapel, laden des neuen PC-Wertes	-	dst	IR,DA,X	-
CALR	retten des laufenden PC-Wertes in den Stapel, berechnen und laden des neuen PC-Wertes aus $-PC - 2 \times \text{Distanz}$, entspricht: Zweier-Komplement von $PC + \text{Zweier-Komplement } 2 \times \text{Distanz}$	-	dst	RA	-
DJNZ	Schleifensteuerung durch dekrementieren und abfragen, bei Null wird neuer PC geladen	B,W	r,dst	RA	-

2. Mikroprozessoren

Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart	Flags aktiv
IRET ³⁾	Rücksprung aus Interrupt-Serviceroutine; laden von Kennung, FCW-Register und PC-Wert der letzten Programmzeile des vorhergehenden Programms vor der Interrupt-Anerkennung	-	-	-	C,Z,S,P, D,H
JP	bedingter Sprung in eine Unteroutine, laden des neuen absoluten PC-Wertes	-	cc,dst	IR,DA,X	-
JR	relativer bedingter Sprung in eine Unteroutine, berechnen und laden des neuen PC-Wertes aus - PC plus zweimal Distanz entsprechend Zweierkomplement, PC plus zweimal Distanz	-	cc,dst	RA	-
RET	Rückkehr aus Unteroutine nach Bedingung, lädt aus dem Stapel den letzten Stand des PC vor dem Sprung in das Unterprogramm wieder in den PC zurück	-	cc	-	-
SC	ermöglicht einen Aufruf im Normal-Mode und hat das Ziel, den MP in den System-Mode und/oder segmentierten Mode zu setzen	-	src	IM	-

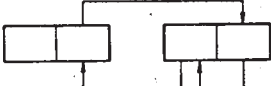
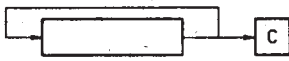

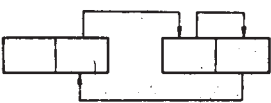
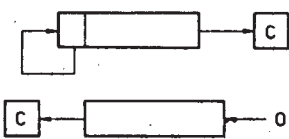
Schiebe- und Rotationsbefehle

RL schiebt Inhalt in Register an MSB links in Carry und am LSB wieder in das Register um 1 oder 2 bit-Stellen




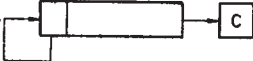
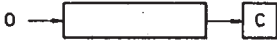


RLC schiebt Inhalt in Register an MSB links durch Carry und am LSB wieder in das Register um 1 oder 2 bit-Stellen



Mnemonic	Befehlsbeschreibung	Datenart	Operanden	Adressierungsart	Flags aktiv
RLDB	geschlossene Linksverschiebung eines BCD-Digits über drei Dezimalstellen am niedrigsten Digit wieder in das Register	B	dst,src	R	Z,(S)
					
RR	schiebt Inhalt in Register an LSB rechts in Carry und an MSB wieder in das Register um 1 oder 2 bit-Stellen	B,W	dst,src	R	C,Z,S,V
					
RRC	schiebt Inhalt in Register an LSB rechts durch Carry und am MSB wieder in das Register um 1 oder 2 bit-Stellen	B,W	dst,src	R	C,Z,S,V
					
RRDB	geschlossene Rechtsverschiebung eines BCD-Digits über drei Dezimalstellen am höchsten Digit wieder in das Register	B	dst,src	R	Z,(S)
					
SDA	verschiebt Inhalt in Register arithmetisch nach links oder rechts, je nach Vorzeichen des Quelloperanden in einem anderen Register; die Zahl im Quelloperand bedingt die verschobenen Stellen; B = 8, W = 16, L = 32 max. Stellen	B,W,L	dst,src	R	C,Z,S,V
					

2. Mikroprozessoren

Mne- monic	Befehlsbeschreibung	Daten- art	Operanden	Adressie- rungsart	Flags aktiv
SDL	<p>verschiebt Inhalt in Register logisch nach links oder rechts, je nach Vorzeichen des Quelloperanden in einem anderen Register; die Zahl im Quelloperand bedingt die verschobenen Stellen; $B \Rightarrow 8, W = 16, L = 32$ max. Stellen</p> 	B,W,L	dst,src	R	C,Z,S,(V)
SLA	<p>verschiebt Inhalt in Register arithmetisch nach links in Carry um die im src-Operand angegebene Zahl; $B = 0$ bis 8, $W = 0$ bis 16, $L = 0$ bis 32</p> 	B,W,L	dst,src	R	C,Z,S,V
SLL	<p>verschiebt Inhalt in Register logisch nach links in Carry um die im src-Operand angegebene Zahl; $B = 0$ bis 8, $W = 0$ bis 16, $L = 0$ bis 32</p> 	B,W,L	dst,src	R	C,Z,S,(V)
SRA	<p>verschiebt Inhalt in Register arithmetisch nach rechts in Carry um die im src-Operand angegebene Zahl; $B = 0$ bis 8, $W = 0$ bis 16, $L = 0$ bis 32</p> 	B,W,L	dst,src	R	C,Z,S,V ¹⁾
SRL	<p>verschiebt Inhalt in Register logisch nach rechts in Carry um die im src-Operand angegebene Zahl; $B = 0$ bis 8, $W = 0$ bis 16, $L = 0$ bis 32</p> 	B,W,L	dst,src	R	C,Z,S,(V)

- 1) Flags nur bei Byte-Operationen aktiv.
- 2) Flag wird gesetzt.
- 3) Alle Befehle sind privilegierte Befehle, die nur im System-Mode ausgeführt werden können. Diese Vereinbarung gilt für beide Mikroprozessor-Versionen.
- 4) Flag wird gelöscht.

1. Erklärung zu Tabelle 3
Adressierungsarten

Mode	Operandenadressierung			Operandwert	
	im Befehl	in einem Register	im Speicher		
Register (R)	Register- adresse	Operand		Inhalt des Registers	
Direkt (IM)	Operand			im Befehl	
Register indirekt (IR)	Register- adresse	Adresse	Operand	Inhalt des durch ein Register adressierten Speicherplatzes	
Adresse direkt (DA)	Adresse		Operand	Inhalt des durch den Befehl di- rekt adressierten Speicherplat- zes	
Index (X)	Register- adresse Basis- adresse	Distanz- adresse	+	Operand	Inhalt des Speicherplatzes, der durch Basisadresse (im Befehl) plus Distanzadresse (in einem durch den Befehl adressierten Register) adressiert ist
Relative Adres- sierung (RA)	Distanz- adresse	Programm- zählerstand	+	Operand	Inhalt des Speicherplatzes, der durch den Programmzähler- stand plus Distanzadresse adressiert ist
Basis-Adres- sierung (BA)	Register- adresse Distanz- adresse	Basis- adresse	+	Operand	Inhalt des Speicherplatzes, der durch Basisadresse (in einem durch den Befehl adressierten Register) plus Distanzadresse (im Befehl) adressiert ist
Indizierte Ba- sis-Adressie- rung (BX)	Register- adresse Register- adresse	Basis- adresse Distanz- adresse	+	Operand	Inhalt des Speicherplatzes, der durch Basisadresse plus Di- stanzadresse (beide in je einem durch den Befehl adressierten Register) adressiert ist

2. Mikroprozessoren

2. Erklärung zu Tabelle 3

Bedeutung der Flags:

C	Übertrag
Z	Null
S	Vorzeichen
P/V	Parität/Überlauf
D	Dezimal-Korrektur
H	Digit-Übertrag
(Flag)	= Flag ist undefiniert
dst	Ziel-Register
src	Quellen-Register
cc	Bedingungsfeld
r	Zählerregister
flag	direkte Flag-Operationen
num	gibt Anzahl der Zyklen an
int	Beeinflussung der Freigabebits für Interrupt (VI, NVI)

Erweiterte Befehle (mit EPU):

- Speicher laden von EPU
- EPU laden vom Speicher
- EPU laden von MP
- FCW laden von EPU
- EPU laden von FCW
- interne EPU-Operationen

3. Erklärung zu Tabelle 3

Befehlsformat – allgemein

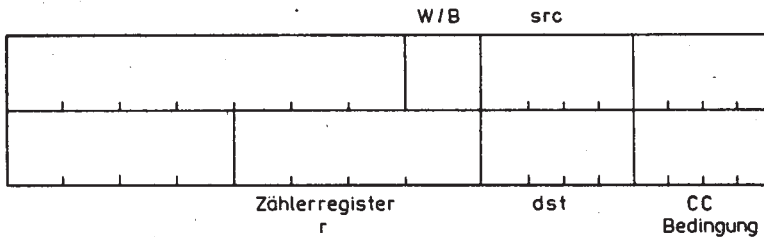
Beispiel: Langwortoperation (max. 5 16-bit-Worte beim UB 8001 C)

Adres- sie- rungs- art	Befehlscode	Wor- te/ Byte	Quellen- Register src - Feld	Ziel - Re- gister dst - Feld
---------------------------------	-------------	---------------------	------------------------------------	------------------------------------

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	} Befehls- definition
1	S e g m e n t						(kurzer Offset oder H00)									
langer Offset																
Operand																
D 16 - D 31																
D 0 - D 15																
31															16	
15															0	

Adressierungsart	dst	src	
1	0	R	R
0	0	R	IM (src = 0)
0	0	R	IR (src ≠ 0)
0	1	R	DA (src = 0)
0	1	R	X (src ≠ 0)
0	0	IR	IM (dst ≠ 0)
0	1	DA	IM (dst = 0)
0	1	X	IM (dst ≠ 0)
1	0	R	IM

Befehlsformat mit 4-bit-Bedingungsfeld (cc-Feld)
 Beispiel: Stringvergleich CPSDR, CPSIR



Mit dem cc-Feld können 22 Bedingungen codiert werden, wobei sich gleichlautende Codes für einige Bedingungen ergeben.

Tabelle 4 Haupt- und Nebenkenngrößen (Einstellwerte)
 $U_{CC} = 4,75 \text{ V}$; $U_{IL} = 0,8 \text{ V}$; $U_{IH} = 2 \text{ V}$; $U_{ILC} = 0,45 \text{ V}$; $U_{IHC} = 4,85 \text{ V}$;
 $C_L = 100 \text{ pF}$; $\vartheta_a = 25 \text{ °C}/70 \text{ °C}$

Kenngröße	Kurzzeichen ¹⁾	Einheit	Kleinstwert	Größt- wert
Eingangsreststrom (für $U_{CC} = 5,25 \text{ V}$)	I_{IL}	μA	-	20
Eingangsstrom am $\overline{\text{SEGT}}$ -Anschluß (für $U_{CC} = 5,25 \text{ V}$)	I_{ISEGT}	μA	-	-100
Ausgangsreststrom (für $U_{CC} = 5,25 \text{ V}$)	I_{OL}			20
H-Ausgangsspannung bei Belastung	U_{OH}	V	2,4	-
L-Ausgangsspannung bei Belastung (für $U_{CC} = 5,25 \text{ V}$)	U_{OL}	V	-	0,4
Funktionsfähigkeit bei mi-	U_{OL}	V	-	0,4

2. Mikroprozessoren

Kenngröße	Kurzzeichen ¹⁾	Einheit	Kleinstwert	Größtwert
nimaler Betriebsspannung	U_{OH}	V	2,4	–
Funktionsfähigkeit bei maximaler Betriebsspannung	U_{OL}	V	–	0,4
(für $U_{CC} = 5,25$ V)	U_{OH}	V	2,4	–
Stromaufnahme (für $U_{CC} = 5,25$ V)	I_{CC}	mA	–	300
LH-Flanke des Taktes bis Segmentnummer gültig	$t_{dC(SNn)}$ (6)	ns	–	130
LH-Flanke des Taktes bis Segmentnummer ungültig	$t_{dC(SNn)}$ (7)	ns	20	–
LH-Flanke des Taktes bis alle Tristate-Anschlüsse floaten	$t_{dC(Bz)}$ (8)	ns	–	65
LH-Flanke des Taktes bis Adressen gültig	$t_{dC(A)}$ (9)	ns	–	100
LH-Flanke des Taktes bis Adressen floaten	$t_{dC(Az)}$ (10)	ns	–	65
LH-Flanke des Taktes bis Schreibdaten gültig	$t_{dC(DW)}$ (14)	ns	–	100
Verzögerungszeit von HL-Flanke des Taktes zu HL-Flanke von MREQ	$t_{dC(MR)}$ (18)	ns	–	80
Verzögerungszeit der HL-Flanke des Taktes zu LH-Flanke von MREQ	$t_{dC(MR)}$ (23)	ns	–	80
Verzögerungszeit der LH-Flanke des Taktes zu HL-Flanke von \overline{AS}	$t_{dC(ASf)}$ (24)	ns	–	80
Verzögerungszeit der HL-Flanke des Taktes zu LH-Flanke von \overline{AS}	$t_{dC(ASr)}$ (26)	ns	–	90
Verzögerungszeit von Adressen floaten bis HL-Flanke von \overline{DS} (Lesen)	$t_{dAz(DSR)}$ (31)	ns	0	–
Verzögerungszeit der HL-Flanke des Taktes zu LH-Flanke von \overline{DS}	$t_{dC(DSr)}$ (34)	ns	–	70
Verzögerungszeit der LH-Flanke des Taktes zu HL-Flanke von \overline{DS}	$t_{dC(DSR)}$ (37)	ns	–	120
Verzögerungszeit von HL-Flanke des Taktes zu HL-Flanke von \overline{DS} (Schreiben)	$t_{dC(DSW)}$ (39)	ns	–	95
Verzögerungszeit der HL-Flanke des Taktes zu HL-Flanke von \overline{DS} (E/A)	$t_{dC(DSf)}$ (42)	ns	–	120

Kenngröße	Kurzzeichen ¹⁾	Einheit	Kleinstwert	Größt- wert
Verzögerungszeit der LH-Flanke des Taktes zu HL-Flanke von \overline{DS} (Anerkennung)	$t_{dc(DSA)}$ (45)	ns	-	120
Verzögerungszeit der HL-Flanke des Taktes zu STATUS gültig	$t_{dc(S)}$ (47)	ns	-	110
Verzögerungszeit der LH-Flanke des Taktes bis \overline{MO}	$t_{dc(MO)}$ (59)	ns	-	120
Verzögerungszeit der LH-Flanke des Taktes zu LH-Flanke von \overline{BUSAK}	$t_{dc(BAKr)}$ (66)	ns	-	100
Verzögerungszeit der LH-Flanke des Taktes zu HL-Flanke von \overline{BUSAK}	$t_{sc(BAKl)}$ (67)	ns	-	100

1) Die angegebenen Nummern entsprechen den im Diagramm »Zeitverhalten« (Bild 5) eingetragenen Zeiten.

Tabelle 5 Grenzwerte bei $U_{SS} = 0 \text{ V}$; $\vartheta_a = 0$ bis 70°C

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größt- wert
Betriebsspannung	U_{CC}	V	-0,5	7
Eingangsspannung	U_I	V	-0,5	7
Lagerungstemperaturbereich	ϑ_{stg}	$^\circ\text{C}$	-55	125

Tabelle 6 Statische Betriebsbedingungen

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größt- wert
Betriebsspannung	U_{CC}	V	4,75	5,25
Eingangsspannung	U_{IL}	V	-0,5	0,8
	U_{IH}	V	2	$U_{CC} + 0,3$
Eingangsspannung HIGH am RESET-Anschluß	U_{IHRES}	V	2,4	$U_{CC} + 0,3$
Takteeingangsspannung	U_{ICL}	V	-0,5	0,45
	U_{ICH}	V	$U_{CC} - 0,4$	$U_{CC} + 0,3$
Betriebstemperaturbereich	ϑ_a	$^\circ\text{C}$	0 bis 70	

2. Mikroprozessoren

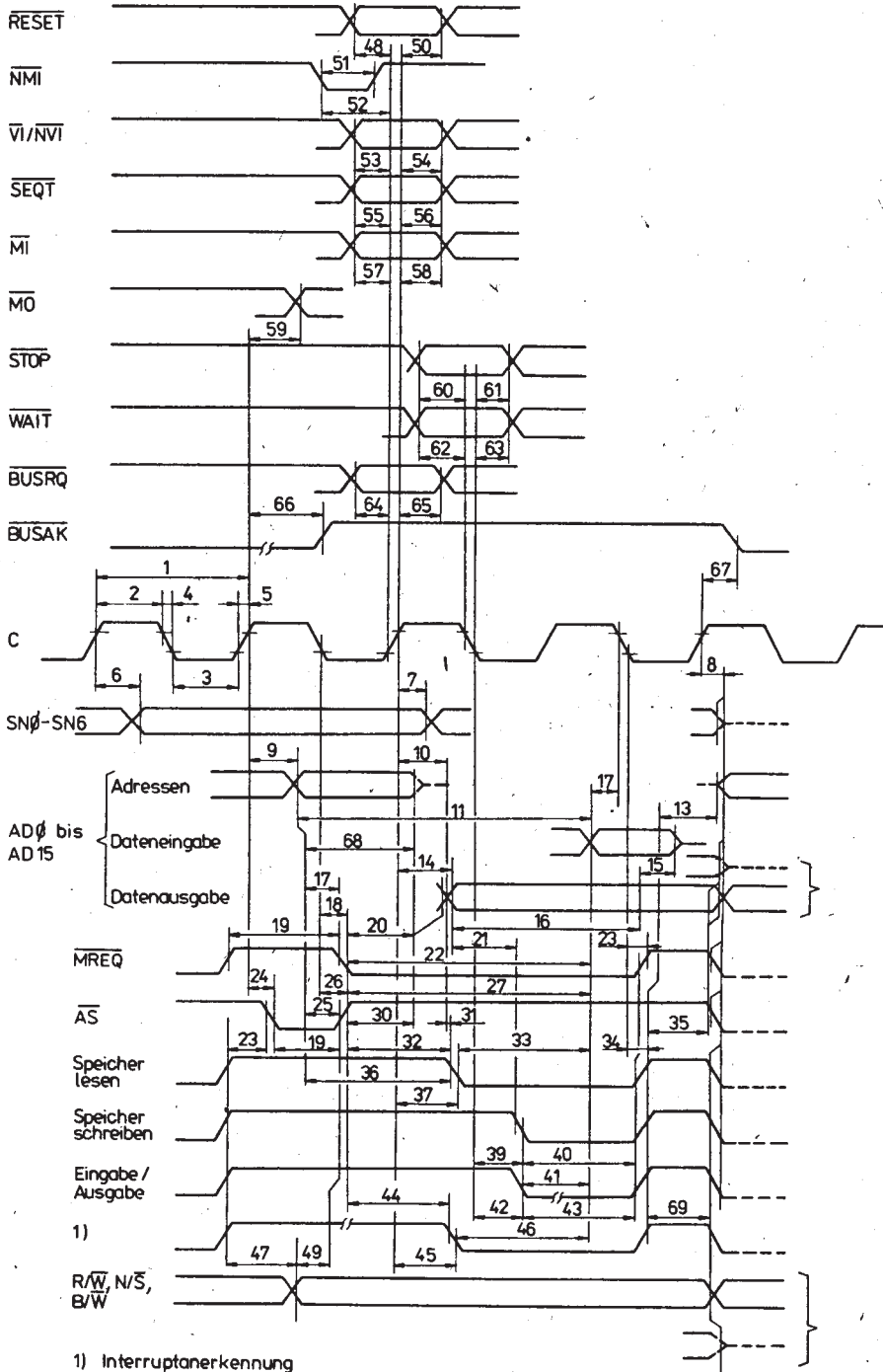


Bild 5 Zeitverhalten

Tabelle 7 Dynamische Betriebsbedingungen bei 0 bis 70 °C

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größt- wert
Eingangsfrequenz	f_{oc}	MHz	0,5	4
Taktperiode	t_{cc} (1)	ns	250	2 000
HIGH-Breite des Taktes	t_{wCH} (2)	ns	105	2 000
LOW-Breite des Taktes	t_{wCL} (3)	ns	105	2 000
Abfallzeit des Taktes	t_{rc} (4)	ns	–	20
Anstiegszeit des Taktes	t_{rc} (5)	ns	–	20
Setzzeit für Lesedaten bis HL-Flanke des Taktes	$t_{sDR(C)}$ (12)	ns	30	–
Haltezeit für Schreibdaten bis LH-Flanke von \overline{DS}	$t_{hDR(DS)}$ (15)	ns	0	–
Setzzeit für \overline{RESET} bis LH-Flanke des Taktes	$t_{sR(C)}$ (49)	ns	180	–
Haltezeit für \overline{RESET} bis LH-Flanke des Taktes	$t_{hR(C)}$ (50)	ns	0	–
LOW-Breite von \overline{NMI}	t_{wNMI} (51)	ns	100	–
Setzzeit für \overline{NMI} bis LH- Flanke des Taktes	$t_{sNMI(C)}$ (52)	ns	140	–
Setzzeit für \overline{VI} , \overline{NVI} bis LH-Flanke des Taktes	$t_{sVI(C)}$ (53)	ns	110	–
Haltezeit für \overline{VI} , \overline{NMI} bis LH-Flanke des Taktes	$t_{hVI(C)}$ (54)	ns	20	–
Setzzeit für \overline{SEGT} bis LH- Flanke des Taktes	t_{sSGT} (55)	ns	70	–
Haltezeit für \overline{SEGT} bis LH-Flanke des Taktes	t_{hSGT} (56)	ns	0	–
Setzzeit für \overline{MI} bis LH- Flanke des Taktes	$t_{sMI(C)}$ (57)	ns	180	–
Haltezeit für \overline{MI} bis LH- Flanke des Taktes	$t_{hMI(C)}$ (58)	ns	0	–
Setzzeit für \overline{STOP} bis HL- Flanke des Taktes	$t_{sSTP(C)}$ (60)	ns	140	–
Haltezeit für \overline{STOP} bis HL-Flanke des Taktes	$t_{hSTP(C)}$ (61)	ns	0	–
Setzzeit für \overline{WAIT} bis HL- Flanke des Taktes	$t_{sW(C)}$ (62)	ns	50	–
Haltezeit für \overline{WAIT} bis HL-Flanke des Taktes	$t_{hW(C)}$ (63)	ns	10	–
Setzzeit für \overline{BUSRQ} bis LH-Flanke des Taktes	$t_{sBRQ(C)}$ (64)	ns	90	–
Haltezeit für \overline{BUSRQ} bis LH-Flanke des Taktes	$t_{hBRQ(C)}$ (65)	ns	10	–

2. Mikroprozessoren

Tabelle 8 Zeiten, die von der Taktperiode abhängig sind

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größt- wert
Adressen gültig bis Lesedatenanforderung gültig	$t_{dA(DR)}$ (11)	ns	–	475
LH-Flanke von \overline{DS} bis Adressen aktiv	$t_{dDS(A)}$ (13)	ns	80	–
Verzögerungszeit von Schreibdaten gültig zu LH-Flanke von \overline{DS}	$t_{dDW(DS)}$ (16)	ns	295	–
Verzögerungszeit von Adressen gültig zu HL-Flanke von \overline{MREQ}	$t_{dA(MR)}$ (17)	ns	55	–
HIGH-Breite von \overline{MREQ}	t_{wMRH} (19)	ns	210	–
HL-Flanke von \overline{MREQ} bis Adressen nicht aktiv	$t_{dMR(A)}$ (20)	ns	70	–
Verzögerungszeit von Schreibdaten gültig zu HL-Flanke von \overline{MREQ}	$t_{dDW(DSW)}$ (21)	ns	55	–
HL-Flanke von \overline{MREQ} bis Lesedatenanforderung gültig	$t_{dMR(DR)}$ (22)	ns	375	–
Verzögerungszeit von Adressen gültig bis LH-Flanke von \overline{AS}	$t_{dA(AS)}$ (25)	ns	55	–
LH-Flanke von \overline{AS} bis Lesedatenanforderung gültig	$t_{dAS(DR)}$ (27)	ns	360	–
Verzögerungszeit der LH-Flanke von \overline{DS} zu HL-Flanke von \overline{AS}	$t_{dDS(AS)}$ (28)	ns	70	–
LOW-Breite von \overline{AS}	t_{wAS} (29)	ns	85	–
Verzögerungszeit der LH-Flanke von \overline{AS} zu Adresse nicht aktiv	$t_{dAS(A)}$ (30)	ns	70	–
Verzögerungszeit der LH-Flanke von \overline{AS} zu HL-Flanke von \overline{DS} (Lesen)	$t_{dAS(DSR)}$ (32)	ns	80	–
HL-Flanke von \overline{DS} (Lesen) bis Lesedatenanforderung gültig	$t_{dDSR(DR)}$ (33)	ns	205	–
LH-Flanke von \overline{DS} bis Schreibdaten und STATUS nicht gültig	$t_{dDS(DW)}$ (35)	ns	75	–
Verzögerungszeit von Adressen gültig zu HL-Flanke von \overline{DS}	$t_{dA(DSR)}$ (36)	ns	180	–

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
LOW-Breite von \overline{DS} (Lesen)	t_{wDSR} (38)	ns	275	-
LOW-Breite von \overline{DS} (Schreiben)	t_{wDSW} (40)	ns	185	-
HL-Flanke von \overline{DS} bis Lesedatenanforderung gültig	$t_{dDSI(DR)}$ (41)	ns	330	-
LOW-Breite von \overline{DS} (Ein-/Ausgabe)	t_{wDS} (43)	ns	410	-
Verzögerungszeit der HL-Flanke von \overline{AS} zu HL-Flanke von \overline{DS} Anerkennung	$t_{dAS(DSA)}$ (44)	ns	1065	-
Verzögerungszeit der HL-Flanke von \overline{DS} (Anerkennung) zu Lesedatenanforderung	$t_{dDSA(DR)}$ (46)	ns	455	-
Verzögerungszeit von STATUS gültig zu LH-Flanke von \overline{AS}	$t_{ds(AS)}$ (48)	ns	50	-
gültige Adressenbreite	t_{wA} (68)	ns	150	-
LH-Flanke von \overline{DS} bis STATUS nicht gültig	$t_{dDS(S)}$ (69)	ns	80	-

Eine Berechnung ist nach folgender Tabelle möglich:

Tabelle 9

Symbol	Gleichung	Symbol	Gleichung
$t_{dA(DR)}$	$2t_{cc} + t_{wCH} - 130 \text{ ns}$	$t_{dAS(DSR)}$	$t_{wCL} - 25 \text{ ns}$
$t_{dDS(A)}$	$t_{wCL} - 25 \text{ ns}$	$t_{dDSR(DR)}$	$t_{cc} + t_{wCH} - 150 \text{ ns}$
$t_{dDW(DS)}$	$t_{cc} + t_{wCH} - 60 \text{ ns}$	$t_{dDS(DW)}$	$t_{wCL} - 30 \text{ ns}$
$t_{dA(MR)}$	$t_{wCH} - 50 \text{ ns}$	$t_{dA(DSR)}$	$t_{cc} - 70 \text{ ns}$
t_{wMRH}	$t_{cc} - 40 \text{ ns}$	t_{wDSR}	$t_{cc} + t_{wCH} - 80 \text{ ns}$
$t_{dMR(A)}$	$t_{wCL} - 35 \text{ ns}$	t_{wDSW}	$t_{cc} - 65 \text{ ns}$
$t_{dDW(DSW)}$	$t_{wCH} - 50 \text{ ns}$	$t_{dDSI(DR)}$	$2t_{cc} - 170 \text{ ns}$
$t_{dMR(DR)}$	$2t_{cc} - 130 \text{ ns}$	t_{wDS}	$2t_{cc} - 90 \text{ ns}$
$t_{dA(AS)}$	$t_{wCH} - 50 \text{ ns}$	$t_{dAS(DSA)}$	$4t_{cc} + t_{wCL} - 40 \text{ ns}$
$t_{dAS(DR)}$	$2t_{cc} - 140 \text{ ns}$	$t_{dDSA(DR)}$	$2t_{cc} + t_{wCH} - 150 \text{ ns}$
$t_{dDS(AS)}$	$t_{wCL} - 35 \text{ ns}$	$t_{ds(AS)}$	$t_{wCH} - 55 \text{ ns}$
t_{wAS}	$t_{wCH} - 20 \text{ ns}$	t_{wA}	$t_{cc} - 90 \text{ ns}$
$t_{dAS(A)}$	$t_{wCL} - 35 \text{ ns}$	$t_{dDS(S)}$	$t_{wCL} - 25 \text{ ns}$

2. Mikroprozessoren

Zeitverhalten

Das zusammengefaßte Diagramm über das Zeitverhalten (Bild 7) des *UB 8001 C/UB 8002 D* spiegelt nicht die richtige Reihenfolge des zeitlichen Ablaufs in dem Mikroprozessor wider.

Im Diagramm wird das Verhältnis einzelner Zeitintervalle zueinander dargestellt. Dabei

sind die Abstände der Maßpfeile kein Maß für die wirklich auftretenden Zeitwerte.

Exakte Aussagen dazu liefern die in Tabelle 4, Tabelle 7 und Tabelle 8 angegebenen dynamischen Kennwerte.

Die Erklärungen zu Signal-Kurzbezeichnungen können der Anschlußbeschreibung entnommen werden.

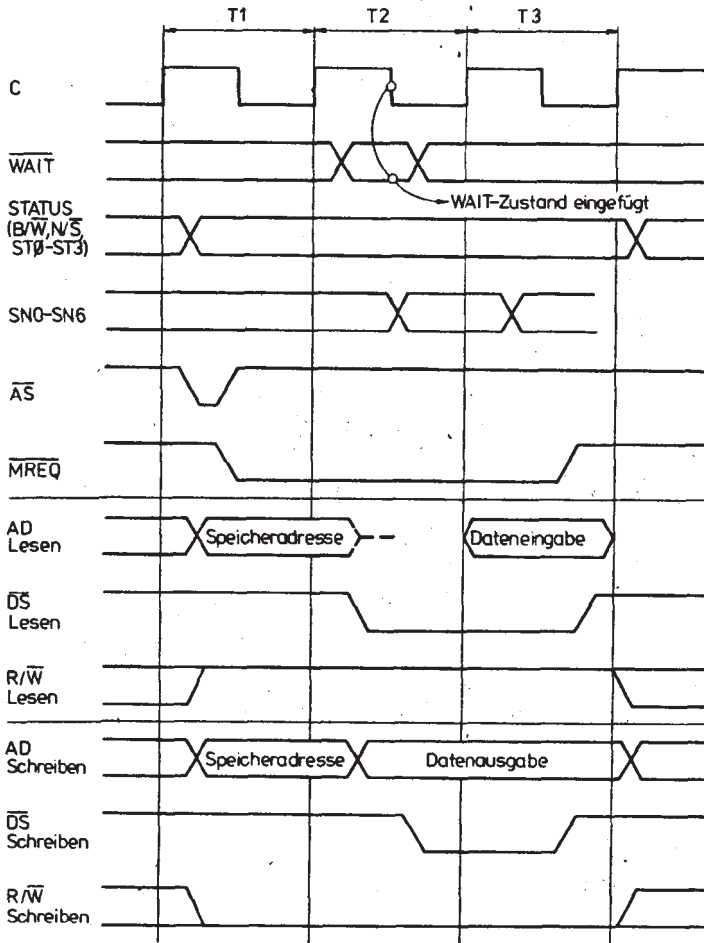


Bild 6
Zeitablauf:
Speicher lesen
und schreiben

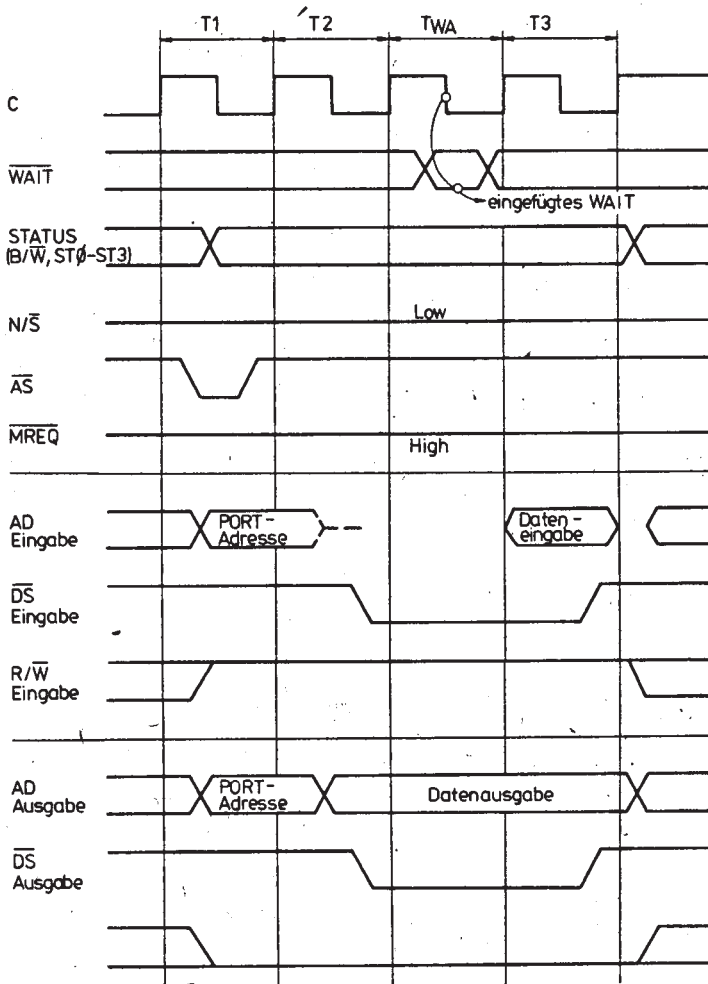


Bild 7
Zeitablauf:
Eingabe/Ausgabe

2. Mikroprozessoren

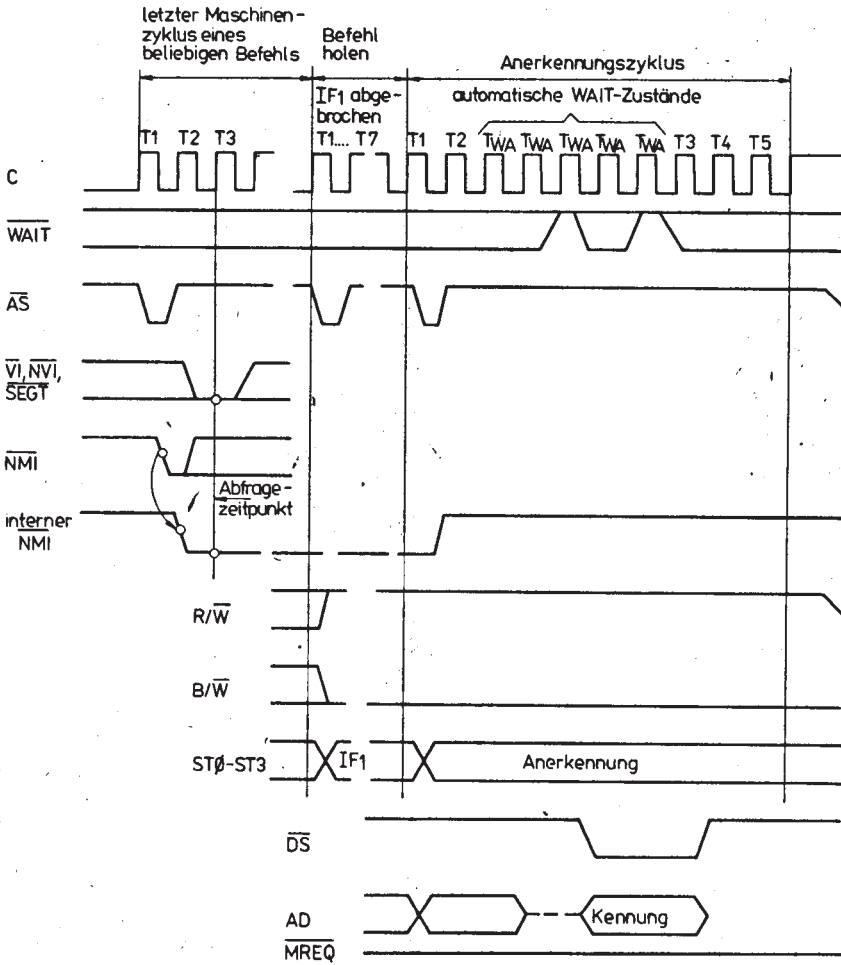


Bild 8 Zeitablauf: Interrupt- und Segment-Trap-Anforderung/-Anerkennung

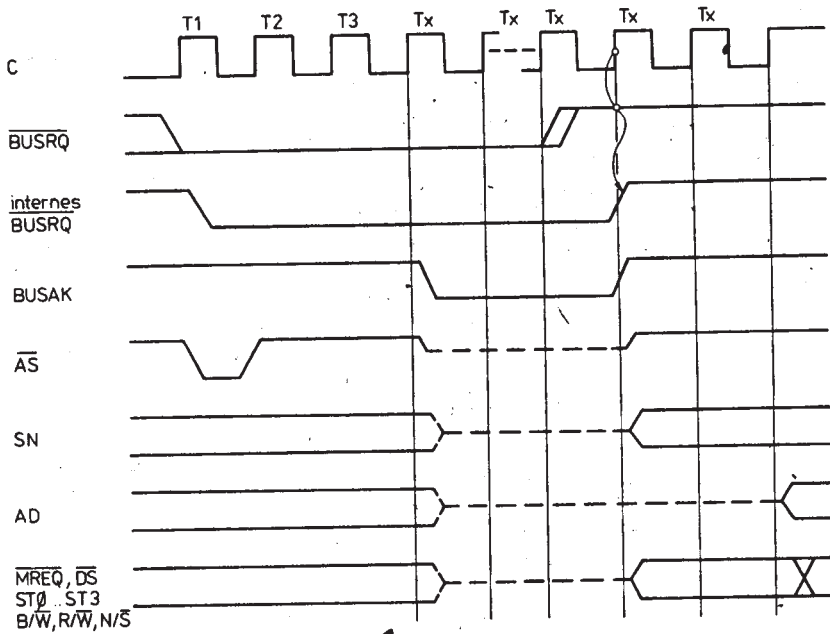


Bild 9 Zeitablauf: Busanforderung/Busbestätigung

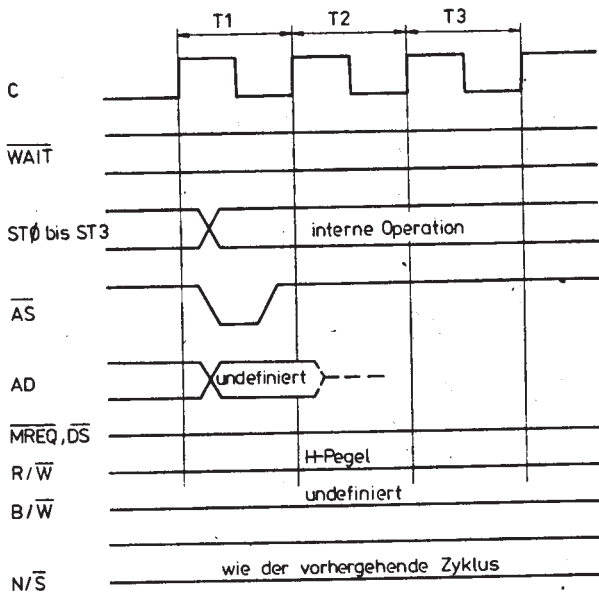


Bild 11
Zeitverhalten bei interner
Operation

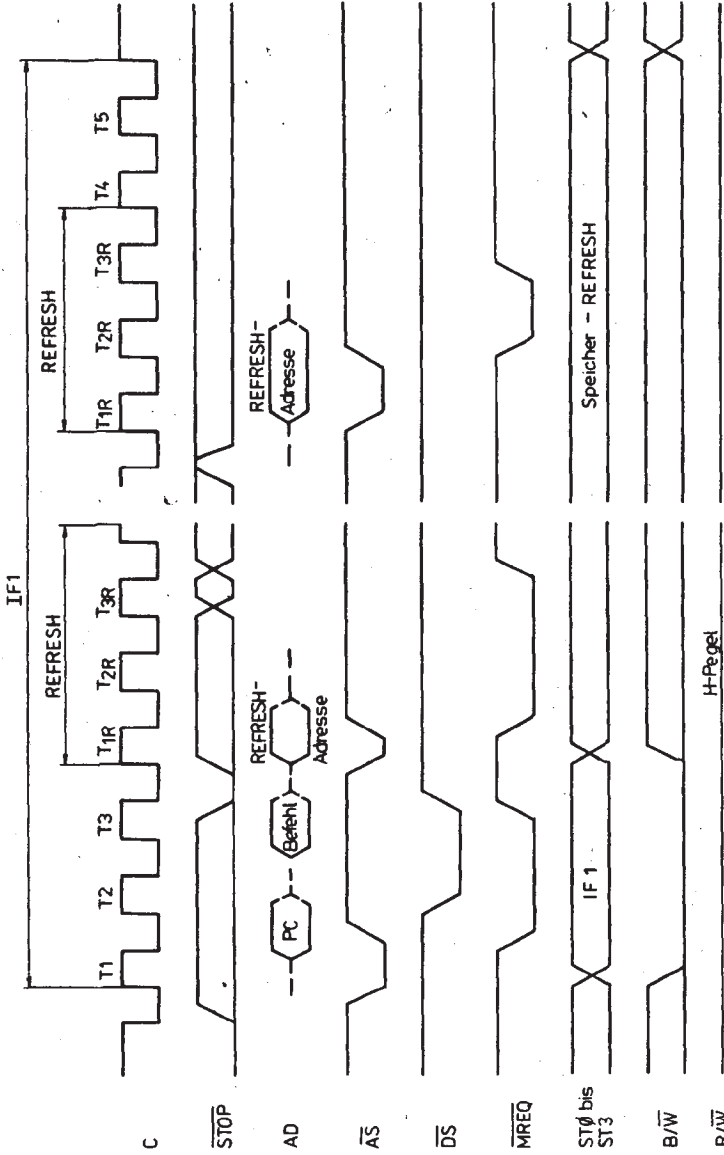


Bild 10 Zeitablauf: STOP

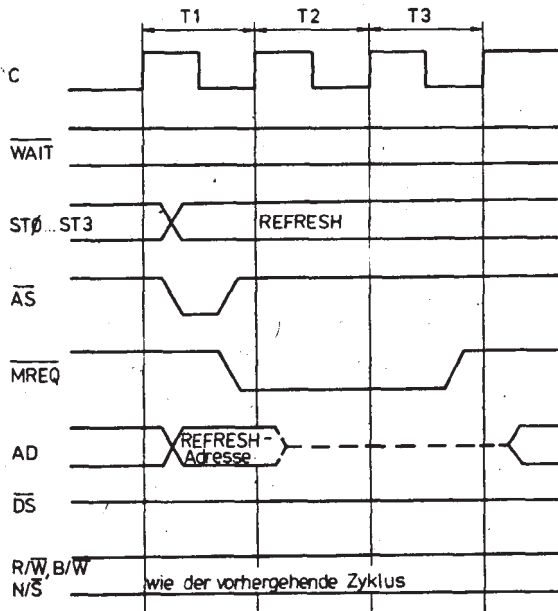


Bild 12
Zeitverhalten bei REFRESH
dynamischer Speicher

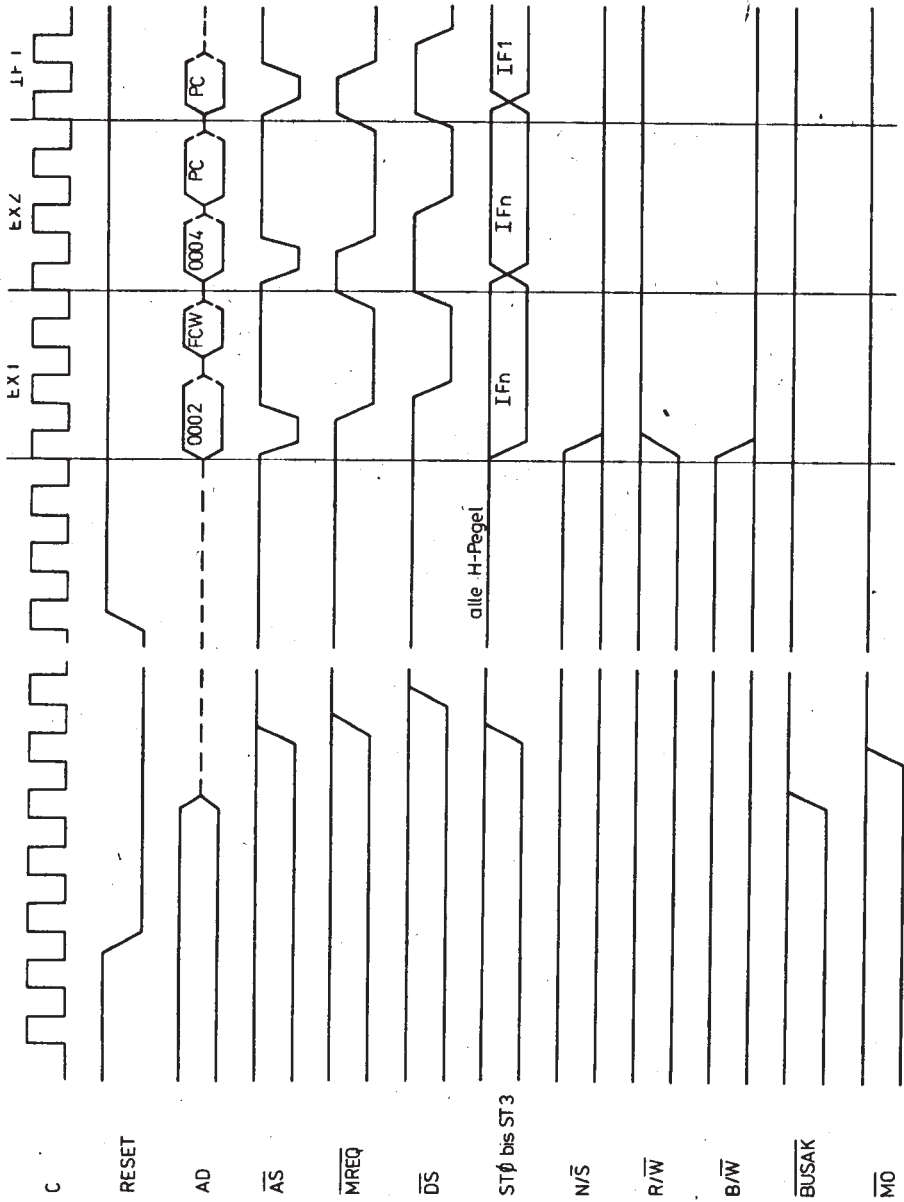


Bild 13 Zeitverhalten bei RESET

2.4. Mikroprozessor K 1810 WM88

Vergleichstyp P 8088 Intel

Übersicht

- 8 bit Datenbus
- 16 bit Architektur intern
- 1 Mbyte Speicher direkt adressierbar
- Softwarekompatibel zum 16-bit-Prozessor 8086
- Registersatz mit 14 Worten zu 16 bit
- 24 Adressierungsarten
- byte-, Wort- und Blockoperationen
- 8 bit und 16 bit Arithmetik
- 5 MHz Taktfrequenz

Beschreibung

Die interne Funktion des Mikroprozessors K 1810 WM88 kann in 2 Bereiche eingeteilt werden:

- Steuerung und Befehlsausführung (EU),
- Bus-Interface-Block (BIU).

Bild 1 zeigt den Übersichtsschaltplan. Die EU führt die grundsätzlichen Prozessorfunk-

tionen aus, sie enthält die Datenregister und die Arithmetik/Logik-Einheit (ALU). Sie erhält aufbereitete Befehle vom BIU und gibt Operandenadressen an diesen zurück. Dann erhält sie Operanden vom Speicher über den BIU und gibt die bearbeiteten Daten an diesen zurück. Der BIU puffert die Befehle, bevor sie in die EU gelangen. Außerdem steuert er den Busverkehr.

Der K 1810 WM88 enthält 3 Registersätze mit 4 16-bit-Registern und 9 1-bit-Flags. Es sind die allgemeinen Register, die Zeiger- und Indexregister und die Segmentregister. Es existiert auch ein 16-bit-Befehlszähler, der nicht direkt im Zugriff des Programmierers liegt.

Die allgemeinen Register heißen AX, BX, CX, DX oder HL-Gruppe. Die allgemeinen Register können an allen arithmetischen und logischen Operationen beteiligt sein. Einige der anderen Befehle des K 1810 WM88 (z. B. die Stringbefehle) ordnen bestimmten allgemeinen Registern eine besondere Aufgabe zu:

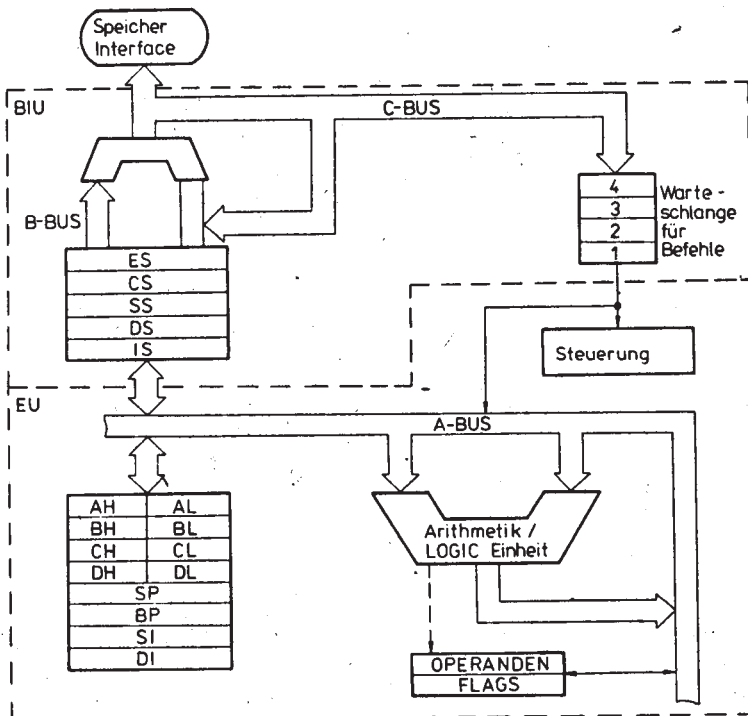


Bild 1
Übersichtsschaltplan

2. Mikroprozessoren

AX – Akkumulator,
 BX – Basis,
 CX – Zähler (engl. counter),
 DX – Daten.

Die allgemeinen Register weisen eine Besonderheit auf, die sie von den anderen unterscheidet: Ihre obere und untere Hälfte ist getrennt adressierbar. Daher kann man sich diese allgemeinen Register auch als 2 Sätze zu je 4 8-bit-Registern denken, die mit H bzw. L bezeichnet werden.

Der Akkumulator unterscheidet sich noch auf eine andere Weise. Die Programme werden kürzer, wenn er an Stelle anderer allgemeiner Register als Ziel des Datenverkehrs wirkt.

Die restlichen Register des *K1810WM88* sind nicht teilbar, sie müssen als 16-bit-Worte angesprochen werden, auch wenn nur der H- oder L-Teil benutzt wird.

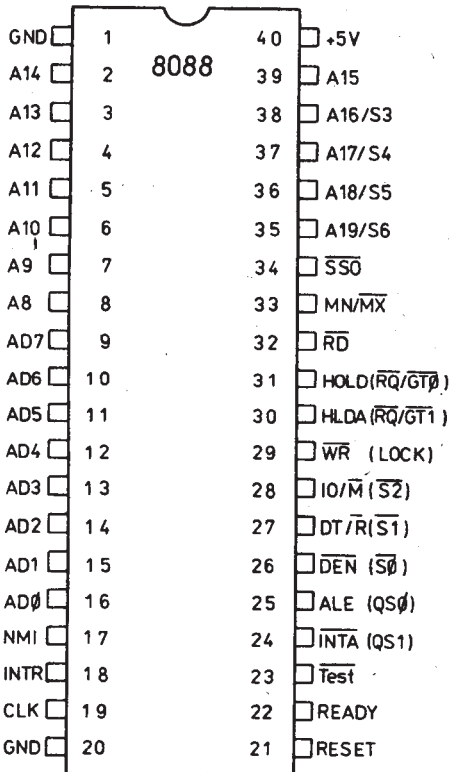


Bild 2
 Anschlußbelegung

Die Register SP, BP, SI und DI heißen Index- und Zeiger-Register oder P- und I-Gruppe (engl. Zeiger = pointer). Die Register dieser Gruppe enthalten im allgemeinen Offsetadressen für die Adressierung innerhalb eines Segments. Wie die allgemeinen Register können sie in den 16-bit-Arithmetik- und Logikbefehlen auftreten. Der Unterschied zwischen P- und I-Gruppe besteht darin, daß die Zeiger meist Offsetadressen im aktuellen Stacksegment enthalten, während die Indexregister Offsetadressen im aktuellen Datensegment enthalten (außer bei Stringoperationen). Deshalb kann aus der entsprechenden Bezeichnung dieser Register ihre bevorzugte Verwendung sehr leicht entnommen werden:

SP – Stackpointer (Kellerzeiger),
 BP – Base Pointer (Basiszeiger),
 SI – Source Index (Index der Datenquelle),
 DI – Destination Index (Index des Ziels des Datenverkehrs).

Das Flag-Register enthält die Bits

AF – Halbbyteübertrag (auxiliary carry),
 CF – Übertrag (carry),
 DF – Richtung (direction),
 IF – Interrupt erlaubt,
 OF – Überlauf (overflow),
 PF – Parität,
 SF – Vorzeichen (sign),
 TF – Trap (Falle),
 ZF – Null (zero).

Die Flags AF, CF, PF, SF und ZF entsprechen denen des Prozessors *8080*, sie geben den allgemeinen Status des Prozessors wieder. Das OF kommt hinzu, um bei arithmetischen Operationen den möglichen Überlauf anzuzeigen. Das DF steuert bei den Stringoperationen die Richtung (automatisches Erhöhen oder Vermindern). Das IF erlaubt oder sperrt externe Interrupts. Das TF schaltet den Prozessor in den Einzelschrittbetrieb zur Fehlersuche am Programm um.

Die Segmentregister spielen eine wichtige Rolle bei der Berechnung von Speicheradressen:

CS – Codesegment,
 DS – Datensegment,
 SS – Stacksegment,
 ES – Extrasegment.

Der Inhalt des CS bestimmt das aktuelle Codesegment. Alle Befehlsaufrufe laufen bezogen zu CS, wobei der Befehlszähler IP als Offset wirkt. Der Inhalt des DS legt das aktuelle Datensegment fest. Der Datenverkehr bezieht sich auf den Inhalt von DS, ausgenommen den mit BP, SP oder bei Stringbefehlen DI. Der Datenverkehr kann sich auch auf eines der anderen Segmentregister beziehen, wenn dem Befehl der entsprechende Präfix vorausgeht. Das Extrasegment wird meist als zusätzliches Datensegment genutzt. Stringoperationen mit DI beziehen sich auf den Inhalt von ES.

Vergleich des K 1810 WM88 mit dem Prozessor 8086

Mit Ausnahme der Arbeitsgeschwindigkeit sind beide Prozessoren für den Programmierer identisch, alle Befehle sind identisch und liefern das gleiche Ergebnis. Der K 1810 WM88 arbeitet jedoch mit der Peripherie über einen 8-bit-Bus zusammen. Die Warteschlange für Befehle in der BIU ist beim K 1810 WM88 nur 4 statt 6 Bytes lang, woraus sich auch ein anderer Arbeitsmodus ergibt. Bei der Funktion der Anschlüsse ergaben sich nachstehende Veränderungen.

A8-A15: Diese Stifte sind beim K 1810 WM88 nur Ausgänge. Sie sind intern gepuffert und während des gesamten Buszyklus gültig. Das Signal /BHE des 8086 entfällt. Das Signal /SS0 liefert im Minimumbetrieb das Statussignal /S0. Das Signal IO/M wurde invertiert, um mit der Busstruktur des 8085 kompatibel zu sein. ALE wird im Minimumbetrieb um eine Taktperiode verzögert, wenn ein HALT auftritt, um den Status zwischenspeichern zu können.

Speicherorganisation

Der Prozessor liefert eine 20-bit-Adresse. Der Speicher besteht aus einem linearen Feld mit 1 Megabyte, adressiert mit 00000H bis FFFFFH. Der Speicher kann in die logischen Segmente für Maschinencode, Daten, zusätzliche Daten und den Stack mit je bis zu 64 KBytes geteilt werden. Wortoperanden können auf geraden und ungeraden Adressen stehen. Bei Adressen und Operanden stehen die Bytes mit aufsteigender Wertig-

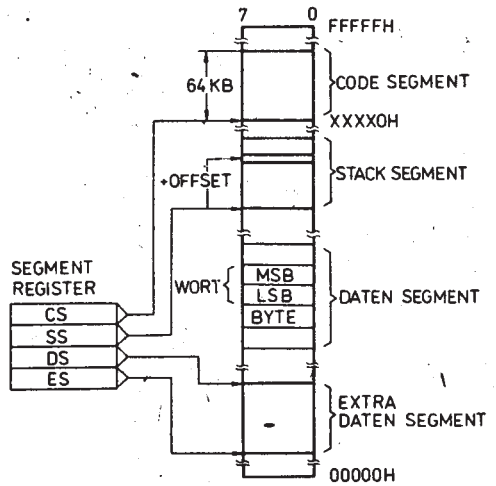


Bild 3 Speicheraufteilung

keit im Speicher. Einige Speicheradressen sind für besondere CPU-Operationen reserviert (Bild 3 und Bild 4). Die Adressen von FFFF0H bis FFFFFH enthalten den Sprung zur Initialisierung des Systems. Nach einem RESET beginnt die CPU die Ausführung von Befehlen auf Adresse FFFF0H. Die Adressen 0 bis 003FFH sind für Interrupts reserviert. Die 4-Byte-Zeiger bestehen aus 16-bit-Segmentadresse und 16-bit-Offset, so daß 256 Interruptroutinen möglich sind.

Minimum- und Maximumbetrieb

Die Anforderungen an minimale und maximale K 1810 WM-88-Systeme sind so unterschiedlich, daß sie nicht mit 40 fest definier-

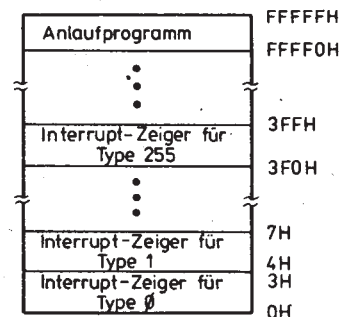


Bild 4 Reservierte Speicheradressen

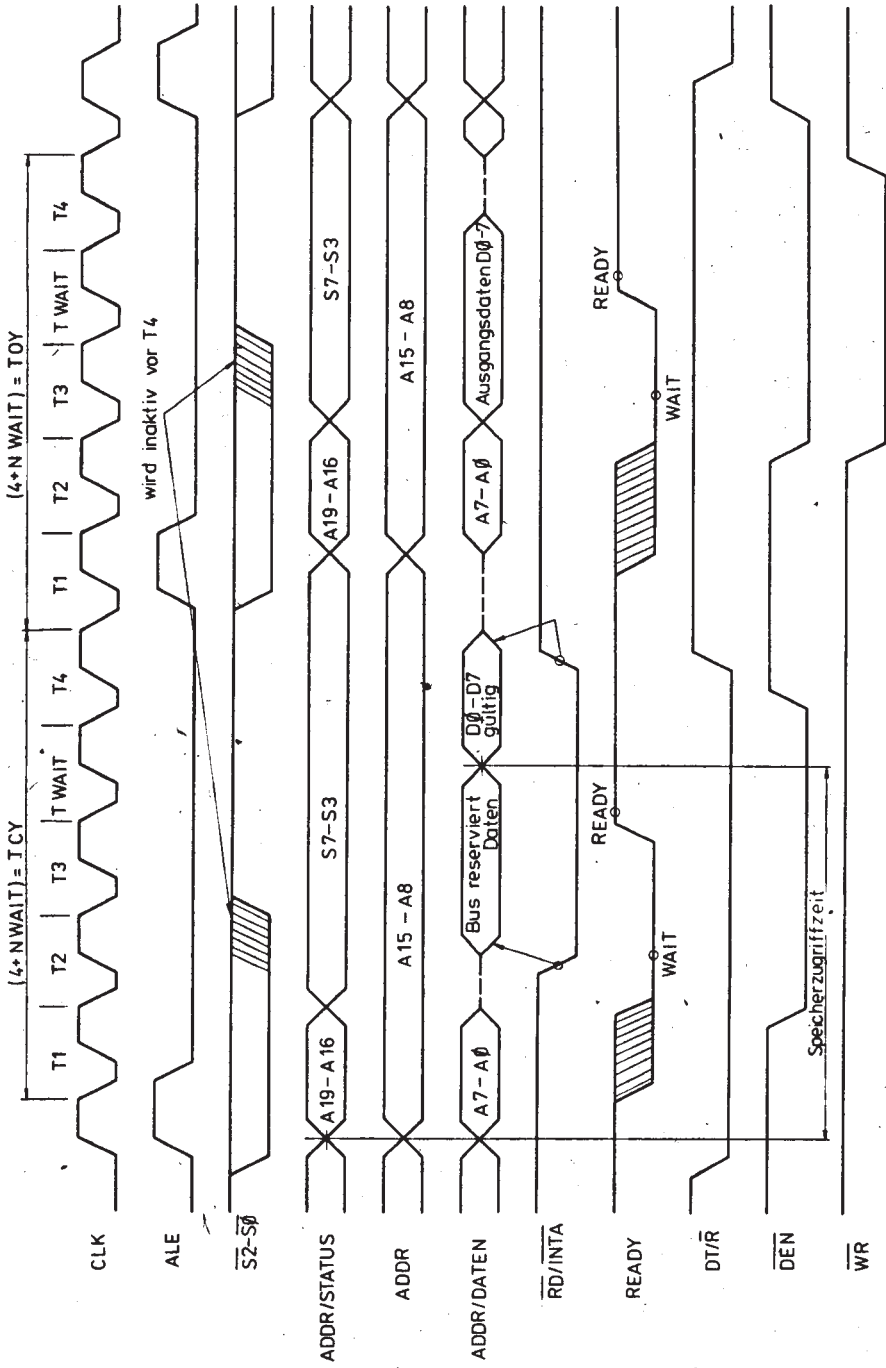


Bild 5 Grundsätzliches Zeitdiagramm

ten Anschlüssen erfüllt werden können. Der *K 1810 WM88* hat deshalb eine Steuerleitung, mit der die Systemkonfiguration festgelegt wird. Die Bestimmung der Anschlüsse 24 bis 31 und 34 ändert sich in Abhängigkeit von der Beschaltung. Liegt MN/MX an +5 V, so arbeitet der *K 1810 WM88* im Minimumbetrieb und erzeugt die Bussteuersignale selbst, beim Maximumbetrieb wird der Schaltkreis 8288 als Bussteuerung eingesetzt.

Busoperation

Der Daten-/Adreßbus des *K 1810 WM88* besteht aus 3 Teilen:

- die untersten 8 bits AD0 bis AD7 für Adressen und Daten,
- die mittleren 8 Adreß-bits,
- die oberen 4 Adreßleitungen.

Die unteren 8 und die obersten 4 Leitungen arbeiten im Multiplexbetrieb. Da die mittleren Adreßleitungen über einen Buszyklus aktiv bleiben, kann der Bus mit einem Latch für die Adressen demultiplext werden. Jeder Buszyklus des Prozessors besteht aus mindestens 4 Taktzyklen (Bild 5). Während T1 gibt der Prozessor die Adresse aus, der Datenverkehr läuft während T3 und T4. T2 wird vorwiegend zur Umkehr der Richtung auf dem Datenbus beim Lesezyklus genutzt. Erscheint ein »Nicht bereit«-Signal vom adressierten Bauelement, so werden Wartezyklen Tw eingefügt, die mindestens eine Taktperiode lang sind. Während des T1 eines jeden Buszyklus wird das Signal ALE (Adressen-Latch erlaubt) erzeugt, mit dessen fallender Flanke die Adresse und einige Statusinformationen in einen Zwischenspeicher (Latch) übernommen werden können. Die Statusbits S0, S1 und S2 nutzt der Buscontroller, um die Art des Bustransfers zu ermitteln, siehe Tabelle 2.

Die Status-bits S3 bis S7 werden mit den hochwertigsten Adressen gemultiplexet und sind nur während T2 bis T4 gültig. S3 und S4 zeigen an, welches Segmentregister für den Buszyklus ausgewählt wurde, siehe Tabelle 3.

S5 enthält den Wert des Interruptbits im Statuswort, S6 ist immer 0 und S7 wird nicht benutzt.

Adressierung der Ein-/Ausgabekanäle

Der *K 1810 WM88* kann maximal 64 K Ein-/Ausgabekanäle adressieren. Die Adressierung wird in gleicher Weise vorgenommen wie beim Speicher mit den Leitungen A15-A0, die Leitungen A19-A16 sind bei Ein-/Ausgabeoperationen auf 0. Die variablen Ein-/Ausgabebefehle, die das DX-Register als Zeiger benutzen, haben den gesamten Adreßraum, während die direkten Befehle 1 oder 2 der 256 I/O-Adressen in der Seite 0 des Adreßraums belegen können.

Externes Interface

Reset des Prozessors und Initialisierung

Das Resetsignal ist mit hohem Pegel aktiv. Es muß mindestens 4 Taktperioden lang anliegen. Der *K 1810 WM88* beendet alle Operationen mit der ansteigenden Flanke des Resetsignals und bleibt im Ruhezustand, solange Reset hohen Pegel hat. Die abfallende Flanke des Resetsignals löst ein internes Rücksetzen aus, das etwa 10 Taktperioden andauert. Danach beginnt der *K 1810 WM88* die Ausführung von Befehlen ab der Adresse FFFF0H. Der Übergang H/L darf erst 50 µs nach dem Einschalten der Stromversorgung geschehen. Falls ein Interruptsignal eher als 9 Taktperioden nach Ende des Resetsignals auftritt, führt der Prozessor erst noch einen Befehl aus, bevor er auf die Interruptanforderung reagiert. Während des Reset gehen alle Tri-state-Ausgänge in den hochohmigen Zustand.

Interruptoperationen

Die Interrupts werden in 2 Klassen unterteilt, durch Software- oder Hardware bedingt. Die Hardwareinterrupts können noch in maskierbare und nicht maskierbare unterteilt werden. Interrupts bewirken die Übergabe der Steuerung auf andere Speicheradressen. Dazu befindet sich eine Adreßtabelle auf den Adressen 0 bis 03FFH, die dafür reserviert sind. Die Elemente der Tabelle sind 4 Byte lang. Ein die Unterbrechung auslösendes Bauelement liefert einen 8-bit-Wert, der als Vektor auf das entsprechende Element zeigt.

2. Mikroprozessoren

Nicht maskierbarer Interrupt

Der Prozessor verfügt über einen Eingang NMI (nicht maskierbarer Interrupt), der höhere Priorität hat als der maskierbare Interrupteingang INTR. Eine typische Anwendung ist die Aktivierung einer Programmroutine bei Netzspannungsausfall. Der NMI wird von der L/H-Flanke ausgelöst, und der Impuls muß mindestens 2 Taktperioden anliegen. Das Auftreten eines Impulses wird im Schaltkreis gespeichert und muß nicht mit dem Takt synchronisiert sein. Die Bearbeitung beginnt mit dem Ende des aktuellen Befehls oder bei Stringbefehlen nach dem Transport von 2 Bytes. Der ungünstigste Fall tritt bei den Befehlen Multiplizieren, Dividieren und variables Schieben auf. Das NMI-Signal muß entprellt sein.

Maskierbarer Interrupt

Der *K 1810 WM88* verfügt über einen einzigen Interrupteingang, der mit Programm maskiert werden kann, indem das interne Interruptflag rückgesetzt wird. Mit jeder aufsteigenden Flanke des Taktsignals wird der Pegel am Interrupteingang abgetastet. INTR muß während einer Taktperiode vor dem Ende eines Befehls oder nach einer Wortübertragung bei Blockbefehlen auf H-Pegel bleiben, dann wird der Interrupt angenommen. Während der Interruptannahme sind weitere Interrupts gesperrt. Das Freigabe-bit ist bei jeder Art von Interrupt (INTR, NMI, Softwareinterrupt, Einzelschrittbetrieb) rückgesetzt bis das automatisch in den Stack gerettete Flagregister wieder den alten Wert hat, wenn nicht mit einem Befehl das Flag auf 0 gesetzt wird.

Während des Quittungszyklus (Bild 6) führt

der Prozessor 2 aufeinander folgende Zyklen aus. Im Maximumbetrieb gibt er ein LOCK-Signal ab T2 des 1. bis T2 des 2. aus. Eine lokale Busanforderung wird bis zum Ende des 2. Buszyklus ignoriert. Im 2. Buszyklus wird vom externen Interruptsystem (z. B. 8259) ein Byte empfangen, das die Interruptquelle identifiziert. Das Byte wird mit 4 multipliziert und dann als Zeiger in der Interruptvektortabelle genutzt. Der Rücksprung vom Interrupt holt die Flags vom Stack und stellt damit den Zustand vor dem Interrupt wieder her.

Halt

Wenn ein HALT-Befehl auftritt, dann geht der Prozessor in Abhängigkeit von der Betriebsart in diesen Zustand über. Im Minimumbetrieb gibt der Prozessor ein ALE-Signal verzögert um eine Taktperiode aus, um dem System die Zwischenspeicherung des HALT-Status zu ermöglichen. Im Maximumbetrieb gibt der Prozessor den entsprechenden Status über S0, S1 und S2 aus, und der Buscontroller 8288 erzeugt ein ALE-Signal. Der HALT-Zustand wird nicht verlassen, wenn eine lokale Busanforderung auftritt. In diesem Fall beendet der Prozessor die Anforderung. Eine Interruptanforderung oder ein Reset bringen den *K 1810 WM88* aus dem HALT-Zustand heraus.

Operationen mit LOCK

Den LOCK-Status gibt der Prozessor aus, wenn eine direkte Folge von Buszyklen während der Befehlsausführung erforderlich ist. Das erlaubt dem Prozessor das Lesen und verändert zurückschreiben von Speicherinhalten (mit dem Befehl »Austausch Regi-

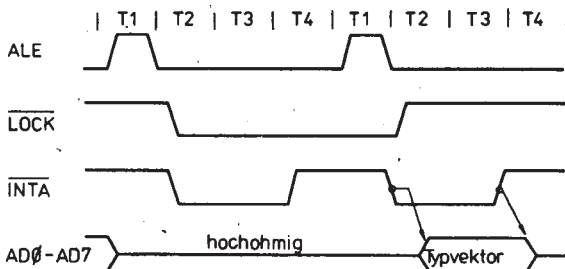
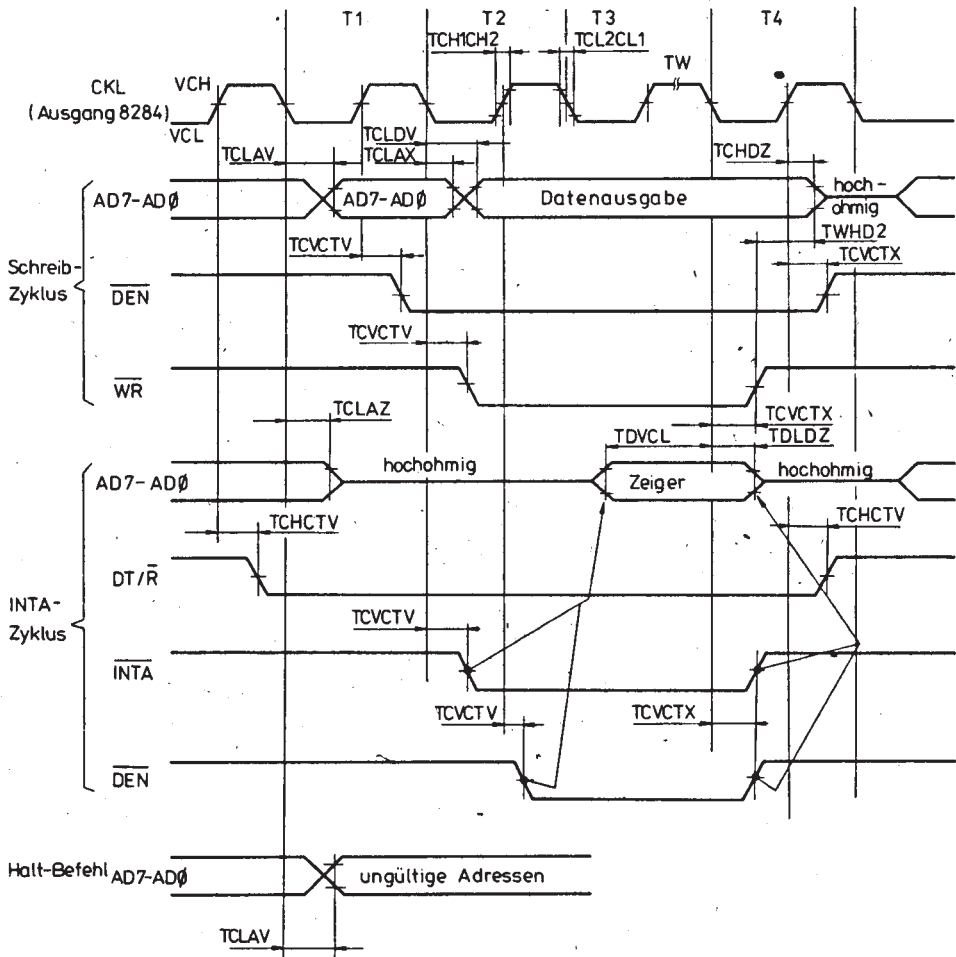


Bild 6
Interruptquittung

2. Mikroprozessoren



gänge hochohmig. Tritt ein Interrupt auf, so wird er ausgeführt, und der Prozessor geht danach wieder in den WAIT-Zustand.

Zeitverhalten des Systems

Im Minimumbetrieb erzeugt der Prozessor die Bussteuersignale kompatibel zu denen des Prozessors 8085. Im Maximumbetrieb gibt er codierte Statussignale aus, die der Buscontroller 8288 benötigt, um MULTIBUS-kompatible Steuersignale zu erzeugen. Bild 7 zeigt die Signale des Minimalsystems. Der Lesezyklus beginnt mit T1 die Erzeugung des Signals für die Freigabe des Adressenzwischenspeichers ALE. Die Adressen auf den Leitungen AD0 bis AD7 werden mit

der abfallenden Flanke übernommen. Die Leitungen A8 bis A15 müssen nicht gespeichert werden, weil sie während des ganzen Buszyklus stabil bleiben. Von T1 bis T4 zeigt das Signal IO/M an, ob ein Speicherzugriff oder eine I/O-Operation läuft. Bei T2 schaltet die Adresse von den Leitungen AD0 bis AD7 ab, und der Bus geht in den hochohmigen Zustand. Das Steuersignal Lesen RD entsteht auch bei T2; damit schalten die Datenbustreiber um. Einige Zeit später werden die Datensignale gültig, und die adressierte Einheit schaltet die READY-Leitung auf H-Pegel. Wenn der Prozessor das Lesesignal abschaltet, gehen auch die Buspuffer wieder in den hochohmigen Zustand. Falls

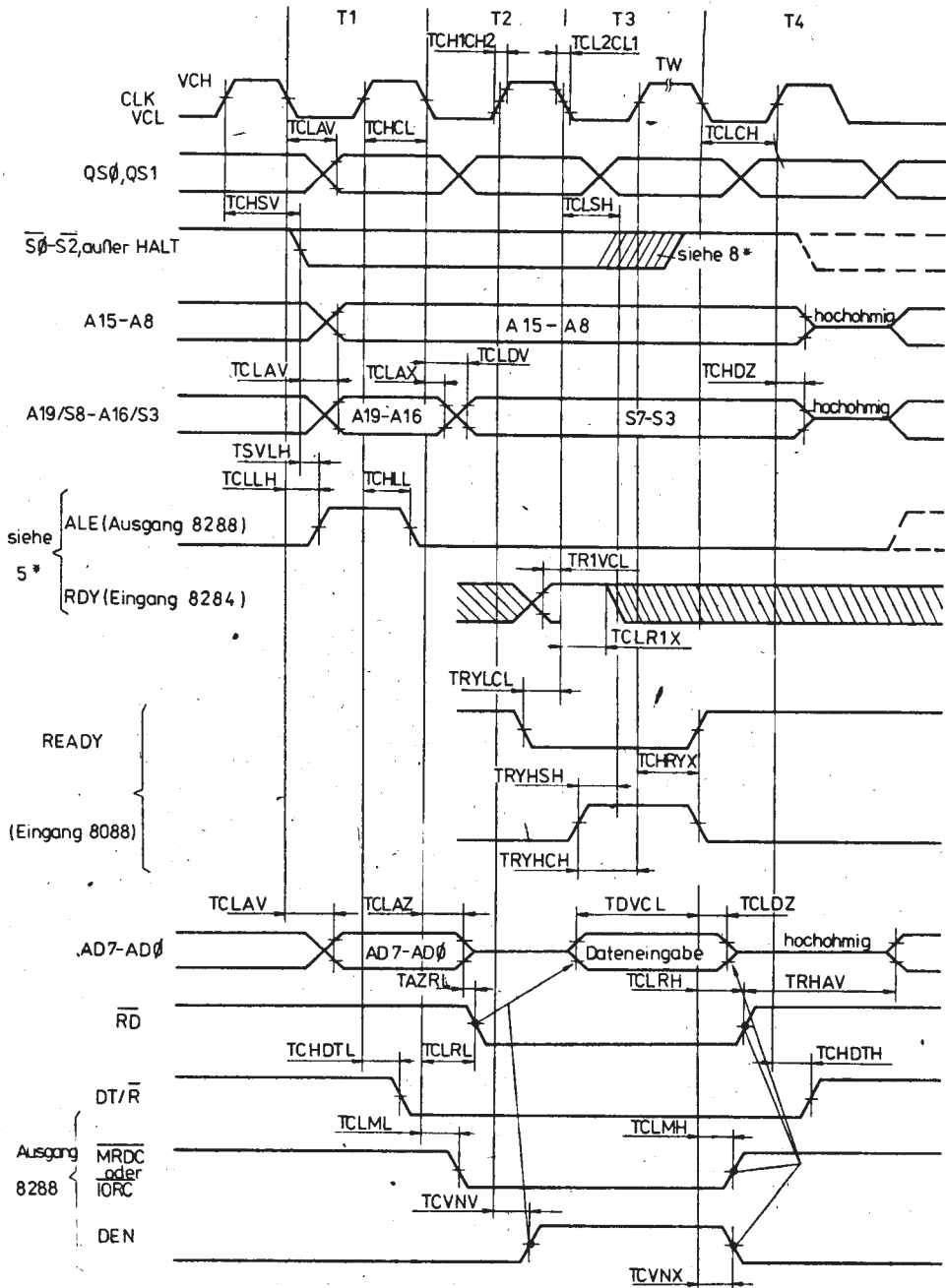
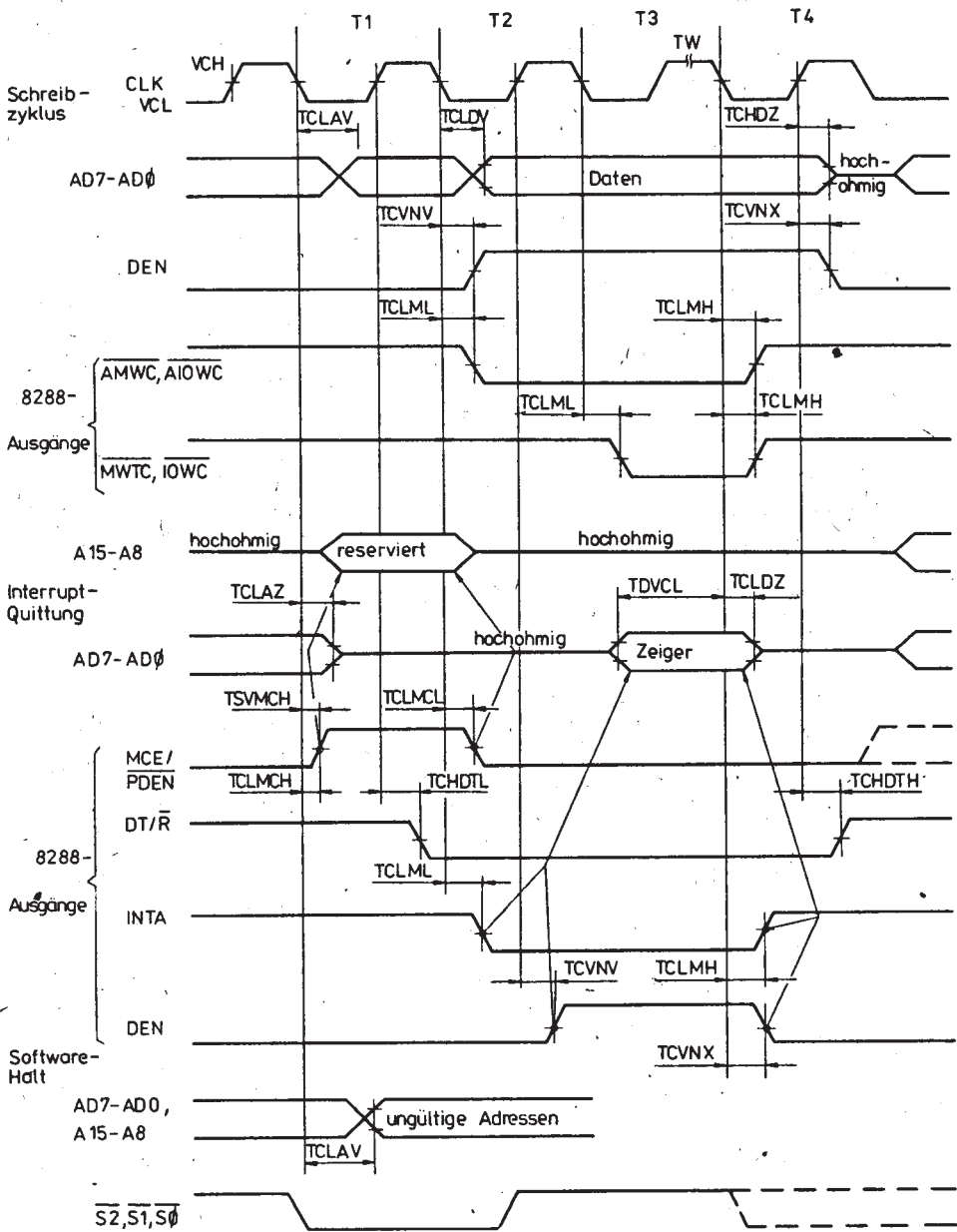


Bild 8 Maximalsystem (mit 8288)

2. Mikroprozessoren



ein Buspuffer 8286 oder 8287 erforderlich ist, erzeugt der *K 1810 WM88* die Signale DT/R und DEN.

Ein Schreibzyklus beginnt ebenfalls mit der Erzeugung des ALE und der Adressenausgabe. Das IO/M signalisiert wieder eine Speicher- oder I/O-Operation. Bei T2 folgen der Adresse unmittelbar die Daten. Die Daten bleiben bis zur Mitte von T4 gültig. In der Zeit von T2, T3 und Tw erzeugt der Prozessor das Schreibsignal WR. Im Gegensatz zum Lesezyklus wird das Schreibsignal schon bei T2 aktiv.

Der grundsätzliche Unterschied zwischen Interruptzyklus und Lesezyklus besteht darin, daß an Stelle des Lesesignals RD die Interruptquittung INTA tritt und der Adreßbus hochohmig ist (Bild 8). Im 2. der beiden INTA-Zyklen wird das von der Interruptlogik erzeugte und auf den Bus geschaltete Byte gelesen. Dieses Byte identifiziert die Quelle (Type) des Interrupts. Es wird mit 4 multipliziert und als Zeiger auf die Interruptadreßtabelle benutzt.

Bei Systemen mittlerer Komplexität ist der Stift MN/MX mit Masse verbunden und ein Buscontroller 8288 in Verbindung mit einem Adressenzwischenspeicher vorhanden. Ein 8286/87 erlaubt größere Lastfaktoren als der *K 1810 WM88* sie treiben kann. Die Signale ALE, DEN und DT/R erzeugt an Stelle des Prozessors der 8288, wobei der Zeitablauf ziemlich ähnlich ist. Die Statussignale S0, S1 und S2 liefern die Information für die Decodierung des Buszyklus. Bei Einsatz eines Interruptcontrollers 8259 ist eine Logikschaltung für die Steuerung des Datenbustransceivers nötig.

Übersicht Befehlssatz

Adressierungsarten

Der Befehlssatz des *K 1810 WM88* enthält unterschiedliche Arten der Adressierung von Operanden. Befehle mit 2 Operanden erlauben entweder Speicherplätze als auch Register als Operanden sowie Register oder Konstanten als 2. Operanden. Die Operanden im Speicher werden meist direkt mit einer 16-bit-Offsetadresse oder indirekt über die

Basis- oder die Indexregister adressiert, wobei eine 8- oder 16-bit-Konstante als Verschiebung addiert wird. Das Ergebnis eines Befehls mit 2 Operanden kann in einen der beiden Ausgangsoperanden gelangen, angenommen natürlich die Konstanten. Alle Befehle des *K 1810 WM88* arbeiten mit 8- oder 16-bit-Operanden.

Operanden im Speicher können auf 4 Arten adressiert werden:

- direkte 16-bit-Offsetadresse,
- indirekt durch ein Basisregister, wahlweise mit 8- oder 16-bit-Versatz,
- indirekt durch ein Indexregister, wahlweise mit 8- oder 16-bit-Versatz,
- indirekt durch die Summe eines Basis- und eines Indexregisters, wahlweise mit 8- oder 16-bit-Versatz.

Sowohl das Datenregister BX als auch das Zeigerregister BP können als Basisregister arbeiten. Ist es BX, so befindet sich der Operand meist im aktuellen Datensegment. Ist BP die Basis, so befindet sich der Operand meist im aktuellen Stacksegment, und das Segmentregister SS wird benutzt, um die physische Adresse zu berechnen. Wenn sowohl Basis- als auch Indexregister eingesetzt werden, befindet sich der Operand in dem durch das Basisregister festgelegten Segment. Wird nur ein Indexregister benutzt, so steht der Operand im aktuellen Datensegment. Wie auch bei den Registern und direkten Operanden können die Speicherplätze sowohl 8 als auch 16 bit lang sein.

Die Adresse eines Operanden in einem *K 1810 WM88*-Register oder im Speicher kann mit bis zu 3 Feldern im Befehl festgelegt werden. Diese Felder sind das Betriebsarten- (mod), das Register- (reg) und das Register/Speicher-Feld (r/m). Werden sie benutzt, belegen sie das 2. Byte im Befehl. Das Betriebsartenfeld belegt die 2 höchstwertigsten bits dieses Bytes und legt fest, wie das r/m-Feld in der Adressierung des Operanden genutzt wird, d. h., das im r/m-Feld festgelegte Register kann sowohl die Adresse des Operanden sein als auch auf die Operandenadresse im Speicher zeigen. Das reg-Feld belegt die nächsten 3 bits und bestimmt ein 8- oder ein 16-bit-Register als Operanden.

2. Mikroprozessoren

Präfix Segmentüberschreitung

Wenn die Berechnung der effektiven Adresse eines Operanden im Speicher das BP-Register enthält, dann wird meist das Segmentregister SS für die Berechnung der physischen Adresse benutzt. Die physische Adresse der meisten anderen Operanden im Speicher wird mit dem Datensegment DS berechnet. Diese voreingestellte Auswahl der Register kann durch einen Präfix (Vorsatz) vor dem betreffenden Befehl verändert werden.

Registeroperanden

Die 4 16-bit-Datenregister und die 4 16-bit-Zeigerregister wirken abwechselnd als Operanden in fast allen 16-bit-Befehlen. Zu beachtende Ausnahmen sind Multiplikation, Division, Ein-/Ausgaben und einige Stringbefehle, die das AX-Register benutzen. Die 8-bit-Register der HL-Gruppe arbeiten abwechselnd bei 8-bit-Befehlen. Multiplikation, Division und einige Stringbefehle benutzen AL.

Direkte Operanden

Alle Befehle mit 2 Operanden, ausgenommen Multiplikation, Division und die Stringbefehle, erlauben einen direkten Operanden im Befehl.

Zeitbedarf der Befehle

Das Handbuch des Prozessors 8086 enthält die Anzahl der für jeden Befehl erforderlichen Taktzyklen. Der *K 1810 WM88* erfordert einen zusätzlichen Zyklus von 4 Takten für jeden 16-bit-Operanden, der über den 8-bit-Bus geholt oder geschrieben wird. Bei der Abschätzung der Zeiten ist zu beachten, daß die Befehlsfolge des Programms auf den Zustand der Warteschlange Einfluß hat, z. B. verlängert sich die Ausführungszeit, wenn ein Unterprogramm mit einer Anzahl kurzer Befehle beginnt. Die angegebenen Befehlsausführungszeiten sind Minimalwerte.

Datentransporte

4 Klassen von Datentransporten können unterschieden werden: Allgemeine, auf den Akkumulator bezogene, auf Adressen bezogene und solche für die Flags. Kein Trans-

portbefehl verändert die Flags, ausgenommen POPF und SAHF. Es gibt 4 Daten-Transportbefehle für allgemeine Anwendung. Sie können auf die meisten Operanden angewendet werden, doch gibt es Ausnahmen. Die allgemeinen Transportbefehle sind die einzigen (ausgenommen XCHG), die als Operand ein Segmentregister zulassen:

MOV move (engl. bewegen),
PUSH push (engl. schieben),
POP pop (engl. auftauchen),
XCHG exchange (engl. austauschen).

3 Adressentransportbefehle existieren:

LEA lade effektive Adresse,
LDS lade Zeiger in DS,
LES lade Zeiger in ES.

Arithmetik

Der *K 1810 WM88* verfügt über 4 mathematische Befehle in einer Anzahl unterschiedlicher Varianten. Es gibt sowohl 8- als auch 16-bit-Befehle sowohl mit als auch ohne Vorzeichen. Für die Darstellung der Werte mit Vorzeichen wird das Zweierkomplement benutzt. Addition und Subtraktion gibt es mit und ohne Vorzeichen. Dabei kann der Unterschied an Hand der Flags ermittelt werden. Es gibt Korrekturbefehle für die Behandlung gepackter Dezimalzahlen.

Flags

6 Flag-bits signalisieren bei den meisten Arithmetik-Befehlen die betreffenden Kennzeichen des Ergebnisses. Im allgemeinen gelten folgende Regeln:

- CF wird gesetzt, wenn beim Ergebnis ein Übertrag auftritt oder wenn »geborgt« wurde, andernfalls ist das Flag gelöscht.
- AF wird gesetzt, wenn innerhalb der Tetraden des Bytes ein Übertrag auftritt oder wenn »geborgt« wurde, andernfalls ist das Flag gelöscht.
- ZF wird gesetzt, wenn das Ergebnis der Operation gleich 0 ist.
- SF wird gesetzt, wenn das oberste bit des Ergebnisses gesetzt ist, andernfalls ist es gelöscht.
- PF wird bei Parität der unteren 8 bit des Ergebnisses gesetzt, sonst gelöscht.
- OF ist gesetzt.

Es gibt 5 Additionsbefehle:

ADD Addition,
 ADC Addition mit Übertrag,
 INC Increment, erhöhen um 1,
 AAA Einstellen bei Addition ASCII,
 DAA Einstellen bei Addition dezimal.

Es gibt 7 Subtraktionsbefehle:

SUB Subtraktion,
 SBB Subtraktion mit Übertrag
 (»borgen«),
 DEC Decrement, vermindern um 1,
 NEG Negieren,
 CMP Vergleichen (compare),
 AAS Einstellen bei Subtraktion ASCII,
 DAS Einstellen bei Subtraktion
 dezimal.

Es gibt je 3 Befehle für Multiplikation und Division sowie 2 Befehle für die Erweiterung des Zahlenformats:

MUL Multiplikation,
 IMUL Multiplikation ganzzahlig,
 AAM Einstellung bei Multiplikation
 ASCII,
 DIV Division,
 IDIV Division ganzzahlig,
 AAD Einstellung bei Division ASCII,
 DBW Konvertierung Byte in Wort,
 CWD Konvertierung Wort in Doppel-
 wort.

9 Logikbefehle arbeiten mit einem Operan-
 den:

NOT Einerkomplement,
 SHL Linksverschieben,
 SAL Linksverschieben arithmetisch,
 SHR Rechtsverschieben,
 SAR Rechtsverschieben arithmetisch,
 ROL Rotation links,
 ROR Rotation rechts,
 RCL Rotation links durch Carry-Flag,
 RCR Rotation rechts durch Carry-Flag.

Behandlung von Zeichenketten (Strings)

Der K 1810 WM 88 hat eine Gruppe von 1-Byte-Befehlen, mit denen unterschiedliche einfache Operationen mit Ketten von Bytes und Worten möglich sind. Mit einem erweiternden Präfix versehen können diese Befehle wiederholt ausgeführt werden. Dadurch

können diese Befehle zu komplexen Stringbefehlen für Iterationen zusammengesetzt werden.

Befehle zur Steuerung der Hardware

Alle einfachen Stringbefehle benutzen das SI-Register zur Adressierung des Ausgangsoperanden, von dem vorausgesetzt wird, daß er sich im aktuellen Datensegment befindet. Das DI-Register enthält die Adresse des Ziel-Operanden, der sich im Extrasegment befindet. Wenn das DF-Flag gelöscht ist, werden die Zeiger auf die Operanden nach jeder Operation erhöht, um 1 bei Bytebefehlen, um 2 bei Wortbefehlen. Wenn das DF-Flag gesetzt ist, werden die Zeiger bei jeder Operation vermindert. Jeder der einfachen Stringbefehle kann durch einen 1-Byte-Vorsatz anzeigen, daß der Befehl so oft wiederholt werden soll, bis der Inhalt des Zählers CX auf 0 vermindert wurde. Der Test auf Beendigung wird vor jeder Wiederholung des Befehls vorgenommen. Damit wird der Befehl bei einem Zählerstand von 0 nicht einmal ausgeführt. Das Byte des Wiederholungspräfixes benutzt man auch als Vergleichswert für das ZF-Flag. Wenn der einfache Befehl das ZF-Flag beeinflusst und dieses nach der Befehlsausführung nicht mit der Vorgabe übereinstimmt, wird die Wiederholung abgebrochen. Das erlaubt es, den SCAN-Befehl (Abtasten) mit Bedingungen für die Wiederholung zu betreiben. Bei der Abarbeitung eines einfachen Befehls mit Wiederholung verändern sich die Register SI, DI und CX mit jeder Wiederholung wie beschrieben, während der Befehlszeiger auf der Offsetadresse des Wiederholungsbefehls verbleibt. Damit arbeiten Interrupts innerhalb dieser Befehle korrekt.

Befehle zur Steuerung der Software

Der Wiederholungspräfix bewirkt eine schnelle Iteration mit Hardware, das gleiche Ergebnis kann man durch Programmschleifen erzielen. Durch Kombination der einfachen Stringbefehle mit anderen lassen sich ausgeklügelte und effektive Routinen zur Behandlung von Ketten schaffen. Einer dieser Befehle ist XLAT, mit dem ein Byte von einem String entnommen und möglicher-

2. Mikroprozessoren

weise verändert in einen anderen übertragen werden kann. Dabei kann der Inhalt des AL-Registers als Index für einen Zeiger mit dem BX-Register benutzt werden. Der übertragene Wert aus der Tabelle ersetzt dann den Wert im AL-Register. Es gibt 5 einfache Kettenbefehle, die sowohl Bytes als auch Worte betreffen können:

MOVS Transportiere Byte oder Wort,
CMPS Vergleiche Byte oder Wort,
SCAS Abtasten Byte oder Wort,
LODS Laden Byte oder Wort,
STOS Abspeichern Byte oder Wort.

Übertragungssteuerung

4 Klassen von Befehlen zur Steuerung der Übertragung können unterschieden werden: Unterprogrammaufrufe (Calls), Sprünge und Rücksprünge, bedingte Übertragungen, Steuerung von Iterationen und Interrupts. Alle Befehle zur Steuerung der Übertragung bewirken (einige bedingt) die weitere Programmabarbeitung auf neuen Speicheradressen, möglicherweise in einem neuen Code-segment.

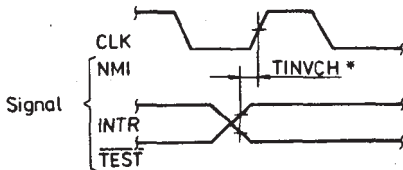


Bild 9

Annahme asynchroner Signale (* Diese Voreinstellzeit sichert die Annahme für asynchrone Signale mit dem nächsten Takt)

2 grundsätzliche Unterschiede bestehen bei den Calls, Sprüngen und Rücksprüngen: Sie können die Steuerung im aktuellen Codesegment belassen oder auf ein anderes übertragen, das dann das aktuelle wird. Sowohl direkte als auch indirekte Übertragung sind vorhanden; indirekte benutzen die üblichen Adressierungsarten. Direkte Calls und Sprünge innerhalb von Segmenten verwenden einen relativen Versatz, wodurch ein adressenunabhängiger Maschinencode entsteht. Es gibt einen verkürzten Sprungbefehl

für einen Abstand von ± 128 Bytes, der weniger Bytes belegt. Die bedingte Übertragung der Steuerung wird mit einer Gruppe unterschiedlicher logischer Verknüpfungen mit dem Flagregister vorgenommen. Das Ziel muß innerhalb eines Abstands von ± 128 Bytes vom Befehl liegen.

Die Befehle zur iterativen Steuerung der Übertragung sind mit Entscheidungen am Ende und am Anfang der Schleife möglich. Das Ziel muß innerhalb eines Abstands von ± 128 Bytes vom Befehl liegen. Diese Befehle sind besonders in Verbindung mit den Stringbefehlen nützlich.

Es gibt 4 Befehle zur iterativen Steuerung der Übertragung:

LOOP Schleife,
LOOPZ Schleife bis null,
LOOPNZ Schleife nicht bis null,
JCXZ Sprung bei $CX = 0$.

Interrupts

Die Steuerung der Programmausführung kann in unterschiedlicher Weise auf externe Unterbrechungen übertragen werden. Alle Interrupts bewirken die Übertragung des Flagregisters in den Stack (wie PUSHF) und dann einen indirekten Unterprogrammaufruf mit Interruptvektor auf den absoluten Adressen 0 bis 3FFH. Dieser Vektor enthält ein 4-Byte-Element für jeden der 256 Interrupttypen. Es gibt 3 Interruptbefehle:

INT Interrupt,
INTO Interrupt bei Überlauf,
IRET Rücksprung vom Interrupt.

Einzelschritt

Wenn das TF-Flag gesetzt ist, erzeugt der Prozessor einen Interrupt vom Typ 1 nach der Ausführung eines Befehls. Nach der Rettung der Flags in den Stack wird das TF gelöscht. Es gibt keinen Befehl, mit dem das TF direkt gesetzt oder rückgesetzt werden kann. Jedoch kann man den Speicherplatz im Stack verändern, auf den das Flagregister gerettet wurde. Ein nachfolgender IRET-Befehl bringt das TF zurück. Das erlaubt die Untersuchung von Programmteilen im Einzelschrittbetrieb.

Tabelle 1 Anschlußbezeichnungen

Bezeichnung	Rich-	Funktion
AD0 bis AD7	I/O	Adressen oder Daten
A8 bis A15	O	Adressen
A16/S3	O	Adresse, Status
A17/S4	O	Adresse, Status
A18/S5	O	Adresse, Status
A19/S6	O	Adresse, Status
/RD	O	lesen
READY	I	Fertigmeldung externer Baugruppen
INTR	I	Interruptanforderung
/TEST	I	Abfrage bei Befehl
NMI	I	nicht maskierbarer Interrupt
RESET	I	Rücksetzeingang
CLK	I	Takt
U _{cc}	I	Betriebsspannung, 5 V ± 5 %
GND	O	0 V

Tabelle 2 Arten des Bustransfers

S2	S1	S0	
0	0	0	Interruptquittung
0	0	1	I/O Lesen
0	1	0	I/O Schreiben
0	1	1	Halt
1	0	0	Befehlscode lesen
1	0	1	Daten vom Speicher lesen
1	1	0	Daten in Speicher schreiben
1	1	1	passiv, kein Buszyklus

Tabelle 3 Buszyklen

S4	S3	
0	0	Extrasegment
0	1	Stack
1	0	Codesegment
1	1	Datensegment

Unterschiede bei Minimumbetrieb, MN/MX = U_{cc}

IO/M	O	0 = Speicherzugriff
/WR	O	schreiben
/INTA	O	Interruptquittung
ALE	O	Übernahmesignal Speicheradressen
DT/R	O	Daten senden/empfangen
DEN	O	Daten gültig
HOLD	I	Datenbusanforderung extern
HOLDA	O	Quittung für externe Busanforderung
/SS0	O	Status, nicht Tri-state-fähig

Unterschiede bei Maximumbetrieb

/S0, /S1, S2	O	Status
/RQ/GTO	I/O	Bussteuerung extern
/RQ/GT1	I/O	Bussteuerung extern
/LOCK	O	Sperre für externe Busanforderung
QS1, QS0	O	Status

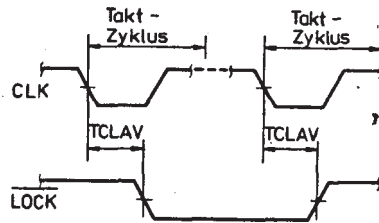
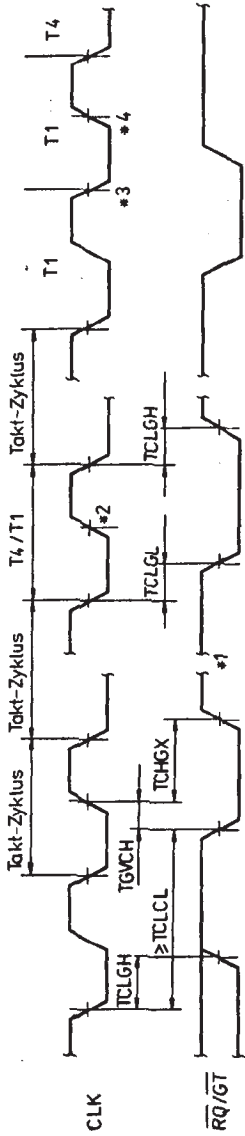
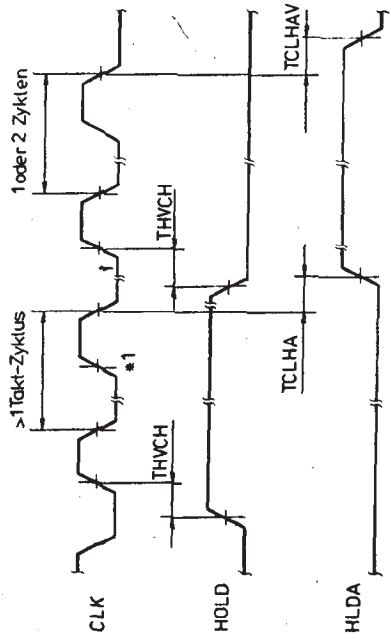


Bild 10
LOCK-Signal



- * 1 Der 8088 schaltet S_2, S_1, S_0 hochohmig nach t_{11} nach dieser Flanke
- * 2 Der 8088 schaltet den AX-DX-Bus hochohmig und geht in LOCK-Zustand
- * 3 Der andere Prozessor schaltet S_2, S_1, S_0 hochohmig
- * 4 Der andere Prozessor schaltet BHE und den AX-DX-Bus hochohmig und geht in den LOCK-Zustand

Bild 11 Busanforderung/Übertragung (Maximalsystem)



- * 1 Bus schaltet bei dieser Flanke hochohmig

Bild 12
HALT/HALT-Quittung

Tabelle 4 Übersicht Befehlssatz K 1810 WM88/8086

Datentransfer

MOV

Register/Speicher zu/von Register	100010dw	mod.reg.r/m		
Direktwert zu Register/Speicher	1100011w	mod.000.r/m	Daten	Daten bei w = 1
Direktwert in Register	1011w.reg	Daten	Daten bei w = 1	
Speicher zu Akkumulator	1010000w	Adr. Low	Adr. High	
Akkumulator zu Speicher	1010001w	Adr. Low	Adr. High	
Register/Speicher zu Segmentregister	10001110	mod.0.reg.r/m		
Segmentregister zu Register/Speicher	10001100	mod.0.reg.r/m		

PUSH

Register/Speicher	11111111	mod.110.r/m		
Register	01010.reg			
Segmentregister	000.reg.110			

POP

Register/Speicher	10001111	mod.000.r/m		
Register	01011.reg			
Segmentregister	000.reg.111			

XCHG

Register/Speicher mit Register	1000011w	mod.reg.r/m		
Register mit Akkumulator	10010.reg			

IN

festes Port (AX)	1110010w	Port		
variables Port (AX, DX)	1110110w			

OUT

festes Port (AX)	1110011w	Port		
variables Port (AX, DX)	1110111w			

XLAT

Byte nach AL	11010111			
--------------	----------	--	--	--

LEA

effektive Adresse zu Register	10001101	mod.reg.r/m		
-------------------------------	----------	-------------	--	--

LDS

lade Zeiger in DS	11000101	mod.reg.r/m		
-------------------	----------	-------------	--	--

LES

lade Zeiger in ES	11000100	mod.reg.r/m		
-------------------	----------	-------------	--	--

2. Mikroprozessoren

Datentransfer

LAHF

lade AH mit Flags 10011111

SAHF

speichere AH in Flags 10011110

PUSHF (Flags) 10011100

POPF (Flags) 10011101

Arithmetik

ADD

Register/Speicher mit Register 000000dw mod.reg.r/m
 Direktwert mit Register/Speicher 100000sw mod.000.r/m Daten Daten bei
 w = 1

Direktwert mit Akkumulator 0000010w Daten Daten bei
 w = 1

ADC (Addition mit Übertrag)

Register/Speicher mit Register 0001000dw mod.reg.r/m
 Direktwert zu Register/Speicher 1000000sw mod.010.r/m Daten Daten bei
 sw = 01

Direktwert zu Akkumulator 0001010w Daten Daten bei
 w = 1

INC

Register/Speicher 1111111w mod.000.r/m
 Register 01000reg

AAA ASCII einstellen für ADD 00110111

DAA Dezimal einstellen für
 ADD 00100111

SUB

Register/Speicher und Register 001010dw mod.reg.r/m
 Direktwert von Register/Speicher 100000sw mod.101.r/m Daten Daten bei
 SW = 01

Direktwert von Akkumulator 0010110w Daten Daten bei
 w = 1

SBB Subtraktion mit »borgen«

Register/Speicher und Register 000110dw mod.reg.r/m
 Direktwert von Register/Speicher 100000sw mod.011.r/m Daten Daten bei
 SW = 01

Direktwert vom Akkumulator 0001110w Daten Daten bei
 w = 1

Datentransfer

DEC					
Register/Speicher	1111111w	mod.001.r/m			
Register	01001reg				
NEG	1111011w	mod.011.r/m			
CMP					
Register/Speicher und Register	001110dw	mod.reg.r/m			
Direktwert mit Register/Speicher	100000sw	mod.111.r/m	Daten	Daten bei sw = 01	
Direktwert mit Akkumulator	0011110w	Daten	Daten bei w = 1		
AAS ASCII einstellen für Sub- straktion	00111111				
DAS Dezimal einstellen für Sub- traktion	00101111				
MUL	1111011w	mod.100.r/m			
IMUL	1111011w	mod.101.r/m			
AAM ASCII einstellen für Multi- plikation	11010100	00001010			
DIV	1111011w	mod.110.r/m			
IDIV	1111011w	mod.111.r/m			
AAD ASCII einstellen für Divi- sion	11010101	00001010			
CBW (konvertiere Byte in Wort)	10011000				
CWD (konvertiere Wort in Dop- pelwort)	10011001				
Logik					
NOT	1111011w	mod.010.r/m			
SHL/SAL	110100vw	mod.100.r/m			
SHR	110100vw	mod.101.r/m			
SAR	110100vw	mod.111.r/m			

2. Mikroprozessoren

Datentransfer

ROL	110100vw	mod.000.r/m		
ROR	110100vw	mod.001.r/m		
RCL	110100vw	mod.010.r/m		
RCR	110100vw	mod.011.r/m		
AND				
Register/Speicher und Register	001000dw	mod.reg.r/m		
Direktwert zu Register/Speicher	1000000w	mod.100.r/m	Daten	Daten bei w = 1
Direktwert zu Akkumulator	0010010w	Daten	Daten bei w = 1	
TEST (AND mit Flags, kein Ergebnis)				
Register/Speicher und Register	1000010w	mod.reg.r/m		
Direktwert und Register/Speicher	1111011w	mod.000.r/m	Daten	Daten bei w = 1
Direktwert und Akkumulator	1010100w	Daten	Daten bei w = 1	
OR				
Register/Speicher und Register	000010dw	mod.reg.r/m		
Direktwert zu Register/Speicher	1000000w	mod.001.r/m	Daten	Daten bei w = 1
Direktwert zum Akkumulator	0000110w	Daten	Daten bei w = 1	
XOR				
Register/Speicher	001100dw	mod.reg.r/m		
Direktwert zu Register/Speicher	1000000w	mod.110.r/m	Daten	Daten bei w = 1
Direktwert zu Akkumulator	0011010w	Daten	Daten bei w = 1	
Stringmanipulation				
REP	1111001z			
MOVS	1010010w			
CMPS	1010011w			
SCAS (abtasten)	1010111w			
LODS	1010110w			
STOS	1010101w			

 Datentransfer

 Transfersteuerung

CALL

direkt innerhalb Segment	11101000	Versatz L	Versatz H
indirekt innerhalb Segment	11111111	mod.010.r/m	
direkt außerhalb aktuellem Segment	10011010	Offset L	Offset H
indirekt außerhalb aktuellem Segment	11111111	Segment L	Segment H
		mod.011.r/m	

JMP

direkt innerhalb Segment	11101001	Versatz L	Versatz H
direkt innerhalb Segment, kurz	11101011	Versatz	
indirekt innerhalb Segment	11111111	mod.100.r/m	
direkt außerhalb aktuellem Segment	11101010	Offset L	Offset H
indirekt außerhalb aktuellem Segment	11111111	Segment L	Segment H
		mod.101.r/m	

RET

innerhalb Segment	11000011		
innerhalb Segment, SP + Direktwert	11000010	Daten L	Daten H
außerhalb aktuellem Segment	11001011		
außerhalb aktuellem Segment, SP + Wert	11001010	Daten L	Daten H

JE/JZ	01110100	Versatz
JL/JNGE	01111100	Versatz
JLE/JNG	01111110	Versatz
JB/JNAE	01110010	Versatz
JBE/JNA	01110110	Versatz
JP/JPE	01111010	Versatz
JO	01110000	Versatz
JS	01111000	Versatz
JNE/JNZ	01110101	Versatz
JNL/JGE	01111101	Versatz
JNLE/JG	01111111	Versatz
JNB/JAE	01110011	Versatz
JNBE/JA	01110111	Versatz
JNP/JPO	01111011	Versatz
JNO	01110001	Versatz
JNS	01111001	Versatz
LOOP	11100010	Versatz
LOOPZ/LOOPE	11100001	Versatz
LOOPNZ/LOOPNE	11100000	Versatz
JCXZ	11100011	Versatz

2. Mikroprozessoren

Datentransfer

INT		
Type festgelegt	11001101	Type
Type 3	11001100	
INTO	11001110	
IRET	11001111	

Prozessorsteuerung

CLC	11111000	
CMC	11110101	
STC	11111001	
CLD	11111100	
STD	11111101	
CLI	11111010	
STI	11111011	
HLT	11110100	
WAIT	10011011	
ESC	11011xxx	mod.xxx.r/m
LOCK	11110000	

Präfix für Segmentüberschreitung 001reg110

Erläuterungen

AL	8-bit-Akkumulator	r/m = 000	EA = (BX) + (SI) + DISP
AX	16-bit-Akkumulator	r/m = 001	EA = (BX) + (DI) + DISP
CX	Zählerregister	r/m = 010	EA = (BP) + (SI) + DISP
DS	Datensegment	r/m = 011	EA = (BP) + (DI) + DISP
ES	Extrasegment	r/m = 100	EA = (SI) + DISP
		r/m = 101	EA = (DI) + DISP
d = 1	zum Register	r/m = 110	EA = (BP) + DISP (außer bei
d = 0	vom Register		mod = 00, dann DISP H,
w = 1	Wortbefehl		DISP L)
w = 0	Bytebefehl	r/m = 111	EA = (BX) + DISP
s: w = 01	Operand 16 bit		
s: w = 11	Byte mit Vorzeichen als 16-bit-Operand		
v = 0	Zahl = 1, sonst (CL)		
x	ohne Bedeutung		
z	bei einfachen Stringbefehlen		
	Vergleich mit Z-Flag		
mod = 11	r/m = Register		
mod = 00	kein Versatz		
mod = 01	Versatz L mit Vorzeichen, kein Versatz H		
mod = 10	Versatz mit H und L		
DISP	= Versatz		

Registerzuordnung		
16 bit	8 bit	Segment
000 AX	000 AL	00 ES
001 CX	001 CL	01 CS
010 DX	010 DL	10 SS
011 BX	011 BL	11 DS
100 SP	100 AH	
101 BP	101 CH	
110 SI	110 DH	
111 DI	111 BH	

Tabelle 5 Technische Daten

Grenzwerte

Bezeichnung	min.	max.	Einheit
Umgebungstemperatur	0	70	°C
Lagerungstemperatur	-65	+150	°C
Eingangsspannung	-0,3	+7	V
Leistungsaufnahme		2,5	W

Statische Kennwerte

Symbol	Bedeutung	min.	max.	Einheit
U_{IL}	Eingangsspannung L	-0,5	+0,8	V
U_{IH}	Eingangsspannung H	2	$U_{CC}+0,5$	V
U_{OL}	Ausgangsspannung L		0,45	V
U_{OH}	Ausgangsspannung H	2,4		V
I_{CC}	Stromaufnahme		276	mA
I_{LI}	Eingangsreststrom		10	µA
I_{LO}	Ausgangsreststrom		10	µA
C_{IN}	Eingangskapazitäten		10	pF (1 MHz)
C_{IO}	Ausgangskapazitäten		20	pF (1 MHz)

Dynamische Kennwerte

Minimumschaltung

Symbol	Bedeutung	min.	max.	Einheit
t_{CLCL}	Taktperiode	200	2000	ns
t_{CLCH}	Taktbreite L	$2/3 t_{CLCL} - 15$		ns
t_{CHCL}	Taktbreite H	$1/3 t_{CLCL} + 2$		ns
t_{CH1CH2}	Taktanstiegzeit		10	ns
t_{CL2CL1}	Taktabfallzeit		10	ns
t_{DVCL}	Datenvorhaltezeit	30		ns
t_{CLDZ}	Datenhaltezeit	10		ns
t_{RIVCL}	RDY-Vorhaltezeit	35		ns
t_{CLR1X}	RDY-Haltezeit	0		ns
t_{RYNCH}	Ready-Vorhaltezeit	$2/3 t_{CLCL} - 15$		ns
t_{CHRYX}	Ready-Haltezeit	30		ns
t_{RYLCL}	Ready abschalten vor Takt	-8		ns
t_{HVCH}	Vorhaltezeit HOLD	35		ns
t_{INVCH}	Vorhaltezeit INTR, NMI, TEST	30		ns
t_{CLAV}	Verzögerung Adressen	15	110	ns

2. Mikroprozessoren

Symbol	Bedeutung	min.	max.	Einheit
t_{CLAX}	Haltezeit Adressen	10		ns
t_{CLAZ}	Verzögerung Adressen hochohmig	t_{CLAX}	80	ns
t_{LHLL}	Breite ALE	$t_{CLCH} - 20$		ns
t_{CLLH}	Verzögerung ALE ein		80	ns
t_{CHLL}	Verzögerung ALE aus		85	ns
t_{LLAZ}	ALE aus/Adressen hochohmig	$t_{CHCL} - 10$		ns
t_{CLDV}	Verzögerung Daten	15	110	ns
t_{CHDZ}	Verzögerung Daten hochohmig	t_{CLAX}	85	ns
t_{WHDZ}	Datenhaltezeit nach /WR	$t_{CLCH} - 30$		ns
t_{CVCTV}	Verzögerung 1 Steuerung ein	10	110	ns
t_{CHCTV}	Verzögerung 2 Steuerung ein	15	110	ns
t_{CVCTX}	Verzögerung Steuerung aus	10	110	ns
t_{AZRL}	Adressen hochohmig zu READ aktiv	0		ns
t_{CLRL}	Verzögerung /RD ein	10	165	ns
t_{CLRH}	Verzögerung /RD aus	10	150	ns
t_{RHAV}	/RD zur nächsten Adresse aktiv	$t_{CLCL} - 45$		ns
t_{CLHAV}	Verzögerung HLDA	10	160	ns

Maximumschaltung (mit Buscontroller 8288)

Symbol	Bedeutung	min.	max.	Einheit
t_{CLCL}	Taktperiode	200	2000	ns
t_{CLCH}	Taktbreite L	$2/3 t_{CLCL} - 15$		ns
t_{CHCL}	Taktbreite H	$1/3 t_{CLCL} + 2$		ns
t_{CHICH2}	Taktanstiegszeit		10	ns
t_{CL2CL1}	Taktabfallzeit		10	ns
t_{DVCL}	Datenvorhaltezeit	30		ns
t_{CLDZ}	Datenhaltezeit	10		ns
t_{RIVCL}	RDY-Vorhaltezeit	35		ns
t_{CLR1X}	RDY-Haltezeit	0		ns
t_{RYHCH}	Ready-Vorhaltezeit	$2/3 t_{CLCL} - 15$		ns
t_{CHRYX}	Ready-Haltezeit	30		ns
t_{RYLCL}	Ready Abschalten vor Takt	-8		ns
t_{INVCH}	Vorhaltezeit für Erken- nung INTR, NMI, /TEST	30		ns

Symbol	Bedeutung	min.	max.	Einheit
t_{GVCH}	/RQ/GT-Vorhaltezeit	30		ns
t_{CHGX}	/RQ-Haltezeit	40		ns
t_{CLML}	Verzögerung Kommando aktiv	10	35	ns
t_{CLMH}	Verzögerung Kommando inaktiv	10	35	ns
t_{RVHSH}	Ready aktiv zu Status passiv		110	ns
t_{CHSV}	Verzögerung Status aktiv	10	110	ns
t_{CLSH}	Verzögerung Status inaktiv	10	130	ns
t_{CLAV}	Verzögerung Adressen	15	110	ns
t_{CLAX}	Adressenhaltezeit	10		ns
t_{CLAZ}	Verzögerung Adressen hochohmig	t_{CLAX}	80	ns
t_{SVLH}	Status gültig/ALE		15	ns
t_{SVMCH}	Status gültig/MCE		15	ns
t_{CLLH}	ALE gültig/CLK		15	ns
t_{CLMCH}	/CLK zu MCE		15	ns
t_{CHLL}	Verzögerung zu /ALE		15	ns
t_{CLMCL}	Verzögerung zu /MCE		15	ns
t_{CLDV}	Verzögerung Daten	15	110	ns
t_{CHDZ}	Verzögerung Daten hochohmig	t_{CLAX}	85	ns
t_{CVNV}	Verzögerung Steuerung aktiv	5	45	ns
t_{CVNX}	Verzögerung Steuerung inaktiv	10	45	ns
t_{AZRL}	Adressen hochohmig zu Read aktiv	0		ns
t_{CLRL}	Verzögerung RD	10	165	ns
t_{CLRH}	Verzögerung /RD	10	150	ns
t_{RHAV}	RD inaktiv zu Adressen	$t_{CLCL} - 45$		ns
t_{CHDTL}	Verzögerung Richtung aktiv		50	ns
t_{CHDTH}	Verzögerung Richtung inaktiv		30	ns
t_{CLGL}	Verzögerung /GT aktiv		85	ns
t_{CLGH}	Verzögerung /GT inaktiv		85	ns

3. Speicher

3.1. Programmierbare Nur-Lese-Speicher (PROM)

3.1.1. 1024-bit-PROM '74S287 in Schottky-TTL-Technik

Vergleichstypen

SN 74S287	Texas Instruments
MH 74S287	TESLA
74S287PC	Ungarische VR
93427	Fairchild
3621	Intel
<hr/>	
SN 74S387*	Texas Instruments
74S387PC*	Ungarische VR
K 556 RT4*	Elorg
3601*	Intel
93417*	Fairchild

* entspricht funktionell dem '74S287, die Ausgangsstufen sind als open-collector ausgeführt.

Beschreibung

- Organisation 256×4 bit
- Tri-state-Ausgänge
- volldekodiert durch Adreßdekoder und Puffer
- CS-Eingänge ermöglichen das Kaskadieren
- 16poliges Standard-DIL-Gehäuse

Tabelle 1 Grenzwerte

Lagerungs-temperatur ϑ_{stg}	-65 bis +150 °C
Betriebsspannung U_{cc}	-0,5 bis +7,0 V
Eingangsspannung U_I	-0,5 bis +5,5 V
Ausgangsspannung U_o	-0,5 bis +5,5 V

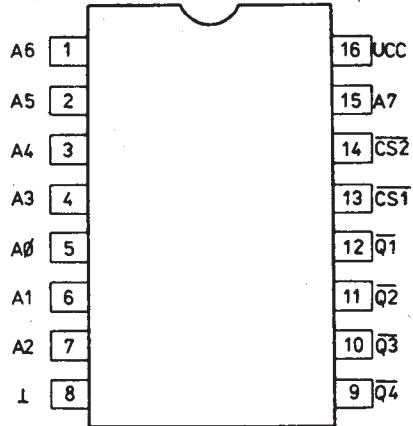


Bild 1 Anschlußbelegung

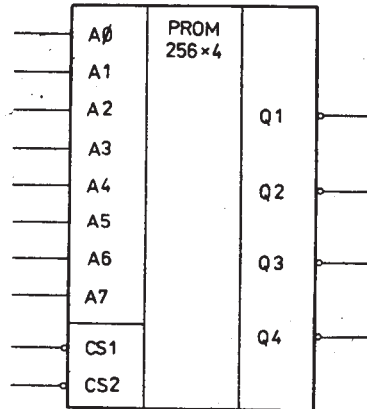


Bild 2 Logiksymbol

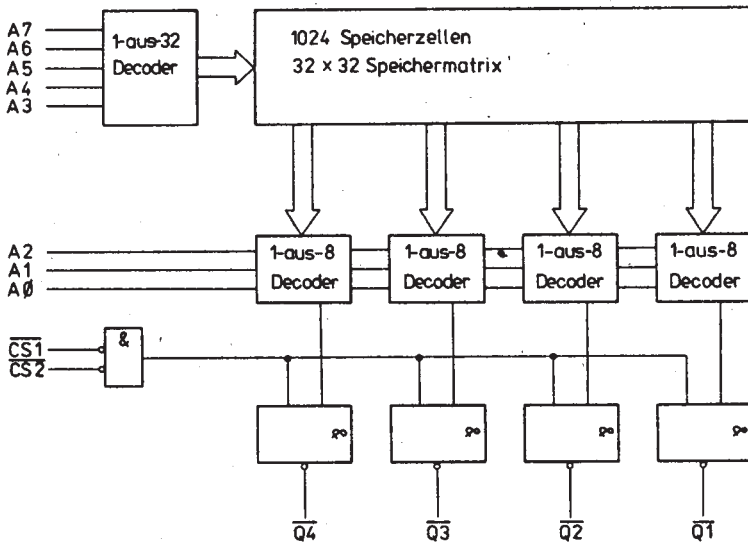

 Bild 3
Übersichtsschaltplan

Tabelle 2 Statische Kennwerte

Kenngröße	Werte		
	min.	typ.	max.
L-Ausgangsspannung U_{OL} in V ($U_{CC} = 4,75$ V, $I_{OL} = 16$ mA)		0,3	0,45
H-Ausgangsspannung U_{OH} in V ($I_{OH} = -2,0$ mA)	2,4		
Ausgangsleckstrom I_{OFF} in μ A (bei Tri-state) für $U_{OH} = 2,4$ V für $U_{OH} = 0,4$ V			50 -50
H-Eingangsspannung U_{IH} in V	2,0		
L-Eingangsspannung U_{IL} in V			0,8
L-Eingangsstrom I_F in μ A		-160	-250
H-Eingangsstrom I_R in μ A			40
Stromaufnahme I_{CC} in mA		85	110

 Tabelle 3 Dynamische Kennwerte ($\theta_a = 0$ bis 75 °C; $U_{CC} = 5,0$ V)

Kenngröße	Werte		
	min.	typ.	max.
Ausgangsverzögerungszeit nach Adres- senwechsel t_{AA+} , t_{AA-} in ns		25	45
CS-Verzögerungszeit t_{ACS+} , t_{ACS-} in ns		12	20

Zeitdiagramme s. '93438

3. Speicher

3.1.2. 2048-bit-PROM '74S571 in Schottky-TTL-Technik

Vergleichstypen

SH 74S571 Texas Instruments

MH 74S571 TESLA

93446 Fairchild

3622 Intel

Beschreibung

- schnelle Zugriffszeit von 30 ns
- Organisation 512×4 bit
- Tri-state-Ausgänge
- volldekodiert durch Adreßdekor und Puffer
- CS-Eingang erlaubt das Kaskadieren
- 16poliges Standard-DIL-Gehäuse

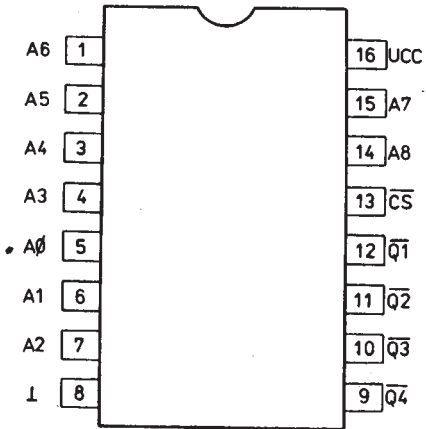


Bild 1
Anschlußbelegung

Bild 2
Logiksymbol

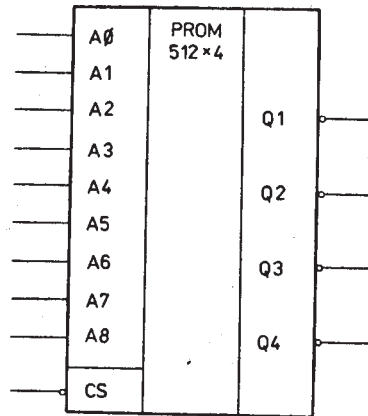


Tabelle 1 Grenzwerte

Lagertemperatur ϑ_{stg}	-65 bis +150 °C
Betriebsspannung U_{CC}	-0,5 bis +7,0 V
Eingangsspannung U_I	-0,5 bis +5,5 V
Ausgangsspannung U_O	-0,5 bis +4,0 V

Tabelle 2 Statische Kennwerte

Kenngröße	Werte		
	min.	typ.	max.
L-Ausgangsspannung U_{OL} in V ($U_{CC} = 4,75$ V, $I_{OL} = 16$ mA)		0,3	0,45
H-Ausgangsspannung U_{OH} in V ($U_{CC} = 4,75$ V, $I_{OH} = -2$ mA)	2,4		
Ausgangsleckstrom I_{OFF} in μ A (bei Tri-state) für $U_{OH} = 2,4$ V für $U_{OH} = 0,4$ V			50 -50
H-Eingangsspannung U_{IH} in V	2,0		
L-Eingangsspannung U_{IL} in V			0,8
L-Eingangsstrom I_F in μ A		-160	-250
H-Eingangsstrom I_R in μ A			40
Stromaufnahme I_{CC} in mA		95	130

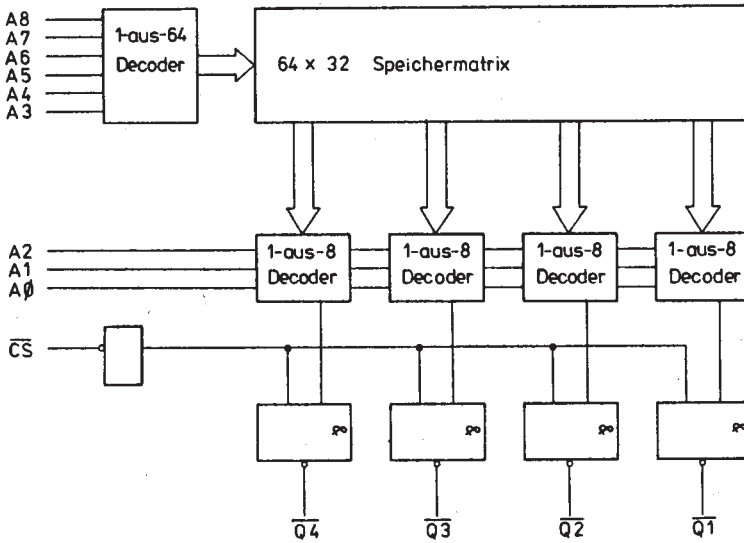


Bild 3 Übersichtsschaltplan

Tabelle 3 Dynamische Kennwerte

Kenngröße	Werte		
	min.	typ.	max.
Ausgangsverzögerungszeit nach Adressenwechsel t_{AA+} , t_{AA-} in ns		30	50
CS-Verzögerungszeit t_{ACS+} , t_{ACS-} in ns		15	25

Zeitdiagramme s. '93438

3. Speicher

3.1.3. 4096-bit-PROM '93438 in Schottky-TTL-Technik

Vergleichstypen

93438	Fairchild
K 556 RT5	Elorg
SN 74S573	Texas Instruments
3604	Intel

93448*	Fairchild
MHB 93448*	TESLA
SN 74S572*	Texas Instruments
3624*	Intel

* entspricht funktionell dem '93438, die Ausgangsstufen haben Tri-state-Verhalten.

Beschreibung

- Organisation 512×8 bit
- Open-collector-Ausgänge
- CS-Eingänge ermöglichen das Kaskadieren
- 24poliges Standard-DIL-Gehäuse

Tabelle 1 Grenzwerte

Lagertemperatur ϑ_{stg}	-65 bis +150 °C
Betriebsspannung U_{CC}	-0,5 bis +7,0 V
Eingangsspannung U_I	-0,5 bis +5,5 V
Ausgangsspannung U_O	-0,5 bis +4,0 V

Tabelle 2 Statische Kennwerte

Kenngröße	Werte		
	min.	typ.	max.
L-Ausgangsspannung U_{OL} in V (bei $U_{CC} = 4,75$ V, $I_{OL} = 16$ mA)		0,3	0,45
Ausgangsleckstrom I_{OFF} in μ A			50
L-Eingangsspannung U_{IL} in V			0,8
H-Eingangsspannung U_{IH} in V	2,0		
L-Eingangsstrom I_{IL} in μ A		-160	-250
H-Eingangsstrom I_{IH} in μ A			40
Stromaufnahme I_{CC} in mA		130	175

Tabelle 3 Dynamische Kennwerte

Kenngröße	Werte		
	min.	typ.	max.
Ausgangsverzögerungszeit nach Adres- senwechsel t_{AA+} , t_{AA-} in ns		35	55
CS-Verzögerungszeit t_{ACS+} , t_{ACS-} in ns		15	25

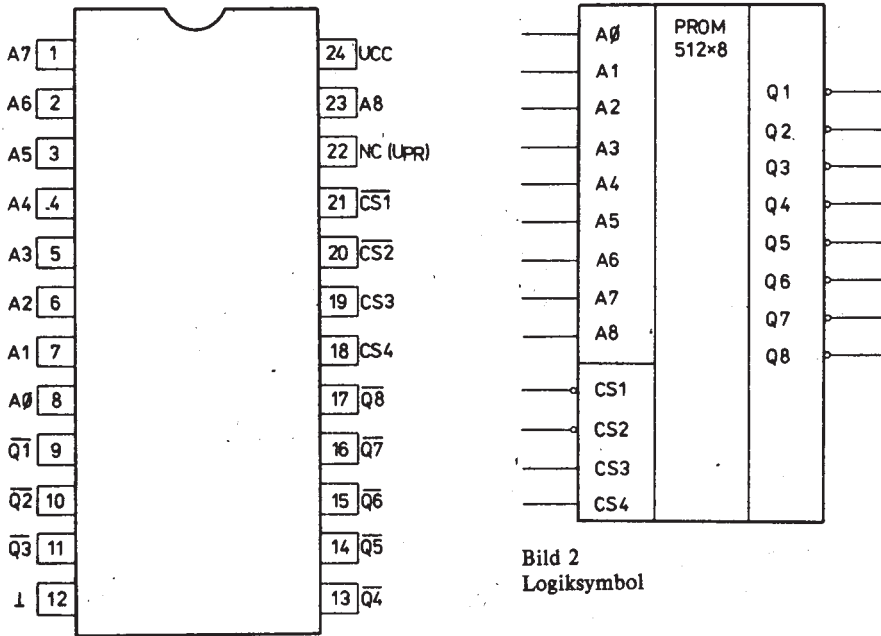


Bild 2
Logiksymbol

Bild 1
Anschlußbelegung

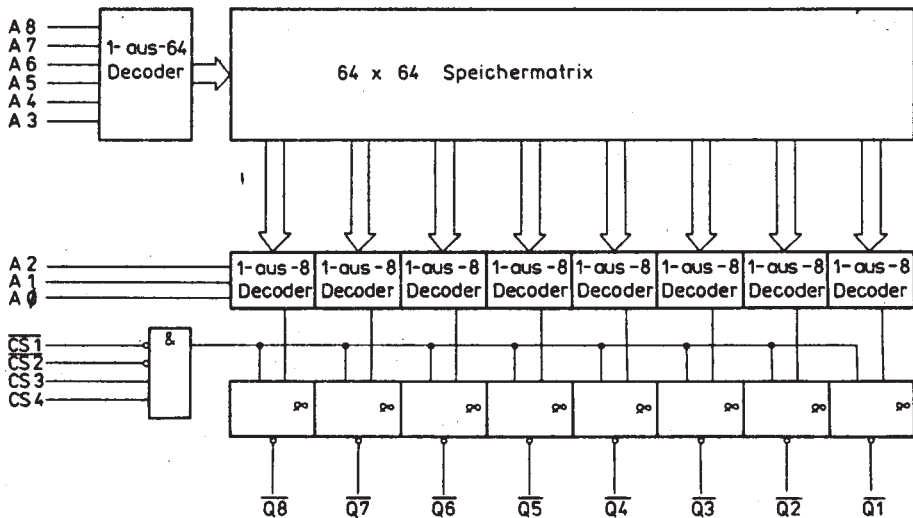


Bild 3 Übersichtsschaltplan

3. Speicher

Programmierung für alle bipolaren PROM

- Hersteller stellt alle Speicherzellen auf »H«;
- U_{CC} und Masse anschließen;
- Adresse des zu programmierenden Wortes an Adreßanschlüsse anlegen, Adreßanschlüsse auf festes Potential legen (!);
- Auswahl des Schaltkreises durch Nichtaktivieren (!) mit CS, H an CS1 oder CS2;
- Programmierimpuls (+21 V) an den entsprechenden Ausgang anlegen; die anderen Ausgänge offen lassen oder an H legen. Es darf nur ein Ausgang programmiert werden.

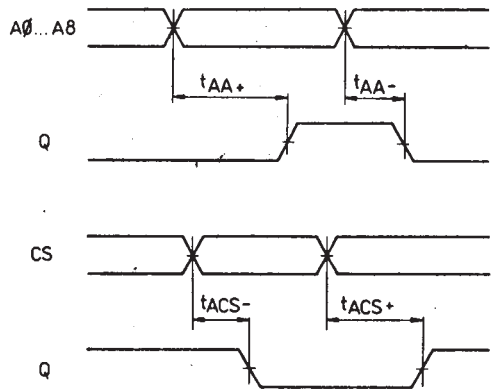


Bild 4
Zeitdiagramm

Tabelle 4 Daten zum Programmieren

	Symbol	Einheit	min. Wert	empfohlener Wert	max. Wert
Adreßeingänge*	U_{IH}	V	2,4	5,0	5,0
	U_{IL}	V	0	0	0,4
Chip Select			2,4	5,0	5,0
Programmierimpuls-spannung	U_{OP}	V	20	21	21
Programmierimpuls-breite	t_{PW}	ms	0,05	0,18	50
Programmierimpuls-anstiegszeit	t_r	μ s	0,5	1,0	3,0
Programmierimpuls-anzahl			1	4	8
Betriebsspannung	U_{CC}	V	4,75	5,0	5,25
Betriebstemperatur	ϑ_c	$^{\circ}$ C		25	85
Programmierimpuls-strom	I_{OP}	mA			100

* Anschlüsse während des Programmierens nicht unbeschaltet lassen.

3.1.4. 1 kByte EPROM U555 C

TGL 37787

Übersicht

- TTL-kompatible Ein- und Ausgänge
- Tri-state-Ausgänge
- Versorgungsspannungen +12 V, +5 V und -5 V
- internationales Äquivalent: Schaltkreis 2708
- Organisation 1024 × 8 bit

Tabelle 1 Grenzwerte

Betriebsspannung U_{DD}	-0,5	20	V
Betriebsspannung U_{CC}	-0,5	15	V
Betriebsspannung U_{SS}	-0,5	15	V
Betriebsspannung für Programmierbetrieb	-0,5	32	V
Eingangsspannung A_1, O_1	-0,5	15	V
Eingangsspannung CS/WE	-0,5	15	V
Umgebungstemperatur	0	70	°C
Lagerungstemperatur	-55	125	°C
Verlustleistung		1,5	W

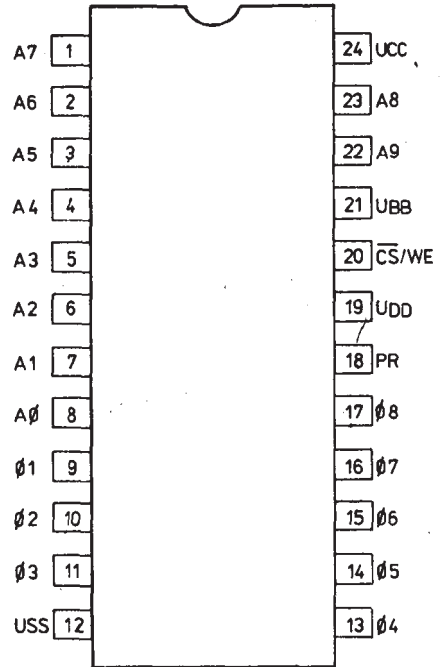


Bild 2 Anschlußbelegung

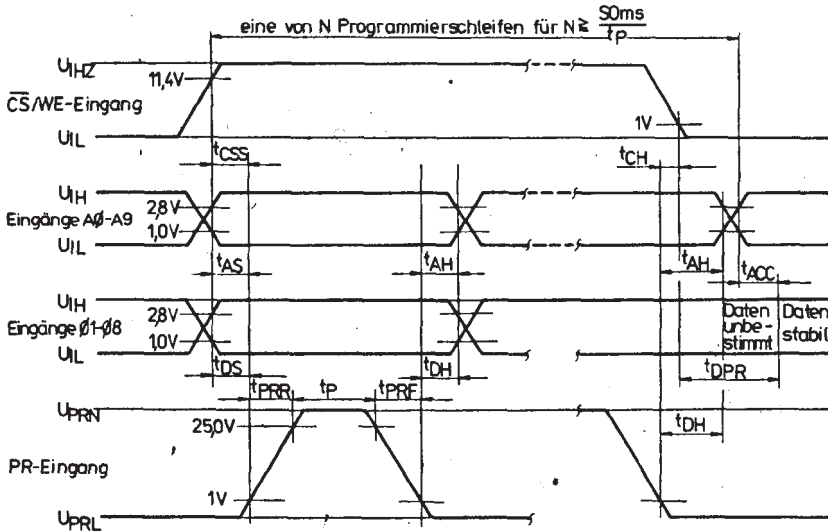


Bild 3 Dynamisches Verhalten

3. Speicher

Tabelle 2 Betriebsbedingungen

Kenngröße	Symbol	min.	typ.	max.	Einheit	Bedingung
Betriebsspannung	$-U_{BB}$	4,75	5	5,25	V	
Betriebsspannung	U_{CC}	4,75	5	5,25	V	
Betriebsspannung	U_{DD}	11,4	12	12,6	V	
Eingangsspannung H Adressen, Daten, CS	U_{IH1}	3		$U_{CC} + 0,5$	V	
Eingangsspannung H für CS/WE	U_{IH2}	11,4		12,6	V	
Eingangsspannung L	U_{IL}	-0,5		0,8	V	
Ausgangsstrom H	I_{OH}	-1			mA	
Datenhaltezeit nach Adressenwechsel	t_{OH}	0			ns	
Umgebungstemperatur	θ_a	0	25	70	°C	
Eingangsreststrom	I_I			7	µA	$U_{IH1} = U_{IH2} = 5,5 V$
Ausgangsreststrom	I_O			7	µA	$U_{IH2} = 3 V$; $U_{OH} = 5,5 V$
Ausgangsspannung L	U_{OL}			0,4	V	$I_{OL} = 1,6 mA$
Ausgangsspannung H	U_{OH}	2,4			V	
Stromaufnahme, statisch	I_{BB}	-45			mA	$U_{BB} = 5,25 V$;
	I_{CC}			10	mA	$U_{CC} = 5,25 V$;
	I_{DD}			65	mA	$U_{DD} = 12,6 V$
Stromaufnahme, Programmierbetrieb	I_{PR1}			20	mA	$U_{PR} = 26 V$
	I_{PR2}			-3	mA	$U_{PR} = 1 V$
Eingangskapazität	C_I			6	pF	
Ausgangskapazität	C_O			12	pF	

Tabelle 3 Dynamische Kennwerte

Kenngröße	Symbol	max.	Einheit	Bedingung
Zugriffszeit	t_{ACC}	450	ns	$U_{CC} = 4,75 V$; $U_{DD} = 11,4 V$
Chip-Selektionszeit	t_{CO}	120	ns	
Chip-Deselektionszeit	t_{OD}	120	ns	

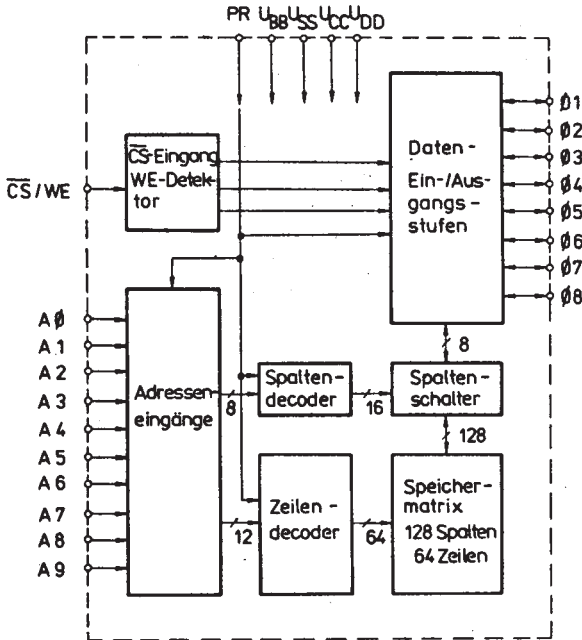

 Bild 1
 Übersichtsschaltplan

Tabelle 4 Programmierbedingungen

Kenngröße	Symbol	min.	typ.	max.	Einheit
Betriebstemperatur	θ_a	20	25	30	°C
Programmierimpuls H	U_{PRH}	25	26	27	V
Programmierimpuls L	U_{PRL}	0		1	V
Impulsbreite	t_p	0,1		1	ms
Impulsanstiegszeit	t_{PRR}	0,5		2	μ s
Impulsabfallzeit	t_{PRF}	0,5		2	μ s
Programmierzeit	$N \cdot t_p$	50			ms ¹⁾
Adressenvorhaltezeit	t_{AS}	10			μ s
CS/WE-Vorhaltezeit	t_{CSS}	10			μ s
Datenvorhaltezeit	t_{DS}	10			μ s
Adressenhaltezeit	t_{AH}	1			μ s
CS/WE-Haltezeit	t_{CH}	0,5			μ s
Datenhaltezeit	t_{DH}	1			μ s
Verzögerung nach Umschaltung programmieren/lesen	t_{DPR}			10	μ s

1) N = Anzahl der Programmierimpulse je Speicherzelle.

3. Speicher

3.1.5. 2 kByte EPROM U2716 C

TGL 43 077

Vergleichstypen

K 573 RF2 Elorg

I 2716 Intel

Übersicht

- organisiert mit 2048 Worten zu 8 bit, voll decodiert
- Zugriffszeit *U2716 C 45* 450 ns
U2716 C 39 390 ns
U2716 C 35 350 ns
- Programmierung byteweise möglich
- TTL-kompatible Ein- und Ausgänge
- 5 V Stromversorgung (Lesebetrieb)

Bild 2
Anschlußbelegung

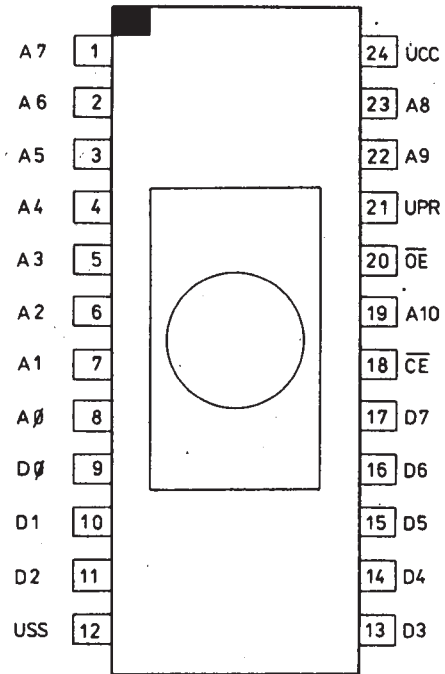


Tabelle 1 Grenzwerte

Parameter	Symbol	Werte	Einheit
Betriebstemperatur	ϑ_a	0 bis +70	°C
Lagerungstemperatur	ϑ_{sig}	-55 bis +125	°C
Ein-/Ausgangsspannungen	U_i, U_o	-0,5 bis 6,5	V
Gesamtverlustleistung	P_{tot}	1	W
Programmierspannung	U_{PR}	-0,5 bis 26,5	V

Tabelle 2 Betriebsarten

Modus (Anschluß)	U_{PR} (21)	CE (18)	OE (20)	D0 bis D7 (9-11, 13-17)
lesen	U_{CC}	U_{IL}	U_{IL}	Ausgabedaten
nicht ausgewählt	U_{CC}	U_{IL}	U_{IH}	hochohmig
ruhend	U_{CC}	U_{IH}	X	hochohmig
programmieren	U_{PR}	U_{IH}	U_{IH}	Eingabedaten
Kontrolle	U_{PR}	U_{IL}	U_{IL}	Ausgabedaten
gesperrt	U_{PR}	U_{IL}	U_{IH}	hochohmig

Tabelle 3 Betriebsbedingungen und statische Kennwerte

Parameter	Symbol	min.	typ.	max.	Einheit	Bedingung
Betriebsspannung	U_{CC}	4,75	5	5,25	V	
Betriebsspannung	U_{PR}	$U_{CC}-0,6$	U_{CC}	$U_{CC}+0,6$	V	
Eingangsspannung	U_{IL}	-0,3		0,8	V	
Eingangsspannung	U_{IH}	2		$U_{CC} + 1$	V	
Betriebstemperatur	θ_a	0		70	°C	
Eingangsreststrom	I_I			0,1	mA	$U_I = 5,5 \text{ V}$
Ausgangsreststrom	I_O			0,1	mA	$U_O = 5,5 \text{ V}; OE = U_{IH}$
Ausgangsspannung L	U_{OL}			0,8	V	$U_{OL} = 2,1 \text{ mA}$
Ausgangsspannung H	U_{OH}	2			V	$I_{OH} = 0,4 \text{ mA}$
Eingangskapazität	C_I			6	pF	
Ausgangskapazität	C_O			12	pF	$CE = U_{IH}$
			2716-39	2716-45	2716-35	
Stromaufnahme U_{CC}	I_{CCOP}	100		120	mA	$CE = OE = U_{IL}$
Stromaufnahme U_{CC}	I_{CCR}	25		30	mA	$CE = OE = U_{IH}$
ruhend						
Stromaufnahme U_{PR}	I_{PROP}	5		6	mA	$U_{PR} = 5,25 \text{ V}$
lesen						
Stromaufnahme U_{PR}	I_{PR2P}	30		40	mA	
programmieren						

3. Speicher

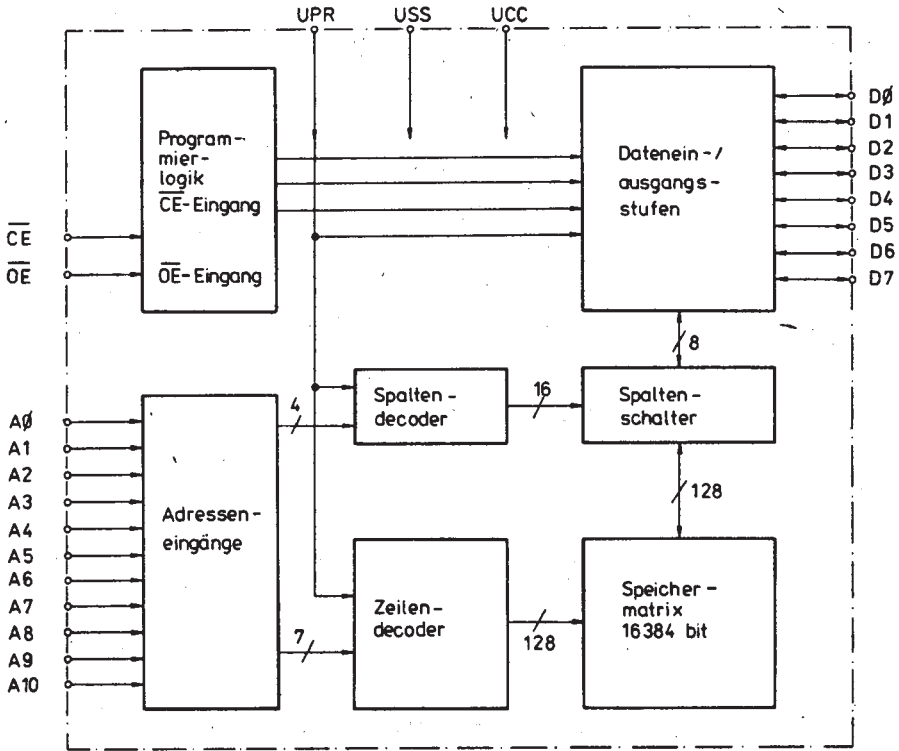


Bild 1 Übersichtsschaltplan

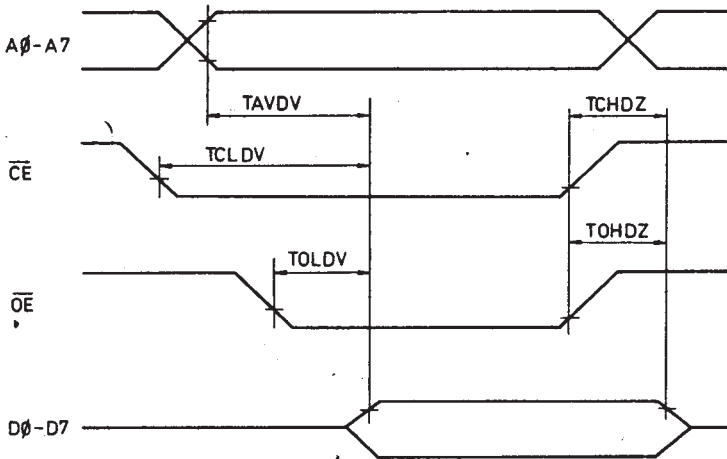


Bild 3
Dynamisches Verhalten

3. Speicher

Tabelle 5 Programmierung

Nach der Auslieferung sowie nach jedem Löschen haben alle 16 384 bits des EPROM H-Pegel. Die Programmierung geschieht durch Einschreiben des L-Pegels. Die Betriebsart Programmierung wird eingestellt, indem +24 V an U_{PR} gelegt werden, und bei stabilen Adressen und Daten sowie $OE = U_{IH}$ der Pegel von CE für die Dauer von t_{CHCL} auf U_{IH} schaltet.

Der Speicherinhalt wird mit einer UV-Strahlung von etwa 254 nm und 15 Ws/cm gelöscht, Löszeit etwa 15 min.

Parameter	Symbol	min.	typ.	max.	Einheit
Programmierspannung	U_{PR}	24	25	26	V
Betriebstemperatur	θ_{AP}	20	25	30	°C
Adressenvorhaltezeit	t_{AVCH}	2			µs
OE-Vorhaltezeit	t_{OHCH}	2			µs
Datenvorhaltezeit	t_{DVCH}	2			µs
Adressenhaltezeit	t_{CLAX}	2			µs
OE-Haltezeit	t_{CLOL}	2			µs
Datenhaltezeit	t_{CLDX}	2			µs
Verzögerung OE/Ausgang hochohmig	t_{OHDZP}	0		120	ns
Verzögerung OE/Ausgang aktiv	t_{OLDXP}			120	ns
Programmierimpulsdauer	t_{CHCL}	45	50	55	ms
CE-Anstiegs- und Abfallzeiten	t_{CEAN}	10			ns

3.1.6. 4 kByte EPROM U 2732 C

- Zugriffszeit U 2732 C 35 350 ns
- U 2732 C 45 450 ns
- U 2732 C 55 550 ns

TGL 43 809

Vergleichstypen

2732 Intel

(2732 A mit 21 V Programmierspannung)

Übersicht

- organisiert mit 4096 Worten zu 8 bit, voll decodiert

- einfache Programmierung, byteweise möglich
- geringe Leistungsaufnahme
- TTL-kompatible Ein- und Ausgänge
- Arbeitsweise voll statisch
- 5 V Stromversorgung

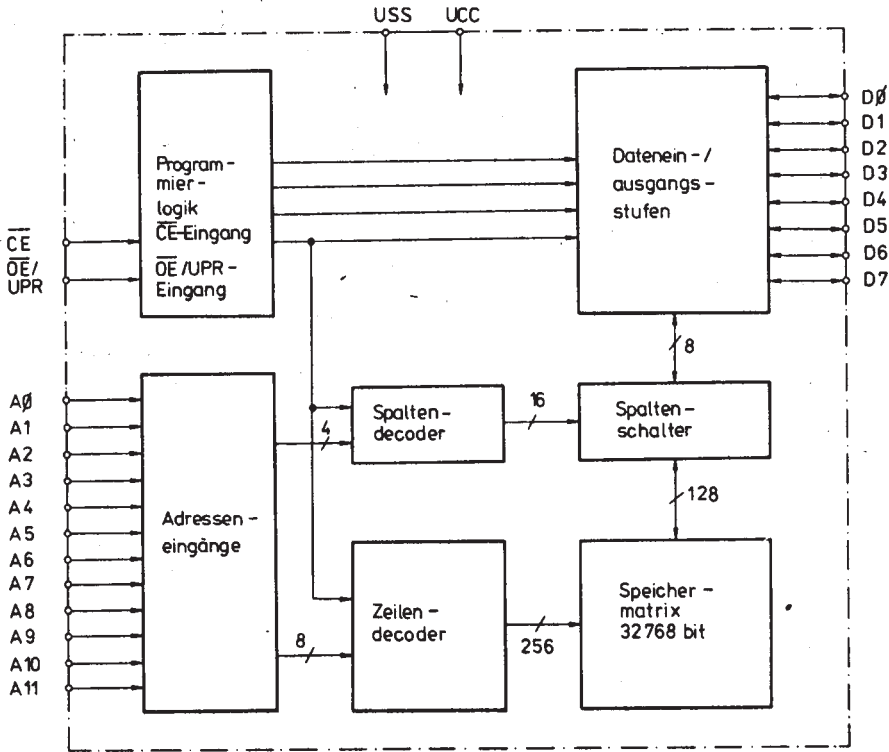


Bild 1
Übersichtsschaltplan

Tabelle 1 Grenzwerte

Parameter	Symbol	Werte	Einheit
Betriebstemperatur	ϑ_a	0 bis 70	°C
Lagerungstemperatur	ϑ_{stg}	-55 bis 125	°C
Ein-/Ausgangsspannungen	U_i, U_o	-0,5 bis 6,5	V
Programmierspannung	U_{PP}	-0,5 bis 26	V
Verlustleistung	P_{tot}	max. 1,5	W

3. Speicher

Tabelle 2 Betriebsarten

($U_{CC} = 5\text{ V}$; $U_{SS} = 0\text{ V}$)

Modus (Anschluß)	CE (18)	OE/ U_{PP} (20)	D0 bis D7 (9-11, 13-17)
lesen	U_{IL}	U_{IL}	Datenausgabe
nicht ausgewählt	U_{IL}	U_{IL}	hochohmig
ruhend	U_{IH}	x	hochohmig
programmieren	U_{IL}	U_{PR}	Dateneingabe
programmieren gesperrt	U_{IH}	U_{PR}	hochohmig

Tabelle 3 Kapazitäten

($\vartheta_a = 25\text{ °C}$; $f = 1\text{ MHz}$)

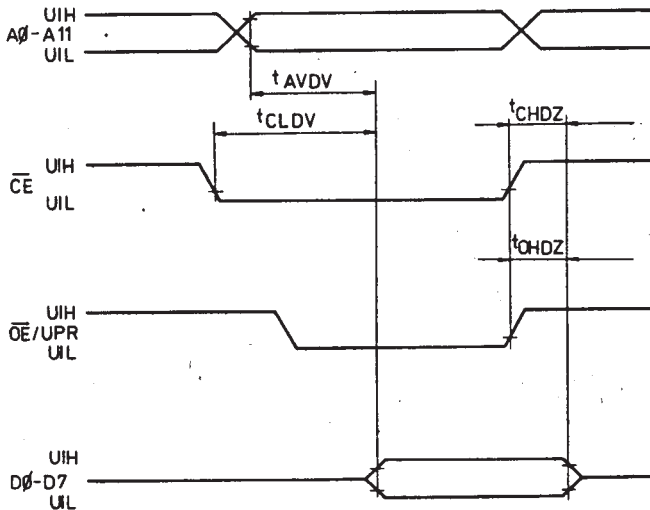
Parameter	Symbol	max.	Einheit
Eingänge (außer Anschluß 20)	C_1	6	pF
Eingang Anschluß 20	C_{I20}	20	pF
Ausgang	C_O	12	pF

Tabelle 5 Dynamische Kennwerte

Parameter	Symbol	2732-35		2732-45		2732-55		Einheit
		min.	max.	min.	max.	min.	max.	
Verzögerung Adressen/Ausgang	t_{AVDV}	-	350	-	450	-	550	ns
Verzögerung CE/Ausgänge	t_{CLDV}	-	350	-	450	-	550	ns
Verzögerung OE/Ausgänge	t_{CLDV}	-	120	-	120	-	120	ns
Verzögerung OE/hochohmig	t_{CHDZ}	0	100	0	100	0	100	ns
Verzögerung CE/hochohmig	t_{CHDZ}	0	100	0	100	0	100	ns

Tabelle 4 Statische Kennwerte

Parameter	Symbol	min.	max.	Einheit	Bedingungen
Betriebsspannung	U_{CC}	4,75	5,25	V	
Eingangsspannung L	U_{IL}	-0,3	0,8	V	
Eingangsspannung H außer Anschluß 20	U_{IH}	2,0	$U_{CC} + 1$	V	
Eingangsspannung H Anschluß 20 (Lesen)	U_{IH20}	2,0	U_{CC}	V	
Eingangsreststrom außer Anschluß 20	I_I		0,01	mA	$U_I = 5,5 \text{ V}; U_{CC} = 4,75 \text{ V}$
Eingangsreststrom (20)	I_{I20}		1	mA	$U_{PI} = U_{PR} = 5,5 \text{ V}; U_{CC} = 4,75 \text{ V}$
Ausgangsleckstrom	I_O		10	μA	$U_{CC} = 5,5 \text{ V}$
Stromaufnahme ruhend	I_{CCR}	-	30	mA	
Stromaufnahme aktiv	I_{CC2}	-	180	mA	
Ausgangsspannung L	U_{OL}	-	0,45	V	$U_{CC} = 4,75 \text{ V}; I_{OL} = 2,1 \text{ mA}$
Ausgangsspannung H	U_{OH}	2,4	-	V	$U_{CC} = 4,75 \text{ V}; I_{OH} = -400 \mu\text{A}$

Bild 3
Dynamisches Verhalten

3. Speicher

Tabelle 6 Programmierbedingungen ($\vartheta_a = 25 \pm 5 \text{ }^\circ\text{C}$; $U_{CC} = 5 \text{ V} \pm 5\%$; $U_{PP} = 25 \text{ V} \pm 1 \text{ V}$)

Parameter	Symbol	min.	typ.	max.	Einheit
Adressenvorhaltezeit	t_{AVCL}	2	-	-	μs
OE-Vorhaltezeit	t_{CHPL}	2	-	-	μs
Datenvorhaltezeit	t_{DVCL}	2	-	-	μs
Adressenhaltezeit	t_{CHAX}	0	-	-	μs
Datenhaltezeit	t_{CHDX}	2	-	-	μs
Verzögerung CE-Ausgang hochohmig	t_{CHDZP}	-	-	120	ns
Programmierimpulsdauer	t_{CLCH}	45	50	55	ms
U_{PP} -Anstiegszeit	t_{PAN}	50	-	-	ns
U_{PP} -Setzzeit L	t_{PLCL}	2	-	-	μs
U_{PP} -Setzzeit H	t_{PHCL}	2	-	-	μs

Programmierung

Nach der Auslieferung sowie nach jedem Löschen haben alle 32768 bits des EPROM H-Pegel. Die Programmierung geschieht durch Einschreiben des L-Pegels. Die Betriebsart Programmierung stellt man ein, indem $25 \pm 1 \text{ V}$ an U_{PP} gelegt wird. Danach werden Adressen und Daten angelegt. Mit einem 50-ms-Impuls (TTL-LOW-Pegel)-an CE geschieht die Programmierung der ausgewählten Speicherzelle. Der Speicherinhalt wird mit einer UV-Strahlung von etwa 254 nm und 15 Ws/cm gelöscht, Löschzeit etwa 15 min.

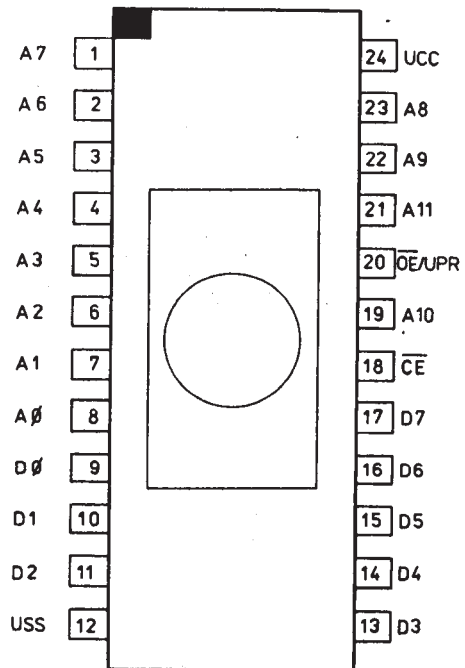


Bild 2
Anschlußbelegung

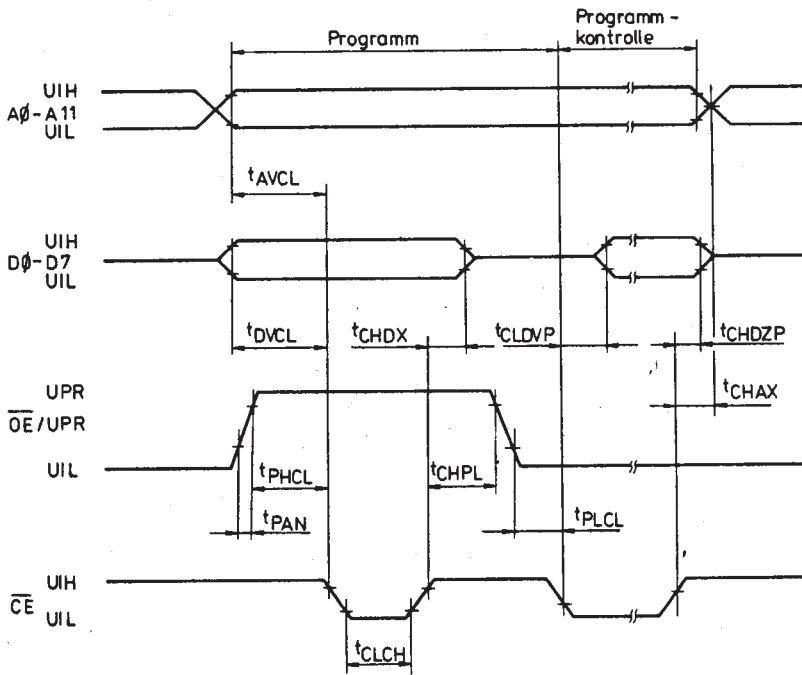


Bild 4 Programmierbedingungen

3. Speicher

3.1.7. 8 kByte EPROM K 573 RF4

Vergleichstypen

U 2764 C 30 DDR

2764 Intel

(internationale Typen auch mit

$U_{PP} = 12,5 \text{ V!}$)

Übersicht

- organisiert mit 8 192 Worten zu 8 bit, voll decodiert
- Zugriffszeit K 573 RF 4: 450 ns
- einfache Programmierung, byteweise möglich
- geringe Leistungsaufnahme:
550 mW aktiv
195 mW ruhend
- TTL-kompatible Ein- und Ausgänge
- Arbeitsweise voll statisch
- 5 V Stromversorgung

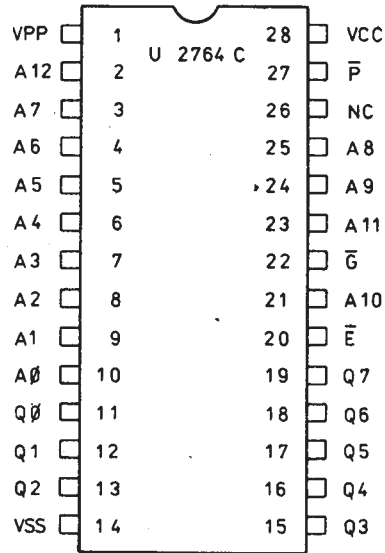


Bild 2 Anschlußbelegung, Anschluß 22 $\bar{G} = \bar{OE}$, Anschluß 20 $\bar{E} = \bar{CE}$, statt Q0 bis Q7 lies D0 bis D7

Tabelle 1 Betriebsarten ($U_{CC} = 5 \text{ V} \pm 5\%$; $U_{SS} = 0 \text{ V}$)

Modus (Anschluß)	Ein- gabe- adres- se	D0 bis D7 (11-13, 15-19)	CE (20)	OE (22)	U_{PP} (27)	I_{CC} (28)	U_{PP} (1)
lesen	A_1	D_0	U_{IL}	U_{IL}	U_{IH}	I_{CC2}	U_{CC}
Ausgang	A_1	hochohmig	U_{IL}	U_{IH}	x	I_{CC2}	U_{CC}
gesperrt	A_1	hochohmig	U_{IL}	x	U_{IL}	I_{CC2}	U_{CC}
ruhend	x	hochohmig	U_{IH}	x	x	I_{CC1}	U_{CC}
programmieren	A_1	D_1	U_{IL}	U_{IH}	U_{IL}	I_{CC2}	U_{PP}
vergleichen	A_1	D_0	U_{IL}	U_{IL}	U_{IH}	I_{CC2}	U_{PP}
programmieren gesperrt	x	hochohmig	U_{IH}	x	x	I_{CC1}	U_{PP}

Tabelle 2 Grenzwerte

Parameter	Symbol	Werte	Ein- heit
Betriebstemperatur	ϑ_a	-45 bis 70	°C
Lagerungstemperatur	ϑ_{stg}	-55 bis 125	°C
Ein-/Ausgangsspannungen	U_I, U_O	-0,6 bis 7	V
Betriebsspannung	U_{CC}	-0,6 bis 7	V
Programmierspannung	U_{PP}	-0,6 bis 27	V

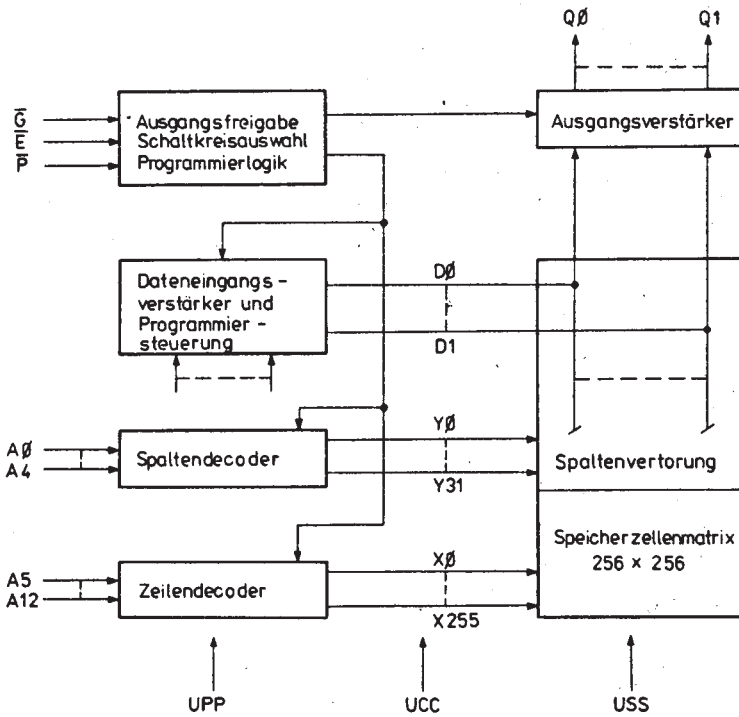


Bild 1
Übersichtsschaltplan

Tabelle 3 Kapazitäten
($\vartheta_a = 25^\circ\text{C}$; $f = 1\text{ MHz}$)

Parameter	Sym- bol	typ.	max.	Ein- heit
Eingänge	C_I	4	6	pF
Ausgänge	C_O	8	12	pF

Tabelle 4 Betriebsbedingungen

Parameter	Symbol	min.	typ.	max.	Ein- heit
Betriebsspannung	U_{CC}	4,75	5,0	5,25	V
Betriebsspannung	U_{PP}	$U_{CC} - 0,6$	-	$U_{CC} + 0,6$	V
Betriebsspannung	U_{SS}	-	0 V	-	V
Eingangsspannung	U_{IH}	2,0	-	$U_{CC} + 1$	V
Eingangsspannung	U_{IL}	-0,1	-	0,8	V

3. Speicher

Tabelle 5 Statische Kennwerte

Parameter	Symbol	min.	max.	Einheit	Bedingungen
Eingangslaststrom	I_{LI}	-	10	μA	$U_i = 5,5 V$
Ausgangsleckstrom	I_{LO}	-	10	μA	$U_o = 5,5 V$
U_{PP} -Stromaufnahme	I_{PP}	-	15	mA	$U_{PP} = U_{CC} \pm 0,6 V$
U_{CC} -Stromaufnahme ruhend	I_{CC1}	-	35	mA	$OE = U_{IH}$
U_{CC} -Stromaufnahme aktiv	I_{CC2}	-	100	mA	$OE = U_{IL}$
Eingangsspannung L	U_{IL}	-0,1	0,8	V	
Eingangsspannung H	U_{IH}	2,0	$U_{CC} + 1$	V	
Ausgangsspannung L	U_{OL}	-	0,45	V	$I_{OL} = 2,1 mA$
Ausgangsspannung H	U_{OH}	2,4	-	V	$I_{OH} = -400 \mu A$

Tabelle 6 Dynamische Kennwerte

Parameter	Symbol	2764-20		2764-25		2764-30		Einheit	Bedingungen
		min.	max.	min.	max.	min.	max.		
Verzögerung Adressen/Ausgänge	t_{AUQU}	-	200	-	250	-	300	ns	$OE = CE = U_{IL}$
Verzögerung OE/Ausgänge	t_{ELQU}	-	200	-	250	-	300	ns	$OE = U_{IL}$
Verzögerung CE/Ausgänge	t_{GLQU}	10	70	10	100	10	120	ns	$OE = U_{IL}$
Verzögerung OE/Ausgänge hochohmig	t_{GHQZ} t_{EHQZ}	0	60	0	60	0	105	ns	$OE = U_{IL}$
Adressenhaltezeit	t_{AXQX}	0	-	0	-	0	-	ns	$OE = CE = U_{IL}$

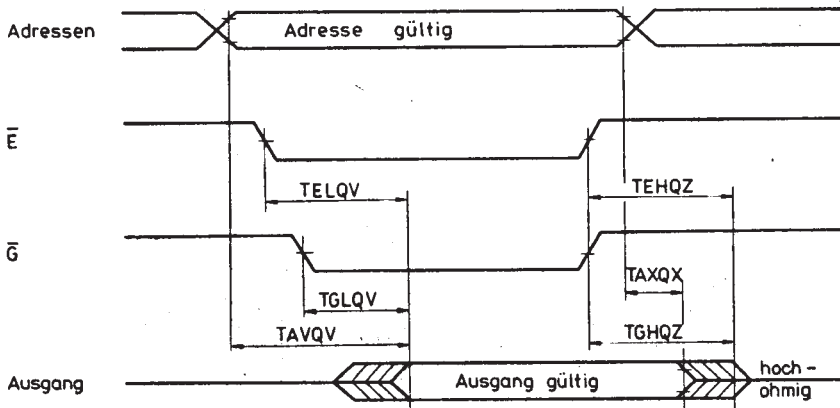


Bild 3 Dynamisches Verhalten

Tabelle 7 Statische Kennwerte bei der Programmierung
 ($\vartheta_a = 25 \pm 5 \text{ }^\circ\text{C}$; $U_{CC} = 5 \text{ V} \pm 5\%$; $U_{PP} = 24,5 \text{ V} \pm 0,5 \text{ V}$)

Parameter	Symbol	min.	max.	Einheit	Bedingungen
Eingangsleckstrom	I_{LI}	-	10	μA	$U_I = 0,45 \text{ V} - 5,25 \text{ V}$
Ausgangsspannung L	U_{OL}	-	0,45	V	$I_{OL} = 2,1 \text{ mA}$
Ausgangsspannung H	U_{OH}	2,4	-	V	$I_{OH} = -400 \mu\text{A}$
Stromaufnahme U_{CC}	I_{CC}	-	100	mA	
Eingangsspannung L	U_{IL}	-0,1	0,8	V	
Eingangsspannung H	U_{IH}	2,0	$U_{CC} + 1$	V	
Stromaufnahme U_{PP}	I_{PP}	-	30	mA	$CE = U_{PP} = U_{IL}$

Programmierung

Nach der Auslieferung sowie nach jedem Löschen haben alle 65536 bits des EPROM H-Pegel. Die Programmierung geschieht durch Einschreiben des L-Pegels. Die Betriebsart Programmierung wird eingestellt, indem +24,5 V an U_{PP} gelegt werden und OE sowie U_{PP} haben U_{IL} . Während der Programmierung sollte zwischen den Anschlüssen U_{PP} und U_{SS} ein Kondensator von 100 nF liegen,

um das Überschwingen bei Spannungsübergängen zu bedämpfen. Danach werden Adressen und Daten angelegt. Mit einem 50-ms-Impuls (TTL-LOW-Pegel) an U_{PP} geschieht die Programmierung der ausgewählten Speicherzelle.

Der Speicherinhalt wird mit einer UV-Strahlung von etwa 254 nm und 15 Ws/cm gelöscht, Löschzeit etwa 15 min.

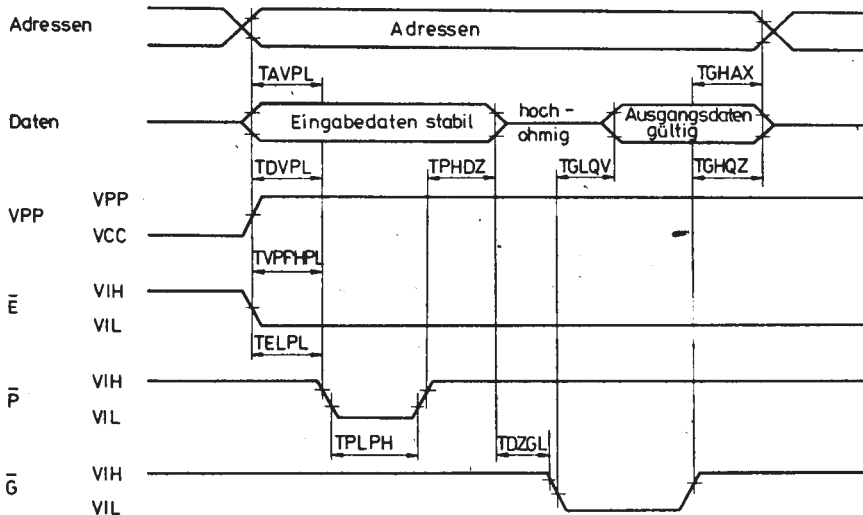


Bild 4 Programmierbedingungen

3. Speicher

Tabelle 8 Dynamische Kennwerte bei der Programmierung
 ($\vartheta_a = 25 \pm 5 \text{ }^\circ\text{C}$; $U_{CC} = 5 \text{ V} \pm 5 \%$; $U_{PP} = 24,5 \text{ V} \pm 0,5 \text{ V}$)

Parameter	Symbol	min.	typ.	max.	Einheit
Adressenvorhaltezeit	t_{AUPL}	2	–	–	μs
OE-Vorhaltezeit	t_{ELPL}	2	–	–	μs
Datenvorhaltezeit	t_{DUPL}	2	–	–	μs
Adressenhaltezeit	t_{GHAX}	0	–	–	μs
Datenhaltezeit*	t_{PHDZ}	2	–	–	μs
Verzögerung CE-Ausgang hochohmig	t_{GHQZ}	–	–	130	ns
U_{PP} -Vorhaltezeit	t_{UPPHL}	2	–	–	μs
Programmierimpulsdauer	t_{PLPH}	45	50	55	ms
CE-Vorhaltezeit*	t_{DZGL}	2	–	–	μs
Daten gültig nach CE	t_{GLQU}	–	–	150	ns

* $t_{PHDZ} + t_{DZQL} \geq 50 \mu\text{s}$.

3.1.8. 16 kByte EPROM 27128

Übersicht

- organisiert mit 16384 Byte zu 8 bit, voll decodiert
- geringe Leistungsaufnahme: 550 mW aktiv, 195 mW ruhend
- byteweises Programmieren möglich
- eine Versorgungsspannung 5 V im Lesebetrieb
- TTL-kompatible Ein- und Ausgänge
- Tri-state-Ausgänge
- Gehäuse mit 28 Anschlüssen

(internationale Typen auch mit $U_{pp} = 12,5 \text{ V!}$)

Tabelle 1 Betriebsarten

Modus (Anschlüsse)	Eingabe- adresse A0-A13 (2-10, 23-26, 21)	Daten D0 bis D7 (11-13, 15-19)	E (20)	G (22)	P (27)	U_{pp} (1)
lesen	A_I	D_O	U_{IL}	U_{IL}	U_{IH}	U_{CC}
Ausgang gesperrt	x	hochohmig	U_{IL}	U_{IL}	x	U_{CC}
ruhend	x	hochohmig	U_{IL}	x	U_{IL}	U_{CC}
programmieren	A_I	D_I	U_{IL}	U_{IH}	U_{IH}	U_{pp}
vergleichen	A_I	D_O	U_{IL}	U_{IH}	U_{IH}	U_{pp}
gesperrt	x	hochohmig	U_{IH}	x	x	U_{pp}

Tabelle 2 Grenzwerte

Parameter	Sym- bol	Werte	Ein- heit
Betriebs- temperatur	ϑ_a	-25 bis 85	°C
Lagerungs- temperatur	ϑ_{stg}	-65 bis 125	°C
Ein-/Aus- gangs- spannungen	U_I, U_O	-0,6 bis 7	V
Betriebs- spannung	U_{CC}	-0,6 bis 7	V
Programmier- spannung	U_{pp}	-0,6 bis 22	V

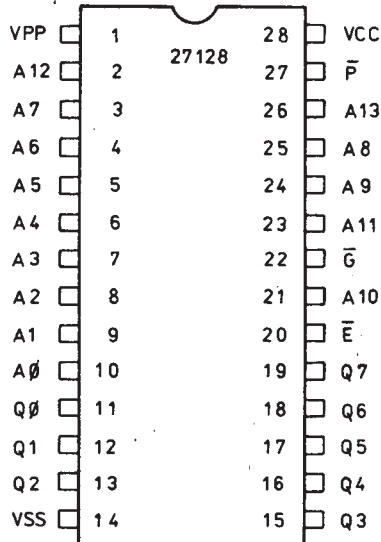


Bild 2

Anschlußbelegung; Anschluß 22 $\bar{G} = \bar{OE}$, Anschluß 20 $\bar{E} = \bar{CE}$, statt Q0 bis Q7 lies D0 bis D7

3. Speicher

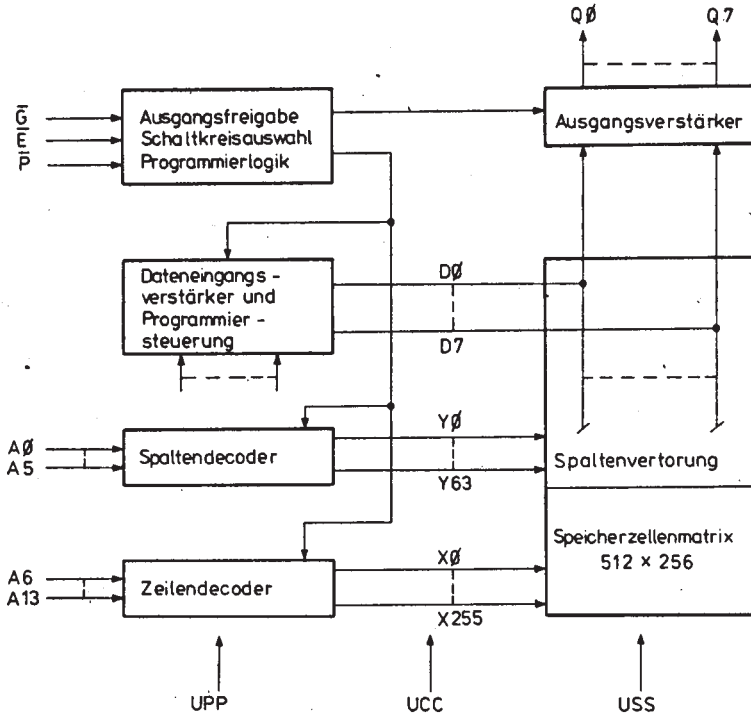


Bild 1
Übersichtsschaltplan

Tabelle 3 Kapazitäten ($\vartheta_a = 25^\circ\text{C}$; $f = 1\text{ MHz}$)

Parameter	Symbol	min.	typ.	max.	Einheit
Eingangskapazität	C_I	-	4	6	pF
Ausgangskapazität	C_O	-	8	12	pF

Tabelle 4 Betriebsbedingungen

Parameter	Symbol	min.	typ.	max.	Einheit
Versorgungsspannung	U_{CC}	4,5	5,0	5,5	V
Programmierspannung	U_{PP}	$U_{CC} - 0,6$	-	$U_{CC} + 0,6$	V
Eingangsspannung H	U_{IH}	2,0	-	$U_{CC} + 1$	V
Eingangsspannung L	U_{IL}	-0,1	-	0,8	V
Arbeitstemperatur	ϑ_a	0	-	70	$^\circ\text{C}$

Tabelle 5 Statische Kennwerte

Parameter	Symbol	min.	typ.	max.	Einheit	Bedingungen
Eingangslaststrom	I_{LI}	-	-	10	μA	$U_I = 5,5 \text{ V}$
Ausgangsreststrom	I_{LO}	-	-	10	μA	$U_O = 5,5 \text{ V}$
Stromaufnahme, ruhend	I_{CC1}	-	-	35	mA	$E = U_{IH}$
Stromaufnahme	I_{CC2}	-	-	100	mA	$E = U_{IL}$
Stromaufnahme	I_{PP}	-	-	5	mA	$U_{PP} = U_{CC} \pm 0,6 \text{ V}$
Ausgangsspannung L	U_{OL}	-	-	0,45	V	$I_{OL} = 2,1 \text{ mA}$
Ausgangsspannung H	U_{OH}	2,4	-	-	V	$I_{OH} = -400 \mu\text{A}$

Tabelle 6 Dynamische Kennwerte

Parameter	Symbol	27128-25		27128-30		Einheit
		min.	max.	min.	max.	
Zugriffszeit	t_{AUQU}	-	250	-	300	ns
Verzögerung E/Ausgänge	t_{ELQU}	-	250	-	300	ns
Verzögerung G/Ausgänge	t_{GLQU}	-	100	-	120	ns
Adressenhaltezeit	t_{AXQX}	0	-	0	-	ns
Verzögerung E oder G zu hochohmig	t_{GHQZ}	0	60	0	105	ns
	t_{EHQZ}					

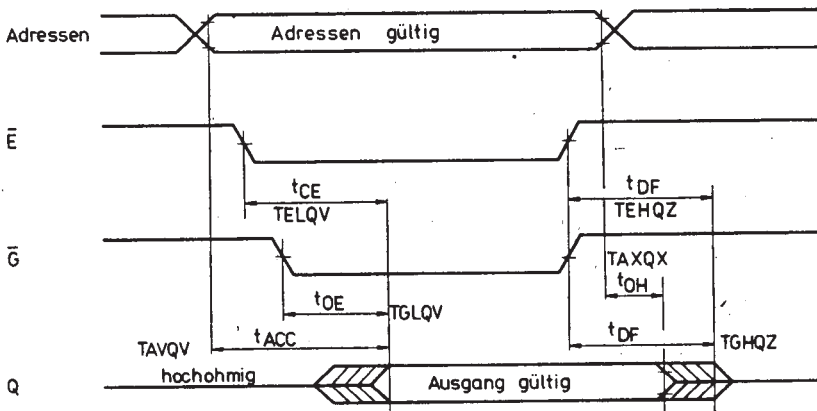


Bild 3 Dynamisches Verhalten

3. Speicher

Programmierung

Bei der Auslieferung sowie nach jedem Löschen stehen alle 131072 bits auf H-Pegel, die Programmierung geschieht durch Einschreiben von L-Pegel. Die Betriebsart programmieren wird eingestellt, wenn $U_{PP} = +21\text{ V}$ anliegen und E sowie P an U_{IL} liegen. Zwischen den Anschlüssen U_{PP} und

U_{SS} sollte ein Kondensator von etwa 100 nF liegen, um Zerstörungen durch Überschwingerungen zu vermeiden. Mit Impulsen von maximal 55 ms Länge und U_{IL} -Pegel an P geschieht die Programmierung. Der Speicherinhalt wird mit einer UV-Strahlung von etwa 254 nm und 15 Ws/cm gelöscht, Löschzeit etwa 15 min.

Tabelle 7 Statische Kennwerte bei der Programmierung

$\vartheta_a = 25 \pm 5^\circ\text{C}$; $U_{CC} = 5\text{ V} \pm 5\%$ (konventionelle Programmierung)

$U_{CC} = 6\text{ V} \pm 0,25\text{ V}$ (»schneller« Programmieralgorithmus)

$U_{PP} = 21\text{ V} \pm 0,5\text{ V}$

Parameter	Symbol	min.	max.	Einheit	Bedingungen
Eingangsleakstrom	I_{LI}	-	10	μA	$U_i = 5,25\text{ V} \pm 0,45\text{ V}$
Stromaufnahme beim Programmierimpuls	I_{PP2}	-	30	mA	$E = P = U_{IL}$
Stromaufnahme beim Vergleichen	I_{PP3}	-	5	mA	$E = U_{IL}, P = U_{IH}$
Stromaufnahme beim Programmieren gesperrt	I_{PP4}	-	5	mA	$E = U_{IH}$
Stromaufnahme beim Programmieren gesperrt	I_{CC1}	-	35	mA	$E = U_{IH}$
Stromaufnahme beim Vergleichen	I_{CC2}	-	100	mA	
Eingangsspannung L	U_{IL}	-0,1	0,8	V	
Eingangsspannung H	U_{IH}	2,0	$U_{CC} + 1$	V	

U_{CC} muß gleichzeitig oder vor U_{PP} angelegt werden.

U_{PP} darf nicht größer als 21,5 V sein.

Tabelle 8 Dynamische Kennwerte bei der Programmierung

Parameter	Symbol	min.	typ.	max.	Einheit
Adressenvorhaltezeit	t_{AUPL}	2	-	-	μs
Vorhaltezeit Freigabe	t_{ELPL}	2	-	-	μs
Freigabezeit Ausgänge*	t_{DZGL}	2	-	-	μs
Datenvorhaltezeit	t_{DUPL}	2	-	-	μs
Adressenhaltezeit	t_{GHAX}	0	-	-	μs
Datenhaltezeit	t_{PHDZ}	2	-	-	μs
Verzögerung Freigabe zu hochohmig	t_{GHQZ}	-	-	130	ns
Verzögerung Freigabe zu Daten gültig	t_{GLQV}	-	-	150	ns
U_{PP} -Vorhaltezeit	t_{UPPHPL}	2	-	-	μs
Programmierimpuls	t_{PLPH}	25	50	55	ms

* = $t_{PHDZ} + t_{DZGL} \geq 50 \mu\text{s}$.

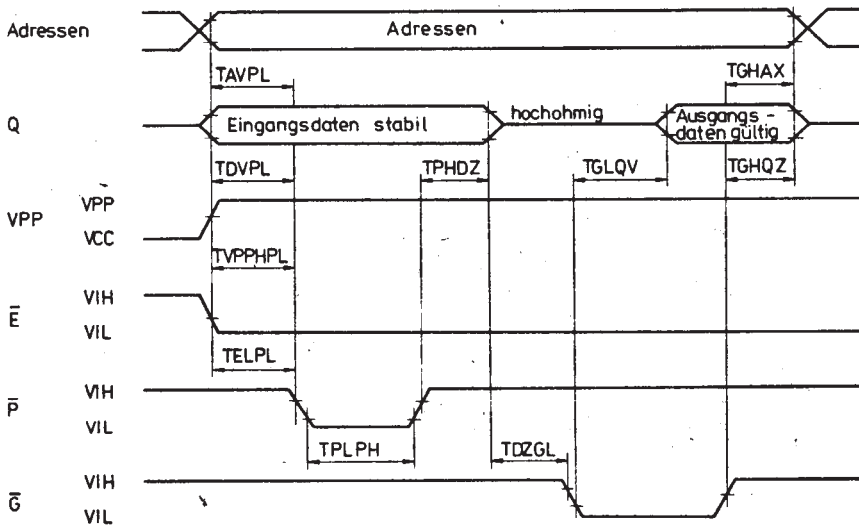


Bild 4 Programmierbedingungen

3. Speicher

3.1.9. 32 kByte EPROM 27256

Übersicht

- 32768 Speicherplätze zu 8 bit
- programmiert mit je 2 1-ms-Impulsen
- geringe Stromaufnahme:
 - 525 mW aktiv
 - 210 mW wartend
- TTL-kompatibel
- Arbeitsweise voll statisch
- 5 V Stromversorgung

Tabelle 1 Grenzwerte

Parameter	Symbol	Werte	Einheit
Betriebs-temperatur	ϑ_a	-25 bis 85	°C
Lagerungs-temperatur	ϑ_{stg}	-65 bis 125	°C
Ein-/Ausgangs-spannungen	U_i, U_o	-0,6 bis 7	V
Betriebs-spannung	U_{CC}	-0,6 bis 7	V
Programmierspannung	U_{PP}	-0,6 bis 27	V

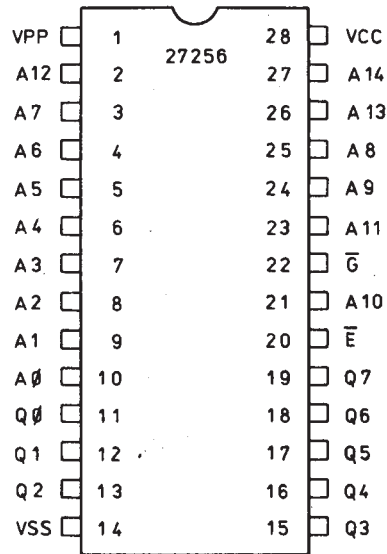


Bild 2
Anschlußbelegung; Anschluß 22 $\overline{G} = \overline{OE}$, Anschluß 20 $\overline{E} = \overline{CE}$, statt Q0 bis Q7 lies D0 bis D7

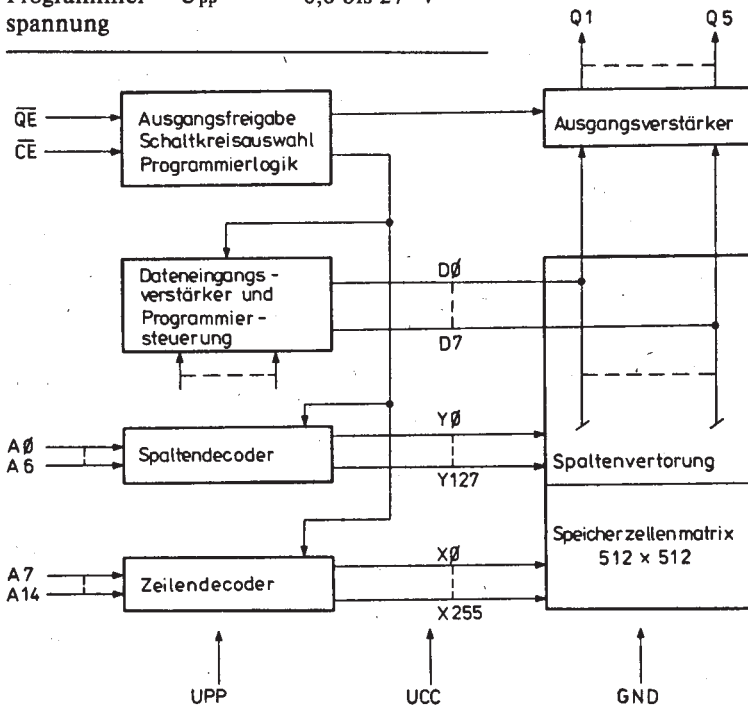


Bild 1
Übersichtsschaltplan

Tabelle 2 Betriebsarten

Modus (Anschluß)	Eingabe- adresse	Daten D0 bis D7	CE (20)	OE (22)	U_{PP} (1)
	(2-10, 21, 23-27)	(11-13, 15-19)			
lesen	A_I	D_O	U_{IL}	U_{IL}	U_{CC}
Ausgänge ge- sperrt	A_I	hochohmig	U_{IL}	U_{IH}	U_{CC}
ruhend	x	hochohmig	U_{IH}	x	U_{CC}
programmieren	A_I	D_I	U_{IL}	U_{IH}	U_{PP}
vergleichen	A_I	D_O	U_{IL}	U_{IL}	U_{PP}
Programmieren gesperrt	x	hochohmig	U_{IH}	x	U_{PP}

Tabelle 3 Betriebsbedingungen

Parameter	Symbol	min.	typ.	max.	Einheit
Versorgungsspannung*	U_{CC}	4,75	5,0	5,25	V
Programmierspannung	U_{PP}	$U_{CC}-0,6$	-	$U_{CC}+0,6$	V
Eingangsspannung H	U_{IH}	2,0	-	$U_{CC} + 1$	V
Eingangsspannung L	U_{IL}	-0,1	-	0,8	V
Arbeitstemperatur	ϑ_a	0		70	°C

* U_{CC} muß vor oder gleichzeitig mit U_{PP} anliegen.

Tabelle 4 Kapazitäten ($\vartheta_a = 25^\circ\text{C}$; $f = 1\text{ MHz}$)

Parameter	Symbol	min.	typ.	max.	Einheit
Eingangskapazität ($U_I = 0\text{ V}$)	C_I	-	4	6	pF
Ausgangskapazität ($U_O = 0\text{ V}$)	C_O	-	8	12	pF

3. Speicher

Tabelle 5 Statische Kennwerte

Parameter	Symbol	min.	max.	Einheit	Bedingungen
Eingangslaststrom	I_{LI}	-	10	μA	$U_I = 5,25 \text{ V}$
Ausgangsleckstrom	I_{LO}	-	10	μA	$U_O = 5,25 \text{ V}$
Stromaufnahme ruhend	I_{CC1}	-	40	mA	$\text{CE} = U_{IH}$
Stromaufnahme	I_{CC2}	-	100	mA	$\text{CE} = U_{IL}$
Stromaufnahme	I_{PP}	-	5	mA	$U_{PP} = U_{CC} \pm 0,6 \text{ V}$
Ausgangsspannung L	U_{OL}	-	0,45	V	$I_{OL} = 2,1 \text{ mA}$
Ausgangsspannung H	U_{OH}	2,4	-	V	$I_{OH} = -400 \mu\text{A}$

Tabelle 6 Dynamische Kennwerte

Parameter	Symbol	27256-20		27256-25		27256-30		Einheit
		min.	max.	min.	max.	min.	max.	
Verzögerung Adressen/ Ausgang*	t_{ACC}	-	200	-	250	-	300	ns
Verzögerung CE/Ausgang	t_{CE}	-	200	-	250	-	300	ns
Verzögerung OE/Ausgang*	t_{OE}	10	70	10	100	10	120	ns
Haltezeit Adressen/Aus- gang	t_{OH}	0	-	0	-	0	-	ns
hochohmig**	t_{DF}	0	60	0	60	0	105	ns

* OE kann um bis zu $t_{ACC} - t_{OE}$ nach der abfallenden Flanke von CE verzögert sein, ohne mit t_{ACC} zu kollidieren.

** t_{DF} ist durch OE oder CE festgelegt, je nachdem welches der beiden Signale zuerst erscheint.

**Tabelle 7 Statische Kennwerte bei der Programmierung ($\vartheta_a = 25^\circ\text{C} \pm 5^\circ\text{C}$;
 $U_{CC} = 6 \text{ V} \pm 0,25 \text{ V}$; $U_{PP} = 12,5 \text{ V} \pm 0,5 \text{ V}$)**

Parameter	Symbol	min.	max.	Einheit	Bedingungen
Eingangsleckstrom	I_{LI}	-	10	μA	$U_I = 5,25 \text{ V}/0,45 \text{ V}$
Stromaufnahme U_{PP}	I_{PP}	-	30	mA	$\text{CE} = U_{IL}$
Stromaufnahme U_{CC}	I_{CC}	-	30	mA	
Eingangsspannung L	U_{IL}	-0,1	0,8	V	
Eingangsspannung H	U_{IH}	2,0	$U_{CC} + 0,3$	V	
Ausgangsspannung L beim Vergleich	U_{OL}	-	0,45	V	$I_{OL} = 2,1 \text{ mA}$
Ausgangsspannung H beim Vergleich	U_{OH}	2,4	-	V	$I_{OH} = -400 \mu\text{A}$

Bemerkungen

U_{CC} muß gleichzeitig oder vor U_{PP} anschalten und gleichzeitig oder später abschalten. Während $\text{CE} = U_{IL}$ darf U_{PP} nicht von 5 auf 12,5 V oder umgekehrt schalten.

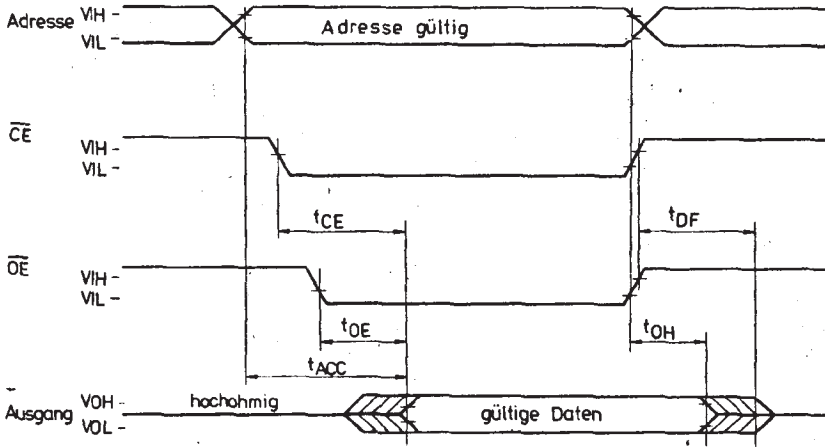


Bild 3 Dynamisches Verhalten

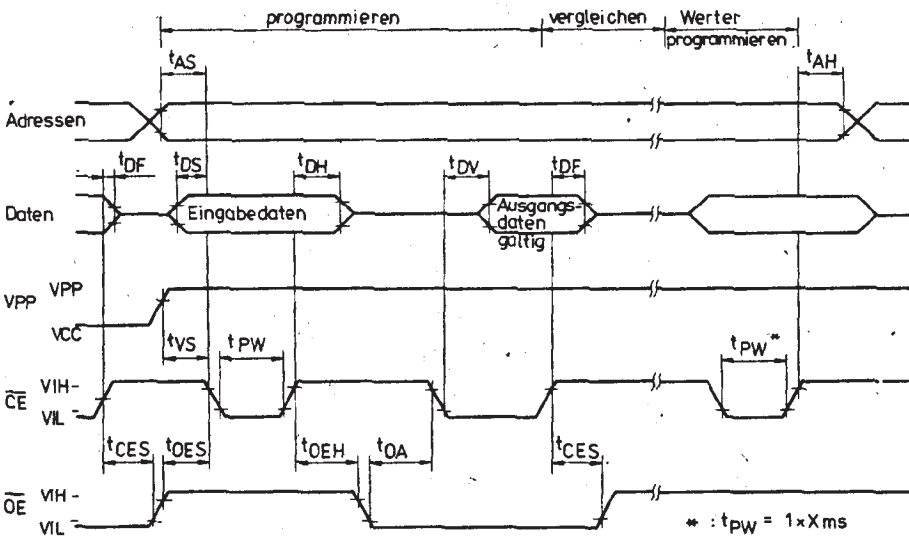


Bild 4 Programmierbedingungen

3. Speicher

Programmierung

Nach der Auslieferung sowie nach jedem Löschen haben alle 262144 bits des Eprom H-Pegel. Die Programmierung geschieht durch Einschreiben des L-Pegels. Die Betriebsart Programmierung wird eingestellt, indem +12,5 V an U_{PP} und +6 V an U_{CC} liegen (CE und OE haben U_{IH}). Danach werden Adressen und Daten angelegt und mit 1-ms-Impulsen (L-Pegel) an CE die Programmierung

so lange fortgeführt, bis die Daten im EPROM stehen. Dabei beträgt die maximale Anzahl der Programmierimpulse 50, nach dem ersten korrekten Rücklesen der zu programmierenden Daten folgt noch ein Impuls auf diese Adresse vor der nächsten.

Die Löschung des Speicherinhaltes erfolgt mit einer UV-Strahlung von 254 nm und 15 Ws/cm, Löschzeit etwa 15 min.

Tabelle 8 Dynamische Kennwerte bei der Programmierung
($\vartheta_a = 25^\circ\text{C} \pm 5^\circ\text{C}$; $U_{CC} = 6\text{V} \pm 0,25\text{V}$; $U_{PP} = 12,5\text{V} \pm 0,5\text{V}$)

Parameter	Symbol	min.	typ.	max.	Einheit
Adressenvorhaltezeit	t_{AS}	2	-	-	μs
CE-Vorhaltezeit	t_{CES}	2	-	-	μs
OE-Vorhaltezeit	t_{OES}	2	-	-	μs
Datenvorhaltezeit	t_{DS}	2	-	-	μs
Upp-Vorhaltezeit	t_{US}	2	-	-	μs
Adressenhaltezeit	t_{AH}	2	-	-	μs
OE-Haltezeit*	t_{OEH}	2	-	-	μs
Datenhaltezeit	t_{DH}	2	-	-	μs
OE-Erholzeit*	t_{OA}	2	-	-	μs
CE zu Daten gültig	t_{DU}	-	-	1	μs
Verzögerung Ausgänge sperrern zu Tristate	t_{DF}	-	-	130	ns
Programmierimpuls- dauer	t_{PW}	0,95	1	1,05	ms

* $t_{OEH} + t_{OR} \geq 50 \mu\text{s}$.

3.1.10. 4 kByte EAROM KR 1601RR1

Vergleichstyp

ER 3400 General Instruments

Übersicht

- Kapazität $1024 \times 4 = 4096$ bit
- Datenerhalt bei Abschaltung der Betriebsspannungen
- elektrisch programmierbar und löschar
- Zugriffszeit < 900 ns
- Datenhaltezeit 5000 h
- 24poliges Plastikgehäuse
- Betriebsarten löschen, schreiben, lesen
- reduzierte Stromaufnahme in Ruhe

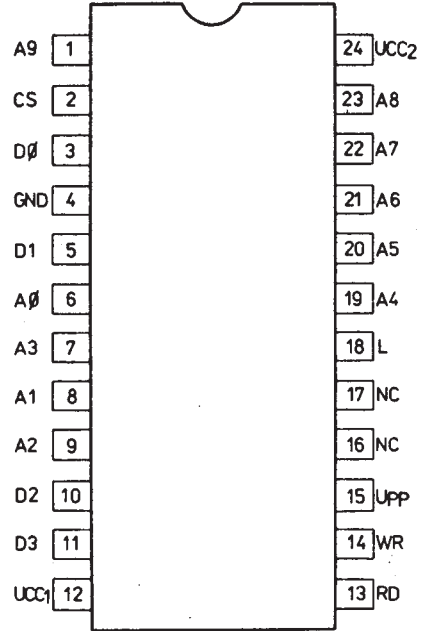

 Bild 1
Anschlußbelegung

 Tabelle 1 Technische Daten ($U_{CC1} = 12 \pm 0,6$ V; $U_{CC2} = 5 \pm 0,25$ V;
 $\vartheta_a = -10$ bis $+70$ °C)

Bezeichnung	Symbol	min.	max.	Einheit	Bedingungen
Statische Kennwerte					
Ausgangsspannung L	U_{OL}		0,4	V	$I_L = 1,6$ mA
Ausgangsspannung H	U_{OH}	3		V	$I_L = -0,1$ mA
Stromaufnahme					
U_{CC1}					
bei Chipselect	I_{CCS}	35		mA	
ohne Chipselect	I_{CCS}	17		mA	
Leckstrom Adressen und Steuerleitungen	I_{LI}		10	μ A	
Kurzschlußbleckstrom an Ausgängen ohne Chipselect L-Pegel	I_{LOL}	100		μ A	
H-Pegel	I_{LOH}	100		μ A	
Programmierspannung					
schreiben	U_{PP}	-33	-31	V	
lesen	U_{PR}	-33	$U_{CC2} + 0,2$	V	

3. Speicher

Bezeichnung	Symbol	min.	max.	Einheit	Bedingungen
Dynamische Kennwerte					
Zugriffszeit	t_{AR}		0,9	μs	
Datenvorhaltezeit/RD	t_{OH}	0,1		μs	
Schreibimpulsbreite	t_{WP}	10	50	ms	
Löschsignalbreite	t_{CL}	100	200	ms	
Leseimpulsbreite	t_{R}	0,6		μs	
Verzögerung Lesesignal					
relativ zu WR	t_{RWS}	2		ms	
relativ zu ER	t_{RCLS}	2		ms	
relativ zu Adressen	t_{RAS}	0		μs	
Verzögerung Schreibsignal/Adressen	t_{WAS}	0		μs	
Schreiberholzeit	t_{AWH}	0,1		ms	
Löscherholzeit	t_{WCLH}	0,5		ms	
Löschverzögerung/WR	t_{CLWS}	0	100	μs	
Eingangsdatenverzögerung/WR	t_{IWS}	0,1		μs	
Erholzeit Eingabedaten	t_{IWH}	100		ns	
Datenhaltezeit, lesen	T_R	250		h	
Datenhaltezeit, ruhend	T_1	500		h	
Datenhaltezeit, Spannung abgeschaltet	T_2	5 000		h	
Anzahl Programmierungen		10 000			

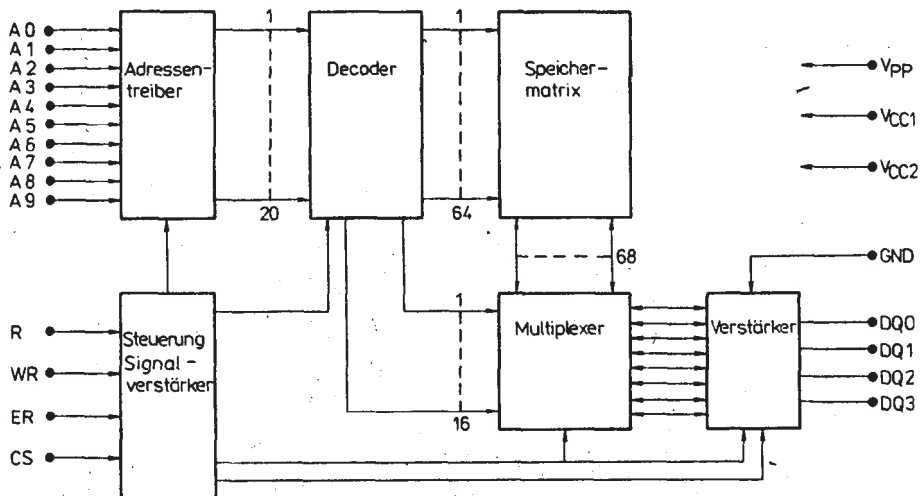


Bild 2 Übersichtsschema

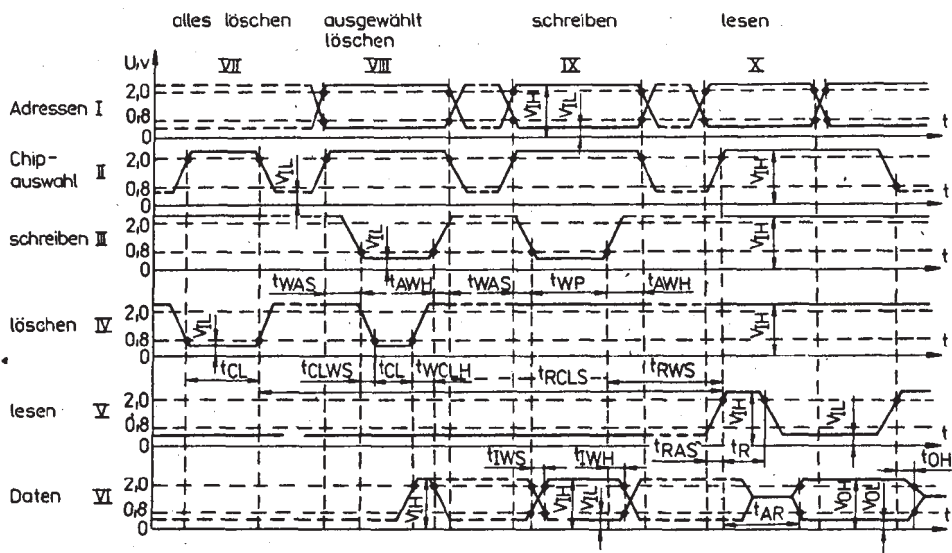


Bild 3 Zeitdiagramm

3. Speicher

3.2. Statische Schreib-Lese-Speicher (SRAM)

3.2.1. 64-bit-RAM '7489 in TTL-Technik

Vergleichstypen

SN 7489 Texas Instruments

MH 7489 TESLA

K 155 RU2 Elorg

SN 74S289 entspricht funktionell dem '7489, $t_{AA} \leq 25$ ns

Beschreibung

- Open-collector-Ausgänge
- Organisation 16×4 bit
- schnelle Speicherzugriffszeit (typ. 33 ns)
- gepufferte, mit *Clamp*-Dioden geschützte Eingänge
- typische Leistungsaufnahme 375 mW

Anschlußbeschreibung

D1 bis D4 Dateneingänge

A bis D Adressenauswahl

\overline{WR} Schreib-Lese-Steuerung

\overline{CS} Bausteinauswahl, L-aktiv

$\overline{Q1}$ bis $\overline{Q4}$ Datenausgänge (gegenüber D1 bis D4 invertiert)

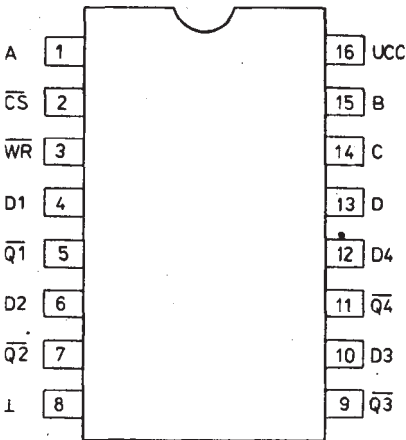


Bild 1 Anschlußbelegung

Tabelle 1 Funktionstabelle

\overline{CS}	\overline{WR}	Funktion	Ausgänge
L	L	Schreiben	Zustand der Dateneingänge
L	H	Lesen	Zustand der ausgewählten Speicherzellen
H	L	Internes Speichern	Zustand der Dateneingänge
H	H	keine Operation	Pegel H

Tabelle 3 Grenzwerte

Betriebsspannung U_{CC}	-0,5 bis +7,0 V
Eingangsspannung U_{IH}	-0,5 bis +5,5 V
Ausgangsspannung U_O	-0,5 bis +5,5 V
Lagertemperaturbereich ϑ_{stg}	-65 bis +150 °C

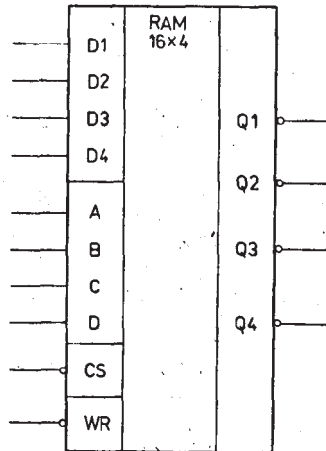


Bild 2 Logiksymbol

Tabelle 2 Statische Kennwerte ($\vartheta_a = 0$ bis 70°C)

Kenngröße	Werte		
	min.	typ.	max.
H-Eingangsspannung U_{IH} in V	2		5,5
L-Eingangsspannung U_{IL} in V	-0,5		0,8
Eingang-Clamp-Spannung U_I in V ($U_{CC} = 4,75\text{ V}$; $I_I = -12\text{ mA}$)			-1,5
H-Ausgangsstrom I_{OH} in μA ($U_{CC} = 4,75\text{ V}$; $U_{IH} = 2\text{ V}$; $U_{IL} = 0,8\text{ V}$; $U_{OH} = 5,5\text{ V}$)			20
L-Ausgangsspannung U_{OL} in V ($U_{CC} = 4,75\text{ V}$; $U_{IH} = 2\text{ V}$; $U_{IL} = 0,8\text{ V}$)			0,4 ($I_{OL} = -12\text{ mA}$) 0,45 ($I_{OL} = -16\text{ mA}$)
H-Eingangsstrom bei maximaler Eingangsspannung I_{IH} in mA ($U_{CC} = 5,25\text{ V}$; $U_I = 5,5\text{ V}$)			1
H-Eingangsstrom I_{IH} in μA ($U_{CC} = 5,25\text{ V}$; $U_I = 2,4\text{ V}$)			40
L-Eingangsstrom I_{IL} in mA ($U_{CC} = 5,25\text{ V}$; $U_I = 0,4\text{ V}$)			-1,6
Stromaufnahme I_{CC} in mA ($U_{CC} = 5,25\text{ V}$)	75		105

Tabelle 4 Betriebsbedingungen

Kenngröße	Werte		
	min.	typ.	max.
Betriebsspannung U_{CC} in V	4,75	5,0	5,25
Betriebstemperaturbereich ϑ_a in $^\circ\text{C}$	0		70
$\overline{\text{WR}}$ -Impulsbreite t_w in ns	40		
Vorhaltezeit der Dateneingänge vor $\overline{\text{WR}}$ t_{setup} in ns	40		
Haltezeit der Dateneingänge nach $\overline{\text{WR}}$ t_{hold} in ns	5		
Vorhaltezeit der Adreßeingänge vor $\overline{\text{WR}}$ t_{setup} in ns	0		
Haltezeit der Adreßeingänge vor $\overline{\text{WR}}$ t_{hold} in ns	5		
Einschwingzeit der Datenausgänge nach $\overline{\text{WR}}$ t_{SR} in ns			
- Ausgänge im H-Zustand	39		70
- Ausgänge im L-Zustand	48		70

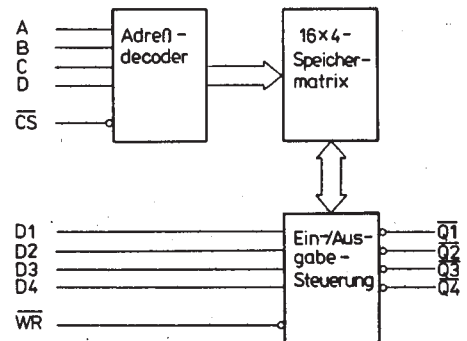


Bild 3 Übersichtsschaltplan

3. Speicher

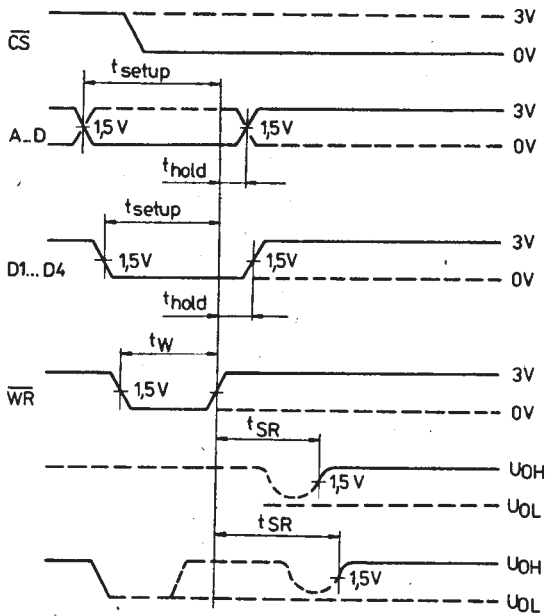


Bild 4
Darstellung der Verzögerungszeiten

3.2.2. 256-bit-RAM '74S201
in Schottky-TTL-Technik

Beschreibung

- Tri-state-Ausgänge
- Organisation 256 × 1 bit
- 3 sehr schnelle \overline{CS} -Eingänge
- typische Zugriffszeit 35 ns
- invertierte Datenausgänge
- Verlustleistung 1,8 mW/bit

Vergleichstypen

SN74S201 Texas Instruments
MH74S201 TESLA
93421 Fairchild
3106 Intel
82S16 Signetics

Tabelle 1 Funktionstabelle

Eingänge					Ausgang	Funktion
$\overline{CS1}$	$\overline{CS2}$	$\overline{CS3}$	WE	DI	\overline{DO}	
H	X	X	X	X	Z	} nicht angewählt
X	H	X	X	X	Z	
X	X	H	X	X	Z	
L	L	L	L	L	Z	Schreiben L
L	L	L	L	H	Z	Schreiben H
L	L	L	H	X	\overline{DO}	Lesen eingeschriebener Wert

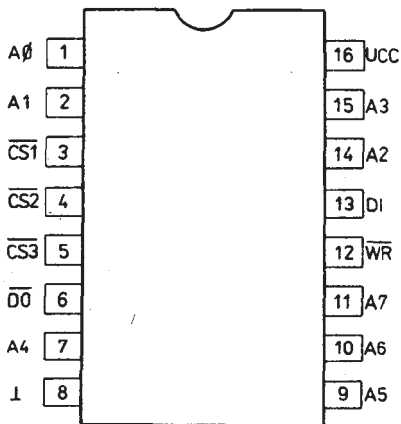


Bild 1
Anschlußbelegung

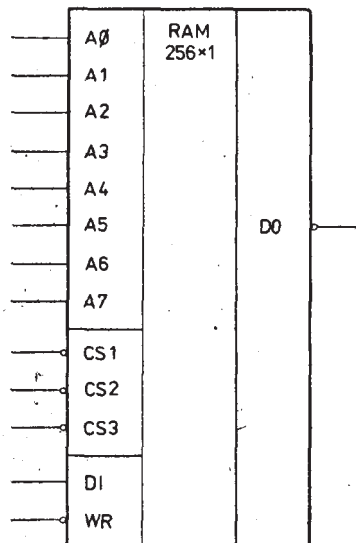


Bild 2
Logiksymbol

3. Speicher

Tabelle 2 Grenzwerte

Lagertemperatur ϑ_{stg}	-65 bis +150 °C
Betriebsspannung U_{CC}	-0,5 bis +7,0 V
Eingangsspannung U_{I}	-0,5 bis +5,5 V
Eingangsstrom I_{I}	-12 bis +5 mA
Ausgangsspannung U_{O}	-0,5 bis +5,5 V
Ausgangsstrom I_{O}	+20 mA

Tabelle 3 Betriebsbedingungen

Betriebsspannung U_{CC}	+4,75 bis +5,25 V
L-Eingangsspannung U_{IL}	-0,5 bis +0,8 V
H-Eingangsspannung U_{IH}	+2,0 bis 5,5 V
L-Ausgangsstrom I_{OL}	≤ 16 mA
H-Ausgangsstrom $-I_{\text{OH}}$	$\leq 10,3$ mA
Betriebstemperaturbereich ϑ_{a}	0 bis +70 °C

Tabelle 5 Dynamische Kennwerte
(typische Werte für $\vartheta_{\text{a}} = +25$ °C;
 $U_{\text{CC}} = 5,0$ V)

Kenngröße	Werte		
	min.	typ.	max.
Betriebsart Lesen			
CS-Verzögerungszeit t_{ACS} in ns	20	30	
CS-Verzögerungszeit bis Tri-state t_{ZRCS} in ns	20	30	
Adressenverzögerungszeit t_{AA} in ns	30	40	
Betriebsart Schreiben			
Schreibimpulsbreite t_{w} in ns	30	10	
Haltezeit des Schreibimpulses t_{WR} in ns	25	40	

Kenngröße	Werte		
	min.	typ.	max.
Datenvorhaltezeit vor WE t_{WSD} in ns	0	0	
Datenhaltezeit nach WE t_{WHD} in ns	5	0	
Adressenvorhaltezeit t_{WSA} in ns	0	0	
Adressenhaltezeit t_{WHA} in ns	5	0	
CS-Vorhaltezeit t_{WSCS} in ns	0	0	
CS-Haltezeit t_{WHCS} in ns	5	0	

Tabelle 4 Statische Kennwerte

Kenngröße	Werte		
	min.	typ.	max.
L-Ausgangsspannung U_{OL} in V ($U_{\text{CC}} = 4,75$ V, $I_{\text{OL}} = 16$ mA)	0,3	0,45	
H-Eingangsspannung U_{IH} in V	2,0	1,6	
L-Eingangsspannung U_{IL} in V	1,5	0,85	
L-Eingangsstrom I_{IL} in μA	-530	-800	
H-Eingangsstrom I_{IH} in μA	1,0	20	
Ausgangsstrom (bei Tri-state) I_{O} in μA für $U_{\text{O}} = 2,4$ V			50
für $U_{\text{O}} = 0,5$ V			-50
Stromaufnahme I_{CC} in mA ($U_{\text{CC}} = 5,25$ V; $\vartheta_{\text{a}} = 75$ °C)	90	125	
Ausgangsstrom I_{OS} in mA			-100

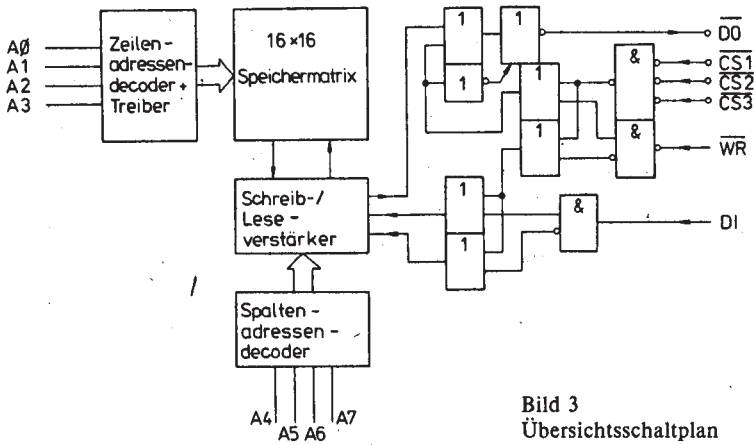


Bild 3
Übersichtsschaltplan

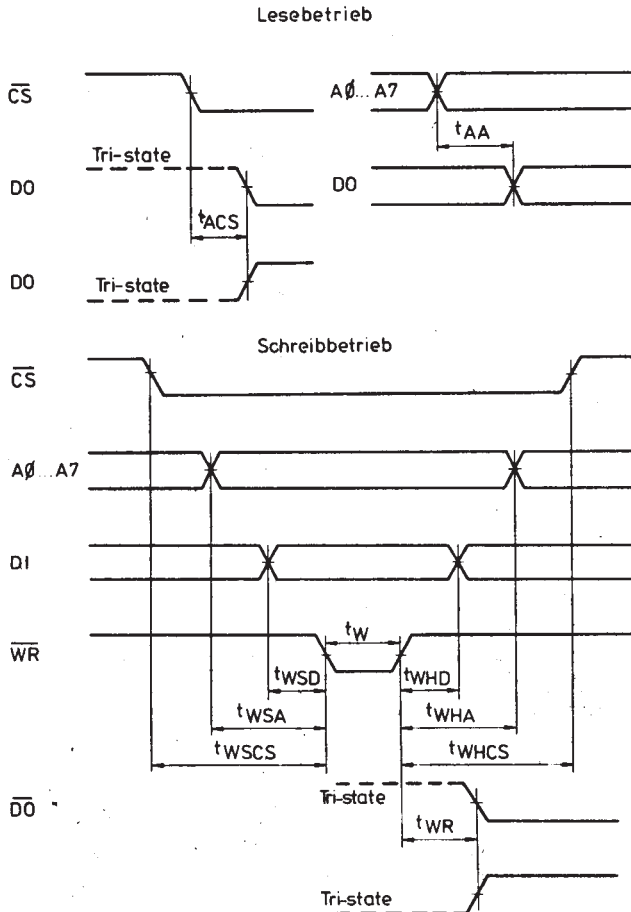


Bild 4
Darstellung der Verzögerungszeiten

3. Speicher

3.2.3. 256-bit-RAM K155RU5 in TTL-Technik

Vergleichstyp
93410 Fairchild

Beschreibung

- Open-collector-Ausgänge
- Organisation 256 × 1 bit
- 3 schnelle CS-Eingänge
- typische Zugriffszeit 45 ns
- nichtinvertierter Datenausgang
- Verlustleistung 1,8 mW/bit

Tabelle 1 Funktionstabelle

Eingänge		Ausgang	Funktion			
CS1	CS2	CS3	WE			
H	X	X	X	H	} nicht angewählt	
X	H	X	X	H		
X	X	L	X	H		
L	L	H	L	L	H	Schreiben L
L	L	H	L	H	H	Schreiben H
L	L	H	H	X	DO	Lesen eingeschriebener Werte

Tabelle 2 Grenzwerte

Lagertemperatur ϑ_{stg}	-65 bis +150 °C
Betriebsspannung	-0,5 bis +7,0 V
U_{CC}	
Eingangsspannung	-0,5 bis +5,5 V
U_i	
Eingangsstrom I_i	-12 bis +5 mA
Ausgangsspannung	-0,5 bis +5,5 V
U_o	
Ausgangsstrom I_o	+20 mA

Anschlußbeschreibung

CS1, CS2, CS3	CS-Eingänge (Schaltkreis-auswahl)
A0 bis A7	Adresseneingänge
DI	Dateneingang
DO	Datenausgang
WE	Write Enable (Schreib-Lese-Steuerung)

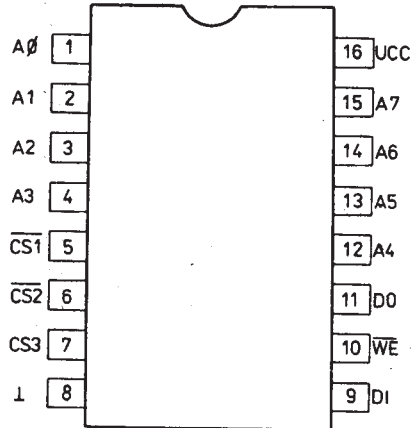


Bild 1
Anschlußbelegung

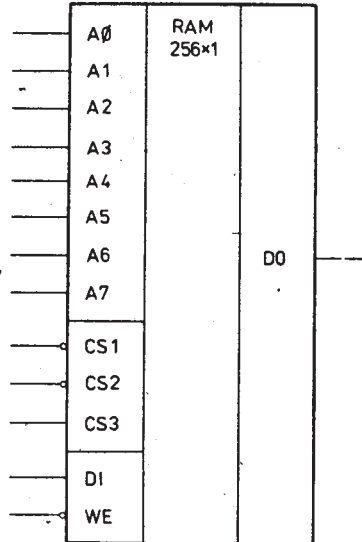


Bild 2
Logiksymbol

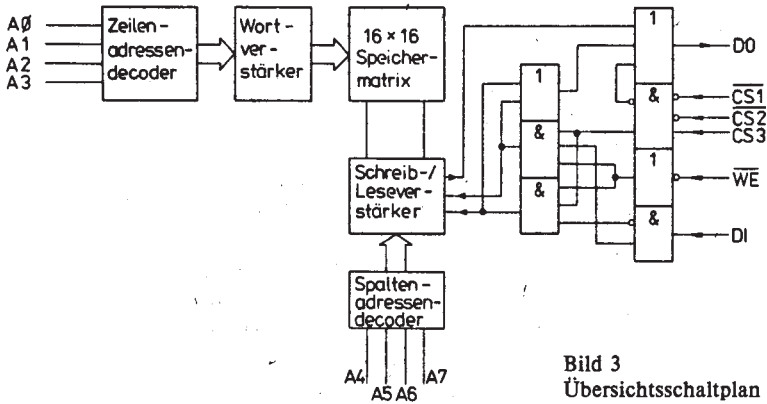
Bild 3
Übersichtsschaltplan

Tabelle 3 Betriebsbedingungen

Kenngröße	Kurz- zeichen	Einheit	Werte		
			min.	typ.	max.
Betriebsspannung	U_{CC}	V	4,75	5,0	5,25
Betriebstemperatur- bereich	θ_a	°C	0		+70
L-Ausgangsspan- nung	U_{OL}	V		0,3	0,45
H-Eingangsspan- nung	U_{IH}	V	2,0	1,6	
L-Eingangsspan- nung	U_{IL}	V		1,5	0,85
L-Eingangsstrom ($U_{CC} = 5,25$ V, $U_i = 0,4$ V)	I_{IL}	µA		-530	-800
H-Eingangsstrom ($U_{CC} = 5,25$ V, $U_i = 4,5$ V)	I_{IH}	µA		1,0	20
Ausgangsleckstrom ($U_{CC} = 5,25$ V, $U_o = 4,5$ V)	I_{CEX}	µA		1,0	50
Spannung der Ein- gangs-Clamp-Dio- den ($U_{CC} = 5,25$ V, $I_i = -10$ mA)	U_{CD}	V		-1,0	-1,5
Stromaufnahme	I_{CC}	mA		90	135

3. Speicher

Tabelle 4 Dynamische Kennwerte
($U_{CC} = 5,0 \text{ V}$; $\vartheta_a = 25 \text{ °C}$)

Kenngröße	Werte		
	min.	typ.	max.
Betriebsart Lesen			
\overline{CS} -Verzögerungszeit	25	35	
t_{ACS} in ns			
\overline{CS} -Verzögerungszeit	25	35	
t_{RCS} in ns			
Adressenzugriffszeit t_{AA} in ns	45	60	
Betriebsart Schreiben			
\overline{WE} -Verzögerungszeit	10	20	40
t_{WS} in ns			
\overline{WE} -Wiederholzeit t_{WR} in ns	25	40	
\overline{WE} -Impulsbreite t_w in ns	30	25	
Datenvorhaltezeit vor \overline{WE} t_{WSD} in ns	5	0	
Datenhaltezeit nach \overline{WE} t_{WHD} in ns	5	0	
Adressenvorhaltezeit vor \overline{WE} t_{WSA} in ns	10	0	
Adressenhaltezeit nach \overline{WE} t_{WHA} in ns	5	0	
\overline{CS} -Vorhaltezeit vor \overline{WE} t_{WSCS} in ns	5	0	
\overline{CS} -Haltezeit nach \overline{WE} t_{WHCS} in ns	5	0	
Eingangskapazität C_I in pF	4	6	
Ausgangskapazität C_O in pF	7	8	

Zeitdiagramme s. '74S201.

3.2.4. 1024-bit-RAM '93425 in TTL-Technik

Vergleichstypen

- 93425 Fairchild
- MH 93425 TESLA
- K 155RU7 Elorg
- SN 74S209 Texas Instruments
- 82S11 Signetics
- 6531 MMI

Beschreibung

- Tri-state-Ausgänge
- Organisation 1024 × 1 bit
- alle Ein- und Ausgänge TTL-kompatibel
- typische Zugriffszeit 40 ns
- nichtinvertierter Datenausgang
- Verlustleistung 0,5 mW/bit

Anschlußbeschreibung

- CS Chip Select
- A0 bis A9 Adresseneingänge
- DI Dateneingang
- DO Datenausgang
- WE Write Enable (Schreib-Lese-Steuerung)

Tabelle 1 Funktionstabelle

Eingänge		Ausgang		Funktion
CS	WE	DI	DO	
H	X	X	Z	nicht angewählt
L	L	L	Z	Schreiben L
L	L	H	Z	Schreiben H
L	H	X	DO	Lesen Wert

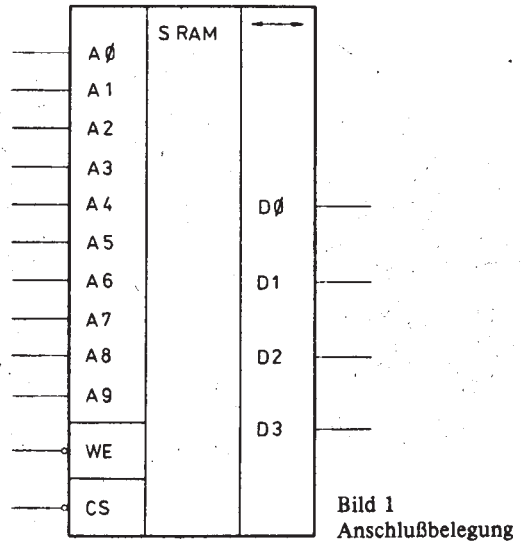


Bild 1 Anschlußbelegung

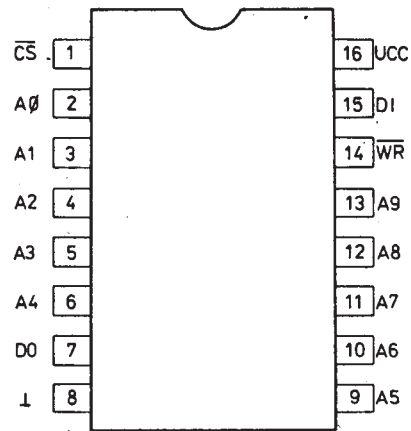


Bild 2 Logiksymbol

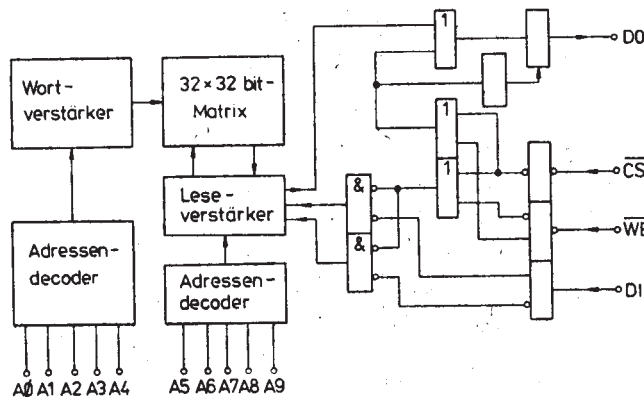


Bild 3 Übersichtsschaltplan

3. Speicher

Tabelle 3 Betriebsbedingungen

Kenngröße	Werte		
	min.	typ.	max.
Betriebsspannung U_{CC} in V	4,75	5,0	5,25
Betriebstemperaturbereich ϑ_a in °C	0		70
L-Ausgangsspannung U_{OL} in V ($U_{CC} = 4,75$ V; $I_{OL} = 16$ mA)		0,3	0,45
H-Eingangsspannung U_{IH} in V	2,1	1,6	
L-Eingangsspannung U_{IL} in V		1,5	0,8
L-Eingangsstrom I_{IL} in μ A ($U_{CC} = 5,25$ V; $U_I = 0,4$ V)		-250	-400
H-Eingangsstrom I_{IH} in μ A ($U_{CC} = 5,25$ V; $U_I = 4,5$ V)		1,0	4,0
I_{IH} in mA ($U_{CC} = U_I = 5,25$ V)			1,0
Ausgangsstrom (Tri-state) I_{OFF} in μ A ($U_{CC} = 5,25$ V; $U_O = 2,4$ V)			50
I_{OFF} in μ A ($U_{CC} = 5,25$ V; $U_O = 0,5$ V)			-50
Ausgangskurzschlußstrom I_{OS} in mA ($U_{CC} = 5,25$ V; max. 1 s)			-100
H-Ausgangsspannung U_{OH} in V ($I_{OH} = -10,3$ mA; $U_{CC} = 5$ V + 5%)	2,4		
Spannung der Eingangslampdioden U_{CD} in V ($U_{CC} = 5,25$ V)		-1	-1,5
Stromaufnahme I_{CC} in mA		95	165

Tabelle 2 Grenzwerte

Lagertemperatur ϑ_{stg}	-65 bis +150 °C
Betriebsspannung U_{CC}	-0,5 bis +7,0 V
Eingangsspannung U_I	-0,5 bis +5,5 V
Eingangsstrom I_I	-12 bis +5,0 mA
Ausgangsspannung U_O	-0,5 bis +5,5 V
Ausgangsstrom I_O	+20 mA

Tabelle 4 Dynamische Kennwerte
($U_{CC} = 5,0$ V; $\vartheta_a = 25$ °C)

Kenngröße	Werte		
	min.	typ.	max.
Betriebsart Lesen			
CS-Verzögerungszeit t_{ACS} in ns		15	35
CS-Verzögerungszeit bis Tri-state t_{ZRCs} in ns		20	35
Adressenzugriffszeit t_{AA} in ns		30	45
Betriebsart Schreiben			
\overline{WE} -Verzögerungszeit bis Tri-state t_{ZWs} in ns		20	35
\overline{WE} -Verzögerungszeit nach Tri-state t_{WR} in ns		25	40
\overline{WE} -Impulsbreite t_w in ns	30	25	
Datenvorhaltezeit vor \overline{WE} t_{WSD} in ns	5	0	
Datenhaltezeit nach \overline{WE} t_{WHD} in ns	5	0	
Adressenvorhaltezeit vor \overline{WE} t_{WSA} in ns	10	0	
Adressenhaltezeit nach \overline{WE} t_{WHA} in ns	5	0	
\overline{CS} -Vorhaltezeit vor \overline{WE} t_{WScs} in ns	5	0	
\overline{CS} -Haltezeit nach \overline{WE} t_{WHCS} in ns	5	0	
Eingangskapazität C_I in pF		4	5
Ausgangskapazität C_O in pF		7	8

Zeitdiagramme s. '74S201

3.2.5. 4 kbit statischer Schreib-Lese-Speicher U214D

Vergleichstypen

2114*

MHB 2114 TESLA

2148*/2149* [wesentlich geringere Zugriffszeiten]

* Unterschiedliche internationale Hersteller mit unterschiedlichen Präfixen.

Beschreibung

- 1k × 4 bit organisierter sRAM mit wahlfreiem Zugriff
- nMOS-Technologie
- bidirektionale Datenpins
- Ausgangsabtrennung (Tri-state) möglich
- Grundtyp U214D45 (Zugriffszeit 450 ns)
- Selektionstypen U214D30 (Zugriffszeit 300 ns)
U214D20 (200 ns)
- Amateurstypen S214D (Zugriffszeit 675 ns)
S2141D/S2142D Organisation 512 × 4 bit
- 18poliges DIL-Gehäuse
- TGL 42232

Anschlußbeschreibung

A0 bis A9 Adresseneingänge
 D0 bis D3 Datenein- und Datenausgänge
 \overline{WE} Schreibsignal
 \overline{CS} Schaltkreisauswahl
 U_{CC} Betriebsspannung
 U_{SS} Masse

Funktionsbeschreibung

Die Schaltkreise U214 bestehen aus folgenden, in Bild 3 dargestellten Teilschaltungen:

- Speichermatrix mit 64 Zeilen und 64 Spalten,
- Adresseneingangsschaltung für 10 Adressenleitungen,
- 64 Zeilendecoder,
- 16 Spaltendecoder,
- 4 bidirektionale Datenein-/Datenausgangsstufen mit Leseverstärker,

Tabelle 1 Funktionstabelle

Zustand	\overline{CS}	\overline{WE}	D0 bis D3
Ruhestand	H	X	X Ausgang hochohmig, Eingang gesperrt
Schreiben	L	L	L Ausgang hochohmig, Eingang aktiv
Schreiben	H	L	H Ausgang hochohmig, Eingang aktiv
Lesen	L	H	Inhalt des ausgewählten Speichers, Eingabe gesperrt

Tabelle 2 Grenzwerte

Kenngröße	Kurzzeichen	Einheit	Werte	
			min.	max.
Betriebsspannung	U_{CC}	V	0	7,0
Spannungen an allen Eingängen	U_1	V	-1,5	7,0
Ausgangsspannung	U_O	V	-1,5	7,0
Ausgangskurzschlußstrom	I_{OS}	mA	-	5
Verlustleistung	P_V	W	-	1
Betriebstemperatur	ϑ_a	°C	0	70
(nur Amateurschaltkreise)	ϑ_a	°C	10	45
Lagerungstemperatur	ϑ_{stg}	°C	-55	125

- Chip-Auswahlsteuerung (Power-Down-Steuerung),
- Schreib-Lese-Steuerung,
- Substratvorspannungsgenerator.

Im Ruhezustand ($\overline{CS} = H$) sind die Datenausgänge D0 bis D3 hochohmig. Die Strom-

3. Speicher

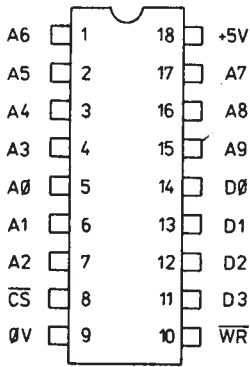


Bild 1
Anschlußbelegung

aufnahme beträgt $\approx 40\%$ des im angewählten Zustand erforderlichen Wertes. Die Auswahl des Schaltkreises geschieht mit $\overline{CS} = L$. Die Auswahl der jeweils 4 Speicherzellen wird durch die Adressen-bits an den Adresseneingängen A0 bis A9 vorgenommen. Beim Schreiben ($\overline{CS} = L$, $\overline{WE} = L$) werden die an D0 bis D3 anliegenden Daten in die Speichermatrix geschrieben. Beim Lesen ($\overline{CS} = L$, $\overline{WE} = H$) stehen die Daten der 4 ausgewählten Speicherzellen nach Ablauf der Zugriffszeit niederohmig an den Datenausgängen zur Verfügung. Alle Ein- und Ausgänge sind TTL-kompatibel.

Für die Amateurschaltkreise gelten folgende Bedingungen:

- der S214D ist für den gesamten Speicherbereich $1k \times 4$ bit nutzbar (mit den Einschränkungen in den Betriebsbedingungen);
- bei den S2141D und S2142D kann jeweils nur der halbe Speicherbereich genutzt werden. Dieser funktionsfähige Bereich ist über A3 auswählbar; beim S2141D mit L an A3 und beim S2142D mit H an A3.

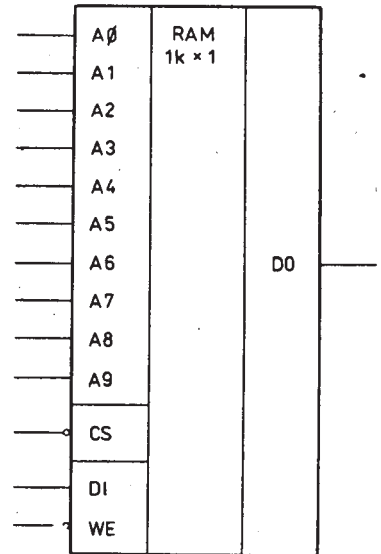


Bild 2
Logiksymbol

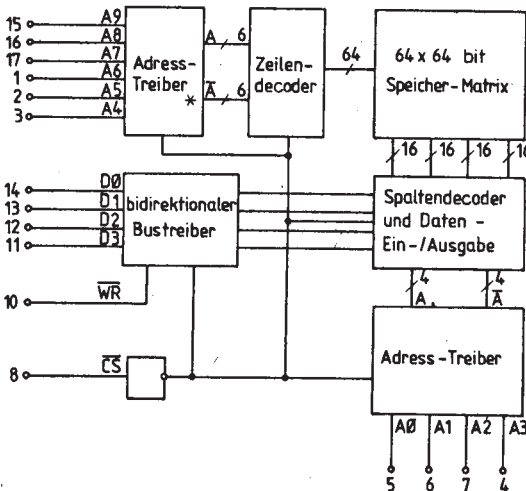


Bild 3
Übersichtsschaltplan

Tabelle 3 Betriebsbedingungen (statische Werte)

Kenngröße	Kurzzeichen	Einheit	Werte		
			min.	typ.	max.
Betriebsspannung	U_{CC}	V	4,75	5,0	5,25
L-Eingangsspannung (nur Amateurschaltkreise)	U_{IL}	V	-1,0 -1,0	-	0,8 0,4
H-Eingangsspannung (nur Amateurschaltkreise)	U_{IH}	V	2,0 2,4	-	5,5 5,5
Umgebungstemperatur (nur Amateurschaltkreise)	ϑ_a	°C	0 10	25	70 45

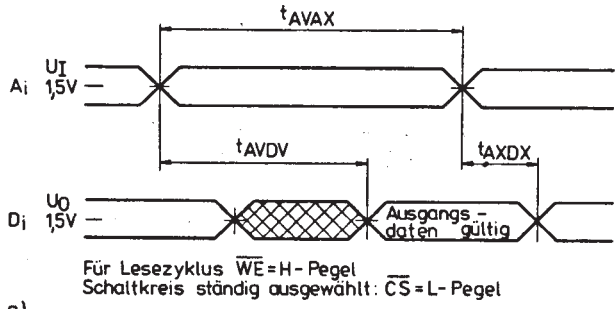
Tabelle 4 Betriebsbedingungen (dynamische Werte)

Kenngröße	Kurzzeichen	Einheit	Kleinstwerte			
			U 214 D 45	U 214 D 30	U 214 D 20	S 214 D
Negative CS-Impulsdauer	t_{CLCH}	ns	450	300	200	675
Adressen-Zykluszeit	t_{AVAX}	ns	450	300	200	675
Adressen-Vorhaltezeit	t_{AVWL}	ns	0	0	0	0
Adressen-Haltezeit	t_{WHAX}	ns	0	0	0	0
Negative WE-Impulsdauer	t_{WLWH}	ns	300	230	180	350
WE-Impulsvorhaltezeit	t_{WLCH}	ns	300	230	180	350
WE-Impulshaltezeit	t_{CLWH}	ns	350	280	200	350
Datenvorhaltezeit	t_{DVWH}	ns	200	150	120	250
Datenhaltezeit	t_{WHDX}	ns	0	0	0	0
Ausgangsinformation gültig nach Adressenwechsel	t_{AXDX}	ns	0	0	0	0
Verzögerung CS-Ausgang aktiv	t_{CLDX}	ns	0	0	0	0

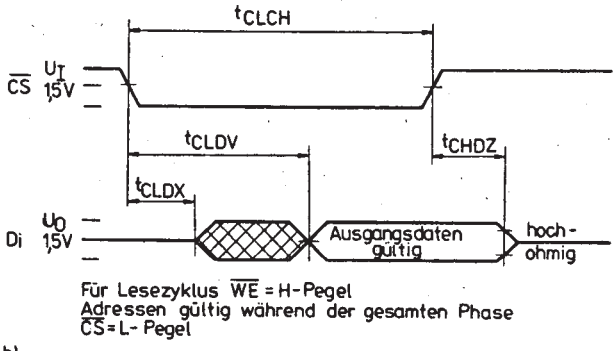
3. Speicher

Tabelle 5 Hauptkenngrößen

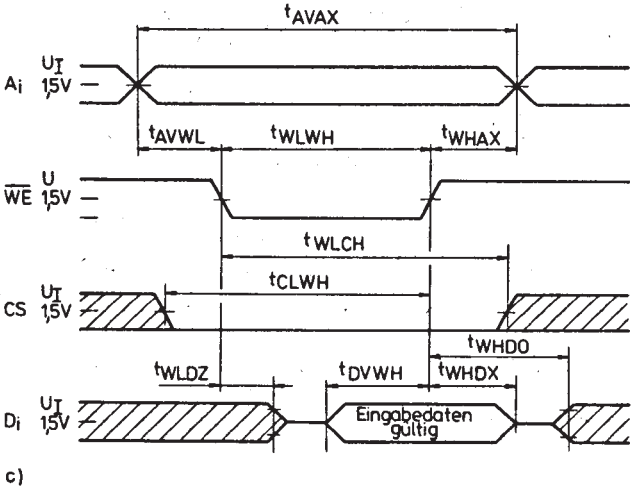
Kenngröße	Kurzzeichen	Einheit	Werte		Einstellbedingungen
			min.	max.	
Eingangsleckstrom Amateurschaltkreise	I_{IL}	μA	10		$U_{CC} = 5,25 V$
			15		$U_{IL} = 0 V$
L-Ausgangsspannung Amateurschaltkreise	U_{OL}	V	0,4		$U_{IH} = 5,25 V$
			0,8		$U_{CC} = 4,75 V$ $I_O = 2 mA$
H-Ausgangsspannung Amateurschaltkreise	U_{OH}	V	2,4 2,0		$I_O = -0,4 mA$
CS-Zugriffszeit	t_{CLDV}	ns			
<i>U 214 D45</i>				450	
<i>U 214 D30</i>				300	
<i>U 214 D20</i>				200	
<i>S 214 D</i>				675	
Adressenzugriffszeit	t_{AVDV}	ns			
<i>U 214 D45</i>				450	
<i>U 214 D30</i>				300	
<i>U 214 D20</i>				200	
<i>S 214 D</i>				675	
Betriebsstrom	I_{CCO}	mA			
<i>U 214 D45</i>				95	
<i>U 214 D30</i>					
<i>U 214 D20</i>				120	
<i>S 214 D</i>				150	
Ruhestrom	I_{CCR}	mA			
<i>S 214 D</i>				40	
				150	
Eingangskapazität	C_1	pF			
				10	



a)



b)



c)

Bild 4
Impulsdiagramme; a – Lesezyklus 1,
b – Lesezyklus 2, c – Schreibzyklus

3. Speicher

3.2.6. 4 kbit statischer Schreib-Lese-Speicher U 224 D

TGL 42 233

Vergleichstypen

MHB 6514 TESLA

6514, 5114 internationale Hersteller mit unterschiedlichen Präfixen, Zugriffszeiten nicht einheitlich!

Beschreibung

- 1k × 4 bit organisierter, statischer RAM mit wahlfreiem Zugriff
- CMOS-Technologie
- bidirektionale Datenanschlüsse
- Ausgangsabtrennung (Tri-state)
- Adressenzwischenspeicherung
- Ausmeßtypen:
UL 224 D30, US 224 D20, VL 224 D20

Anschlußbeschreibung

A0 bis A9 Adreßeingänge

D0 bis D3 Dateneingänge und Datenausgänge

\overline{CS} Schaltkreisauswahl

\overline{WE} Betriebsartsteuerung (Schreiben - Lesen)

U_{CC} Betriebsspannung

U_{SS} Masse

Funktionsbeschreibung

Der U 224 kann in folgenden 3 Betriebsarten arbeiten:

- Lesezyklus,
- Schreibzyklus,
- Lese-Schreibzyklus.

Diese Betriebsarten werden mit den Steuersignalen /CS und /WE gesteuert. Das /CS-Signal ermöglicht die Aktivierung des U 224. Bei /CS = H sind die Datenanschlüsse hochohmig. Die Signalübernahme an A0 bis A9 geschieht mit der HL-Flanke an /CS in das Adreßregister. Die Informationen werden dort zwischengespeichert. In der Betriebsart »Lesen« (/WE = H) liegen nach Ablauf der Zugriffszeit die Daten an den Datenausgängen D0 bis D3 gültig an. Die Betriebsart »Schreiben« ist durch /CS = /WE = L gekennzeichnet. Die an D0 bis D3 anliegende Information wird entsprechend dem Signalspiel des Schreibzyklus in die adressierten Speicherzellen geschrieben.

In der Betriebsart »Lesen/Schreiben« werden in einem Zyklus (/CS = L) zunächst die adressierten Speicherzellen gelesen und können unmittelbar darauf geschrieben werden. Eingeschriebene Daten können über lange Zeit gespeichert werden, wenn der Schaltkreis im »Schlafzustand«, d. h. mit $U_{CC} = 2 V$, betrieben wird.

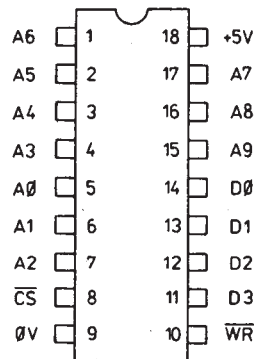


Bild 1
Anschlußbelegung

Tabelle 1 Technische Daten

Kenngröße	Symbol	Werte				Einheit
		UL 224 D30	US 224 D20	VL 224 D20	S 224 D	
Ruhestromverbrauch	I_{CCSB}	50	5	50	500	μA
Zugriffszeit	t_{CLDV}	300	200	200	350	ns
Zykluszeit	t_{CLCL}	400	250	250	500	ns
Temperaturbereich	ϑ_a	0 bis 70	0 bis 70	-25 bis +85	10 bis 45	$^{\circ}C$

Tabelle 2 Grenzwerte

Kenngröße	Symbol	Werte		Einheit
		min.	max.	
Spannungen an allen Anschlüssen	U_{CC}, U_I	-0,5	7,0	V
Verlustleistung	P_V		0,5	W
Lagertemperatur	ϑ_{stg}	-55	125	°C
Betriebstemperatur	ϑ_a	0	70	°C
		-25	85 ¹⁾	°C
		10	45 ²⁾	°C

1) Für VL 224 D20. 2) Für S 224 D.

Tabelle 3 Betriebsbedingungen (statischer Teil)

Kenngröße	Symbol	Einheit	Werte	
			min.	max.
Betriebsspannung	U_{CC}	V	4,75	5,25
Schlafspannung	U_{CCS}	V	2,0	
L-Eingangsspannung	U_{IL}	V	-0,3	0,8
H-Eingangsspannung (für S 224 D)	U_{IH}	V	$U_{CC} - 2 V$ 3,75	$U_{CC} + 0,3 V$ $U_{CC} + 0,3 V$

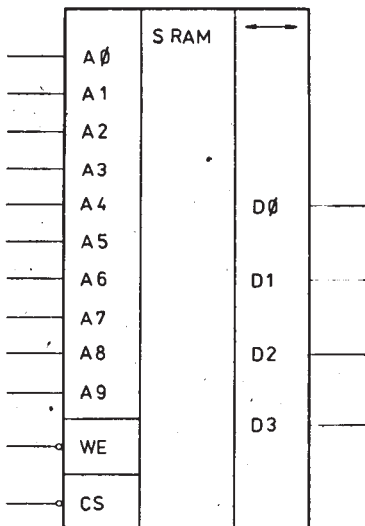


Bild 2 Logiksymbol

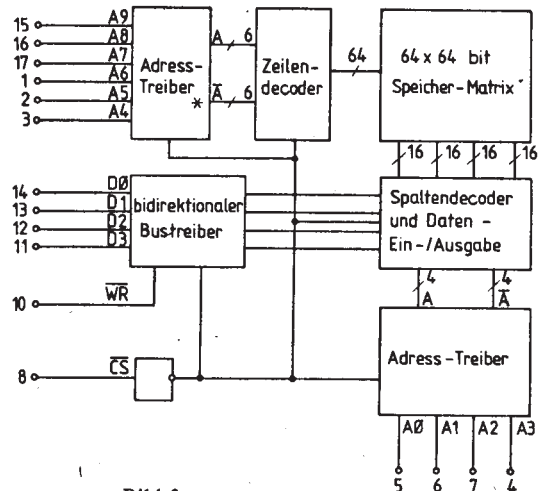


Bild 3 Übersichtsschaltplan

3. Speicher

Tabelle 4 Dynamische Betriebsbedingungen

Kenngröße	Symbol	Einheit	UL 224 D30	US 224 D20	VL 224 D20	S 224 D
Zykluszeit	t_{CLCL}	ns	400	250	250	500
negative /CS-Impulsdauer	t_{CLCH}	ns	300	200	200	350
positive /CS-Impulsdauer	t_{CHCL}	ns	100	50	50	150
Adressenvorhaltezeit	t_{AVCL}	ns	20	20	20	20
Adressenhaltezeit	t_{CLAX}	ns	50	40	40	50
negative /WE-Impulsdauer	t_{WLWH}	ns	300	200	200	350
/WE-Impulsvorhaltezeit	t_{WLCH}	ns	300	200	200	350
/WE-Impulshaltezeit	t_{CLWH}	ns	300	200	200	350
Datenvorhaltezeit	t_{DVWH}	ns	200	150	150	250
Datenhaltezeit	t_{WHDZ}	ns	0	0	0	0
Schreib-Lese-Abstand	t_{WHCL}	ns	0	0	0	0
Lese-Schreib-Abstand	t_{DVWL}	ns	0	0	0	0
Datenverzögerung zu /WE	t_{WLDV}	ns	100	50	50	100
/WE-Vorhaltezeit	t_{WLCL}	ns	0	0	0	0
/WE-Nachlaufzeit	t_{CHWL}	ns	0	0	0	0

Tabelle 5 Statische Kennwerte ($\vartheta_a = 25^\circ\text{C}$)

Kenngröße	UL 224 D30	US 224 D20	VL 224 D20	S 224 D	Einstellwerte
Ruhestromverbrauch I_{CCSB} in μA	50	5	50	500	$U_{CC} = 5,25\text{ V}$ $U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$
Eingangsleckstrom I_{IL} in μA	1	1	1	15	
L-Ausgangsspannung U_{OL} in V	0,4	0,4	0,4	0,5	$U_{CC} = 4,75\text{ V}$ $I_O = 1,3\text{ mA}$
H-Ausgangsspannung U_{OH} in V	2,4	2,4	2,4	2,4	$U_{CC} = 4,75\text{ V}$ $I_O = -0,4\text{ mA}$
Stromaufnahme I_{CCOP} in mA	6	3	3	6	$U_{CC} = 5\text{ V}$
Schlafstromaufnahme I_{CCS} in μA	30	3	30	30	$U_{CC} = 3\text{ V}$ $U_{IL} = U_{SS}$ $U_{IH} = U_{CC}$
Eingangskapazität C_1 in pF	10	10	10	10	

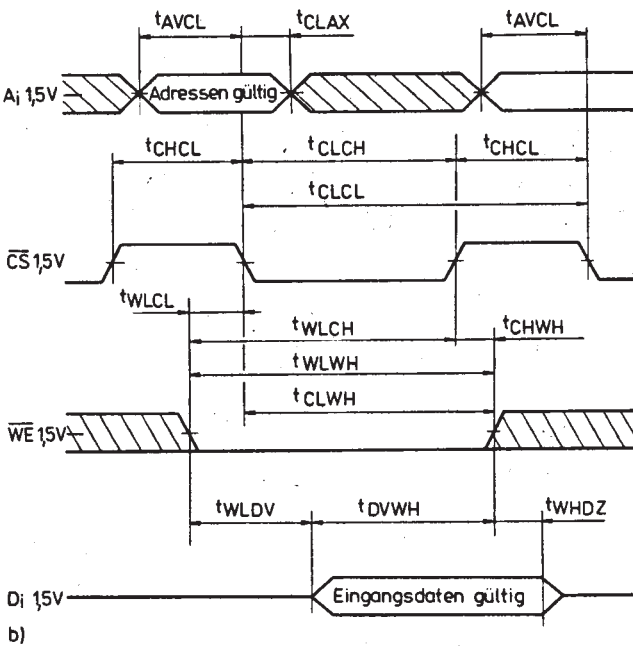
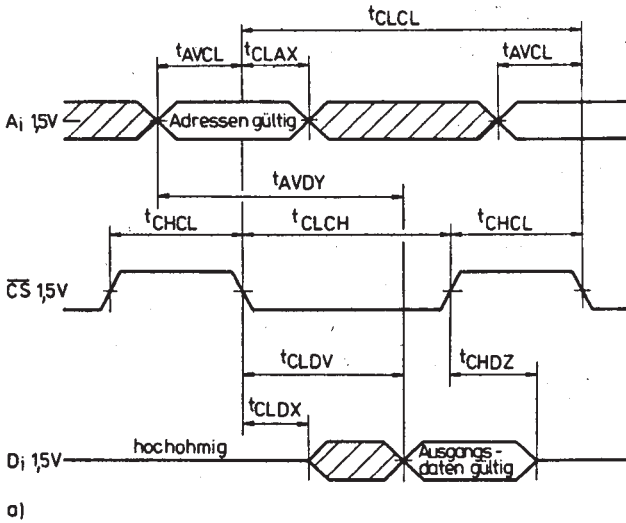
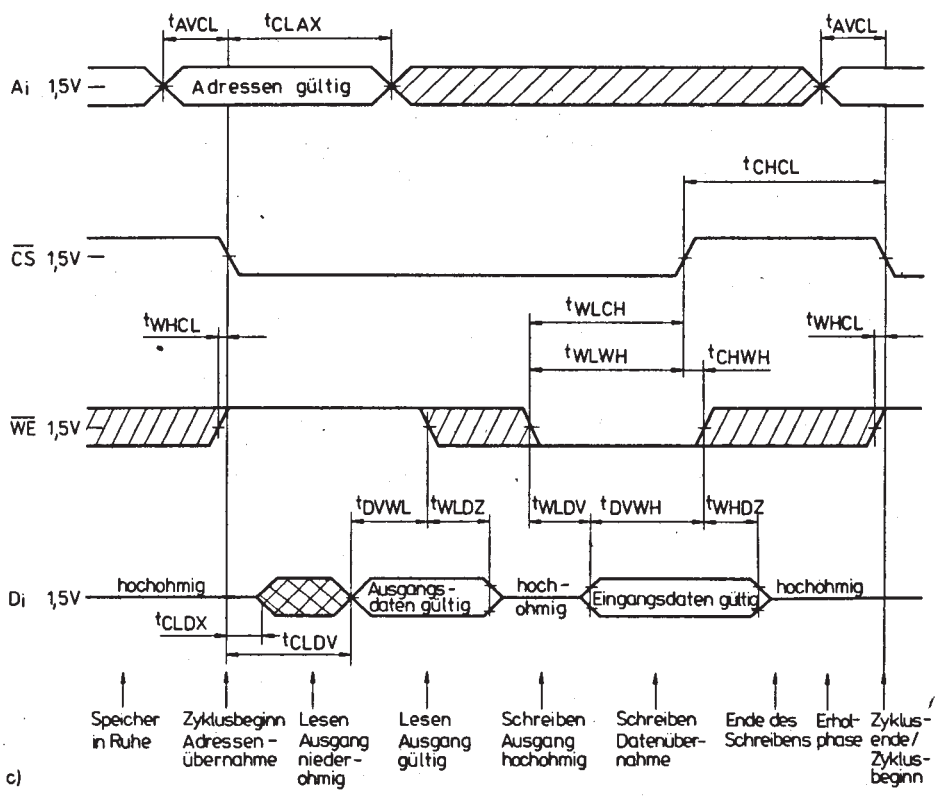


Bild 4
 Impulsdiagramme; a - Lesezyklus,
 b - Schreibzyklus,
 c - Lese-/Schreibzyklus

3. Speicher



c)

3.2.7. 4 kbit schneller statischer Schreib-Lese-Speicher U2148 C

Vergleichstyp

2148H Intel, pinkompatibel zum U214- und U224-Typspektrum

Beschreibung

- Speicherkapazität 4096 bit in der Organisation $1\text{ k} \times 4\text{ bit}$
- Grundtyp U2148 C70, Selektionstyp U2148 C55
- Zugriffszeit: U2148 C70 max. 70 ns
U2148 C55 max. 55 ns
- gemeinsame (bidirektionale) Datenein- und Datenausgänge
- Tri-state-Ausgangsstufen
- alle Ein- und Ausgänge TTL-kompatibel
- integrierte Schutzschaltungen an allen Eingängen

Anschlußbelegung

A0 bis A9	Adresseneingänge
CS	Chipauswahl
WE	Lese-/Schreibsteuerung
DQ0 bis DQ3	Datenein- und Datenausgänge
U_{CC}	Betriebsspannung +5 V \pm 5 %
U_{SS}	Masse

Applikative Hinweise

Der U2148 C ist direkt (d.h. ohne WAIT-Zyklus) mit dem gesamten in der DDR produzierten CPU-Sortiment betreibbar.

Bedingt durch die sehr geringen Zugriffszeiten des U2148 C ergeben sich für die Systemarbeit (Schaltungs- und Leiterkartentwurf) bestimmte Forderungen:

- Die Betriebsspannungs- und Masseleitungen der U2148-Speicherkonfiguration sind gitterförmig bzw. als getrennte Kupferflächen (d. h. Mehrebenen-Leiterplatten) auszuführen.
- Die SRAM-Schaltkreise sowie die periphere Ansteuerlogik sollen eine gemeinsame Massefläche haben (Vermeidung von Erdschleifen).

- Unmittelbar an jeden SRAM-Schaltkreis ist ein Stützkondensator von 47 bis 100 nF (Keramikkondensator) anzuordnen.
- Am Steckverbinder der Leiterplatte ist zwischen Betriebsspannungs- und Masseanschluß ein Kondensator von 22 bis 47 μF anzubringen (u. U. ein Tiefpaß!).
- Zur Vermeidung von Reflexionen auf den signalführenden Leiterbahnen sollten zwischen den Treibern und den Speichern Längswiderstände vorgesehen werden. Diese Widerstände liegen in der Größenordnung 30 bis 50 Ω und müssen experimentell ermittelt werden. Sie sind so nahe wie möglich an den Speicherschaltkreisen anzuordnen.

Tabelle 1 Funktionstabelle

Funktion	CS	WE	DQ0 bis DQ3
Ruhezustand	H	X	Ausgänge hochohmig (Tri-state), Eingänge gesperrt
Schreiben	L	L	Ausgänge hochohmig Eingänge aktiv
Lesen	L	H	Ausgänge aktiv, Eingänge gesperrt

Tabelle 2 Grenzwerte

Kenngröße	Kurzzeichen	Werte		Einheit
		min.	max.	
Spannung an allen Anschlüssen	U_{CC}, U_I, U_O	-1,5	7,0	V
	P_V		1,2	W
Ausgangsdauerstrom	I_{DS}		10	mA
Umgebungstemperatur	ϑ_a	0	70	$^{\circ}\text{C}$
Lager-temperatur	ϑ_{stg}	-55	125	$^{\circ}\text{C}$

3. Speicher

Tabelle 3 Betriebsbedingungen

Kenngröße	Kurzzeichen	Werte		Einheit
		min.	max.	
Betriebsspannung	U_{CC}	4,75	5,25	V
L-Eingangsspannung	U_{IL}	-1,0	0,8	V
H-Eingangsspannung	U_{IH}	2,0	5,5	V
Umgebungstemperatur	θ_a	0	70	°C

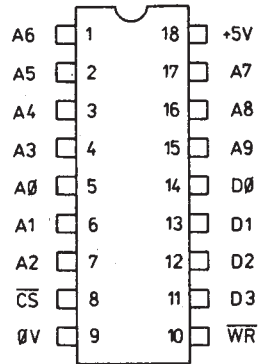


Bild 1
Anschlußbelegung

Tabelle 4 Dynamische Betriebsbedingungen

Kenngröße	Kurzzeichen	Kleinstwerte		Einheit
		<i>U 2148 C55</i>	<i>U 2148 C70</i>	
negative \overline{CS} -Impulsdauer	t_{CLCH}	55	70	ns
Adressenzykluszeit	t_{AVAX}	55	70	ns
Adressenvorhaltezeit	t_{AVWL}	0	0	ns
Adreßhaltezeit	t_{WHAX}	5	5	ns
negative \overline{WE} -Impulsdauer	t_{WLWH}	40	50	ns
\overline{WE} -Impulsvorhaltezeit	t_{WLCH}	40	50	ns
\overline{WE} -Impulshaltezeit	t_{CLWH}	50	65	ns
Datenvorhaltezeit	t_{DVHW}	20	25	ns
Datenhaltezeit	t_{WHDX}	0	0	ns
Ausgangsinformationen gültig nach Adreßwechsel	t_{AXQV}	0	0	ns
Verzögerungszeit ($\overline{CS} = L$, Ausgang aktiv)	t_{CLQX}	0	0	ns

3.2. Statische Schreib-Lese-Speicher (SRAM)

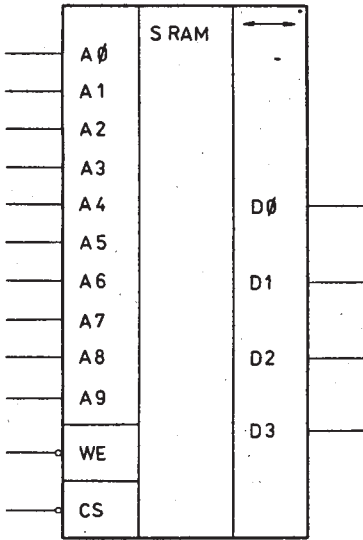


Bild 2
Logiksymbol

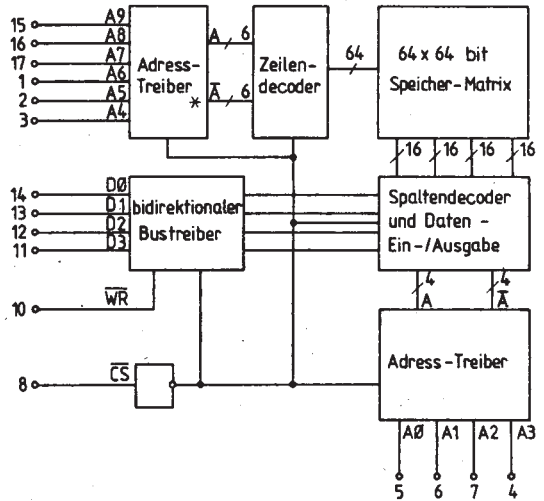


Bild 3
Übersichtsschaltplan

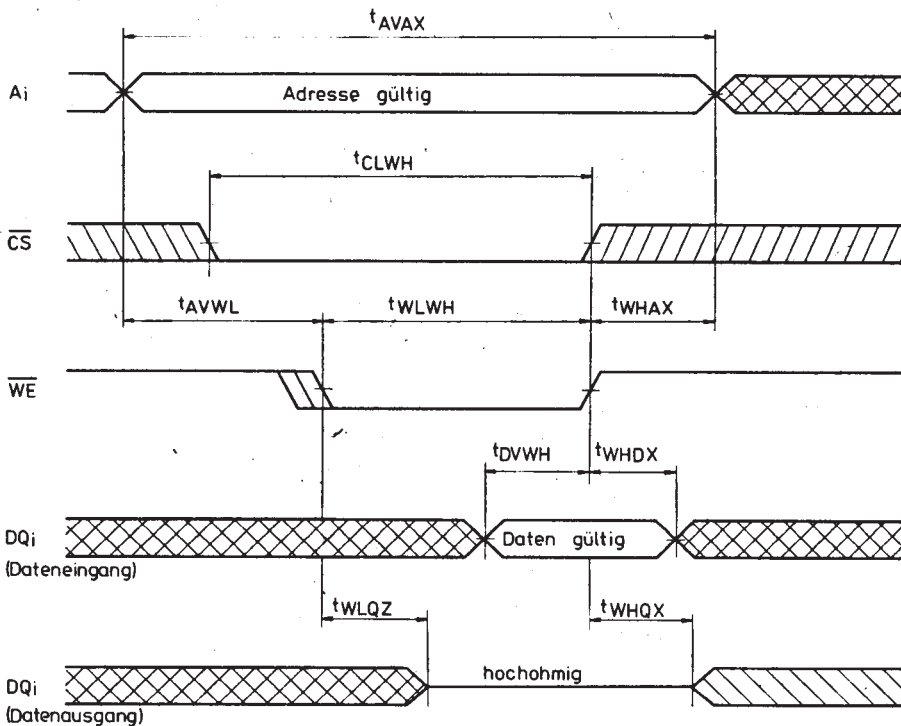
Tabelle 5 Statische Kennwerte ($\vartheta_a = 25^\circ\text{C}$)

Kenngröße	Kurzzeichen	Werte		Einheit	Einstellwerte
		min.	max.		
Betriebsstrom	I_{CCOP}	180		mA	$U_{CC} = 5\text{ V}$ Ausgänge offen $\overline{CS} = L$
Ruhestrom	I_{CCR}	50		mA	$U_{CC} = 5\text{ V}$ Ausgänge offen $\overline{CS} = H$
Eingangsleckstrom	I_{IL}	10		μA	$U_{CC} = 5,25\text{ V}$
Ausgangsleckstrom	I_{OL}	50		μA	$U_{CC} = 5,25\text{ V}$
L-Ausgangsspannung	U_{OL}	0,4		V	$I_{OL} = 8\text{ mA}$
H-Ausgangsspannung	U_{OH}	2,0		V	$I_{OH} = 4\text{ mA}$
Ein-/Ausgangskapazität	C_{IO}	7		pF	$U_I = U_{SS}$ $U_O = U_{SS}$

3. Speicher

Tabelle 6 Dynamische Kennwerte

Kenngröße	Kurzzeichen	U 2148 C55		U 2148 C70		Ein- Einstell- werte
		min.	max.	min.	max.	
\overline{CS} -Zugriffszeit	t_{CLQV}	-	55	-	70	ns $U_{CC} = 5 V$ $C_L = 50 pF$
Adreß-Zugriffszeit	t_{AVQV}	-	55	-	70	ns $U_{CC} = 5 V$ $C_L = 50 pF$
Verzögerungszeit \overline{CS} -Ausgang hochohmig	t_{CHQZ}	0	20	0	20	ns $U_{CC} = 5 V$ $C_L = 5 pF$
Verzögerungszeit \overline{WE} -Ausgang hochohmig	t_{WLQZ}	0	20	0	25	ns $U_{CC} = 5 V$ $C_L = 5 pF$
Verzögerungszeit \overline{WE} -Ausgang aktiv	t_{WHQX}	0	-	0	-	ns $U_{CC} = 5 V$ $C_L = 5 pF$



a)

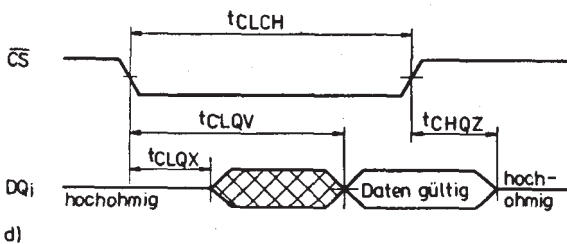
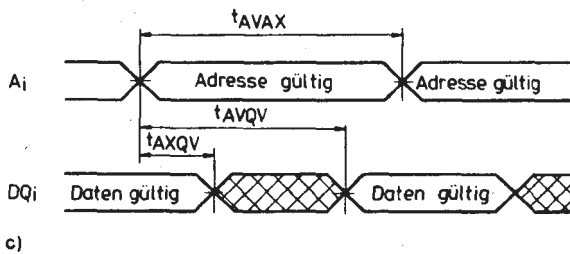
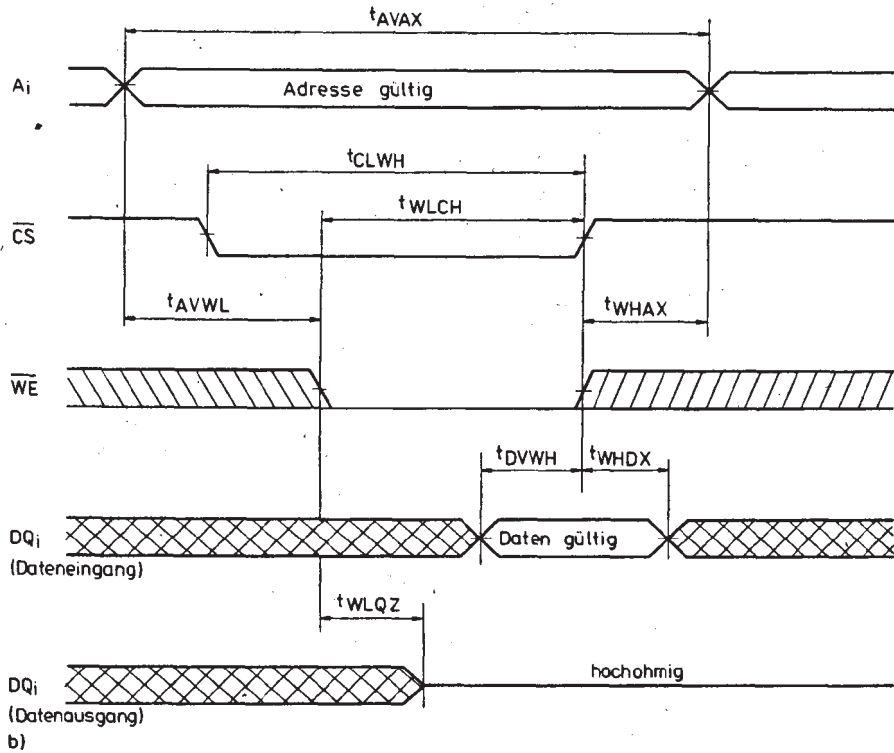


Bild 4
Impulsdiagramme; a - /WE-gesteuerter Schreibzyklus (beendet durch LH-Flanke von /WE), b - /CS-gesteuerter Schreibzyklus (beendet durch LH-Flanke von /CS), c - Lesezyklus 1 (/CS = L, /WE = H), d - Lesezyklus 2 (/WE = H, Adresse liegt über gesamten Lesezyklus stabil an)

3. Speicher

3.2.8. 64 kbit statischer Schreib-Lese-Speicher U6264 D

TGL bei Redaktionsschluß noch nicht bekannt

Vergleichstyp
MB 8464 Fujitsu

Übersicht

- organisiert mit 8192×8 bit
- schnelle Zugriffszeit
- geringe Leistungsaufnahme durch CMOS-Technologie
- voll statische Arbeitsweise
- Stromversorgung nur +5 V
- bidirektionale Datenleitungen
- Gehäuse mit 28 Anschlüssen
- TTL-kompatible Ein- und Ausgänge

Tabelle 1 Wahrheitstabelle

Anschluß	Betriebsart	Stromaufnahme	Daten
E1 E2 G W	H X X X ruhend	I_{SB}	hochohmig
X L X X ruhend	X L X X ruhend	I_{SB}	hochohmig
L H H H Daten gesperrt	L H H H Daten gesperrt	I_{CC}	hochohmig
L H L H Daten lesen	L H L H Daten lesen	I_{CC}	Ausgabedaten
L H X L Daten schreiben	L H X L Daten schreiben	I_{CC}	Eingabedaten

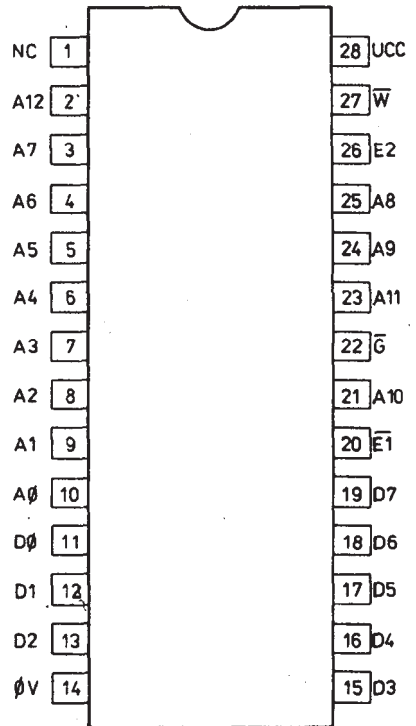


Bild 1
Anschlußbelegung

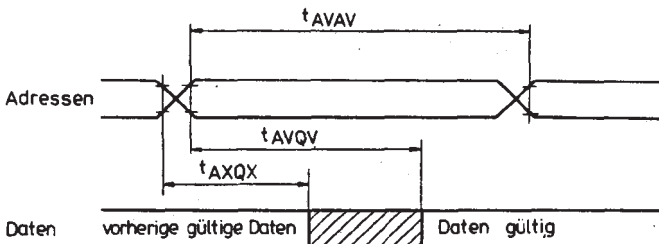


Bild 3
Impulsdiagramm
Lesezyklus 1

Tabelle 2 Technische Daten

Kennwert	Symbol	Werte			Ein- heit	Bedingun- gen
		min.	typ.	max.		
Grenzwerte						
Lagerungstemperatur	ϑ_{stg}	-55 bis 125			°C	
Betriebstemperatur	ϑ_a	0 bis 70			°C	
Versorgungsspannung	U_{CC}	-0,5 bis 7			V	
Eingangsspannung	U_I	-0,5 bis $U_{CC} + 0,5$			V	
Ausgangsspannung	U_{IO}	-0,5 bis $U_{CC} + 0,5$			V	
Betriebswerte						
Versorgungsspannung	U_{CC}	4,75	5	5,25	V	
Eingangsspannung H	U_{IH}	2,2	-	$U_{CC} + 0,5$	V	
Eingangsspannung L	U_{IL}	-0,3	-	0,8	V	
Kapazitäten						
Eingangskapazität	C_{IN}	-	-	7	pF	
Ausgangskapazität	C_{IO}	-	-	10	pF	

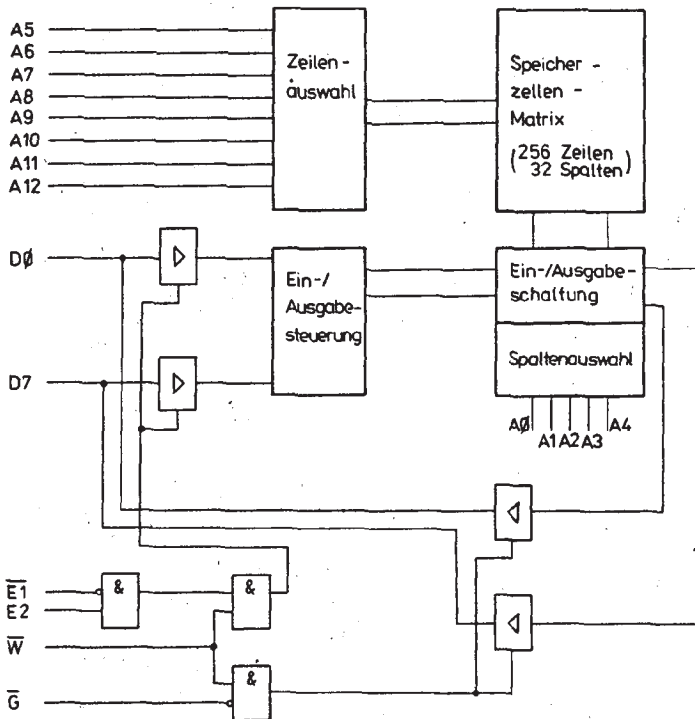


Bild 2
Übersichtsschaltplan

3. Speicher

Kennwert	Symbol	Werte			Einheit	Bedingungen
		min.	typ.	max.		
Statische Kennwerte						
Eingangsleckstrom	I_{LI}	-	-	10	μA	bei Betriebswerten
Ausgangsleckstrom	I_{LO}	-	-	10	μA	
Stromaufnahme in Ruhe	I_{SB}	-	-	2	mA	$E2 = U_{IL}$ oder $E1 = U_{IH}$
Stromaufnahme aktiv	I_{CC}	-	-	30	mA	
Ausgangsspannung H	U_{OH}	2,4	-	-	V	$I_{OH} = 1 mA$
Ausgangsspannung L	U_{OL}	-	-	0,4	V	$I_{OL} = 2,1 mA$
Dynamische Kennwerte						
Zugriffszeit lesen	t_{AVAV}	-	120	-	ns	
Zugriffszeit Adressen	t_{AVQV}	-	-	120	ns	
Zugriffszeit E1	t_{E1LQV}	-	-	120	ns	
Zugriffszeit E2	t_{E2HQV}	-	-	120	ns	
Verzögerung zu G	t_{GLQV}	-	-	50	ns	
Ausgangshaltezeit nach Adressenwechsel	t_{AXQX}	-	10	-	ns	
Schaltkreisauswahl zu Ausgang aktiv	t_{E1LQX}	-	-	-	ns	
Ausgangsfreigabe zu Ausgang aktiv	t_{E2LQX}	-	10	-	ns	
Schaltkreisauswahl zu Ausgang hochohmig	t_{E1HQZ}	-	-	-	ns	
Ausgangsfreigabe zu Ausgang hochohmig	t_{E2HQZ}	-	-	40	ns	
	t_{GHQZ}	-	-	40	ns	

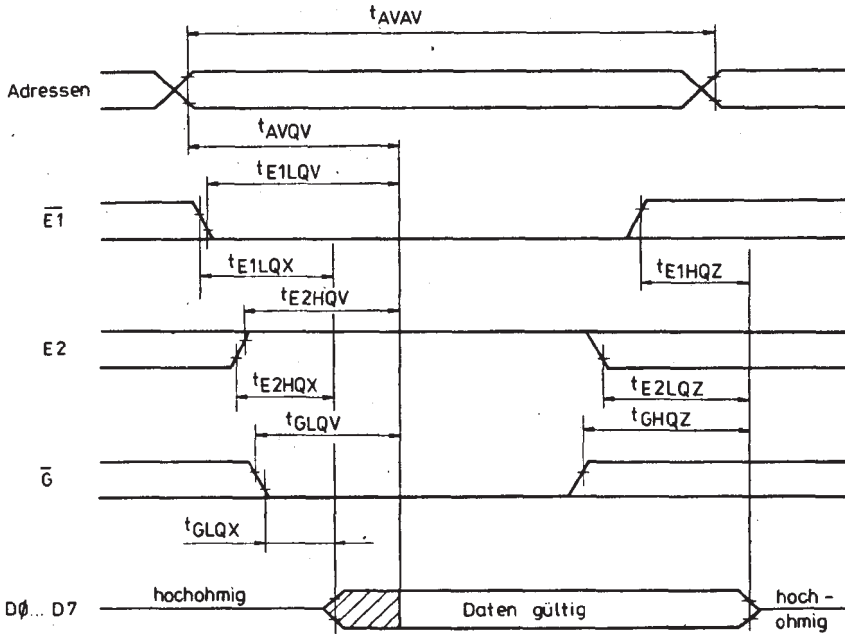


Bild 4 Impulsdiagramm Lesezyklus 2

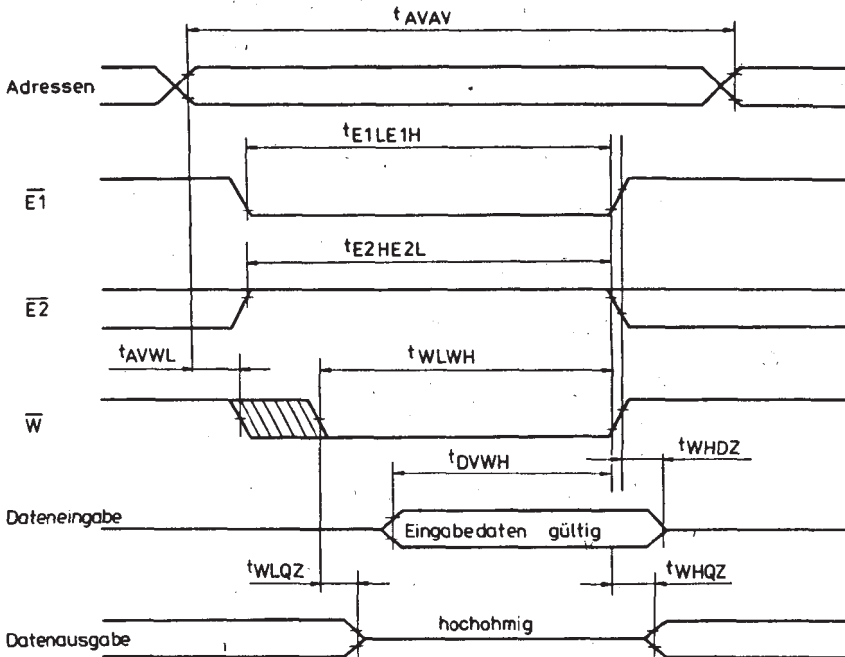
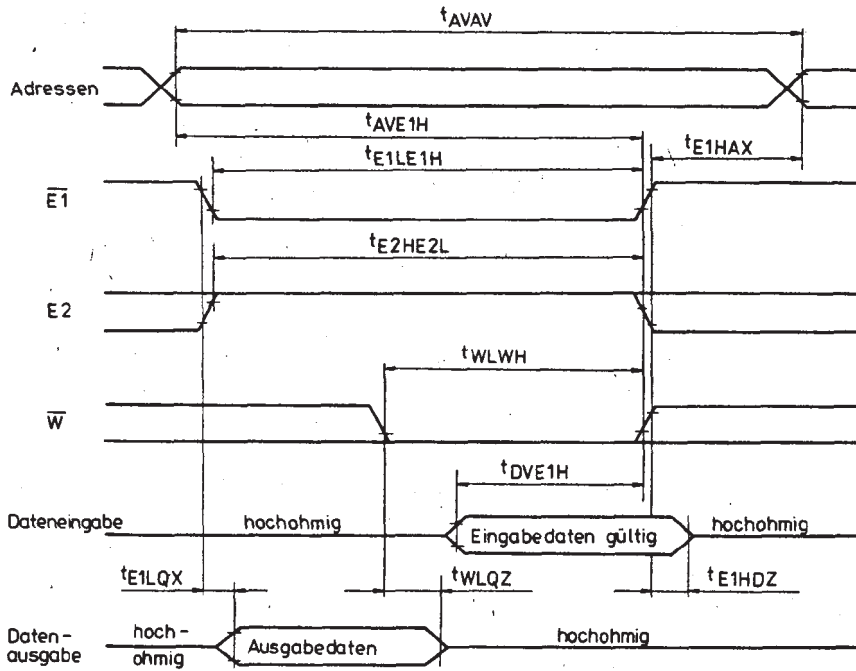


Bild 5 Impulsdiagramm Schreibzyklus /W-gesteuert (E2 nicht negiert)

3. Speicher



Schreibzyklus $\overline{E1}$ gesteuert ($\overline{E2}$ - gesteuert sinngemäß)

Bild 6 Impulssdiagramm Schreibzyklus $\overline{E1}$ gesteuert

3.2.9. 16 kbit statischer Schreib-Lese-Speicher U 6516 D

TGL 43 078

Übersicht

- Speicherkapazität $2048 \times 8 = 16384$ bit
- Typenspektrum: U 6516 DG15 Grundtyp
 UL 6516 DC15 Selektionstyp
 UL 6516 DG15 Selektionstyp
 U 6516 DG25 Anfalltyp
- Zugriffszeiten 150 und 250 ns
- CMOS-Technologie
- Adressenlatch und Tri-state-Ausgänge
- TTL-kompatible Anschlüsse
- 24poliges DIL-Plastgehäuse

Tabelle 1 Betriebsartensteuerung

Betriebsart	CE	WE	OE	Datenanschlüsse D0...D7
ruhend	H	X	X	Ausgänge hochohmig
internes Lesen	L	H	H	Ausgänge hochohmig
lesen	L	H	L	Ausgänge aktiv
schreiben	L	L	H	Anschlüsse arbeiten als Eingänge

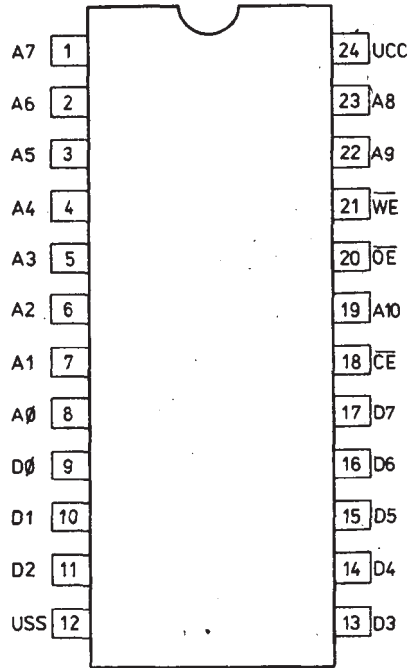


Bild 1 Anschlußbelegung

Tabelle 2 Grenzwerte für alle Typen

	Kurzzeichen	min.	max.	Einheit
Betriebsspannung	U_{CC}	-0,3	7	V
Eingangsspannung	U_I	-0,3	$U_{CC} + 0,3$	V
Verlustleistung	P_{TOT}		1	W
Betriebs-temperatur	θ_a	-25	+85	°C
		0	+70	°C
Lagerungs-temperatur	θ_{stg}	-55	+155	°C

U 6516 DG15,
UL 6516 DG15,
U 6516 DG25
UL 6516 DC15

3. Speicher

Tabelle 3 Betriebsbedingungen für alle Typen

	Kurzzeichen	min.	max.	Einheit
Betriebsspannungen	U_{CC}	4,75	5,25	V
L-Eingangsspannung	U_{IL}	-0,3	0,8	V
H-Eingangsspannung	U_{IH}	2	$U_{CC} + 0,3$	V
Adreßvorhaltezeit	t_{AVCL}	10		ns

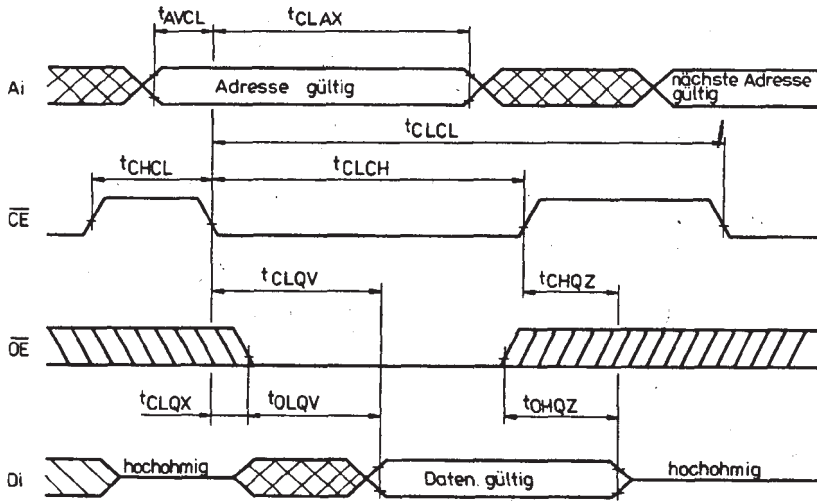


Bild 3
Lesezyklus

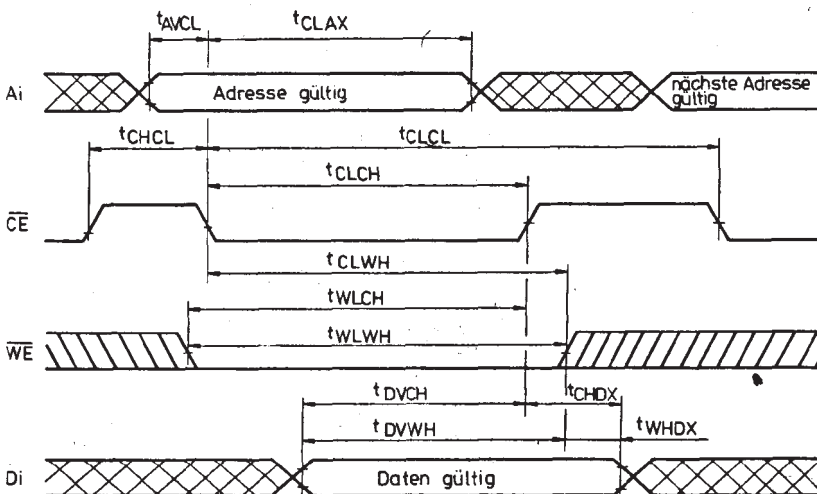


Bild 4
Schreibzyklus

Tabelle 4 Statische Kennwerte

	Kurzzeichen	U 6516 DG15/25		UL 6516 DG/C15		Einheit	Bedingungen
		min.	max.	min.	max.		
Betriebsstromaufnahme	I_{CC}		20		20	mA	$f = 1 \text{ MHz}$, $U_{CC} = 5 \text{ V}$, 25°C
Ruhestromaufnahme	I_{CCSB}		50		5	μA	
Schlafstromaufnahme	I_{CCS}		20		3	μA	$U_{CC} = 2 \text{ V}$, $U_1 = 0 \text{ V}$
L-Ausgangsspannung	U_{OL}		0,4		0,4	V	$I_O = 3,2 \text{ mA}$
H-Ausgangsspannung	U_{OH}	2,4		2,4		V	$I_O = -1 \text{ mA}$
Eingangsleckstrom	I_{LI}	-1	+1	-1	+1	μA	$U_{CC} = 5,25 \text{ V}$
Eingangskapazität	C_1		8		8	pF	

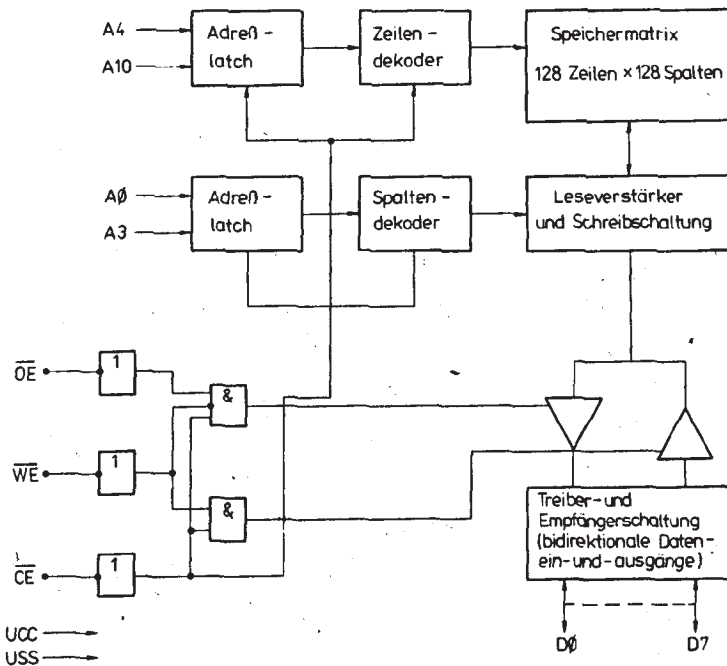


Bild 2
Übersichtsschaltplan

3. Speicher

Tabelle 5 Dynamische Kennwerte

	Kurz- zeichen	U 6516...15		U 6516...25		Ein- heit	
		min.	max.	min.	max.		
Zugriffszeit	t_{CLQV}		150		250	ns	
Verzögerungszeit	t_{CLQX}						
Datenausgänge/ CE = L		5			10	ns	$U_{CC} = 5 V$
Datenausgänge/ CE = H	t_{CHQZ}		60		100	ns	$U_{CC} = 5 V,$ $C_L = 50 pF$
Adreßvorhaltezeit	t_{AVCL}	10		10		ns	
Adreßhaltezeit	t_{CLAX}	50		50		ns	
Datenhaltezeiten	t_{WHDX}	0		0		ns	
	t_{CHDX}						
	t_{WHDX}						
	t_{CHDZ}						
WE-Vorhaltezeit	t_{WHCL}	0		0		ns.	
Lese-/Schreibab- stand	t_{QVWL}	0		0		ns	
CE-L-Impulsdauer	t_{CLCH}	150		250		ns	
CE-H-Impulsdauer	t_{TCHCL}	50		140		ns	
WE-L-Impulsdauer	t_{WLWH}	60		100		ns	
	t_{CLCH2}^*	280		470		ns	
WE-Vorhaltezeit	t_{WLCH}	60		100		ns	
	t_{CLWH}	150		250		ns	
	t_{WLCH2}^*	130		220		ns	
Datenvorhaltezeiten	t_{DVCH}	60		100		ns	
	t_{DVWH}	60		100		ns	
Zykluszeit	t_{CLCL}	200		390		ns	
	t_{CLCL2}^*	330		610		ns	

* Werte gelten nur für Betriebsart »Lesen/Schreiben«.

3.3. Dynamische Schreib-Lese-Speicher (DRAM)

3.3.1. 16 kbit dynamischer Schreib-Lese-Speicherschaltkreis U 256 C/U 256 D

Vergleichstypen

2116*

4116*

KR 565 RU3A	UdSSR
MHB 4116	TESLA
MSM 3716	OKI
TM 416	Toshiba
9016	AMD
MB 8126	Fujitsu
MB 8116	Fujitsu
MB 8216	Fujitsu
HM 4716	Hitachi
MCM 4516	Motorola
MCM 4517	Motorola
MM 5290	National
μ PD 416	NEC-Micro
μ PD 2116	NEC-Micro

* Internationale Hersteller mit unterschiedlichen Präfixen.

Beschreibung

- DRAM mit wahlfreiem Zugriff
- Organisation 16 384 Worte \times 1 bit
- n-Kanal-Si-Gate/DP-Technologie
- eingeschränkter Umgebungstemperaturbereich U 256 C1 (+10 bis +45 °C)
- Amateurtyp S 256 C/S 256 D
- Zugriffszeit
 - 200 ns (von $\overline{\text{RAS}}$ aus)
 - 135 ns (von $\overline{\text{CAS}}$ aus)
- Zykluszeit
 - 375 ns
 - 225 ns (für PAGE-MODE-Zyklen)
- 3 Betriebsspannungen
 - (+12 V \pm 10 %, +5 V \pm 10 %, -5 V \pm 10 %)
- geringe Stromaufnahme
 - 35 mA (Betriebsstrom)
 - 1,5 mA (Ruhestrom)
- alle Anschlüsse TTL-kompatibel
- Tri-state-Ausgang, durch $\overline{\text{CAS}}$ steuerbar
- ausführliche Beschreibung -
TGL 38 690

Funktionsbeschreibung

Allgemeines

Der Schaltkreis U 256 C/D ist ein hochintelligenter dynamischer Schreib-Lese-Speicher mit wahlfreiem Zugriff (RAM) in MOS-Technik. Er ist in 16 384 Worten zu 1 bit organisiert.

Bedingt durch die Schaltungstechnik wird intern und extern ein breiter Betriebsbereich ermöglicht. Das Speicherelement ist die Ein-Transistor-Speicherzelle, die aus je einem Speicher- und einem Transferrate besteht.

Für die Eingänge, Dekoder, Multiplexer, Sensorverstärker und Daten-I/O-Schaltungen wird eine dynamische MOS-Schaltungstechnik verwendet. Daraus ergibt sich eine niedrige Verlustleistung.

Die Zeitsteuerung geschieht intern, abgeleitet aus den Takten $\overline{\text{RAS}}$, $\overline{\text{CAS}}$, $\overline{\text{WRITE}}$. Zeitmultiplexe Übernahme der 14 Adressenbits (= 7 + 7 Adressenbits) gestattet die Montage des 16 384 bit-Speichers in einem 16poligen Gehäuse.

Adressierung

Die 14 Adressen, die zur Auswahl einer der 16 384 Speicherzellen erforderlich sind, werden zeitmultiplex über 7 Adresseneingänge A0 bis A6 in die internen Adressenspeicher übernommen. Das wird durch die zeitliche Folge zweier abfallender Flanken von Taktimpulsen mit $U_H = 2,7$ V erreicht.

Der 1. Taktimpuls, Row-Address-Strobe $\overline{\text{RAS}}$, übernimmt die 7 Zeilen-Adressen in den IS. Durch den 2. Taktimpuls, Column-Address-Strobe $\overline{\text{CAS}}$, werden danach die 7 Spaltenadressen in den IS übernommen. Jedes dieser beiden Signale, $\overline{\text{RAS}}$ und $\overline{\text{CAS}}$, löst eine Folge von Ereignissen aus, die durch unterschiedliche intern erzeugte Taktimpulse gesteuert werden. Die beiden Taktketten sind logisch in der Weise gegeneinander verriegelt, daß die zeitmultiplexe Adressenübernahme außerhalb des kritischen Zeitweges für den Datenzugriff beim Lesen liegt. Die späteren Ereignisse in der $\overline{\text{CAS}}$ -gesteuerten Taktkette sind gesperrt, bis ein Signal (\gg GATED- $\overline{\text{CAS}}$) entsteht, das von der $\overline{\text{RAS}}$ -Taktkette abgeleitet ist. Dieses \gg GA-

3. Speicher

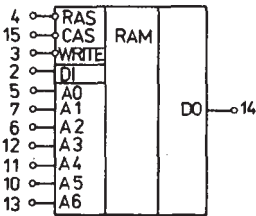
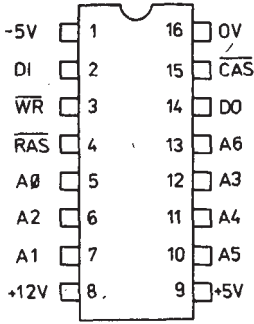


Bild 1
Anschlußbelegung und Logiksymbol

TED-CAS-Signal gestattet, daß der CAS-Takt extern dann bereits aktiviert werden darf, wenn die Zeilenadressen-Haltezeiten t_{RAH} vergangen sind und wenn die Adresseninformation von Zeile zu Spalte gewechselt hat.

Dateneingang und -ausgang

Die Daten, die in eine ausgewählte Zeile eingeschrieben werden sollen, übernimmt ein Dateneingangsregister bei einer Kombination der WRITE und CAS-Signale, wenn RAS aktiv ist.

Das letzte der beiden Signale WRITE oder CAS veranlaßt mit seiner abfallenden Flanke die Übernahme der Dateninformation DI in das Dateneingangsregister. Dadurch gibt es unterschiedliche Möglichkeiten der Schreibzyklus-Steuerung.

Bei einem Schreibzyklus, bei dem WRITE vor CAS aktiv (L-Pegel) ist, wird DI durch CAS übernommen, und die Dateneingangs-Vorhaltezeit t_{DS} und Dateneingangs-Haltezeit t_{DH} sind auf CAS zu beziehen.

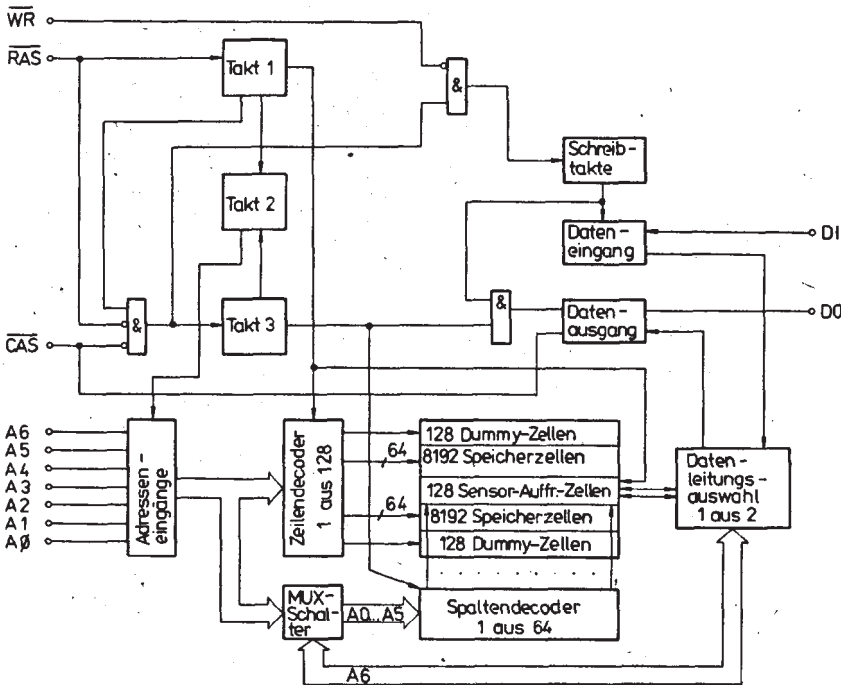


Bild 2 Übersichtsschaltplan

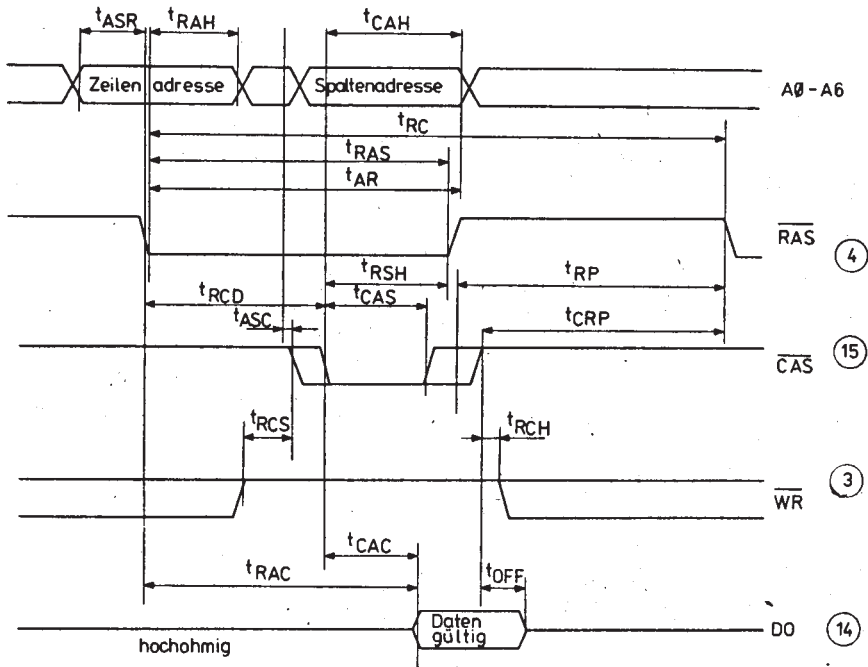


Bild 3 Impulsdiagramm für den READ-Zyklus

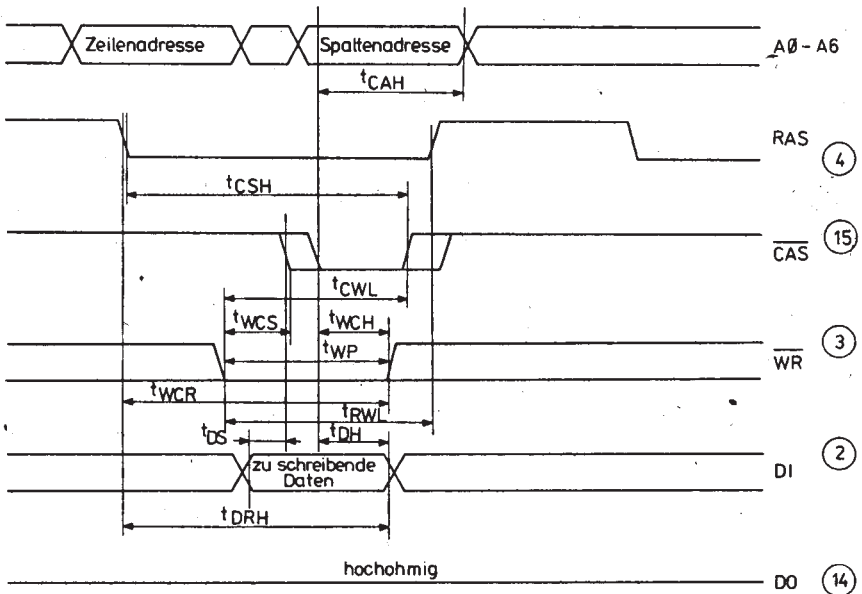


Bild 4 Impulsdiagramm für den EARLY-WRITE-Zyklus

3. Speicher

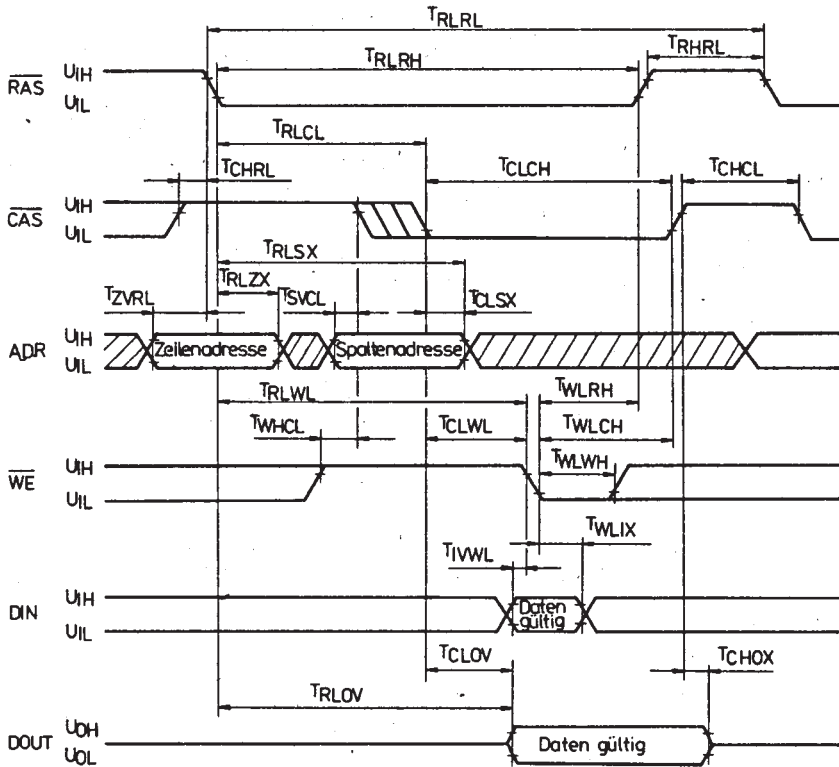


Bild 5 Impulsiagramm für den READ-MODIFY-WRITE-Zyklus

Wenn die Eingangsdaten beim $\overline{\text{CAS}}$ -Übergang noch nicht verfügbar sind, oder wenn ein »READ-WRITE«-Zyklus gewünscht wird, so muß das $\overline{\text{WRITE}}$ -Signal verzögert werden, bis der $\overline{\text{CAS}}$ -Übergang vonstatten ging. In diesem »KALAYSES-WRITE«-Zyklus sind die vorstehenden Zeiten auf $\overline{\text{WRITE}}$ zu beziehen (s. Zeitdiagramme für »WRITE«-Zyklus und für »READ-WRITE«-Zyklus).

Die Daten werden in den Lesezyklen vom Speicher gehalten, wenn sich $\overline{\text{WRITE}}$ im inaktiven Zustand (H-Pegel) befindet [so lange, wie $\overline{\text{CAS}}$ aktiv (L-Pegel) ist]. Die auslesenden Daten werden am Ausgang nach der angegebenen Zugriffszeit verfügbar.

Datenausgangssteuerung

Der normale Zustand des Datenausgangs DO ist der hochohmige Zustand. Immer,

wenn $\overline{\text{CAS}}$ inaktiv (H-Pegel) ist, floated DO. Der einzige Zeitpunkt, in dem sich der Ausgang im eingeschalteten Zustand befindet und L- oder H-Pegel aufweist, ist nach der Zugriffszeit bei einem Lesezyklus. DO ist dann gültig, bis $\overline{\text{CAS}}$ zurück in den inaktiven Zustand (H-Pegel) geht.

Wenn der Speicherzyklus ein »READ«, »READ-MODIFY-WRITE«- oder ein »DELAYED-WRITE«-Zyklus ist, dann geht DO vom hochohmigen in den aktiven Zustand (L- oder H-Pegel) über. Nach der Zugriffszeit steht der Inhalt der ausgewählten Zeile (nicht invertiert zum ehemaligen DI-Signal) zur Verfügung. Der Ausgang bleibt aktiv, bis $\overline{\text{CAS}}$ inaktiv ist, unabhängig ob $\overline{\text{RAS}}$ inaktiv wird oder nicht.

Wenn der Speicherzyklus ein »WRITE«-Zyklus ist ($\overline{\text{WRITE}}$ aktiv bevor $\overline{\text{CAS}}$ aktiv wird), dann behält der Datenausgang DO

3. Speicher

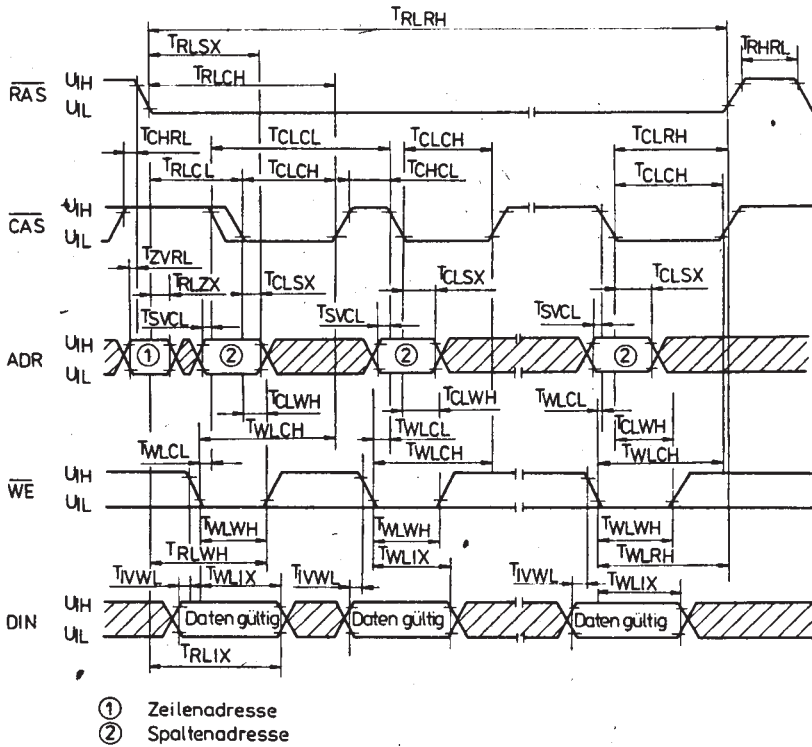


Bild 7 Impulsdiagramm für den PAGE-MODE-WRITE-Zyklus

Einschalten der Betriebsspannung

Solange die Betriebsbedingungen eingehalten werden, kann man die einzelnen Betriebsspannungen in beliebiger Reihenfolge zuführen. Für den Fall, daß die Betriebsspannungen außerhalb des Bereichs der Betriebsbedingungen, aber innerhalb der zulässigen Grenzwerte liegen, so ist U_{BB} zuerst ein- und zuletzt abzuschalten.

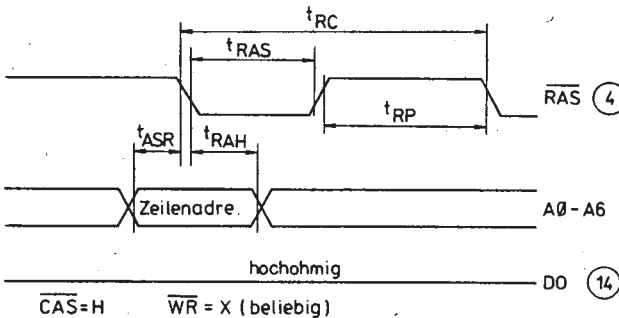


Bild 8 Impulsdiagramm für den RAS-ONLY-REFRESH-Zyklus

Tabelle 1 Grenzwerte

Kenngröße	Kurzzeichen	Einheit	Werte		
			min.	max.	
Betriebsspannungen, bezogen auf U_{BB}	U_{DD}	V	-1,0	20	
	U_{CC}	V	-1,0	20	
Betriebsspannungen, bezogen auf U_{SS} ($U_{DD} - U_{SS} > 0$)	U_{SS}	V	0	20	
	U_{DD}	V	-1,0	15	
Betriebsspannungen, bezogen auf U_{SS}	U_{CC}	V	1,0	15	
	U_i	V	-0,5	20	
Spannungen an den restlichen Anschlüssen, bezogen auf U_{BB}					
Umgebungstemperatur	ϑ_a	°C	0	70	
Lagerungs- temperatur	} U 256 C } U 256 D	ϑ_s	°C	-55	155
				-55	125
Verlustleistung	P_V	W	-	1,0	
Ausgangskurzschlußstrom	I_{OS}	mA	-	50	

Tabelle 2 Elektrische Hauptkenngrößen

Kenngröße	Kurzzeichen	Einheit	Werte	
			min.	max.
Stromaufnahme, mittlerer Wert bei \overline{RAS} - \overline{CAS} -Zyklen Ruhestrom	I_{DD1}	mA		35
	I_{BB1}	μ A		200
	I_{DD2}	mA		1,5
	I_{BB2}	μ A		100
Eingangsreststrom	I_I	μ A	-10	10
Ausgangsreststrom	I_0	μ A	-20	20
			-10	10
H-Ausgangsspannung ¹⁾	U_{OH}	V	2,4	
			2,0	
L-Ausgangsspannung ¹⁾	U_{OL}	V		0,4
				0,8
Zugriffszeit von \overline{RAS} aus	t_{RAC}	ns		200
Zugriffszeit von \overline{CAS} aus	t_{CAC}	ns		135

- 1) U_O schaltet zwischen U_{SS} und U_{CC} , wenn der Ausgang aktiviert wird und keine Strombelastung auftritt. Es ist erlaubt, U_{CC} auf U_{SS} zu reduzieren, ohne die Datenspeicherung und Refresh zu beeinträchtigen; allerdings wird dabei der Wert $U_{OH(\min)}$ nicht garantiert.

3. Speicher

Tabelle 3 Betriebsbedingungen

Alle Spannungen sind auf $U_{SS} = 0 \text{ V}$ bezogen

Kenngröße	Kurzzeichen	Einheit	Werte		
			min.	typ.	max.
Betriebsspannungen	$-U_{BB}$	V	4,5	5,0	5,5
	U_{CC}	V	4,5	5,0	5,5
	U_{DD}	V	10,8	12,0	13,2
	U_{IH}	V	2,7		5,5
H-Eingangsspannungen für $\overline{\text{RAS}}$, CAS, Write					
H-Eingangsspannung für alle anderen Eingänge	U_{IH}	V	2,4		5,5
L-Eingangsspannung für alle Eingänge	U_{IL}	V	-1,0		0,5
Umgebungstemperatur	ϑ_a	°C	0	25	70

Tabelle 5 Nebenkenngrößen ($\vartheta_a = 25 \text{ °C}$)

Kenngröße	Kurzzeichen	Einheit	Werte		Bemerkungen
			min.	max.	
Refresh-Strom (mittlerer Wert bei $\overline{\text{RAS}}$ -Zyklen)	I_{DD3}	mA		27	$\overline{\text{CAS}} = 2,7 \text{ V}$
	I_{CC3}	μA	-10	10	$t_{RC} = 375 \text{ ns}$
	I_{BB3}	μA		100	
Page-Mode-Strom (mittlerer Wert bei Page-Mode-Operation)	I_{DD4}	mA		27	$\overline{\text{CAS}}$ -Zyklen
	I_{BB4}	μA		200	$\overline{\text{RAS}} = 0,8 \text{ V}$
Ausgangsabschaltzeit	t_{OFF}	ns	0	50	$t_{PC} = 225 \text{ ns}$ 0,5 V über L 0,5 V über H
Eingangskapazität A0 bis A6, DI	C_{11}	pF		5	
Eingangskapazität CAS, WRITE	C_{12}	pF		10	
Ausgangskapazität DO	C_0	pF		7	$\overline{\text{CAS}} = 2,7 \text{ V}$
Ruhestrom	I_{CC2}	μA	-10	10	$\overline{\text{RAS}} = 2,7 \text{ V}$

Tabelle 4 Dynamische Kennwerte

Kenngröße	Kurzzeichen	Einheit	Werte		
			min.	typ.	max.
Lese- oder Schreib-Zykluszeit ¹⁾	t_{RC}	ns	375		
Lese-Schreib-Zykluszeit ¹⁾	t_{RWC}	ns	375		
	t_{RMW}	ns	405		
Page-Mode-Zykluszeit	t_{PC}	ns	225		
Übergangszeit (Anstieg, Abfall)	t_T	ns	3	50	
\overline{RAS} -Vorladezeit	t_{RP}	ns	120	-	
\overline{RAS} -Impulsbreite	t_{RAS}	ns	200	10 000	
\overline{RAS} -Haltezeit	t_{RSH}	ns	135	-	
\overline{CAS} -Haltezeit	t_{CSH}	ns	200		
\overline{RAS} - \overline{CAS} -Verzögerungszeit ²⁾	t_{RCD}	ns	25	65	
\overline{CAS} -Impulsbreite	t_{CAS}	ns	135		
\overline{CAS} - \overline{RAS} -Vorladezeit	t_{CRP}	ns	-20		
Zeilenadressenhaltezeit	t_{RAH}	ns	25		
Zeilenadressenvorhaltezeit	t_{ASR}	ns	0		
Spaltenadressenvorhaltezeit	t_{ASC}	ns	-10	-	-
Spaltenadressenhaltezeit	t_{CAH}	ns	55		
Spaltenadressenhaltezeit von \overline{RAS} an	t_{AR}	ns	120		
Lesekommandovorhaltezeit	t_{RCS}	ns	0		
Lesekommandohaltezeit	t_{RCH}	ns	0		
Schreibkommandohaltezeit	t_{WCH}	ns	55		
Schreibkommandohaltezeit von \overline{RAS} an	t_{WCR}	ns	120		
Schreibkommandopulsbreite	t_{WP}	ns	55		
Schreibkommando- \overline{RAS} -Vorhaltezeit	t_{RWL}	ns	70		
Schreibkommando- \overline{CAS} -Vorhaltezeit	t_{CWL}	ns	70		
Dateneingangsvorhaltezeit ³⁾	t_{DS}	ns	0		
Dateneingangshaltezeit ³⁾	t_{DH}	ns	55		
Dateneingangshaltezeit von \overline{RAS} an	t_{DHR}	ns	120		
\overline{CAS} -Vorladezeit (nur für Page-Mode)	t_{CP}	ns	80		
Refresh-Periode	t_{REF}	ms	-	2	
\overline{Write} -Kommando-Vorhaltezeit	t_{WCS}		-20		
\overline{CAS} - \overline{Write} -Verzögerungszeit	t_{CWD}	ns	80	-	
\overline{RAS} - \overline{Write} -Verzögerungszeit	t_{RWD}		145		

- 1) Die Angaben für $t_{RC(\min)}$, $t_{RWC(\min)}$ und $t_{RMW(\min)}$ werden benutzt, um die Zykluszeit für den vollen Temperaturbereich ($0^\circ\text{C} \leq \vartheta_a \leq 70^\circ\text{C}$) anzugeben.
- 2) Betrieb innerhalb $t_{RCD(\max)}$ sichert, daß $t_{RAC(\max)}$ eingehalten wird. $t_{RCD(\max)}$ ist Bezugspunkt. Wenn $t_{RCD} > t_{RCD(\max)}$, dann wird die Zugriffszeit ausschließlich von t_{CAC} bestimmt.
- 3) Diese Parameter sind auf die \overline{CAS} -Flanke in Early-Write-Zyklen und auf die \overline{WRITE} -Flanke in Delayed-Write- oder Read-Modify-Zyklen bezogen.

3. Speicher

3.3.2. 16 k × 1 dynamischer Schreib-Lese-Speicherschaltkreis K 565 RU 6

Vergleichstypen
2118

Beschreibung

- dynamisches RAM in der Organisation 16 384 × 1 bit
- getrennter Datenein- und -ausgang
- alle Ein- und Ausgänge TTL-kompatibel
- Zwischenspeicherung der Adressen und Eingangsdaten
- Lese- oder Schreibzykluszeit t_{CY}
K 565 RU 6B 230 ns ($I_{CCH} = 27$ mA)
K 565 RU 6W 280 ns ($I_{CCH} = 25$ mA)
K 565 RU 6G 360 ns ($I_{CCH} = 25$ mA)
- Zugriffszeit bezogen auf /CAS t_{CAC}
K 565 RU 6B 70 ns
K 565 RU 6W 90 ns
K 565 RU 6G 120 ns
- nur eine Versorgungsspannung (+5 V)
- zerstörungsfreies Lesen
- 128 Refreshzyklen alle 2 ms zum Datenerhalt erforderlich
- Refreshsteuerung durch /RAS-Signal allein möglich

Tabelle 1 Anschlußbeschreibung

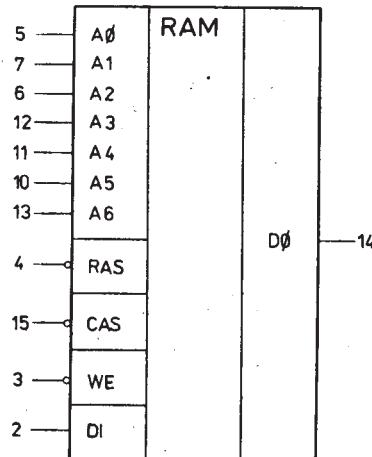
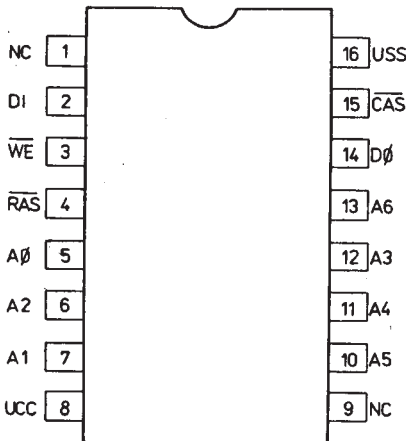
Anschluß	Bezeichnung
DI	Dateneingang
/WE	Schreibsignal, L-aktiv
/RAS	Zeilenadreibsteuereingang, L-aktiv
/CAS	Spaltenadreibsteuereingang, L-aktiv
A0 bis A6	Adreßeingänge
DO	Datenausgang

Tabelle 2 Grenzwerte (bezogen auf $U_{SS} = 0$ V)

Kennwerte	Werte	
	min.	max.
Betriebsspannung U_{CC} in V	0	6
Eingangsspannung an allen Eingängen U_T in V	-1,0 ¹⁾	6,5
Lastkapazität C_L in pF		100
Betriebstemperaturbereich θ_a in °C	-10	70

1) Innerhalb von 10 ms ist eine Überschreitung der Betriebsspannung U_{CC} bis 7 V, der Eingangsspannung U_T von -2 bis +7 V zulässig.

Bild 1 Anschlußbelegung und Schaltzeichen



- Ausgang ungelatcht und durch /CAS gesteuert
- 16poliges Gehäuse

Der *K 565 RU 6* ist ein dynamisches RAM mit wahlfreiem Zugriff und einer Kapazität von 16384 bit in der Organisation von $16\text{ k} \times 1$. Die verwendete dynamische 1-Transistorzelle in n-Kanal-Technologie ermöglicht eine hohe Packungsdichte und

große Schnelligkeit. Durch das Multiplexen der Adreßsignale ist der Einsatz des platzsparenden 16poligen Dual-in-line-Plastgehäuses möglich. Gegenüber dem *K 565 RU 3 (U256)* ist nur eine Betriebsspannung (+5 V) nötig. Der Schaltkreis ist für den Aufbau von RAM-Blöcken unterschiedlicher EDVA-Systeme, Mikrorechner und Automatisierungseinrichtungen bestimmt.

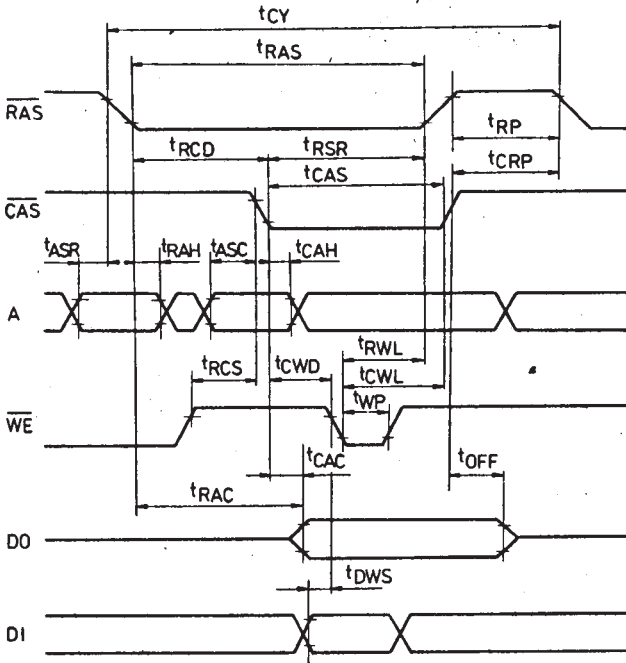


Bild 2
Impulsdiagramm
für Lesen-Schreiben/
Lesen-Ändern-Schreiben

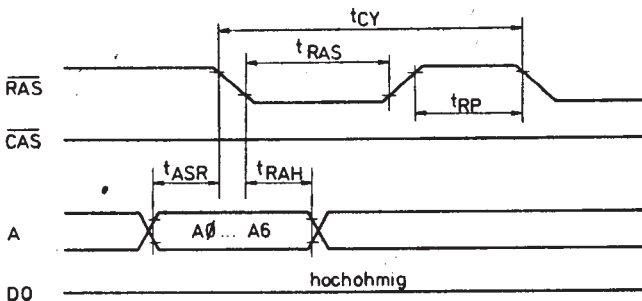


Bild 3
Impulsdiagramm
Auffrischzyklus

3. Speicher

Tabelle 3 Betriebsarten

Eingänge				Ausgang Beschreibung	
RAS	CAS	WE	DI	DO	
H	H	X	X	Z	Zustand bleibt erhalten
H	L	X	X	Z	Zustand bleibt erhalten
L	H	X	X	Z	Auffrischen
L	L	L	L/H	Z	Schreiben
L	L	H	X	L/H	Lesen

X - beliebiger Pegel, Z - hochohmig, L/H - Pegel L oder H

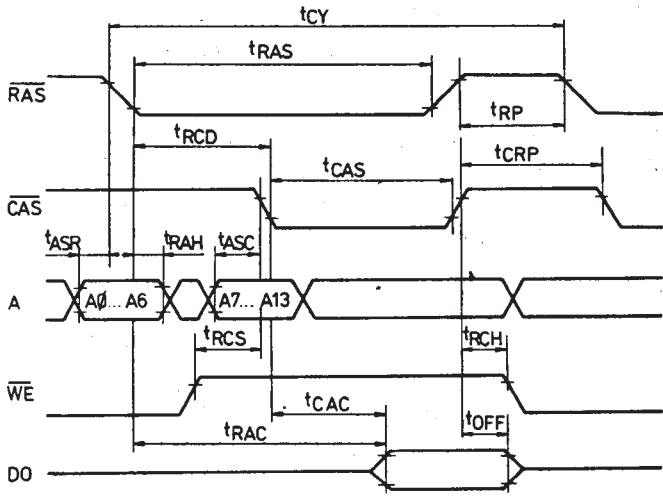


Bild 4
Impulsdiagramm
für den Lesebetrieb

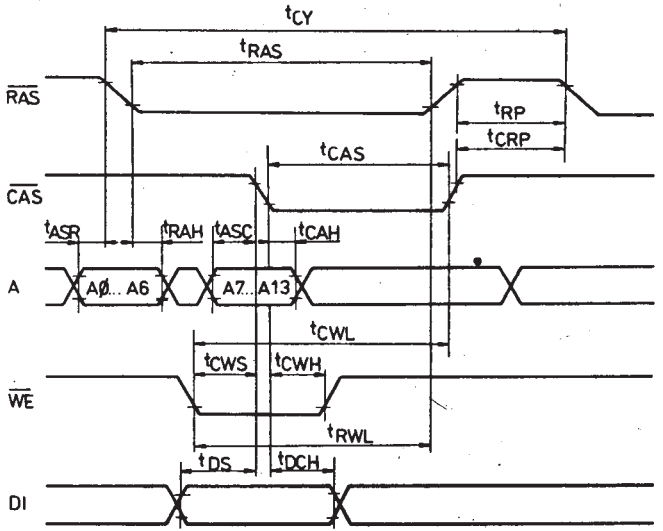


Bild 5
Impulsdiagramm
für den Schreibzyklus

Tabelle 4 Statische Kennwerte

Kennwerte	Werte		
	min.	typ.	max.
Betriebsspannung U_{CC} in V	4,5	5,0	5,5
L-Eingangsspannung U_{IL} in V	-1,0 ¹⁾		0,8
H-Eingangsspannung U_{IH} in V	2,4		6,0
Stromaufnahme I_{CC} in mA ²⁾			4,0
H-Ausgangsspannung bei $I_{OH} = -2,0$ mA U_{DOH} in V	2,4		
L-Ausgangsspannung bei $I_{OL} = 4$ mA U_{DOL} in V			0,4
Eingangsreststrom an allen Eingängen I_{LI} in μ A	-10		10
Ausgangsreststrom I_{LDO} in μ A	-10		10
Eingangskapazität an A0 bis A6 C_A in pF ³⁾			6
Eingangskapazität an DI C_I in pF ³⁾			6
Eingangskapazität an \overline{CAS} C_{CAS} in pF ³⁾			10
Eingangskapazität an \overline{RAS} C_{RAS} in pF ³⁾			10
Eingangskapazität an \overline{WE} C_{WE} in pF ³⁾			10
Ausgangskapazität C_{DO} in pF ³⁾			10

1) Für maximal 10 ns ist eine negative Spannung bis -2 V zulässig.

2) $U_{RAS} = U_{RASH}$; $U_{CAS} = U_{CASH}$.

3) $\theta_a = 25 + 5^\circ\text{C}$.

3. Speicher

Tabelle 5 Dynamische Kennwerte

Kennwerte	K 565 RU 6B		K 565 RU 6W		K 565 RU 6G	
	min.	max.	min.	max.	min.	max.
Lese-, Schreibzykluszeit t_{CY} in ns ^{3),4)}	230		280		360	
RAS-Zugriffszeit t_{RAC} in ns ^{1),2)}		120		150		200
CAS-Zugriffszeit t_{CAC} in ns ²⁾		70		90		120
RAS-Impulsbreite t_{RAS} in μ s	0,12	10	0,15	10	0,2	10
RAS-Vorladezeit t_{RP} in ns	100		120		150	
CAS-Impulsbreite t_{CAS} in μ s	0,07	10	0,09	10	0,12	10
CAS-Vorladezeit t_{CPN} in ns	35		40		60	
RAS-CAS-Verzögerungszeit t_{RCD} in ns	30	50	35	60	55	80
RAS-Haltezeit t_{RSH} in ns	70		80		120	
CAS-RAS-Vorladezeit t_{CRP} in ns ⁵⁾	-20		-20		-20	
Zeilen-Adressen-Vorhaltezeit t_{ASR} in ns	0		0		0	
Zeilen-Adressen-Haltezeit t_{RAH} in ns	15		20		40	
Spalten-Adressen-Vorhaltezeit t_{ASC} in ns	0		0		0	
Spalten-Adressen-Haltezeit t_{CAH} in ns	25		35		45	
Lesekommando-Vorhaltezeit t_{RCS} in ns	0		0		0	
Lesekommando-Haltezeit t_{RCH} in ns	15		20		30	
Schreibkommando-Impulsbreite t_{WP} in ns	35		45		80	
Schreibkommando-Haltezeit t_{WCH} in ns	45		55		80	
Schreibkommando-RAS-Vorhaltezeit t_{RWL} in ns	55		70		95	

Kennwerte	K 565 RU 6B		K 565 RU 6W		K 565 RU 6G	
	min.	max.	min.	max.	min.	max.
Schreibkommando- CAS-Vorhaltezeit t_{CWL} in ns	55		70		95	
Datenausgangs- CAS-Vorhaltezeit t_{DS} in ns	0		0		0	
Dateneingangs- CAS-Haltezeit t_{DCH} in ns	45		55		80	
\overline{WE} -Kommando- Vorhaltezeit t_{WCS} in ns ⁶⁾	0		0		0	
CAS- \overline{WE} -Verzöge- rungszeit t_{CWD} in ns ⁷⁾	70		95		120	
Auffrischperiode t_{REF} in ns		2		2		2
Anstiegs- und Ab- fallzeiten der Flan- ken t_{HL} und t_{LH}	3	35	3	35	3	35

1) Für $t_{RCD} \geq t_{RCDmax}$ wird t_{RAC} um den Wert $t_{RCD} - t_{RCDmax}$ wachsen.

2) $C_L = 100$ pF.

3) Die Zeitintervalle und die Steuerimpuls(signal)flanken sind bezogen auf $U_{IL} = 0,8$ V und $U_{IH} = 2,4$ V.

4) Die Parameter werden garantiert bei:
 $3 \text{ ns} \leq t_{LH} \leq 5 \text{ ns}$ und $3 \text{ ns} \leq t_{HL} \leq 5 \text{ ns}$.

5) Der Parameter t_{CRP} wird vom Hersteller nicht gemessen.

6) Für $t_{WCS} \geq t_{WCSmin}$ befindet sich der Speicher im Modus »early writing«, dabei ist der Ausgang D0 hochohmig.

7) Für $t_{CWD} \geq t_{CWDmin}$ liegen am Ausgang D0 die Daten des vorangegangenen Schreibzyklus.

3. Speicher

3.3.3. 64 kbit dynamischer Schreib-Lese-Speicherschaltkreis U2164C

Vergleichstypen

2164 A - 20	Intel
K 565 RU 5	UdSSR
4164	mehrere Hersteller mit unterschiedlichen Präfixen
MCM 6664	Motorola
MCM 664	Motorola
MB 8264	Fujitsu
HM 4864	Hitachi
M 58764	Mitsubishi
MSM 3764	OKI
F 64 K	Fairchild

Beschreibung

- DRAM mit wahlfreiem Zugriff
- Organisation $65\,536 \times 1$ bit
- modifizierte nMOS-Technologie
- Grundtyp U2164C20
- mit eingeschränkten Daten: U2164C20/1, U2164C25
- ausführliche Beschreibung - TGL 42234

Funktionsbeschreibung

Allgemeines

Der U2164C hat »1-Transistor«-Speicherzellen, die aus je einem MOS-Auswahltransistor und einem MOS-Speicherkondensator bestehen. Damit werden höchste Speicherdichte, einfache Betriebsweise und günstige Kennwerte erreicht.

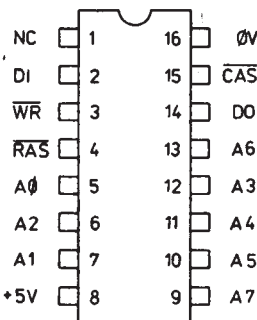


Bild 1
Anschlußbelegung

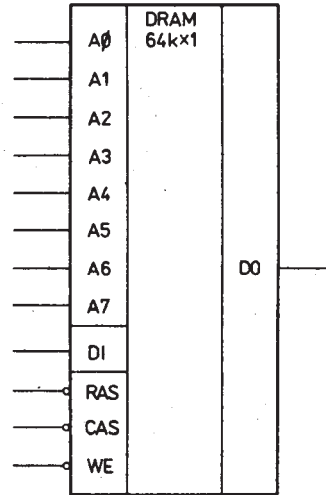


Bild 2
Schaltzeichen

Für die Teilschaltungen wird weitgehend dynamische MOS-Schaltungstechnik verwendet, womit eine minimale elektrische Verlustleistung gewährleistet ist. Die Verlustleistung ist der Zyklusrate proportional.

Die Chipauswahl, die Zeitsteuerung und das Auffrischen geschehen intern, abgeleitet aus den Takten \overline{RAS} , \overline{CAS} und \overline{WE} .

Gegen »soft-errors« durch alpha-Partikel sind schaltungstechnische, technologische und layoutmäßige Vorkehrungen getroffen.

Adressierung

Die 16 Adressen, die zur Auswahl einer der 65 536 Speicherzellen erforderlich sind, werden zeitmultiplex über 8 Adresseneingänge A0 bis A7 in die internen Adressenspeicher übernommen. Das wird durch die zeitliche Folge zweier abfallender Flanken von Taktimpulsen mit TTL-Pegel erreicht.

Der 1. Taktimpuls »Row-Adress-Strobe« (\overline{RAS}) übernimmt die Zeilenadressen in das Chip. Der 2. Taktimpuls »Column-Adress-Strobe« (\overline{CAS}) übernimmt danach die 8 Spaltenadressen in das Chip. Jedes dieser Signale \overline{RAS} und \overline{CAS} löst eine Folge von intern erzeugten Taktimpulsen aus.

Die beiden Taktketten sind logisch in der Weise gegeneinander verriegelt, daß die zeitmultiplexe Adressenübernahme außerhalb

des kritischen Zeitwegs für den Datenzugriff beim Lesen liegt. Die späteren Ereignisse in der $\overline{\text{CAS}}$ -gesteuerten Taktkette sind gesperrt, bis ein Signal »GATED CAS« entsteht, das von der $\overline{\text{RAS}}$ -Taktkette abgeleitet ist. Dieses »GATED CAS« erlaubt, daß der CAS-Takt extern dann schon aktiviert werden darf, wenn die Zeilenadressenhaltezeit t_{RLZX} vergangen ist und die Adresseninformation von Zeile zu Spalte gewechselt hat.

Dateneingang und Datenausgang

Die Daten, die in eine ausgewählte Zelle eingeschrieben werden sollen, übernimmt bei einer Kombination der $\overline{\text{WE}}$ - und $\overline{\text{CAS}}$ -Signale ein Dateneingangsregister, wenn $\overline{\text{RAS}}$ aktiv ist.

Das letzte der beiden Signale $\overline{\text{WE}}$ oder $\overline{\text{CAS}}$ veranlaßt mit seiner abfallenden Flanke die Übernahme der Dateninformation DI in das Datenspeicherregister. Dadurch gibt es unterschiedliche Möglichkeiten der Schreibzyklus-Steuerung.

Bei einem Schreibzyklus, bei dem $\overline{\text{WE}}$ vor $\overline{\text{CAS}}$ aktiv (LOW) ist, wird DI durch $\overline{\text{CAS}}$ übernommen. Die Dateneingangsvorhaltezeit t_{IVCL} und -haltezeit t_{CLIX} sind dann auf $\overline{\text{CAS}}$ zu beziehen.

Wenn die Eingangsdaten beim $\overline{\text{CAS}}$ -Übergang noch nicht verfügbar sind oder wenn ein »READ-WRITE«-Zyklus gewünscht wird, muß das $\overline{\text{WE}}$ -Signal verzögert werden, bis der $\overline{\text{CAS}}$ -Übergang vorstatten ging. In diesem »DELAYED-WRITE«-Zyklus sind die o.g. Zeiten t_{IVWL} und t_{WLIX} auf $\overline{\text{WE}}$ zu beziehen (s. Zeitdiagramme für READ und READ-MODIFY-WRITE)!

Der Speicher hält die Daten in Lesezyklen, wenn $\overline{\text{WE}}$ im inaktiven Zustand HIGH hat, und zwar so lange, wie $\overline{\text{CAS}}$ aktiv (LOW) ist. Die auszulesenden Daten werden am Ausgang nach der angegebenen Zugriffszeit verfügbar.

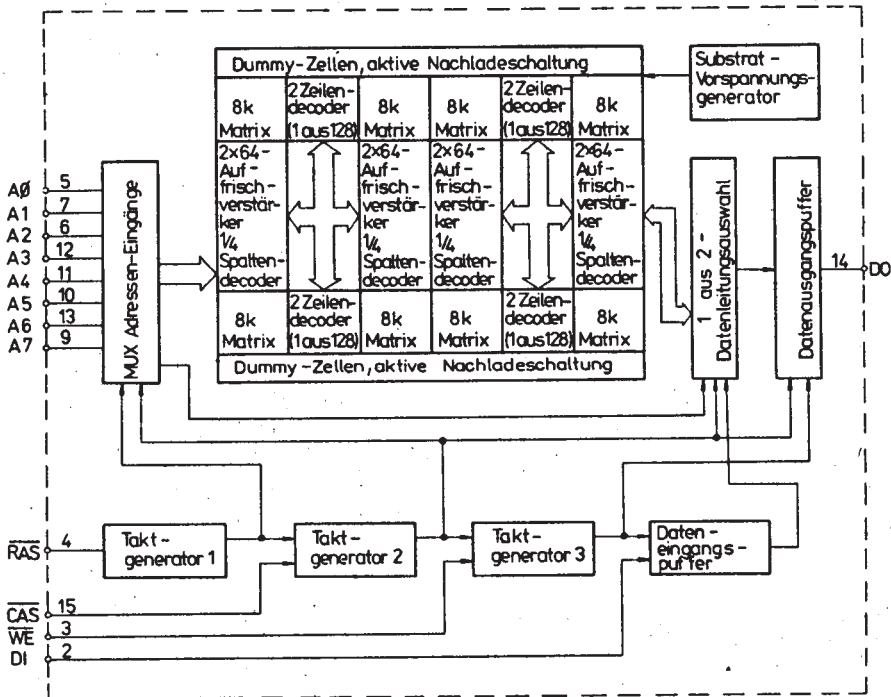


Bild 3 Übersichtsschaltplan

3. Speicher

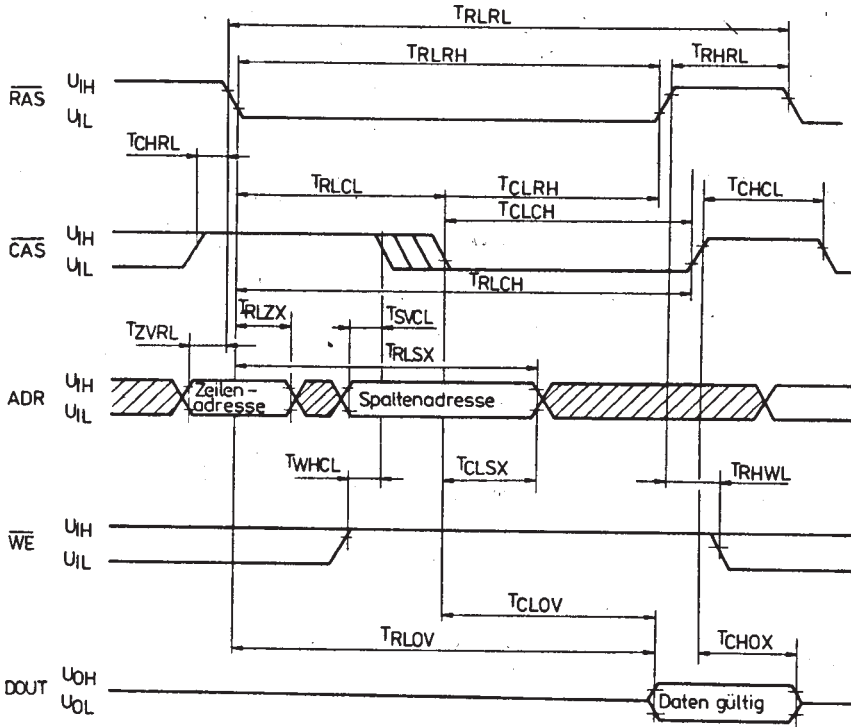


Bild 4 Impulsdiagramm für den READ-Zyklus

Datenausgangssteuerung

Der normale Zustand des Datenausgangs DO ist der hochohmige Zustand. Immer wenn \overline{CAS} inaktiv (HIGH) ist, floatet DO (hochohmiger Zustand). Der einzige Zeitpunkt, in dem sich der Ausgang in eingeschaltetem Zustand befindet und die logische »0« oder »1« enthält, ist nach der Zugriffszeit bei einem Lesezyklus. DO ist dann gültig, bis \overline{CAS} zurück in den inaktiven Zustand (HIGH) geht.

Wenn der Speicherzyklus ein »READ«- oder »READ-MODIFY-WRITE«-Zyklus ist, dann geht DO vom hochohmigen in den aktiven Zustand »0« oder »1« über. Nach der Zugriffszeit steht der Inhalt der ausgewählten Zelle (nicht invertiert zum ehemaligen DI-Signal) zur Verfügung. Der Ausgang bleibt aktiv, bis \overline{CAS} inaktiv (HIGH) wird, unabhängig ob RAS inaktiv ist oder nicht.

Wenn der Speicherzyklus ein »WRITE«-Zyklus ist (\overline{WE} aktiv, bevor \overline{CAS} aktiv wird), dann behält der Datenausgang DO seinen hochohmigen Zustand während des gesamten Zyklus. Wird ein »DELAYED-WRITE«-Zyklus ausgeführt (\overline{WE} nach \overline{CAS} aktiv), ist der Zustand des Datenausgangs unbestimmt, falls nicht \overline{WE} soweit über \overline{CAS} verzögert wird, daß ein »READ-WRITE«-Zyklus entsteht.

Diese Konfiguration gestattet dem Anwender volle Steuermöglichkeit von DO allein durch die Zeitsteuerung von \overline{WE} . Dadurch, daß der Ausgang die Daten speichert, bleiben die Daten von der Zugriffszeit an bis zum Beginn eines folgenden Zyklus ohne Nachteil für die Zugriffszeit (Ausdehnung) gültig.

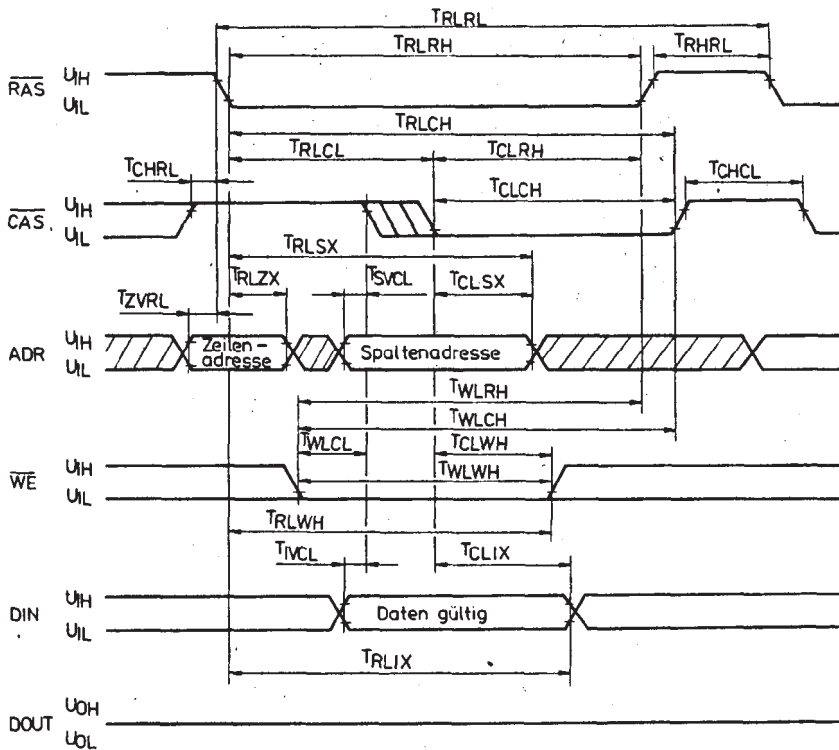


Bild 5 Impulsdiagramm für den WRITE-Zyklus

»PAGE-MODE«

Die »PAGE-MODE«-Zyklen gestatten aufeinanderfolgende Speicheroperationen für unterschiedliche Spaltenadressen bei der gleichen Zeilenadresse mit erhöhter Geschwindigkeit ohne Wachsen der Verlustleistung. Das wird durch eine eingespeicherte Zeilenadresse und $\overline{\text{RAS}}$ aktiv (LOW) während aller folgenden Speicherzyklen, die sich auf die gleiche Zeilenadresse beziehen, erreicht. Dieser »PAGE-MODE«-Zyklus spart die Verlustleistung ein, die mit dem $\overline{\text{RAS}}$ -Übergang verbunden ist. Die Zeit für die Übernahme weiterer Zeilenadressen wird dann eingespart, deshalb sind Zugriffs- und Zykluszeit um diesen Betrag kleiner.

Auffrischen

Die Daten in der Speichermatrix mit dynamischen Zellen werden aufgefrischt, indem ein Speicherzyklus für jede der 128 Zeilenadressen A0 bis A6 im Zeitintervall von 2 ms ausgeführt wird.

Neben den normalen Speicherzyklen ist das mit » $\overline{\text{RAS}}$ -ONLY-REFRESH«-Zyklen vorteilhaft. Damit ergibt sich eine erheblich niedrigere Verlustleistung, wobei das durch den kleineren Wert I_{CCRAS} ausgedrückt wird.

3. Speicher

Einschalten der Betriebsspannungen

Nachdem die Betriebsspannungen mindestens 1 ms in dem für die Funktion erforderlichen Bereich (s. Tabelle 1) anliegen, benötigt der Speicher mindestens 8 Zyklen, die »Auffrischen« enthalten, um seinen normalen Betrieb zu gewährleisten.

Wenn im Fehlerfall die Versorgungsspannung die angegebenen Grenzen überschreitet, sind zur Vermeidung von Ausfällen die Signale $\overline{\text{RAS}}$ und $\overline{\text{CAS}}$ in den inaktiven (HIGH) Zustand zu steuern.

Zeitdiagramm

Zur Bildung der Indizes werden in den Zeitdiagrammen folgende Symbole verwendet:

- Signale Z – Zeilenadresse
- S – Spaltenadresse
- R – RAS
- C – CAS
- W – Write

- I – Dateneingang
- D – Datenausgang
- Flanken H – Signal nach HIGH
- L – Signal nach LOW
- V – Signal wird gültig
- X – Signal wird ungültig
- Z – Signal wird hochohmig

Die Indizes H bzw. L definieren die Art der Flanke (steigend bzw. fallend). Die für die reale Funktion des Schaltkreises erforderliche Zeitbedingung (Beginn/Ende der Flanke) ist aus dem entsprechenden Taktdiagramm zu ersehen.

Mehrfache Anwendung eines Symbols für unterschiedliche Kenngrößen tritt mit Ausnahme der Kenngröße t_{CRCL} im PAGE-MODE-READ-Zyklus (t_{CHCL} bei $\overline{\text{RAS}} = U_{\text{IL}}$ und t_{CHCL} bei $\overline{\text{RAS}} = U_{\text{IH}}$) nicht innerhalb einer Betriebsart auf. In unterschiedlichen Betriebsarten können einem Symbol unterschiedliche Parameterwerte zugeordnet sein; das betrifft t_{RLRL} , t_{RLRH} , t_{CLCH} und t_{CLCL} .

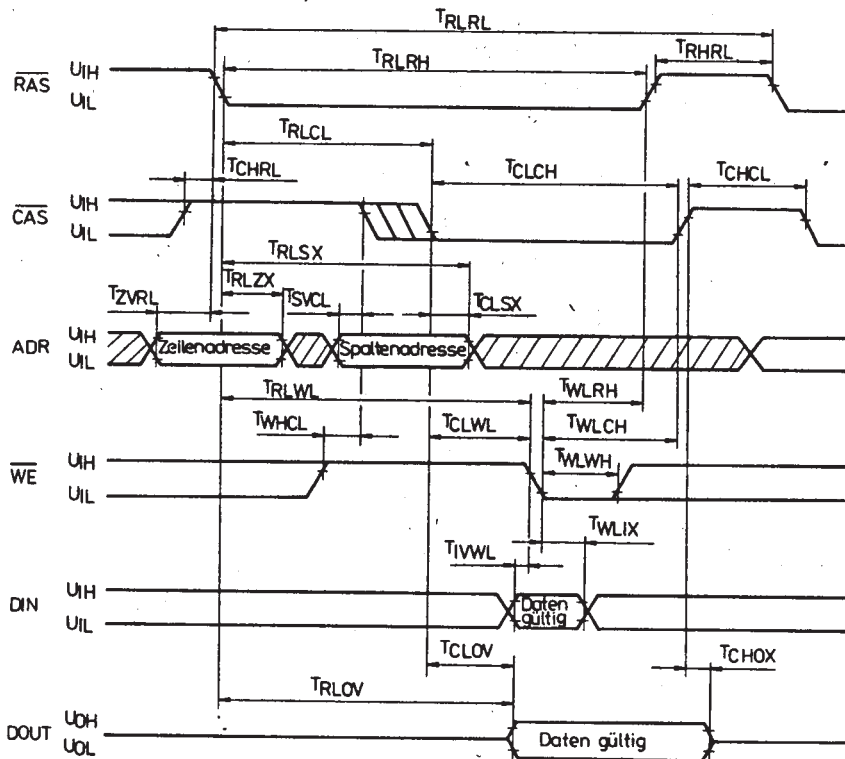


Bild 6 Impulsdiagramm für den READ-MODIFY-WRITE-Zyklus

3.3. Dynamische Schreib-Lese-Speicher (DRAM)

Kenngröße	Kurzzeichen	Einheit	U 2164 C20/, C20/1		U 2164 C25	
			Kleinstwert	Größt- wert	Kleinstwert	Größt- wert
CAS-Vorladezeit (nicht PGM)	t_{CHCL}	ns	45	—	90	—
CAS-RAS-Vorladezeit	t_{CHRL}	ns	—20	—	—20	—
Zeilenadressenvorhaltezeit	t_{ZVRL}	ns	0	—	0	—
Zeilenadressenhaltezeit	t_{RLZX}	ns	30	—	45	—
Spaltenadressenvorhaltezeit	t_{SVCL}	ns	0	—	0	—
Spaltenadressenhaltezeit	t_{CLSX}	ns	45	—	60	—
Spaltenadressenhaltezeit von RAS an Refresh-Periode	t_{RLSX}	ns	135	—	160	—
	t_{REF}	ms	—	2	—	2
READ-Zyklus						
Lesezykluszeit ³⁾	t_{RLRL}	ns	330	—	410	—
RAS-Impulsbreite	t_{RLRH}	ns	200	10 000	250	10 000
CAS-Impulsbreite	t_{CLCH}	ns	110	10 000	150	10 000
Lesekommandovorhaltezeit	t_{WHCL}	ns	0	—	0	—
Lesekommandohaltezeit	t_{RHWL}	ns	0	—	0	—
WRITE-Zyklus						
Schreibzykluszeit ³⁾	t_{RLRL}	ns	330	—	410	—
RAS-Impulsbreite	t_{RLRH}	ns	200	10 000	250	10 000
CAS-Impulsbreite	t_{CLCH}	ns	110	10 000	150	10 000
Schreibkommandovorhaltezeit ⁴⁾	t_{WLCL}	ns	0	—	0	—
Schreibkommandohaltezeit	t_{CLWH}	ns	40	—	50	—

3. Speicher

Kenngröße	Kurzzeichen	Einheit	U 2164 C20/, C20/1		U 2164 C25	
			Kleinstwert	Größt-wert	Kleinstwert	Größt-wert
Schreibkommandohaltezeit von $\overline{\text{RAS}}$ an	t_{RLWH}	ns	130	–	150	–
Schreibkommandoimpulsbreite	t_{WLWH}	ns	45	–	50	–
Schreibkommando-RAS-Vorhaltezeit	t_{WLRH}	ns	50	–	60	–
Dateneingangsvorhaltezeit	t_{IVCL}	ns	0	–	0	–
Dateneingangshaltezeit ⁵⁾	t_{IVWL}	ns				
	t_{CLIX}	ns	45	–	60	–
Dateneingangshaltezeit von $\overline{\text{RAS}}$ an	t_{RLIX}	ns	135	–	160	–
READ-MODIFY-WRITE-Zyklus⁶⁾						
RW-Zykluszeit bei RMW ³⁾	t_{RLRL}	ns	375	–	445	–
RAS-Impulsbreite bei RMW	t_{RLRH}	ns	230	10 000	285	10 000
CAS-Impulsbreite bei RMW	t_{CLCL}	ns	140	10 000	185	10 000
$\overline{\text{RAS}}$ -WRITE-Verzögerungszeit ⁴⁾	t_{RLWL}	ns	175	–	220	–
CAS-WRITE-Verzögerungszeit ⁴⁾	t_{CLWL}	ns	85	–	120	–
Dateneingangshaltezeit ⁵⁾	t_{WLIX}	ns	45	–	65	–
PAGE-MODE-Zyklus⁶⁾						
RW-Zykluszeit im PGM	t_{CLCL}	ns	200	–	280	–
RMW-Zykluszeit im PGM	t_{CLCL}	ns	230	–	315	–
CAS-Vorladezeit im PGM	t_{CHCL}	ns	80	–	120	–

Kenngröße	Kurzzeichen	Einheit	U 2164 C20/, C20/1		U 2164 C25	
			Kleinstwert	Größt-wert	Kleinstwert	Größt-wert
RAS-Impulsbreite im PGM	t_{RLRH}	ns	200	10 000	250	10 000
CAS-Impulsbreite im PGM	t_{CLCH}	ns	110	10 000	150	10 000
CAS-Impulsbreite im PGM-RMW	t_{CLCH}	ns	140	10 000	185	10 000
Lesekommandohaltezeit im PGM	t_{CHWL}	ns	0	—	0	—

- 1) Die L-Eingangsspannung darf nicht länger als 40 ns negativer als $-0,3$ V sein.
- 2) Betrieb innerhalb t_{RLCL} sichert, daß $t_{RLOVmax}$ eingehalten wird. $t_{RLCLmax}$ ist nur als Bezugspunkt angegeben. Wenn $t_{RLCL} > t_{RLCLmax}$, dann wird die Zugriffszeit t_{RLOV} verlängert.
- 3) Die Werte für $t_{RLRLmin}$ werden nur benutzt, um die Zykluszeit anzugeben, bei der die volle Funktion im Temperaturbereich (0 bis 70 °C) gewährleistet wird.
- 4) t_{WLCL} , t_{RLWL} und t_{CLWL} sind keine einschränkenden Betriebskennwerte. Wenn $t_{WLCL} = t_{WLCLmin}$, ist der Zyklus ein EARLY-WRITE-Zyklus und der Datenausgang bleibt während des gesamten CAS-Zyklus hochohmig. Wenn $t_{CLWL} = t_{CLWLmin}$ und $t_{RLWL} = t_{RLWLmin}$, ist der Zyklus ein READ-WRITE-Zyklus, und der Datenausgang gibt die Information der gelesenen Zelle ab. Wird keine dieser Bedingungen erfüllt, ist der Zustand des Datenausgangs (zur Zugriffszeit) unbestimmt.
- 5) Diese Parameter beziehen sich auf CAS in EARLY-WRITE-Zyklen und auf WRITE in DELAYED-WRITE oder READ-MODIFY-WRITE-Zyklus.
- 6) Betriebsbedingungen, die nach Bild 6 im READ-MODIFY-WRITE- und nach Bild 7 bis Bild 9 im PAGE-MODE-Zyklus einzuhalten sind, aber für READ- oder WRITE-Zyklen ebenfalls gelten, ersieht der Leser aus den für diese Betriebsarten betreffenden Tabellen.

Tabelle 3 Grenzwerte

Kennwerte	Kurzzeichen	Einheit	Kleinstwert	Größt-wert
Betriebsspannung	U_{CC}	V	-0,5	7,0
Spannung an allen Ein-/Ausgängen	U_i, U_o	V	2,0	
Verlustleistung	P_{tot}	W	—	1,0
Betriebstemperatur	θ_a	°C	0	70
Lagerungstemperatur	θ_{stg}	°C	-55	155

3. Speicher

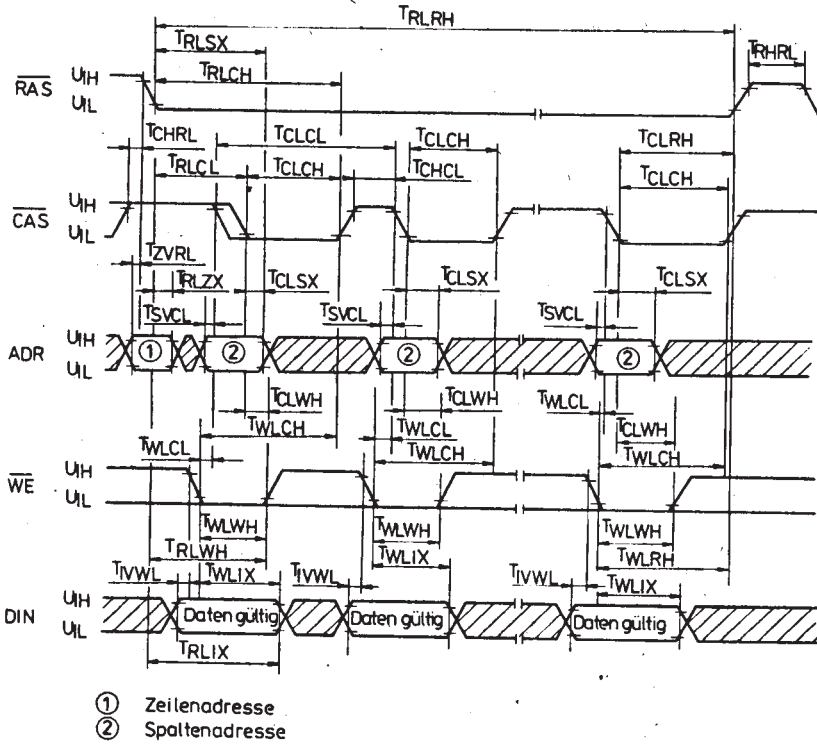


Bild 9 Impulsdiagramm für den PAGE-MODE-READ-MODIFY-WRITE-Zyklus

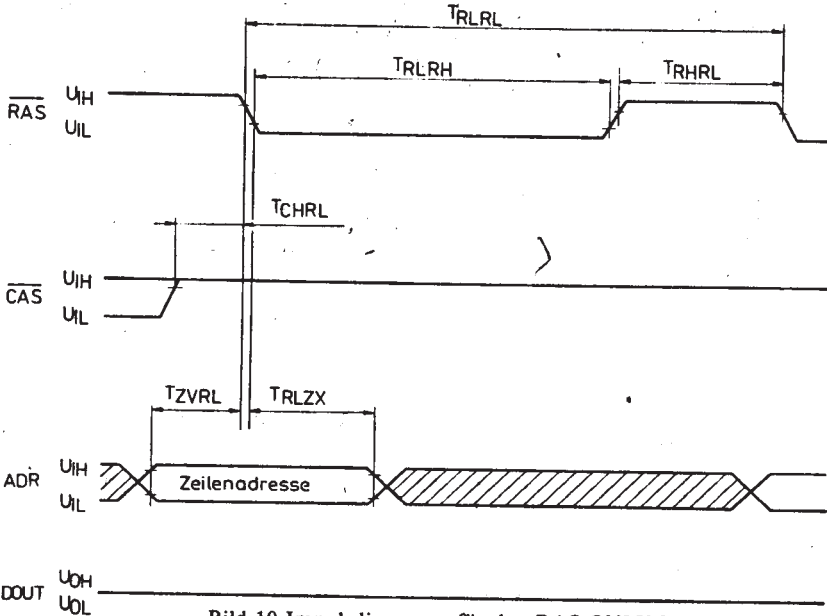


Bild 10 Impulsdiagramm für den RAS-ONLY-REFRESH-Zyklus

Tabelle 2 Haupt- und Nebenkenngrößen

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größt- wert	Einstellwerte
Betriebsstrom (mittlerer Wert bei RAS-CAS-Zyklen)	I_{CCO}	mA	–	55	$t_{RLRL} = t_{RLRL\ min}$
Ruhestrom	I_{CCR}	mA	–	5	$\overline{RAS} = U_{IH}$ DO = hochohmig
Eingangsleckstrom	I_{LI}	μA	–10 –20	10 20	$U_i = 0$ bis $U_{CC\ max}^1)$ $U_{CC} = U_{CC\ max}^1)$
Ausgangsleckstrom	I_{LO}	μA	–10 –20	10 20	$U_o = 0$ bis $U_{CC\ max}^1)$ DO = hochohmig \overline{RAS} und $\overline{CAS} = U_{IH}$ $U_{CC} = U_{CC\ max}^1)$
H-Ausgangsspannung	U_{OH}	V	2,4 2,0	–	$I_o = -4$ mA
L-Ausgangsspannung	U_{OL}	V	–	0,4 0,8	$I_o = 4$ mA
Zugriffszeit von \overline{RAS} aus, U 2164 C20, C20/1	t_{RLOW}	ns	–	200	$t_{RLCL} \leq t_{RLCL\ max}$
Zugriffszeit von \overline{RAS} aus, U 2164 C25	t_{RLOW}	ns	–	250	gemessen mit 2 TTL-Lasten + 100 pF
Zugriffszeit von \overline{CAS} aus, U 2164 C20, C20/1	t_{CLOV}	ns	–	110	gemessen mit 2 TTL-Lasten + 100 pF
Zugriffszeit von \overline{CAS} aus, U 2164 C25	t_{CLOV}	ns	–	150	
Refresh-Strom (mittlerer Wert bei RAS-Zyklen)	t_{CCRAS}	mA	–	40	$\overline{CAS} = U_{IH}$ $t_{RLRL} = t_{RLRL\ min}$
Page-Mode-Strom (mittlerer Wert bei \overline{CAS} -Zyklen)	I_{CCCAS}	mA	–	40	$\overline{RAS} = U_{IL}$ $t_{CLCL} = t_{CLCL\ min}$
Ausgangsabschaltzeit	t_{CHOX}	ns	–	50	0,5 V über LOW 0,5 V unter HIGH ²⁾ $U_{CC} = 5$ V
Eingangskapazität (A0 bis A7, DI)	C_{I1}	pF	–	6	
Eingangskapazität (\overline{RAS} , \overline{CAS} , WRITE)	C_{I2}	pF	–	8	
Ausgangskapazität	C_o	pF	–	7	$\overline{CAS} = U_{IH}$, um DO abzuschalten

1) $U_{CC\ max}$ – Größt- wert der Betriebsspannung für den jeweiligen Typ nach Tabelle 1.

2) $t_{CHO\ max}$ – definiert die Zeit, zu der der Datenausgang hochohmig wird; diese Zeit ist nicht auf einen Pegel bezogen.

4. Periphereschaltkreise

4.1. Parallel-Ein-/Ausgabeschaltkreise *UA 855 D*, *UB 855 D*, *VB 855 D*

TGL 35 837

Vergleichstypen
Z 80 PIO Zilog

Übersicht

- programmierbare Schaltkreise für den Datenverkehr eines Mikroprozessors mit Peripheriebaugruppen
- Taktfrequenzen und Betriebstemperaturbereiche:
 - UA 855 D* 4 MHz 0 bis 70 °C
 - UB 855* 2,5 MHz 0 bis 70 °C
 - VB 855 D* 2,5 MHz -25 bis 85 °C
- 2 TTL-kompatible Kanäle (Ports) zu je 8 bit, bidirektional
- 8 Ausgänge für direkte Ansteuerung von *Darlington*-Transistoren
- Steuerleitungen für Quittungsbetrieb, Prioritäten und Interrupt
- 4 Betriebsarten
- 40poliges DIL-Plastgehäuse
- Stromversorgung 5 V

Beschreibung

Der *U 855 D* hat 2 unabhängige bidirektionale 8-bit-Kanäle mit bedienbarer Datentransfersteuerung (handshaking) und einen interruptgesteuerten Quittungsbetrieb zur schnellen Interruptbearbeitung. Die Kanäle können in einer der vier folgenden Betriebsarten arbeiten:

Byteeingabe, Byteausgabe, bidirektional (nur Kanal A), bit-gesteuerter Mode. Der Kanal B ist für den direkten Anschluß von *Darlington*-Transistoren ausgelegt. Des weiteren ist eine automatische Interrupt-Vektorerzeugung und Prioritätszuordnung ohne zusätzli-

chen Schaltungsaufwand durch Kaskadierung der Bausteine möglich. Bei Interrupt-Prioritätsketten mit mehr als 4 Bausteinen ist eine zusätzliche Logik erforderlich. Zum Betrieb des *U 855 D* ist ein externes Taktsignal nötig. Alle Ein- und Ausgänge sind unter Beachtung der statischen Betriebsbedingungen TTL-kompatibel. Alle Logikpegel an den äußeren Klemmen sind positiv definiert, d. h.,

logisch 1 = H-Pegel;
logisch 0 = L-Pegel.

Befehle

Der *U 855 D* benötigt für den Betrieb folgende Befehle (Steuerworte) vom *U 880 D*:

- Laden des Interruptvektors, entsprechend Interrupt-Mode des *U 880 D*:

D7	D6	D5	D4	D3	D2	D1	D0	Daten-bit
V7	V6	V5	V4	V3	V2	V1	0	Steuerwort
- Festlegung der Betriebsart der Kanäle:								
D7	D6	D5	D4	D3	D2	D1	D0	
0	0	X	X	1	1	1	1	Steuerwort für Betriebsart 0 (Ausgabe)
0	1	X	X	1	1	1	1	Steuerwort für Betriebsart 1 (Eingabe)
1	0	X	X	1	1	1	1	Steuerwort für Betriebsart 2 (bidirektional)
1	1	X	X	1	1	1	1	Steuerwort für Betriebsart 3 (Bitsteuerung)

X = beliebiger Pegel

Die Betriebsart 2 (bidirektional) ist nur für Kanal A möglich. Kanal B ist in diesem Fall

in Betriebsart 3 (Bitsteuerung) ohne Interruptanmeldung (Abfragebetrieb) zu setzen.

- Festlegung, ob eine Interruptanforderung durch einen *U 855 D*-Kanal an den *U 880 D* geschehen darf:

D7	D6	D5	D4	D3	D2	D1	D0	
1	X	X	X	0	0	1	1	Steuerwort für Interrupt möglich
0	X	X	X	0	0	1	1	Steuerwort für Interrupt nicht möglich

- Festlegung, welche periphere Kanal-Datenbusleitung als Eingang oder Ausgang bei Betriebsart 3 (bit-Steuerung) verwendet werden soll:

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

1 = Eingang
0 = Ausgang

- Festlegung des Interruptsteuerworts:

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	0	1	1	1

D7: »1« Interruptanmeldung an den *U 880 D* ist möglich.

»0« *U 855 D*-Kanal ist nicht in der Lage, eine Interruptanmeldung abzugeben.

D6: »1« Interruptanmeldung geschieht bei $D7 = 1$, wenn alle in der Software festgelegten bits einen Interrupt verlangen (UND-Verknüpfung).

»0« Interruptanmeldung geschieht bei $D7 = 1$, wenn mindestens eins der in der Software festgelegten bits einen Interrupt verlangt (ODER-Verknüpfung).

D5: »1« Die Interruptanmeldung geschieht unter Beachtung der Bedingungen $D7$ und $D6$ beim »1«-Pegel (high) des in der Software festgelegten bits.

»0« Die Interruptanmeldung geschieht zusätzlich zu den Bedingungen $D7$ und $D6$ beim 0-Pegel (low) der in der Software festgelegten bits.

D4: »1« Das nachfolgende Steuerwort wird als Interruptmaske für den *U 855 D*-Kanal interpretiert.

»0« Das nachfolgende Steuerwort wird nicht als Interruptmaske für den *U 855 D*-Kanal interpretiert.

- Festlegung der Interruptmaske:
(nur für Betriebsart 3 verwenden).

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

1 = keine Kontrolle auf Interruptanmeldung

0 = Kontrolle auf Interruptanmeldung entsprechend den Festlegungen $D7$, $D6$, $D5$.

Der Abschluß einer Interruptroutine wird vom *U 855 D*, dessen Interruptanmeldung vom *U 880 D* akzeptiert wurde, ebenfalls mitempfangen und zur Rückstellung der Interruptprioritätskette benutzt:

D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	0	1	1	0	1	Befehlscode
0	1	0	0	1	1	0	1	Befehlscode

Steuersignale

B/A SEL Auswahl Kanal B oder A (Eingang, high aktiv)

Dieser Anschluß definiert, welcher der beiden *U 855 D*-Kanäle angesprochen ist.

Low = Kanal A

High = Kanal B

Im Einsatz wird häufig die Adresse $A0$ des *U 880 D* für diese Auswahlfunktion verwendet.

C/D SEL Auswahl Steuerwort/Datenwort (Eingang, high aktiv)

Dieser Anschluß definiert die Art der Information bei einem Transfer zwischen dem *U 880 D* und dem *U 855 D*. High-Pegel an C/D SEL während einer *U 880 D*-Schreiboperation zum *U 855 D* hat zur Folge, daß der *U 855 D* den Inhalt des Datenbusses während dieser Zeit als Steuerwort interpretiert.

Low-Pegel an diesem Anschluß bedeutet, daß der Datenbus zum Transfer von Daten zwischen dem *U 880 D* und dem *U 855 D*

4. Peripherieschaltkreise

	benutzt wird. Im praktischen Einsatz wird häufig die Adresse A1 für die angegebene Auswahlfunktion verwendet.		
CE	Bausteinauswahl (Eingang, low aktiv) Low-Pegel an diesem Anschluß versetzt den <i>U 855 D</i> in die Lage, Steuerworte oder Daten vom <i>U 880 D</i> während einer Schreiboperation zu empfangen bzw. während einer Leseoperation Daten an den <i>U 880 D</i> zu senden. Im Einsatzfall wird dieses Signal meist durch Dekodierung der Adressen A2 bis A7 gewonnen, wenn A0 bis A1 bereits für B/A SEL und C/D SEL verwendet wurden.		dung mit den Signalen B/A SEL, C/D SEL, CE, RD und M1 zum Transport von Befehlen und Daten zwischen dem <i>U 880 D</i> und dem <i>U 855 D</i> verwendet. Sind CE, RD und IORQ aktiv, dann überträgt der mit B/A selektierte Kanal Daten an den <i>U 880 D</i> (Leseoperation). Sind CE und IORQ aktiv, RD und M1 jedoch nicht aktiv, dann schreibt der <i>U 880 D</i> Daten- oder Befehls Worte (je nach Signalvorgabe am C/D-Eingang) in den selektierten Kanal ein (Schreiboperation). Sind M1 und IORQ aktiv, bedeutet das, daß der <i>U 880 D</i> eine Interruptanforderung quittiert, und der interruptanfordernde Kanal, der die höchste Priorität hat, legt seinen Interruptvektor auf den Datenbus.
M1	Maschinenzyklus 1-Signal (Eingang, low aktiv) Dieses Signal bewirkt die Synchronisierung innerer Operationen im <i>U 855 D</i> . Sind die Signale M1 und RD aktiv, dann befindet sich der <i>U 880 D</i> im Befehlsholezyklus (dieser Fall ist für die RETI-Erkennung durch den <i>U 855 D</i> von Bedeutung). Sind M1 und IORQ aktiv, quittiert der <i>U 880 D</i> eine Interruptanforderung. M1 hat im <i>U 855 D</i> 2 weitere Funktionen:		
	1) Das Signal M1 synchronisiert die Interruptlogik des <i>U 855 D</i> . 2) Ist M1 aktiv ohne aktives RD- oder IORQ-Signal, geht der <i>U 855 D</i> in den RESET-Zustand.	RD	Lesezyklus-Signal (Eingang, low aktiv) Mit aktivem RD-Signal wird seitens des <i>U 880 D</i> eine Speicher- oder I/O-Leseoperation gekennzeichnet. Um Daten vom <i>U 855 D</i> zu übertragen, wird das RD-Signal in Verbindung mit den Signalen B/A, C/D, CE und IORQ verwendet.
		IEI	Interrupt-Freigabe-Eingang Dieses Signal wird benötigt, um eine Interruptprioritätskette zu bilden (IEI ist mit IEO des nächsthöherpriorisierten peripheren Schaltkreises verbunden). High-Pegel bedeutet, daß momentan kein Interrupt höherer Priorität abgearbeitet oder angemeldet wird. Ausnahme bei noch nicht bestätigtem Interrupt des aktuell höchstpriorisierten peripheren Schaltkreises und RETI-Dekodierung.
C	Systemtakt (Eingang) Der <i>U 855 D</i> benutzt den Standard-systemtakt (Einphasentakt) des <i>U 880 D</i> -Systems. Dieser sichert die Synchronisation der Signale untereinander ab.		
IORQ	Ein-/Ausgabeanforderung (Eingang, low aktiv) Das Signal IORQ wird in Verbin-	IEO	Interrupt-Freigabe-Ausgang (Ausgang, high-aktiv) IEO führt nur dann High-Pegel, wenn der Eingang IEI desselben

	<p>Schaltkreises High-Pegel erhält und kein eigener Interrupt abgearbeitet oder angemeldet wird (Ausnahme bei noch nicht bestätigtem Interrupt des aktuell höchstpriorisierten peripheren Schaltkreises und RETI-Dekodierung).</p> <p>Auf diese Weise kann verhindert werden, daß Funktionseinheiten mit niederer Priorität einen Interrupt auslösen können, solange von einer Funktionseinheit mit höherer Priorität beim <i>U880D</i> eine Interruptbehandlung angefordert wird.</p>	ARDY	<p>Quittung Kanal A (Ausgang, high aktiv)</p> <p>Bedeutung ist abhängig von Betriebsart</p> <ol style="list-style-type: none"> 1) MODE 0: Das Signal wird aktiv, um anzuzeigen, daß das Ausgaberegister des Kanals geladen ist und daß die Daten abgerufen werden können. Nach Übernahmequittung (steigende Flanke des Strobeimpulses) durch die periphere Schaltung wird das Signal inaktiv. 2) MODE 1: Das Signal ist aktiv, wenn das Eingaberegister des Kanals gelesen und es bereit ist, Daten vom peripheren Gerät zu übernehmen. 3) MODE 2: Das Signal ist aktiv, wenn Daten ins Ausgaberegister vom Kanal A geladen und für einen Transfer zum peripheren Gerät verfügbar sind. In dieser Mode liegen die Daten am Kanal-A-Datenbus nur an, sofern ASTB aktiv ist. 4) MODE 3: Das Signal ist nicht verwendbar und liegt auf Potential »low«.
INT	<p>Interruptanforderung (Ausgang, offenes Drain, low aktiv)</p> <p>Aktivierung des Ausgangs signalisiert dem <i>U880D</i> die Anmeldung eines Interrupts.</p>		
ASTB	<p>Kanal A-Strobe (Eingang, low aktiv)</p> <p>Die Bedeutung dieses Signals hängt von der Betriebsart ab, die für Kanal A gewählt wurde:</p> <ol style="list-style-type: none"> 1) MODE 0: Der Strobeimpuls wird von der Peripherie abgegeben, um die Daten aus dem Ausgaberegister zu übernehmen. Das Ende des Strobeimpulses (positive Flanke) gilt als Quittierung der erfolgten Übernahme. 2) MODE 1: Das Signal wird aktiv, wenn das Eingaberegister des Kanals gelesen und es bereit ist, Daten vom peripheren Gerät zu übernehmen. 3) MODE 2: Das Signal ist aktiv, wenn Daten ins Ausgaberegister vom Kanal A geladen und für einen Transfer zum peripheren Gerät verfügbar sind. In dieser Mode liegen die Daten am Kanal-A-Datenbus nur an, sofern ASTB aktiv ist. 4) MODE 3: Das Signal ist nicht verwendbar und liegt auf Potential »low«. 		
		BSTB	<p>Kanal B-Strobe (Eingang, low aktiv)</p> <p>Bedeutung entsprechend ASTB mit der folgenden Ausnahme:</p> <p>In der bidirektionalen Betriebsart des Kanals A werden mit diesem Signal Daten vom peripheren Gerät in das Eingaberegister des Kanals A eingeschrieben.</p>
		BRDY	<p>Quittung Kanal B (Ausgang, high aktiv)</p> <p>Bedeutung entspricht ARDY mit der folgenden Ausnahme:</p> <p>In der bidirektionalen Betriebsart des Kanals A ist das Signal »high«, wenn das Eingaberegister des Kanals A gelesen und bereit ist, Daten vom peripheren Gerät zu übernehmen.</p>

4. Peripherieschaltkreise

Tabelle 1 Anschlußbezeichnungen

Stift	Bedeutung	Richtung
D0 bis D7	Datenbus	bidirektional
CE	Schaltkreisauswahl	Eingang
C/D	Steuer-/Datenauswahl	Eingang
B/A	Kanalauswahl	Eingang
A0 bis A7	Kanal A Leitungen	bidirektional
U_{SS}	Bezugspotential, OV	
ASTB	Kanal A Abtastimpuls	Eingang
BSTB	Kanal B Abtastimpuls	Eingang
ARDY	Kanal A Quittung	Ausgang
BRDY	Kanal B Quittung	Ausgang
IEO	Interruptfreigabe	Ausgang
IEI	Interruptfreigabe	Eingang
INT	Interruptanforderung	Ausgang
C	Takt	Eingang
U_{CC}	Betriebsspannung	
B0 bis B7	Kanal B Leitungen	bidirektional
RD	Steuerleitung lesen	Eingang
IORQ	Ein-/Ausgabeanforderung	Eingang

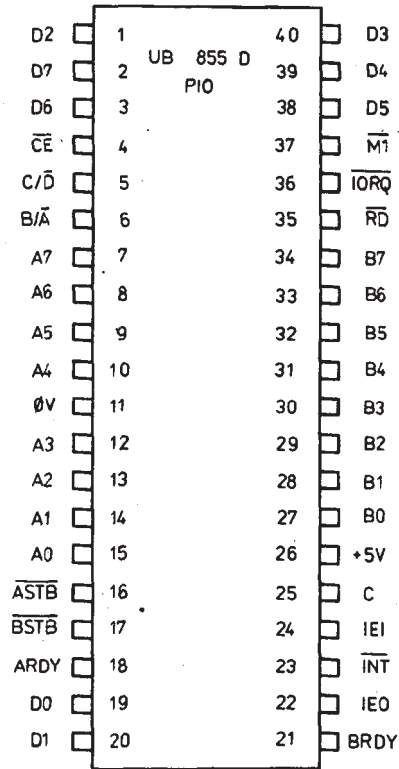


Bild 1 Anschlußbelegung

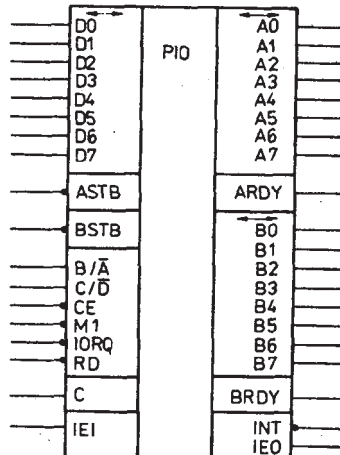


Bild 2 Logiksymbol

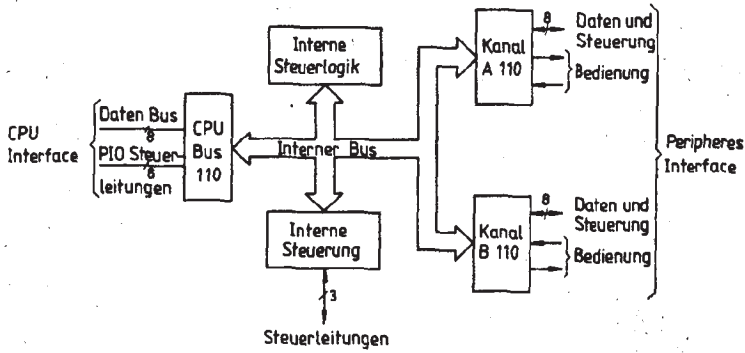


Bild 3
Übersichtsschaltplan

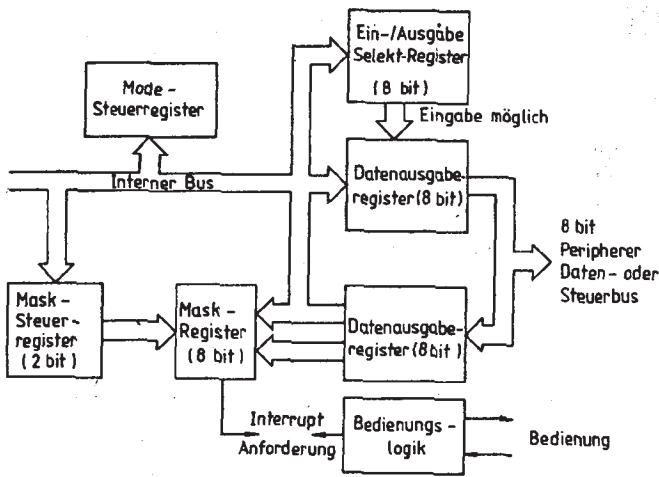


Bild 4
Übersichtsschaltplan eines Kanals

4. Peripherieschaltkreise

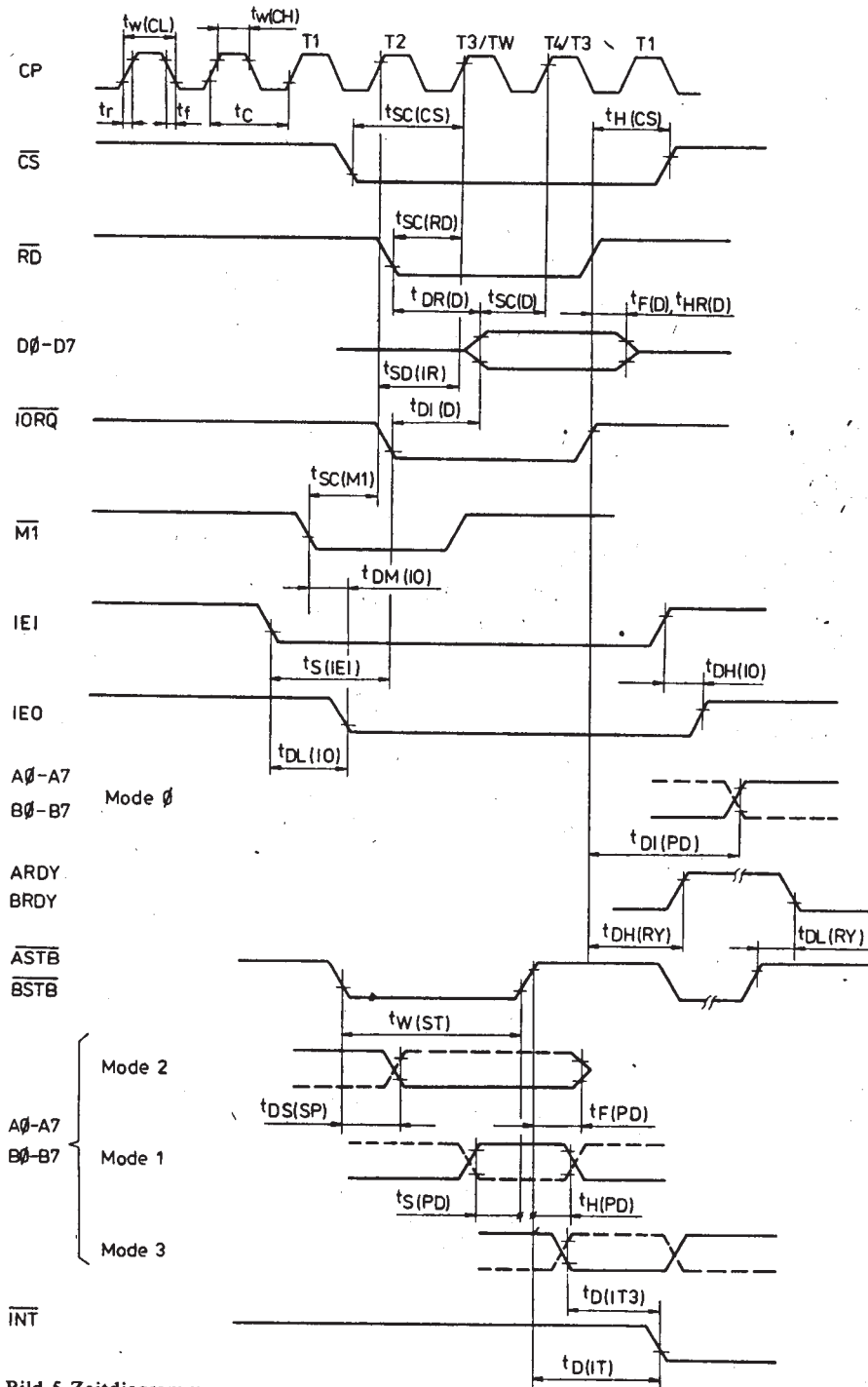


Bild 5 Zeitdiagramm

Tabelle 2 Technische Daten

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Bemerkungen		
Grenzwerte							
Betriebsspannung	U_{CC}	V	-0,5	7			
Eingangsspannung	U_I	V	-0,5	7			
Betriebstemperatur	ϑ_a	°C	0	70	VB 855 D: -25 bis 85 °C		
Lagerungstemperatur	ϑ_{stg}	°C	-55	125			
Verlustleistung	P_V	W		1,1	bei $\vartheta_a = 25$ °C		
Statische Betriebsbedingungen							
Betriebsspannung	U_{CC}	V	4,75	5,25			
Eingangsspannung L	U_{IL}	V	-0,5	0,8			
Eingangsspannung H	U_{IH}	V	2	U_{CC}			
Takteingangsspannung L	U_{ILC}	V	-0,5	0,45			
Takteingangsspannung H	U_{IHC}	V	$U_{CC} - 0,2$	U_{CC}			
Statische Kennwerte							
Ausgangsspannung L	U_{OL}	V		0,4	$I_{OL} = 1,8$ mA		
Ausgangsspannung H	U_{OH}	V	2,4		$I_O = -0,25$ mA		
Eingangsreststrom	I_{LI}	µA		10	$U_I = 0$ und 5,25 V		
Reststrom der Drei-Zustands-	$I_{ILO'}$	µA		10	$U_I = 0$ und 5,25 V		
Ein- und Ausgänge und Interrupt im hochohmigen Zustand	I_{ILINT} I_{ILD}						
Datenbus bei Eingabe Stromaufnahme	I_{CC}	mA		100			
Darlington-Treiberstrom für die Signale Port B	I_{OHD}	mA	-1,5		$U_{OH} = 1,5$ V		
Dynamische Kennwerte, gemessen unter Betriebsbedingungen							
Signal	Verzögerungszeiten	Kurzzeichen	Einheit	UA 855 D		U/VB 855 D	
				Kleinstwert	Größtwert	Kleinstwert	Größtwert
D0 bis D7	Datenausgabe im Lesesyklus zur H/L-Flanke von RD	$t_{DR(D)}$	ns		390		440
	Datenausgabe während eines INTA-Zyklus zur H/L-Flanke von IORQ	$t_{DI(D)}$		160		350	
	Floaten des Datenbusses	$t_{F(D)}$		120		170	

4. Peripherieschaltkreise

Signal	Verzögerungszeiten	Kurzzeichen	Einheit	UA 855 D		U/VB 855 D	
				Kleinstwert	Größt- wert	Kleinstwert	Größt- wert
IEO	IEO, L/H-Flanke von IEI	$t_{DH(IO)}$		170		220	
	IEO, H/L-Flanke von IEI	$t_{DL(IO)}$		140		200	
	IEO, H/L-Flanke von M1	$t_{DM(IO)}$		200 ¹⁾		310	
	IEO, 1. Byte	$t_{D1PH(IO)}$	μs		$1,5t_c + 0,4$		
	IEO, 2. Byte	$t_{D2H(IO)}$			$1,5t_c + 0,4$		
A0 bis A7	Kanaldatausgang zur H/L-Flanke von STROBE in Mode 2	$t_{DS(PD)}$	ns		220		
B0 bis B7	Floaten des Kanals zur L/H-Flanke von STROBE in Mode 2	$t_{F(PD)}$		190		210	
	Kanaldatenstandzeit bezogen auf L/H-Flanke von IORQ während des Schreibzyklus (Mode 0)	$t_{DI(PD)}$		190		210	
INT	INT zur L/H-Flanke von STROBE	$t_{D(IT)}$		450		500	
	INT bei Datenübertragung in Mode 3	$t_{D(IT3)}$		500		660	
RDY	READY zur L/H-Flanke von STROBE	$t_{DL(RY)}$		$t_c + 370$		$t_c + 410$	
BRDY	READY zur L/H-Flanke von IORQ	$t_{DH(RY)}$		$t_c + 420$		$t_c + 470$	
C	Taktperiode	t_c	ns	250		400	*
	High-Breite des Taktes	$t_{w(CH)}$		105		170	2 000
	Low-Breite des Taktes	$t_{w(CL)}$		105		170	2 000
	Anstiegs- und Abfallzeiten des Taktes	t_r				30*	30*
	Alle Haltezeiten für spezifizizierte Setzzeiten	t_H		0		0	
	CE, C/D, B/A	Setzzeit der Steuersignale zu L/H des Taktes während eines Lese- oder Schreibzyklus	$t_{sc(CE)}$		145		280
D0 bis D7	Datensetzzeit zu L/H des Taktes während eines Schreib- oder M1-Zyklus	$t_{sc(D)}$		50		50	
IEI	IEI-Setzzeit zu H/L von IORQ während eines INTA-Zyklus	$t_{s(IEI)}$		140		140	

Signal	Verzögerungszeiten	Kurzzeichen	Einheit	UA 855 D		U/VB 855 D	
				Kleinstwert	Größt-wert	Kleinstwert	Größt-wert
RD	RD-Setzzeit zu L/H von C während eines Lese- oder M1-Zyklus	$t_{sc(RD)}$		115		240	
IORQ	IORQ-Setzzeit zu L/H von C während eines Lese- oder Schreibzyklus	$t_{sc(IR)}$		115		250	
M1	M1-Setzzeit zu L/H von C während eines INTA- oder M1-Zyklus	$t_{sc(M1)}$		90		210	
A0 bis A7, B0 bis B7	Kanaldatensetzzeit zu L/H von STROBE Mode 1	$t_{s(PD)}$		200		230	
ASTB	Impulsbreite STROBE	$t_{w(ST)}$		150		150	
BSTB	Impulsbreite, STROBE Mode 2	$t_{w(ST)}$		$> t_{s(PD)}$		$> t_{s(PD)}$	
RESET	Dauer von M1 für einen RESET-Impuls	$t_{M1(RESET)}$		$2 t_c$		$2 t_c$	
Taktkapazität		C_{CP}	pF			14	
Eingangskapazität		C_1				7	
Ausgangskapazität		C_0				10^2	

1) Wenn sich der Interrupt kurz vor M1 ereignet. Es gilt $2,5 t_c > (N - 2) t_{DL(I0)} + I_{DM(I0)} + t_{s(IE)} + TTL$ -Gatter-Verzögerung.

N = Anzahl der U 855 D in der Prioritätenkette.

2) Die Drei-Zustands-Ein-/Ausgänge sind hinsichtlich der Kapazität wie Ausgänge zu bewerten.

* $t_c = t_{w(CH)} + t_{w(CL)} + t_r + t_f$.

** Bei einer Taktperiode $t_c = 250$ ns muß entsprechend * $t_r, t_f = 20$ ns betragen.

4. Peripherieschaltkreise

4.2. Serielle Ein- und Ausgabeschaltkreise U 856x D

TGL 37 001

Vergleichstypen

Z 80 SIO, Z 80 DART Zilog

Übersicht

- Taktfrequenzen und Betriebstemperaturbereiche:

UA 8560 D	4 MHz	0 bis 70 °C
UB 8560 D	2,5 MHz	0 bis 70 °C
UA 8563 D	4 MHz	0 bis 70 °C,*
UB 8563 D	2,5 MHz	0 bis 70 °C,*
VB 8560 D	2,5 MHz	-25 bis 85 °C
VB 8563 D	2,5 MHz	-25 bis 85 °C,*

* nur für asynchronen Betrieb

- zwei Sender und zwei Empfänger
- asynchrone und synchrone Arbeitsweise
- Paritäts-, Überlauf- und Rahmenfehlererkennung
- Break-Erzeugung und -Erkennung
- Ein- und Ausgänge TTL-kompatibel
- Takteiler 1, 16 und 64
- Datenübertragungsraten von 0 bis 550 kbit/s
- 4 Eingänge/4 Ausgänge zur Modemsteuerung
- Empfänger vierfach, Sender zweifach gepuffert
- HDLC- und SDLC-Betriebsart
- CRC16 oder CCITT-CRC-Blockkontrolle
- Vektor-Interrupt und Prioritätssteuerung

Beschreibung

Zur Programmierung benötigt der U 856 D eine Reihe von Steuerworten, die die gewünschte Grundfunktion einstellen, und andere Steuerbytes, die innerhalb des gewählten Übertragungsmodes bestimmte Bedingungen festlegen. Jeder der beiden Kanäle des U 856 D enthält Befehlsregister (im folgenden Schreibregister WRn; n = 0 bis 7), die mit E/A-Schreibzyklen durch die Systemsoftware zur Festlegung der Funktionsweise des U 856 D programmiert werden müssen.

Über die vorhandenen Statusregister (im folgenden Leseregister RRn; n = 0 bis 2) ist der momentane Funktions- bzw. Fehlerstatus durch eine E/A-Lese-Operation vom U 880 D aus verfügbar.

Der Grundbefehlssatz des U 856 D umfaßt 8 Befehle, die über WR0 aktiviert werden.

Nach Einschalten der Betriebsspannung ist der Schaltkreis durch das Signal RESET oder durch Befehl 3 (Kanal-Reset) in die Anfangsstellung zu bringen.

Register-Beschreibung

Steuerregister

Write-Register 0 (WR0)

- D0; D1; D2

● PNT0; PNT1; PNT2

● 3-bit-Pointer; zeigt dem U 856 D, auf welches Steuer- oder Statusregister der nächste U 880 D-Zugriff geschieht.

● Erstes

U 880 D-Steuerwort-Lesen/-Schreiben nach U 856 D-RESET (Hard- oder Software-RESET) geschieht immer auf U 856 D-RR0/WR0.

● Jeder Steuerwort-Lese-/Schreibzyklus nach einem Lesen/Schreiben auf irgendein U 856 D-Register (außer Schreib-Register 0) geschieht in Richtung RR0/WR0).

- D3; D4; D5

● CMD0; CMD1; CMD2

● 3-bit-Befehlscode

Befehl	CMD2	CMD1	CMD0	Beschreibung
0	0	0	0	NULL-Befehl (keine Wirkung)
1	0	0	1	Sende SDLC-BREAK
2	0	1	0	RESET Extern/Status-Interrupt
3	0	1	1	Kanal-RESET

4	1	0	0	RESET Interrupt beim er- sten Zei- chen
5	1	0	1	RESET Sende- Interrupt
6	1	1	0	Error- RESET
7	1	1	1	RETI (nur Kanal A)

- **Befehl 0**
Verwendung, wenn nur Pointer PNT0 bis PNT2 für nachfolgendes Byte gesetzt werden soll (Adressierung eines Registers),
- **Befehl 1**
Erzeugt im SDLC-Mode eine Folge von 8 bis 13 Eins-bits.
- **Befehl 2**
Nach externem oder Statusinterrupt (Änderung auf Modem-Leitung, BREAK, Änderung des Synchronisations-Zustands, Senden von CRC- oder Synchronisationszeichen nach Daten senden) werden die Status-bits von RR0 gespeichert. Befehl 2 aktiviert sie erneut und erlaubt einen neuerlichen Interrupt.
- **Befehl 3**
Wirkt wie Extern-RESET, jedoch nur auf einem Kanal. Befehl 3 auf Kanal A setzt außerdem Interruptprioritätslogik zurück. Steuerregister des entsprechenden Kanals müssen neu initialisiert werden. *U880D*-Zugriff auf *U856D* frühestens 4 Systemtaktzyklen nach RESET.
- **Befehl 4**
Aussenden ermöglicht nach einem erfolgreichen »Interrupt beim ersten Zeichen« einen neuerlichen Interrupt dieses Modes.
- **Befehl 5**
Ist auszusenden, um einem Interrupt bei leerem Sendepuffer Genüge zu tun, wenn keine Daten mehr zu senden sind.
Neuerliche Interrupte geschehen nach diesem Befehl erst, wenn neue Daten

zum *U856D* geschrieben wurden und der Sendepuffer leer wird.

- **Befehl 6**
Paritäts- und Überlauflfehler bleiben im Statusregister 1 so lange gespeichert, bis sie mit Befehl 6 rückgesetzt werden (Fehlerkontrolle am Blockende möglich).
- **Befehl 7**
Wird wie ein RETI-Befehl auf dem Datenbus (ED4D) interpretiert, d. h., das Interrupt-Service-Latch der internen Interruptquelle (Sender, Empfänger) wird rückgesetzt (gilt nur für Kanal A).

- D6; D7
- CRC-RESET-Code
- CRC R1 CRC R0

0	0	Null-Code (keine Wirkung)
0	1	RESET-Empfangs-CRC-Checker
1	0	RESET-Sende-CRC-Generator
1	1	RESET-CRC/SYNC-Sende-Flip-Flop

Write-Register 1 (WRI)

Register für die Auswahl der Interruptmodes und WAIT/READY-Modes.

- D0
Ext-INT-Enable-bit.
Erlaubt Interrupts als Folge von Zustandsänderungen auf den DCD-, CTS- oder SYNC-Leitungen sowie als Folge eines BREAK's oder beim Senden von CRC- oder SYNC-Zeichen.
 - D1
Trans-INT-Enable-bit.
Erlaubt Interrupts beim Leerwerden des Sendepuffers.
 - D2
Statusabhängiger INT-Vektor (bei gesetztem bit D2, nur in Kanal B programmierbar).
- | | | | |
|----|----|----|---|
| V3 | V2 | V1 | |
| x | 0 | 0 | Sendepuffer leer |
| x | 0 | 1 | Ext/Status Bedingung |
| x | 1 | 0 | Empfangenes Zeichen steht zur Verfügung |

4. Peripherieschaltkreise

x 1 1 Besondere Empfängerbedingung: Bei Empfänger-Interrupt Mode 2 Overrun-Fehler, Rahmenfehler, Rahmenende (SDLC)

x = 0 für Kanal B, x = 1 für Kanal A
Bei rückgesetztem D2 wird der programmierte Vektor unverändert ausgesendet.

- D3, D4

- Empfänger-Interruptmodes.

Die bits D3 und D4 legen den Interruptmode fest:

EI-Mode	D4	D3	
0	0	0	Empfänger-Interrupts gesperrt
1	0	1	Empfänger-Interrupts beim ersten Zeichen
2	1	0	Empfänger-Interrupts bei jedem Zeichen Paritätsfehler ändert Vektor
3	1	1	Empfänger-Interrupts bei jedem Zeichen Paritätsfehler ändert Vektor nicht

- D5

- WAIT/READY beim Empfänger oder Sender.

Ist WAIT- bzw. READY-Mode aktiviert, verursacht entweder der Zustand »Sendepuffer voll« (D5 = 0) oder »Empfänger leer« (D5 = 1) den WAIT-aktiv- bzw. READY-inaktiv-Zustand des Ausgangs.

- D6

- READY-Funktion/WAIT-Funktion (D6 = 1/D6 = 0) Funktionsauswahl.
- WAIT-Funktion: nur dann aktiv, wenn der *U880D* versucht, Daten vom *U856D* zu lesen, die noch nicht vollständig empfangen sind, oder versucht, Daten zum *U856D* zu schreiben, obwohl sein Sendepuffer voll ist (abhängig von Adressierung des *U856D*); Ausgang ist als Open-Drain geschaltet und folgt der fallenden Flanke des Systemtaktes.

- READY-Funktion: nach Auswahl und Freigabe ist der Ausgang jederzeit als Bereitschaftsanzeige wirksam, unabhängig von der *U856D*-Adressierung.

Ausgang folgt der steigenden Flanke des Systemtaktes.

- D7

- WAIT/READY-Freigabe.
- Freigabe der mit D6 spezifizierten Funktion bei D7 = 1.
- Bei D7 = 0 ist der Ausgang auf High-Pegel (D6 = 1) oder hochohmig (D6 = 0).

Write Register 2 (WR2)

Interrupt-Vektor-Register (existiert nur in Kanal B).

- Beim Lesen werden V4 bis V7 und V0 wie eingeschrieben geliefert, V1 bis V3 sind entweder ebenfalls fest (WR1 D2 = 0) oder statusabhängig (WR1 D2 = 1).

Write Register 3 (WR3)

WR3 enthält einen Teil der Steuer-bits für den Empfänger.

- D0

- Empfänger-Freigabe.
- D0 = 1 erlaubt den Beginn jeglicher Empfängeroperationen.
- SYNC-Zeichen-Ladesperre.
- Bei D1 = 1 werden einer Meldung vorangehende SYNC-Zeichen nicht mit in den Empfangspuffer geladen.
- CRC-Berechnung wird durch das Unterdrücken der SYNC-Zeichen nicht gestoppt.

- D2

- Adreß-Erkennungsmodus (nur für SDLC-Betrieb) bei D2 = 1.
- Bei D2 = 1 werden Zeichenfolgen, deren Adreßbyte nicht mit der programmierten oder der Global-Adresse 1111 1111 übereinstimmen, zurückgewiesen.

- D3

- Empfänger-CRC-Freigabe.
- D3 = 1 startet die CRC-Berechnung bei der Übernahme des nächsten Zeichens vom Empfangsregister zum Puffer.

- D4
 - Beginne Fangbetrieb.
 - Bei verlorener Zeichensynchronisation oder im Fall, daß der Inhalt eines Datenfelds nicht benötigt wird, beginnt mit dem Setzen dieses bits der SYNC-Zeichen-Suchlauf neu.
- D5
 - Auto-Enable-Mode.
 - Bei D5 = 1 fungieren die DCD- und CTS-Eingänge als Empfänger- und Senderfreigabeleitungen.
 - Bei D5 = 0 wirken die o. g. Eingänge nur auf ihre entsprechenden bits in RR0 (Allgebrauchseingänge).

- D6, D7
 - Empfängerwortlänge 1 (D7); Empfängerwortlänge 0 (D6).

D7	D6	bits/Zeichen
0	0	5
1	0	6
0	1	7
1	1	8

Write-Register 4 (WR4)

WR4 enthält Steuerbits für Sender und Empfänger.

- D0
 - Parität.
 - D0 = 1 bewirkt, daß sendeseitig ein Paritäts-bit erzeugt und empfangsseitig ein solches erwartet und geprüft wird.
- D1
 - Gerade/ungerade Parität (D1 = 1 entspricht gerader Parität).
- D2, D3
 - Stop-bit-Anzahl 1 (D3); Stop-bit-Anzahl 0 (D2)

D3	D2	Stop-bits
0	0	keine (Synchronmode)
0	1	1
1	0	1½
1	1	2

- D4, D5
 - Auswahl-bits für die verschiedenen Synchronmodes (bei Asynchronmodes nicht signifikant).
- | D5 | D4 | SYNC-Mode |
|----|----|-----------|
| 0 | 0 | Mono-SYNC |
| 0 | 1 | Bi-SYNC |

1	0	SDLC-Mode (0111 1110-Flag)
1	1	Extern-SYNC-Mode

- D6, D7
 - Taktfaktor 1 (D7); Taktfaktor 0 (D6).
 - Legt Faktor zwischen Empfänger-/Sendertakt und Datenrate fest.
 - Für SYNC-Mode immer x1; x1 für Asynchronmodes erfordert externe bit-synchronisation.
 - Systemtakt mindestens 4,5mal größer als Empfänger-Sendertakt.

D7	D6	
0	0	Datenrate mal 1 = Taktfrequenz
0	1	Datenrate mal 16 = Taktfrequenz
1	0	Datenrate mal 32 = Taktfrequenz
1	1	Datenrate mal 64 = Taktfrequenz

Write-Register 5 (WR5)

Steuerregister für den Sender (außer D2, das auch Empfänger beeinflusst).

- D0
 - Sender-CRC-Freigabe.
 - Ist dieses bit zum Zeitpunkt des Ladens eines Zeichens vom Sendepuffer in das Sendeschieberegister gesetzt, wird dieses Zeichen in die CRC-Berechnung einbezogen.
 - Automatisches CRC-Senden bei leerem Puffer geschieht nur bei gesetztem bit D0.
- D1
 - Steuer-bit für RTS-Ausgang.
 - D1 = 1: RTS-Ausgang Low (in ASYNC).
 - D1 = 0: RTS-Ausgang High, aber erst dann, wenn Sender leer ist (ASYNC).
Im Synchronbetrieb folgt der RTS-Anschluß direkt dem Zustand des RTS-bits.
- D2
 - Prüfpolynom-Selektierung.
 - D2 = 0: $P(x) = x^{16} + x^{12} + x^5 + 1$ (SDLC-Polynom),
D2 = 1: $P(x) = x^{16} + x^{15} + x^2 + 1$ (CRC-CCITT-Polynom).

4. Peripherieschaltkreise

- D3

- Senderfreigabe.
- Datenausgabe bleibt blockiert und TxD auf High (Marking), bis D3 = 1.
- Bei Rücksetzen von D3 wird das momentane Zeichen voll ausgesendet, jedoch Senden von CRC-Bytes wird unterbrochen.

- D4

- BREAK-Erzeugung.
- Bewirkt sofortiges Aussenden von Low an TxD, jedes andere Senden wird unterbrochen, Daten gehen verloren.

- D5, D6

- Sendewortlänge 1 (D5); Sendewortlänge 0 (D6).

D6	D5	bits/Zeichen
0	0	5 oder weniger
1	0	6
0	1	7
1	1	8

- Alle bits sind rechtsbündig; D0 wird zuerst gesendet. Bei »5 oder weniger« bits können 1 bis 5 bits gesendet werden, wobei die Daten laut Tafel formatiert sein müssen:

D7	D6	D5	D4	D3	D2	D1	D0	
1	1	1	1	0	0	0	D	sendet 1 bit
1	1	1	0	0	0	D	D	sendet 2 bits
1	1	0	0	0	D	D	D	sendet 3 bits
1	0	0	0	D	D	D	D	sendet 4 bits
0	0	0	D	D	D	D	D	sendet 5 bits

- D7

- Steuer-bit für DTR-Ausgang.
- D7 = 1: DTR-Ausgang = Low; D7 = 0; DTR-Ausgang = High.

Write-Register 6 (WR6)

Das erste Synchronbyte einer Bi-SYNC-Sequenz.
Mode gesendet.

Write-Register 7 (WR7)

Das zweite Synchronbyte einer Bi-SYNC-Sequenz.

Statusregister

Read-Register 0 (RR0)

- D0

- Zeichen im Empfängerpuffer.
- D0 = 1, wenn mindestens ein Zeichen in den Empfängerpuffern verfügbar ist.

- D1 (nur in Kanal A)

- Interrupt aktiv.
- Jegliche momentan vorhandene Interruptbedingung im U856D setzt dieses bit.
- D1 in Kanal B ist ständig Null.

- D2

- Sendepuffer leer.
- D2 = 1, wenn der Sendepuffer leer ist, außer beim CRC-Senden in Synchronmodes.

- D3

- DCD-Eingangs-Status.
- Zeigt Zustand des DCD-Anschluß zum Zeitpunkt der letzten Änderung eines der 5 Status-bits (DCD, CTS, SYNC/HUNT; BREAK/SDLC-BREAK, CRC/SYNC-Sendezustand).
- Zum Lesen des momentanen Status muß dieses bit unmittelbar nach dem Befehl 2 gelesen werden.

- D4

- SYNC/HUNT-Statusbit.
- Im Asynchronmode korrespondierendes bit zu SYNC-Eingang.
- Im Synchronmodes im HUNT-(Fang-)Betrieb gesetzt, nach erfolgter Zeichensynchronisation rückgesetzt, erneutes Setzen nach Befehl »Beginne Fangbetrieb«.

- D5

- CTS-Eingang-Status.
- Zeigt den Zustand des CTS-Eingangs (invertiert).

- D6

- CRC/SYNC-Sendezustand.
- Ist D6 gesetzt und D2 (Sendepuffer leer) rückgesetzt, wird momentan der CRC-Code gesendet.
- Ist D6 gesetzt und D2 ebenfalls, werden momentan SYNC's gesendet.
- In Synchronmodes wird CRC beim ersten Auftreten eines leeren Senders innerhalb einer Meldung gesendet. Sta-

tusinterrupts (wenn freigegeben) werden nur bei gesetztem bit erzeugt.

- D7

- BREAK/SDLC-BREAK-Sendezustand.
- Im Asynchronbetrieb wird dieses bit durch Erkennen eines BREAK gesetzt.
- Das Setzen erzeugt einen Statusinterrupt (wenn freigegeben).
- Nach Befehl 2 wird das bit beim Ende des BREAK rückgesetzt.
- Im SDLC-Mode ist dieses bit beim Erkennen einer Abbruchsequenz (7 oder mehr Einsen) gesetzt.

READ-Register 1 (RR1)

- D0

- Sender leer (im Asynchronbetrieb).
- Gesetzt, wenn Sender (Sendepuffer und -Schieberegister) vollständig leer ist.
- Keine Interrupterzeugung.
- In Synchronmodes immer gesetzt.

- D1, D2, D3

- Residuen-Code-bits.
- Diese bits markieren die Länge des I-Feldes im SDLC-Format in Fällen, in denen das I-Feld kein ganzzahliges Vielfaches der programmierten Zeichenlänge ist.
- Nur bei Transfers nach gesetztem »Rahmenende«-bit gültig.
- Bei einem auf 8 bit/Zeichen gesetztem Empfänger zeigen die bits folgendes:

D3	D2	D1	I-Feld-bits im letzten Byte	I-Feld-bits im vorletzten Byte
1	0	0	0	3
0	1	0	0	4
1	1	0	0	5
0	0	1	0	6
1	0	1	0	7
0	1	1	0	8
1	1	1	1	8
0	0	0	2	8

Bei anderer Zeichenlänge können ähnliche Code-Tafeln konstruiert werden.

Falls kein Rest bleibt, gilt immer:

D3	D2	D1
0	1	1

- D4

- Paritätsfehler.
- Bei aktivierter Paritätskontrolle wird dieses bit bei falscher Parität gesetzt. Es bleibt bis zu einem Befehl 6 gespeichert.

- D5

- Empfänger-Overrun.
- Zeigt Empfänger-Überlauf an und bleibt bis zur Programmierung eines Befehls 6 (Error-RESET) gespeichert.
- Ist »Statusabhängiger Interrupt-Vektor« freigegeben, wird ein Interrupt-Vektor (bei »spezieller Empfangsbedingung«) erzeugt.

- D6

- CRC/Zeichenrahmenfehler.
- Im Asynchronbetrieb bei Erkennen eines Zeichenrahmenfehlers nur während des jeweiligen falschen Zeichens gesetzt. In diesem Fall wird automatisch eine halbe bit-Zeit addiert, um eine Interpretation als Start-bit zu vermeiden.
- Im Synchronbetrieb zeigt das bit das Ergebnis des CRC-Vergleichs an.

- D7

- Rahmenende.
- Zeigt im SDLC-Mode ein gültig empfangenes End-Flag und damit die Gültigkeit des CRC-Test- und Residuen-Codes an.

Read-Register 2 (RR2)

Falls kein statusabhängiger Vektor (WR1, D2 = 0) initialisiert wurde.

Entsprechend dem gerade angenommenen höchstpriorisierten Interrupt.

Falls kein Interrupt anliegt, sind V3 = 0, V2 = 1 und V1 = 1, der Rest wie programmiert:

D7	D6	D5	D4	D3	D2	D1	D0
V7	V6	V5	V4	V3	V2	V1	V0

4. Peripherieschaltkreise

Tabelle 1 Anschlußbezeichnungen

Symbol	Richtung	Bedeutung
D0 bis D7	bidirektional	Datenleitungen, bidirektional
CE	Eingang	Schaltkreisauswahl
RESET	Eingang	Rücksetzen
M1	Eingang	CPU-Maschinenzyklus
RD	Eingang	Steuersignal Lesen
RxDA	Eingang	Empfangsdaten Kanal A
RxDB	Eingang	Empfangsdaten Kanal B
RxCA	Eingang	Empfängertakt Kanal A
RxCB	Eingang	Empfängertakt Kanal B
TxCA	Eingang	Sendertakt Kanal A
TxCB	Eingang	Sendertakt Kanal B
CTSA	Eingang	Sendebereitschaft Kanal A
CTSB	Eingang	Sendebereitschaft Kanal B
DCDA	Eingang	Datenträger erkannt Kanal A
DCDB	Eingang	Datenträger erkannt Kanal B
B/A	Eingang	Kanalauswahl
C/D	Eingang	Auswahl Steuerung/Daten
IEI	Eingang	Interruptfreigabe
IEO	Ausgang	Interruptfreigabe
INT	Ausgang	Interruptanforderung
TxDA	Ausgang	Sendedaten Kanal A
TxDB	Ausgang	Sendedaten Kanal B
W/RDYA	Ausgang	Fertigmeldung an CPU von Kanal A
W/RDYB	Ausgang	Fertigmeldung an CPU von Kanal B
SYNCA	bidirektional	externe Synchronisation Kanal A
SYNCB	bidirektional	externe Synchronisation Kanal B

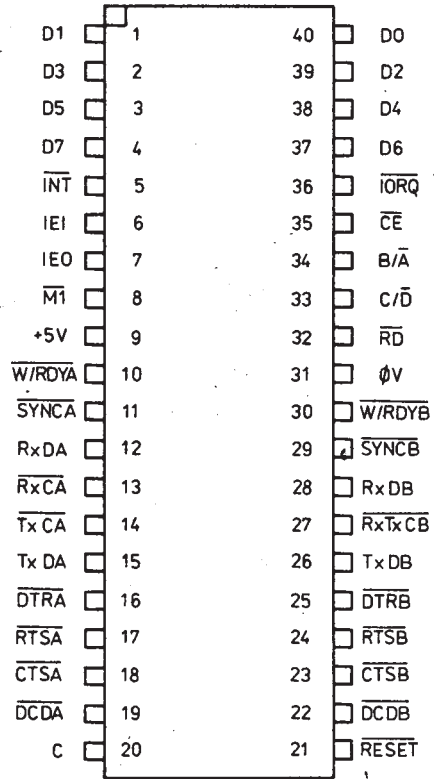


Bild 1
Anschlußbelegung
UA 856 D, UB 856 D, VB 856 D

Symbol	Richtung	Bedeutung
RTSA	Ausgang	Sendeanforderung Kanal A
RTSB	Ausgang	Sendeanforderung Kanal B
C	Eingang	Systemtakt
DTRA	Ausgang	Bereitschaft Kanal A
DTRB	Ausgang	Bereitschaft Kanal B

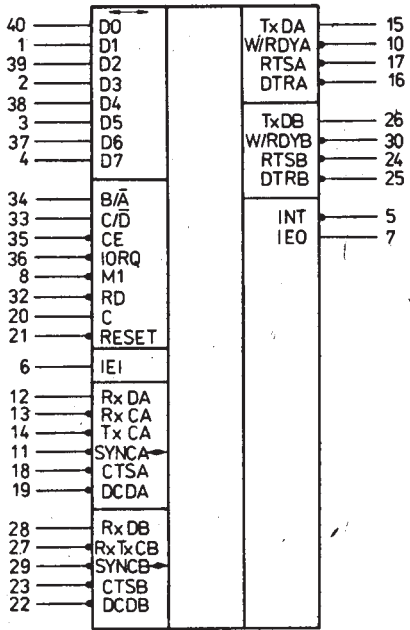


Bild 2
Logiksymbol
UA 856 D, UB 856 D, VB 856 D

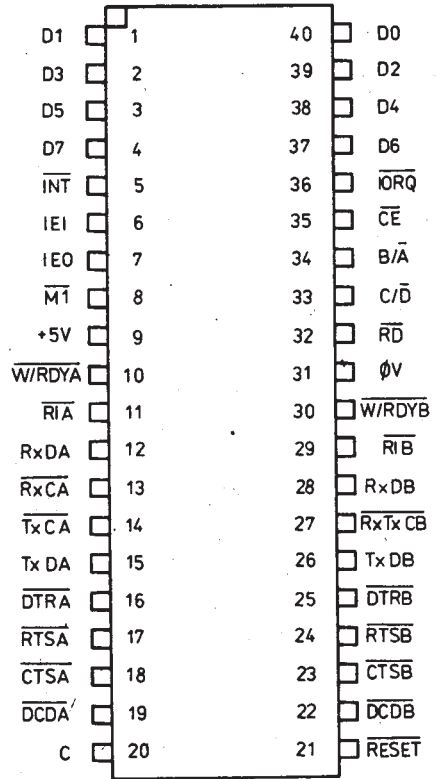


Bild 3
Anschlußbelegung
UA 8563 D, UB 8563 D, VB 8563 D

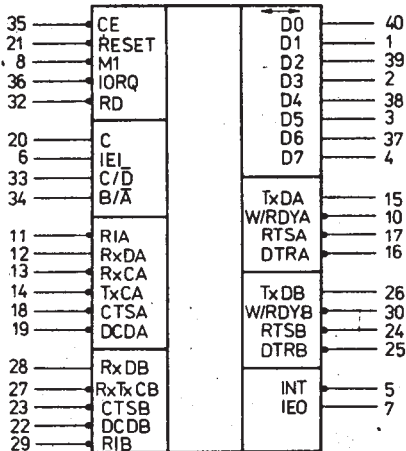


Bild 4
Logiksymbol
UA 8563 D, UB 8563 D, VB 8563 D

4. Peripherieschaltkreise

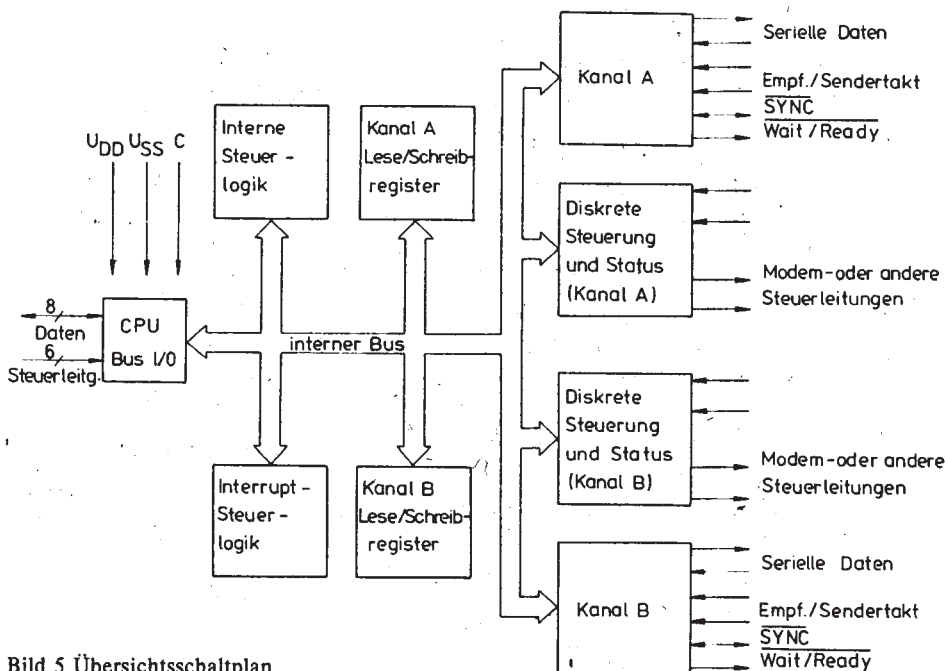


Bild 5 Übersichtsschaltplan

Tabelle 2 Technische Daten

Grenzwerte bei $\vartheta_a = 0$ bis 70°C

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
Betriebsspannung	U_{CC}	V	-0,5	7 ³⁾
Eingangsspannung	U_I		-0,5	7
Verlustleistung	P	W		1,1 ⁴⁾
Lagerungstemperaturbereich	ϑ_{stg}	$^\circ\text{C}$	-55 bis 125 ⁵⁾	

Statische Kennwerte

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Bemerkung
Betriebsspannung	U_{CC}	V	4,75	5,25	
Eingangsspannung L	U_{IL}	V	-0,5	0,8	
Eingangsspannung H	U_{IH}	V	2	U_{CC}	
Takteingangsspannung L	U_{ILC}	V	-0,5	0,45	
Takteingangsspannung H	U_{IHC}	V	$U_{CC}-0,5$	$U_{CC}+0,3$	
Ausgangsspannung L	U_{OL}	V		0,4	

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Bemerkung
Ausgangsspannung H	U_{OH}	V	2,4		
Betriebstemperaturbereich	ϑ_a	°C	0 bis 70		VB 856 D: -25 bis 85 °C
Eingangsreststrom	I_{IL}	µA		10	
Reststrom des Datenbusses bei Eingabe	I_{ILD}			20	
Reststrom der SYNC-Anschlüsse	I_{ILSY}		-80	20	
Stromaufnahme	I_{CC}	mA		130	

Dynamische Kennwerte, gemessen unter Betriebsbedingungen

Signal	Kenngröße	Kurzzeichen	Einheit	UA 856 D		U/VB 856 D		Bemerkungen
				Kleinstwert	Größtwert	Kleinstwert	Größtwert	
C	Taktperiode	t_c	ns	250	*6)	400	*6)	
	High-Breite des Taktes	$t_{w(CH)}$		105	2 000	170	2 000	
	Low-Breite des Taktes	$t_{w(CL)}$		105	2 000	170	2 000	
	Anstiegs- und Abfallzeiten des Taktes	t_r, t_f			30		30	*7)
	Alle Haltezeiten für spezifische Setzzeiten	t_H		0		0		
CE, IORQ, C/D, B/A	Setzzeiten des Steuersignals zu L/H des Taktes während eines Lese- oder Schreibzyklus	$t_{SC(CE)}$		145		160		
D0 bis D7	Datensetzzeit zu L/H des Taktes während eines Schreib- oder M1-Zyklus	$t_{SC(D)}$		50		50		
IEI	IEI-Setzzeit zu H/L von IORQ während eines INTA-Zyklus	$t_{S(IEI)}$		140	200			
RD	RD-Setzzeit zu L/H von C	t_{SRC}		115	240			
M1	M1-Setzzeit zu L/H von C während eines INTA- oder M1-Zyklus	$t_{SC(M1)}$		90		210		

4. Peripherieschaltkreise

Signal	Kenngröße	Kurz- zei- chen	Ein- heit	UA 856 D		U/VB 856 D		Bemer- kungen
				Kleinst- wert	Größt- wert	Kleinst- wert	Größt- wert	
CTS, DCD, SYNC	Minimale Dauer des H-Pegels	$t_{w(PH)}$		200		200		
	Minimale Dauer des L-Pegels	$t_{w(PL)}$		200		200		
	Vorbereitungszeit des Synchronisationsimpulses bis L/H von RxC, Betriebsart: externe Synchronisation	$t_{SL(SY)}$		100		100		
	SYNC-Impulsbreite zum Auslösen des Zeichenempfanges	$t_{w(SY)}$		1		1		*7)
TxC	Periode des Sendetaktes	$t_{c(TxC)}$	ns	400		400		*9)
	Dauer des H-Pegels des Sendetaktes	$t_{w(TCH)}$		180		180		
	Dauer des L-Pegels des Sendetaktes	$t_{w(TCL)}$		180		180		
RxC	Periode des Empfängertaktes	$t_{c(RxC)}$		400		400		
	H-Pegeldauer des Empfängertaktes	$t_{w(RCH)}$		180		180		
	L-Pegeldauer des Empfängertaktes	$t_{w(RCL)}$		180		180		
RxD	Setzzeit zur L/H-Flanke von RxC, x1-Betrieb	$t_{s(RxC)}$		0		0		
	Haltezeit nach L/H-Flanke von RxC, x1-Betrieb	$t_{h(RxC)}$		140		140		

Anmerkungen:

RESET muß mindestens für einen vollen Taktzyklus (C) aktiv sein.

3) Spannungen bezogen auf $U_{SS} = 0 V$.

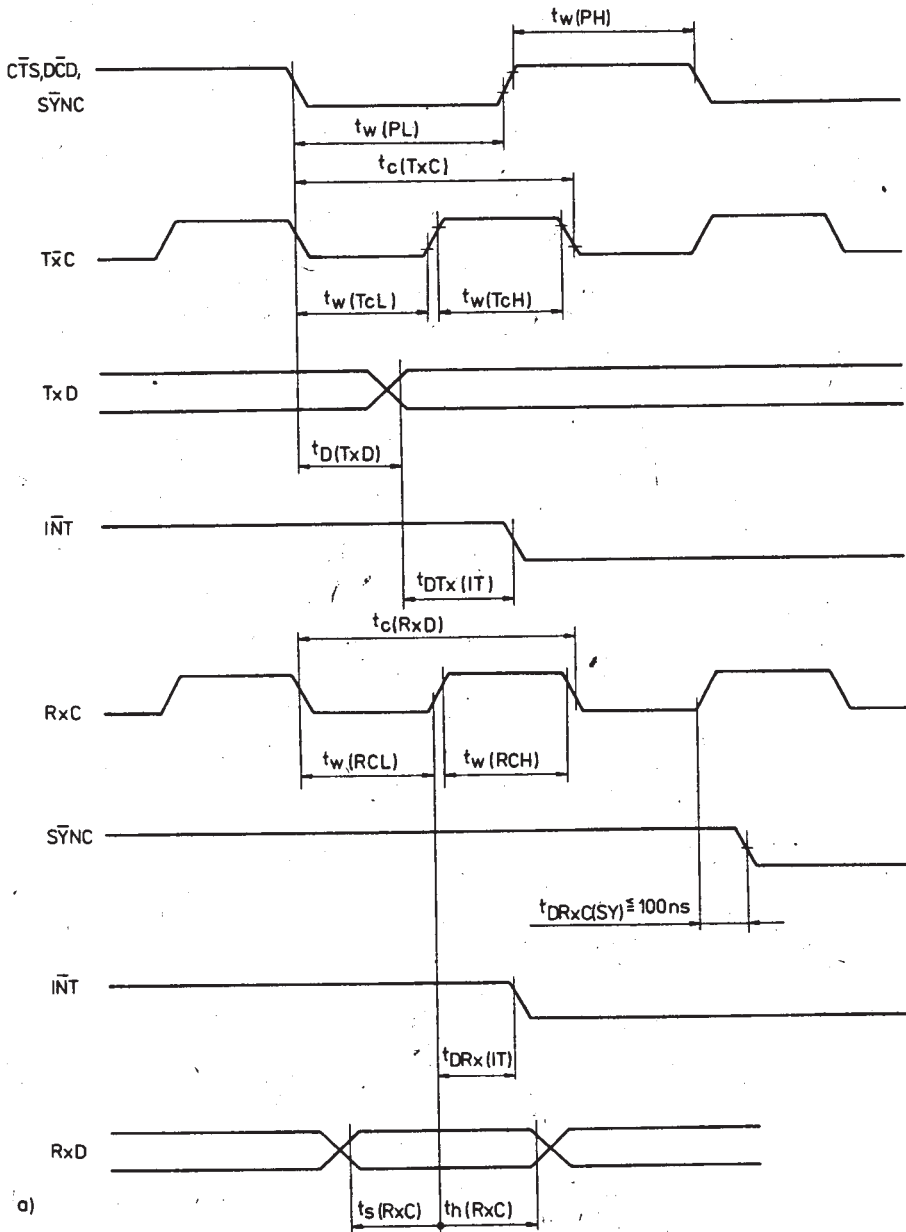
4) Bei $\vartheta_a = 25^\circ C$.

5) Lagerzeitraum nach TGL 24 951,

6) $t_o = t_{w(CH)} + t_{w(CL)} + t_r + t_f$.

7) Bei einer Taktperiode $t_o = 250 ns$ muß entsprechend Fußnote 6) $t_r, t_f = 20 ns$ betragen.

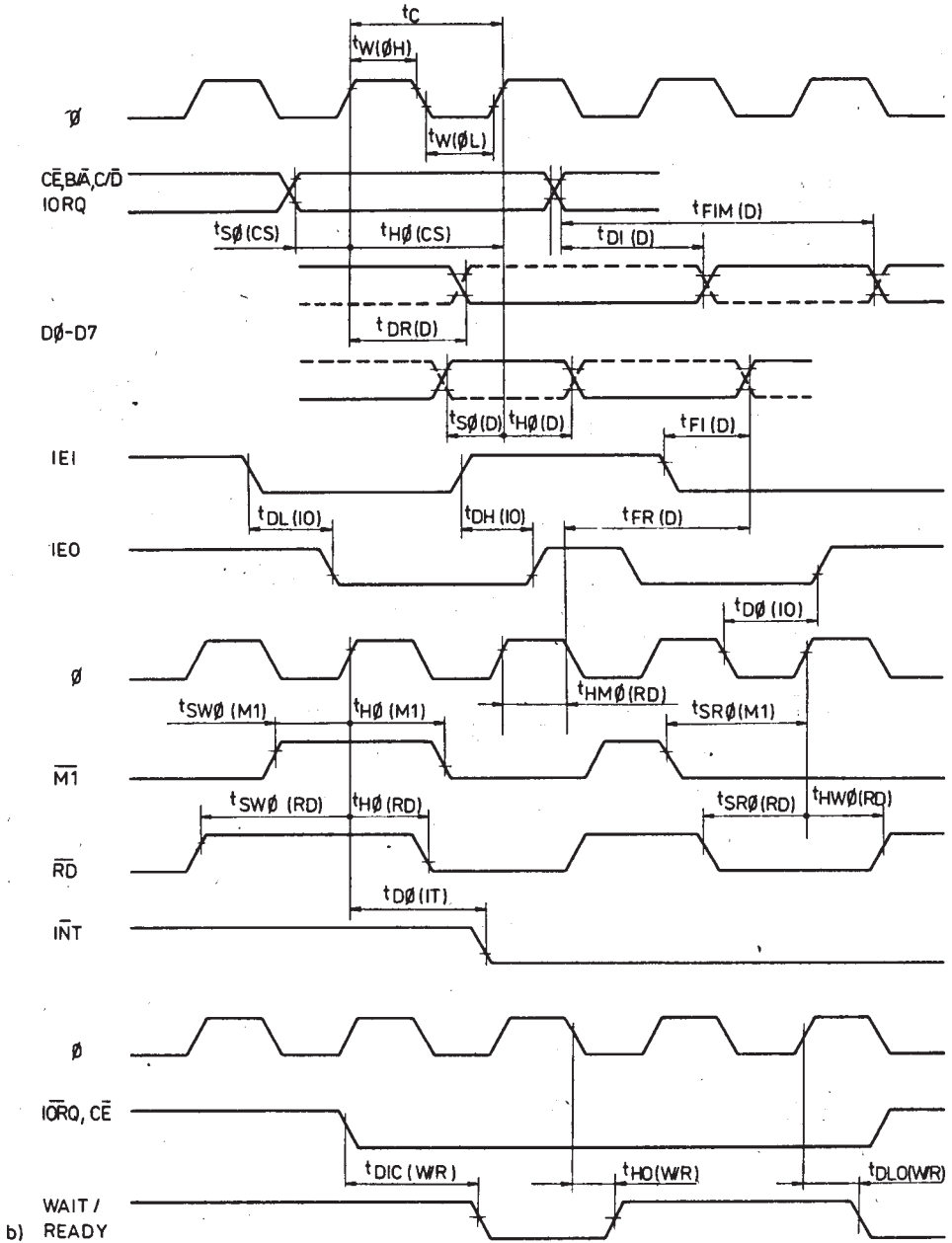
8) RxC-Periode.



a)

Bild 6 Zeitdiagramm

4. Peripherieschaltkreise



4.3. Zähler-Zeitgeber-Schaltkreis U 857 D

TGL 37 002

Vergleichstyp
Z 80 CTC Zilog

Übersicht

- Taktfrequenzen und Betriebstemperaturbereiche
 - UA 857 D 4 MHz 0 bis 70 °C
 - UB 857 D 2,5 MHz 0 bis 70 °C
 - VB 857 D 2,5 MHz -25 bis 85 °C
- 4 voneinander unabhängige, programmierbare 8-bit-Zähler/16-bit-Zeitgeberkanäle (wahlweise)
- Vorteiler durch 16 oder 256 für jeden Zeitgeberkanal
- Ein- und Ausgänge TTL-kompatibel
- Interruptauslösung bei programmierbaren Zähler- oder Zeitgeberwerten
- Vektorinterrupt und Prioritätssteuerung
- Ausgänge ZC/T0 können Darlingtontransistoren treiben

Beschreibung

Der U 857 D hat 4 voneinander unabhängige programmierbare 8-bit-Zähler/16-bit-Zeitgeber-Kanäle.

Jeder Kanal ist wahlweise als Zähler oder Zeitgeber verwendbar, mit Vorteiler durch 16 oder 256 für jeden Kanal in der Betriebsart Zeitgeber.

Jeder Kanal hat 2 Register (8-bit-Zeitkonstanten- und 8-bit-Kanalsteuerregister) und eine interne Interrupt-Struktur, wobei Kanal 0 die höchste Priorität aufweist.

Für programmäßig festlegbare Zähler- oder Zeitgeber-Werte lassen sich bei Erreichen dieser Werte Interrupts programmieren. Ohne zusätzlichen Schaltungsaufwand wird durch Kaskadierung der Bausteine eine automatische Interrupt-Vektorbereitstellung und Prioritätskodierung bewirkt.

Zum Betrieb des U 857 D ist ein externes Taktsignal erforderlich.

Alle Ein- und Ausgänge sind voll TTL-kompatibel.

Die Ausgänge der Kanäle 0 bis 2 sind zum direkten Anschluß an Darlington-Transistoren ausgelegt.

Alle Logikpegel an den äußeren Klemmen sind positiv definiert, d. h.,

- logisch 1 = H-Pegel,
- logisch 0 = L-Pegel.

Programmierung

- Laden des Interruptvektors, entsprechend Interrupt-Mode des U 880 D:

D7 D6 D5 D4 D3 D2 D1 D0 Daten-bit
V7 V6 V5 V4 V3 x x 0 Steuerwort

x = beliebiger Binärwert

- Festlegen der Betriebsart der Kanäle
Hat bit 0 eines Steuerwortes den Wert »1«, wird das Zeichen als Kanalsteuerwort erkannt, und die Betriebsart kann festgelegt werden.

Der U 857 D benötigt für den Betrieb folgende Befehle (Steuerworte) vom U 880 D:

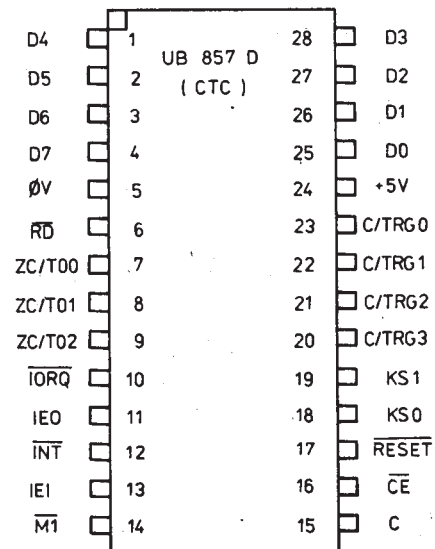


Bild 1
Anschlußbelegung
UA 857 D, UB 857 D, VB 857 D

4. Peripherieschaltkreise

D7	D6	D5	D4	D3	D2	D1	D0
Inter- rupt- Freigabe	Betriebs- art	Vor- teiler	Wahl der Trigger- flanke	Start der Trigger- flanke	Zeitkon- stante laden	Rück- setzen	»1«
							nur für Betriebsart »Zeitgeber«

Hat bit 2 des Kanalsteuerworts den Wert »1«, wird das nachfolgende 8-bit-Zeichen als Zeitkonstante (Datenwort) interpretiert und in das Zeitkonstantenregister des Kanals geladen.

Erläuterungen zum Kanalsteuerwort

bit	Wert	Erklärung			
7	0	Interrupt des Kanals gesperrt.	2	0	Auf das Kanalsteuerwort folgt keine Zeitkonstante. Die Zeitkonstante für Zeitmeßvorgang ist noch einzugeben. Das nächste Wort für den betreffenden Kanal ist die Zeitkonstante für den Rückwärtszähler. Die gegebenen Erklärungen gelten nur in der Betriebsart »Zähler«. Für die Betriebsart »Zeitgeber« ist die Erklärung für bit 2 in der für bit 3 enthaltenen (sämtliche Kombinationen von bit 2 sind in der Erläuterung für bit 3 enthalten). Kanal zählt weiter. Kanal unterbricht das Zählen, bis eine Zeitkonstante eingegeben wird. Ausgang ZC/T0 inaktiv, Kanal kann keinen Interrupt anfordern. Ankommendes Wort wird als Kanalsteuerwort erkannt.
	1	Interrupt des Kanals freigegeben.			
6	0	Betriebsart: Zeitgeber (Vorteiler wird benutzt).		1	
	1	Betriebsart: Zähler (Vorteiler bleibt unbenutzt).			
5 (Zeitgeber)	0	Vorteiler des Systemtakts durch 16,			
	1	Vorteiler des Systemtakts durch 256.			
4	0	Start durch negative Triggerflanke.			
	1	Start durch positive Triggerflanke.			
3 (Zeitgeber)	0	bit 2 = 0: Start der Zeitmessung mit Beginn des nächsten M1-Zyklus.	1	0	
3 (Zeitgeber)	0	bit 2 = 1: Start der Zeitmessung mit Beginn des nächsten M1-Zyklus nach Laden der Zeitkonstante.			
	1	bit 2 = 0: Beginn der Zeitmessung nach dem laufenden M1-Zyklus, sobald die entsprechende Triggerflanke auftritt.			
	1	bit 2 = 1: Beginn der Zeitmessung nach dem Laden der Zeitkonstante, sobald die vorgegebene Triggerflanke auftritt.			0

Tabelle 1 Signalbezeichnungen

Symbol	Richtung	Bedeutung	Symbol	Richtung	Bedeutung
C/TRG0	Eingang	Takt/Trigger 0, High oder Low aktiv, Externer Takteingang für Zeitgeber- bzw. Triggerereingang für Kanal 0	CE	Eingang	Schaltkreisauswahl, Low aktiv
C/TRG1	Eingang	analog für Kanal 1	C	Eingang	Systemtakt, Eingang
C/TRG2	Eingang	analog für Kanal 2	M1	Eingang	CPU-Maschinenzyklus 1, Low aktiv
C/TRG3	Eingang	analog für Kanal 3	IORQ	Eingang	Ein-/Ausgabe-Anforderung, Low aktiv
ZC/T0 0	Ausgang	Nulldurchgang/Zeitgebermeldung, High aktiv für Kanal 0	RD	Eingang	Lesen-Befehl, Low aktiv
ZC/T0 1	Ausgang	analog für Kanal 1	IEI	Eingang	Interruptfreigabe, High aktiv
ZC/T0 2	Ausgang	analog für Kanal 2	IEO	Ausgang	Interruptfreigabe, High aktiv
KS 0	Eingang	Kanalauswahl, High aktiv	INT	Ausgang	Interruptanforderung, Open-Drain, Low aktiv, .
D7 bis D0	bidirektional	Datenbus, Tri-state	RESET	Eingang	Rückstell-Befehl, Low aktiv

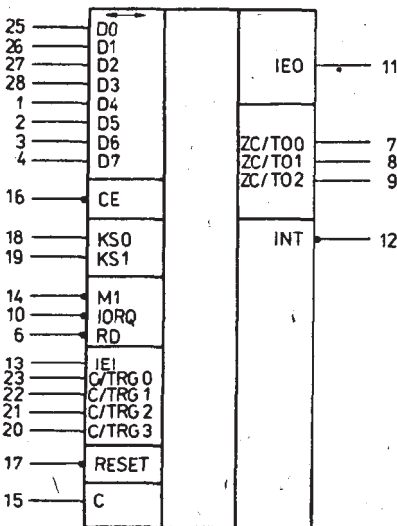
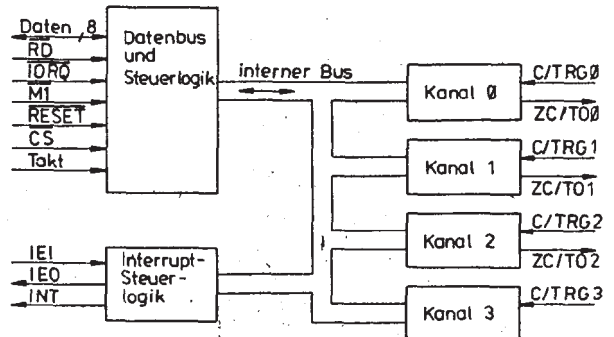


Bild 3 Übersichtsschaltplan

Bild 2 Logiksymbol UA 857 D, UB 857 D, VB 857 D



4. Peripherieschaltkreise

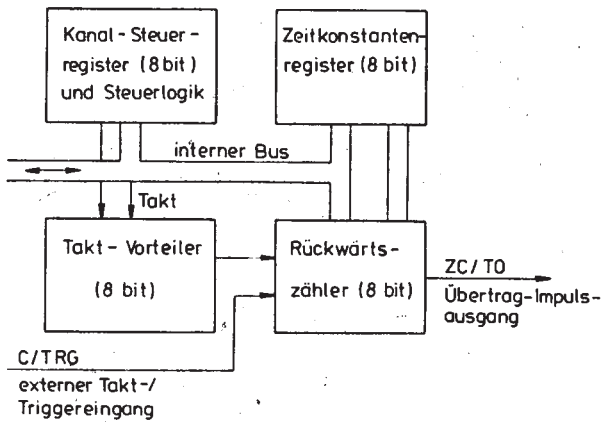


Bild 4
Übersichtsschaltplan eines Kanals

Tabelle 2 Technische Daten

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größt- wert	Bemerkungen
Grenzwerte					
Betriebsspannung	U_{CC}	V	-0,5	7	
Eingangsspannung	U_I	V	-0,5	7	
Betriebstemperatur	ϑ_a	°C	0	70	VB 855: -25 bis 85 °C
Lagerungstemperatur	ϑ_{stg}	°C	-55	125	
Verlustleistung	P_V	W		0,7	bei $\vartheta_a = 25$ °C
Statische Betriebsbedingungen					
Betriebsspannung	U_{CC}	V	4,75	5,25	
Eingangsspannung L	U_{IL}	V	-0,5	0,8	
Eingangsspannung H	U_{IH}	V	2	U_{CC}	
Takteingangsspannung L	U_{ILC}	V	-0,5	0,45	
Takteingangsspannung H	U_{IHC}	V	$U_{CC} - 0,2$	U_{CC}	
Statische Kennwerte					
Ausgangsspannung L	U_{OL}	V		0,4	$I_{OL} = 1,8$ mA
Ausgangsspannung H	U_{OH}	V	2,4		$I_O = -0,25$ mA
Eingangsreststrom	I_{LI}	µA		10	$U_I = 0$ und 5,25 V
Reststrom der Drei-Zustands-	I_{ILO}	µA		10	$U_I = 0$ und 5,25 V
Ein- und Ausgänge und Inter-	I_{ILINT}				
rupt im hochohmigen Zu-	I_{ILD}				
stand					
Datenbus bei Eingabe Strom-	I_{CC}	mA		100	
aufnahme					
Darlington-Treiberstrom für	I_{OHD}	mA	-1,5		$U_{OH} = 1,5$ V
die Signale ZC/TO					

Dynamische Kennwerte, gemessen unter Betriebsbedingungen

Signal	Verzögerungszeiten	Kurzzeichen	Einheit	UA 857 D		U/VB 857 D	
				Kleinstwert	Größt-wert	Kleinstwert	Größt-wert
D0 bis D7	Datenausgabe im Lesezyklus zur H/L-Flanke von RD	$t_{DR(D)}$	ns		200		490
	Datenausgabe während eines INTA-Zyklus zur H/L-Flanke von IORQ	$t_{DI(D)}$	ns		170		350
	Floaten des Datenbusses	$t_{F(D)}$	ns		120		240
IEO	IEO, L/H-Flanke von IEI	$t_{DH(IO)}$	ns		170		230
	IEO, H/L-Flanke von IEI	$t_{DL(IO)}$	ns		140		200
	IEO, H/L-Flanke von M1	$t_{DM(IO)}$	ns		200		310 ¹⁾
INT	INT zur L/H-Flanke von C/TRG	$t_{DCT(IT)}$	ns		$2t_c + 150$		$2t_c + 210$
	INT zur L/H-Flanke von C	$t_{DC(IT3)}$	ns		$t_c + 150$		$t_c + 210$
ZC/TO0	ZC/TO High zu L/H-Flanke von C	$t_{DH(ZC)}$	ns		200		200
bis TO2	ZC/TO Low zu L/H-Flanke von C	$t_{DL(ZC)}$	ns		200		200
	Taktkapazität	C_C	pF		25		25
	Eingangskapazität	C_I	pF		7		7
	Ausgangskapazität	C_O	pF		14		14 ²⁾
C	Taktperiode	t_c	ns	250		400	3)
	High-Breite des Taktes	$t_{W(CH)}$	ns	105	2000	170	2000
	Low-Breite des Taktes	$t_{W(CL)}$	ns	105	2000	170	2000
	Anstiegs- und Abfallzeiten des Taktes	t_r, t_f	ns	30		30	4)
	Alle Haltezeiten für spezifizierte Setzzeiten	t_H	ns	0		0	
	D0 bis D7	Datensetzzeit zu L/H-Flanke des Taktes während eines Schreib- oder M1-Zyklus	$t_{SC(D)}$	ns	50		60
KS0, KS1	Setzzeit der Steuersignale zu L/H-Flanke des Taktes während eines Lese- oder Schreibzyklus	$t_{SC(KS)}$	ns	160		160	

4. Peripherieschaltkreise

Signal	Verzögerungszeiten	Kurzzeichen	Einheit	UA 857 D		U/VB 857 D	
				Kleinstwert	Größt-wert	Kleinstwert	Größt-wert
CE	Chipfreigabezeit bis zur L/H-Flanke von C während Lese- oder Schreibzyklus	$t_{SC(CE)}$	ns	160		160	
IORQ	IORQ-Setzzeit bis zur L/H-Flanke von C während eines Lese- oder Schreibzyklus	$t_{SC(IR)}$	ns	115		250	
M1	Setzzeit bis zur L/H-Flanke von C während eines INTA- oder M1-Zyklus	$t_{SC(M1)}$	ns	90		210	
RD	Setzzeit bis zur L/H-Flanke von C während eines Lese- oder M1-Zyklus	$t_{SC(RD)}$	ns	115		240	
IEI	Setzzeit bis zur H/L-Flanke von IORQ während eines INTA-Zyklus	$t_{S(IEI)}$	ns	200		200	
C/	Taktperiode (Zähler)	$t_{C(CK)}$	ns	$2 t_c$		$2 t_c$	
TRG0	Taktsetzzeit bis zur L/H-Flanke von C für einen Taktimpuls (Betriebsart Zähler)	$t_{S(SK)}$	ns	210		210	
TRG3	Trigger-Setzzeit bis zur L/H-Flanke von C für Freigabe Vorteiler	$t_{S(TR)}$	ns	210		210	
	Takt- und Trigger-Anstieg- und Abfallzeiten	t_r, t_f	ns		50		50
	H-Pulsbreite von Takt- und Triggersignal	$t_{W(CTH)}$	ns	200		200	
	L-Pulsbreite von Takt- und Triggersignal	$t_{W(CTL)}$	ns	200		200	

1) Wenn sich der Interrupt kurz vor M1 ereignet. Es gilt $2,5 t_c > (N - 2) t_{DL(IO)} + t_{DM(IO)} + t_{s(IEI)} + TTL$ -Gatter-Verzögerung. $N =$ Anzahl der U857 D in der Prioritätenkette.

2) Die Drei-Zustands-Ein-/Ausgänge sind hinsichtlich der Kapazität wie Ausgänge zu bewerten.

3) $t_c = t_{W(CH)} + t_{W(CL)} + t_r + t_f$.

4) Bei einer Taktperiode $t_c = 250$ ns muß entsprechend 3) $t_r, t_f = 20$ ns betragen.

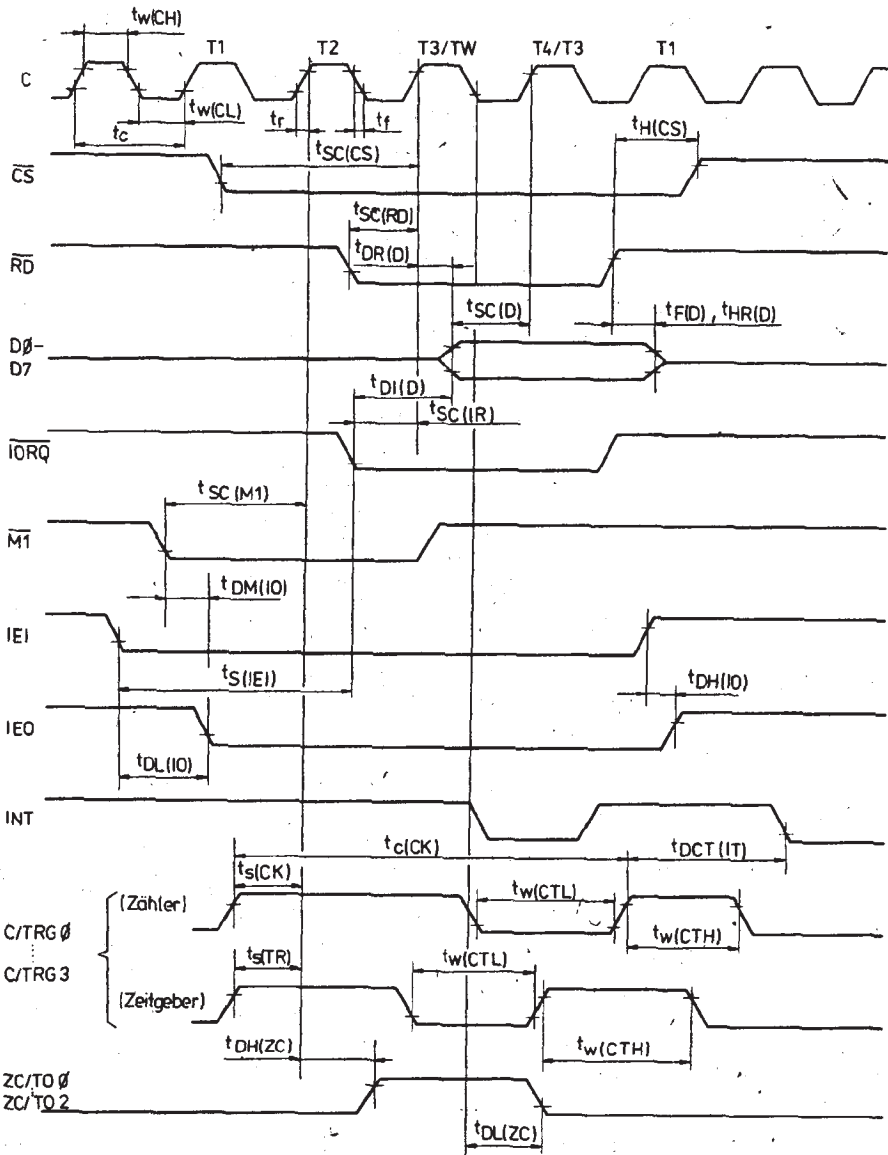


Bild 5 Zeitdiagramm

4. Peripherieschaltkreise

4.4. Programmierbarer Peripherieschaltkreis für direkten Speicherzugriff (DMA) U 858 D

Vergleichstyp Z80-DMA

Übersicht

- Typenspektrum *UA 858 D* Taktfrequenz 4 MHz
- UB 858 D* Taktfrequenz 2,5 MHz
- Schaltkreis für den direkten Datentransfer zwischen programmierbaren Speicherbereichen oder Peripherieschaltkreisen
- liefert alle Adressen und Steuersignale für den Datentransfer oder das Suchen von Bytes in Datenblöcken
- gepufferte Register
- Betriebsarten: 1-Byte-Übertragung
»Burst«-Operation (von Peripherieschaltkreis gesteuert)
programmgesteuerte Operation (Blöcke von im Programm festgelegter Länge)
- Interrupt: Blockende Finden eines Bytes bei aktivem Ready-Signal
- Wiederholung von Operationen möglich
- Zeitverhalten von Peripherieschaltkreisen programmierbar
- Freigabe, Sperre oder Zurücksetzen programmierbar
- Prioritätskaskadierung
- Schaltkreis kann Status ohne Unterbrechung des Datentransfers signalisieren

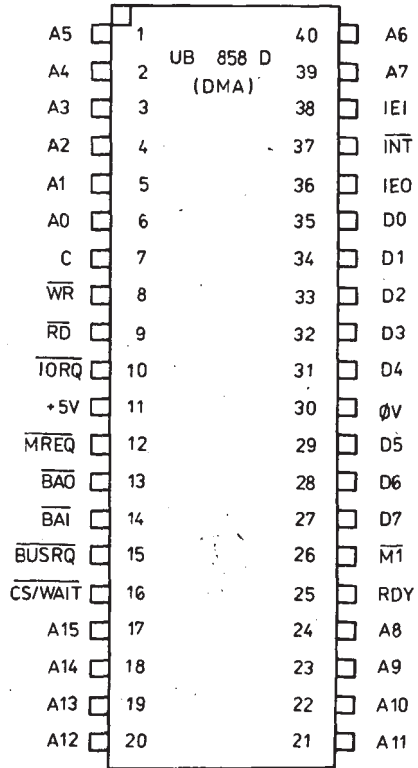


Bild 1
Anschlußbelegung

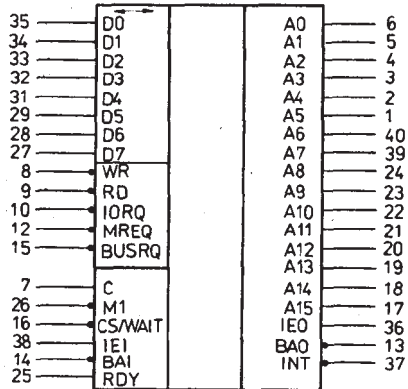


Bild 2
Logiksymbol

Tabelle 1 Technische Daten

Bezeichnung	Symbol	min.	max.	Einheit	Bedingungen
Grenzwerte					
Betriebstemperatur	ϑ_a	0	+70	°C	
Betriebsspannung	U_{CC}	-0,5	7	V	
Eingangsspannung	U_I	-0,5	7	V	
Lagerungstemperatur	ϑ_{stg}	-55	+125	°C	
Verlustleistung	P_V		1,1	W	
Statische Kennwerte					
Eingangsspannung L	U_{IL}	-0,5	0,8	V	
Eingangsspannung H	U_{IH}	2	U_{CC}	V	
Ausgangsspannung L	U_{OL}		0,4	V	$I_{OL} = 1,8 \text{ mA}$
Ausgangsspannung H	U_{OH}	2,4		V	$I_{OH} = 250 \mu\text{A}$
Stromaufnahme	I_{CC}		200	mA	
Eingangsreststrom	I_{LI}		10	μA	$U_I = 0 \text{ V bis } U_{CC}$

Bezeichnung	Symbol	UA 858 D		UB 858 D		Einheit
		min.	max.	min.	max.	
Dynamische Kennwerte (unter Betriebsbedingungen, $C_1 = 100 \text{ pF}$)						
Taktperiode	t_a	250	*	400	*	ns
H-Breite Taktimpulse	$t_{w(CH)}$	105	2 000	180	2 000	ns
L-Breite Taktimpulse	$t_{w(CL)}$	105	2 000	180	2 000	ns
Anstiegs-/Abfallzeit Takt	t_r, t_f		20		30	ns

$$* = t_{w(CH)} + t_{w(CL)} + t_r + t_f$$

4. Peripherieschaltkreise

4.5. Schneller 1-aus-8-Binär-dekoder '8205

Vergleichstypen

DS 8205 HFO
 MH 3205 TESLA
 K 531 ID 7 Elorg
 UCY 74S405 VR Polen
 I 8205 Intel

Beschreibung

Der integrierte Schaltkreis '8205 enthält einen schnellen 1-aus-8-Binärdecoder in Schottky-Technologie. Er ist zur Erweiterung von Systemen geeignet, in denen Eingabe- und Ausgabebausteine sowie Speicherelemente mit L-aktiven Auswahleingängen angewendet werden. Der Schaltkreis verfügt dazu über die 3 Adreßeingänge A, B und C, die die anliegende Adresse im Binärcode decodieren und den entsprechenden Ausgang Y0 bis Y7 aktivieren.

Mit den Freigabeeingängen /E1, /E2 und E3, die AND-verknüpft sind, wird das Freigabesignal für den Decoder selbst erzeugt. Für größere Systeme können '8205 kaskadiert werden, so daß jeder Decoder 8 weitere Decoder für eine beliebige Speichervergrößerung betreiben kann.

Man kann auch den leistungsärmeren 74 LS 138 (K 155 ID7, SU; 74 LS 138PC, Ungarische VR) einsetzen.

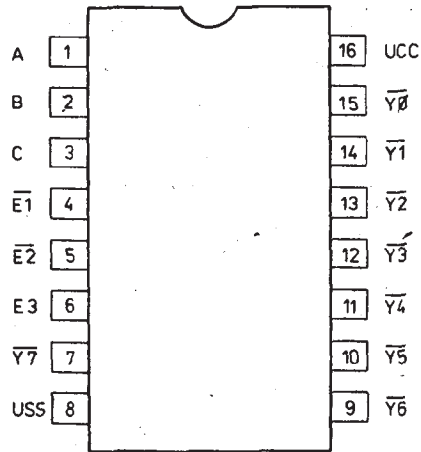


Bild 1
Anschlußbelegung

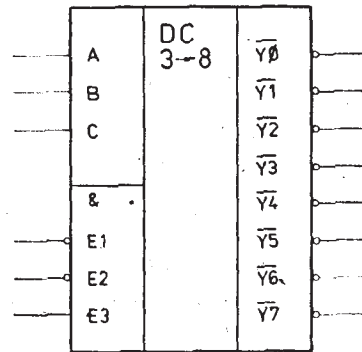


Bild 2
Logiksymbol

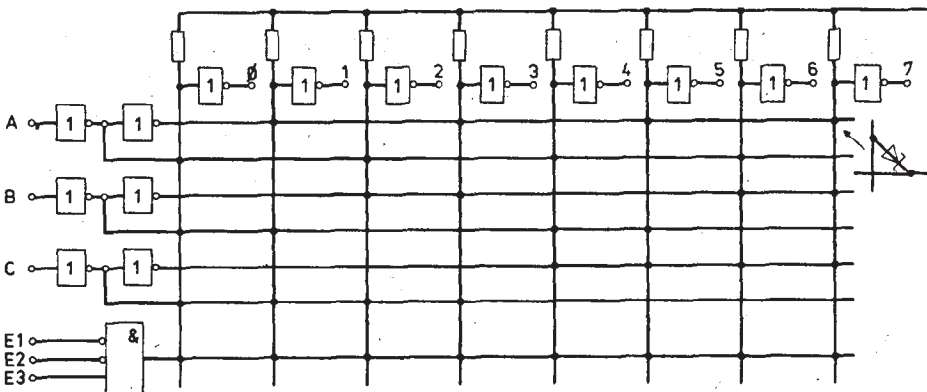


Bild 3 Übersichtsschaltplan

Tabelle 1 Funktionstabelle des '8205

Adreß- eingänge Enable			Ausgänge										
A	B	C	\bar{E}_1	\bar{E}_2	\bar{E}_3	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
L	L	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
L	H	L	L	L	H	H	H	L	H	H	H	H	H
H	H	L	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	H	L	H	H	H
L	H	H	L	L	H	H	H	H	H	H	L	H	H
H	H	H	L	L	H	H	H	H	H	H	H	L	H
X	X	X	L	L	L	H	H	H	H	H	H	H	H
X	X	X	H	L	L	H	H	H	H	H	H	H	H
X	X	X	L	H	L	H	H	H	H	H	H	H	H
X	X	X	H	H	L	H	H	H	H	H	H	H	H
X	X	X	L	H	H	H	H	H	H	H	H	H	H
X	X	X	H	H	H	H	H	H	H	H	H	H	H

Tabelle 2 Dynamische Kennwerte des '8205
 $\vartheta_a = 25^\circ\text{C}$; $U_{CC} = 5\text{ V}$; $C_L = 30\text{ pF}$;
 $R_L = 390\ \Omega$

Informationssignal-
verzögerungszeiten
(E → Y)

t_{PHL} in ns ≤ 18 ; typ. 11
 t_{PLH} in ns ≤ 18 ; typ. 9

Adreßsignal-
verzögerungszeiten
(A → Y)

t_{PHL} in ns ≤ 18 ; typ. 11
 t_{PLH} in ns ≤ 18 ; typ. 9

Tabelle 3 Statische Kennwerte des '8205
 $(\vartheta_a = 0\text{ bis }70^\circ\text{C})$

Eingangsstrom - I_{IL} in mA (bei $U_{CC} = 5,25\text{ V}$; $U_{IL} = 0,45\text{ V}$)	$\leq 0,25$; typ. 0,04
I_{IH} in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{IH} = 5,25\text{ V}$)	≤ 10 ; typ. 1
Ausgangsspannung U_{OL} in V (bei $U_{CC} = 4,75\text{ V}$; $I_{OL} = 10\text{ mA}$)	$\leq 0,45$; typ. 0,31
U_{OH} in V (bei $U_{CC} = 4,75\text{ V}$; $I_{OH} = -1,5\text{ mA}$)	$\geq 2,4$; typ. 3,06
Ausgangskurzschluß- strom - I_{OS} in mA (bei $U_{CC} = 5\text{ V}$; Kurz- schlußdauer $\leq 1\text{ s}$, nur ein Ausgang)	40 bis 120; typ. 65
Eingangsklemmspan- nung - U_{IK} in V (bei $U_{CC} = 4,75\text{ V}$; - $I_I = 18\text{ mA}$)	$\leq 1,5$; typ. 0,74
Stromaufnahme I_{CC} in mA (bei $U_{CC} = 5,25\text{ V}$)	≤ 70 ; typ. 34
Eingangsspannung U_{IL} in V (bei $U_{CC} = 5,25\text{ V}$)	$\leq 0,8$
U_{IH} in V (bei $U_{CC} = 4,75\text{ V}$)	$\geq 2,0$

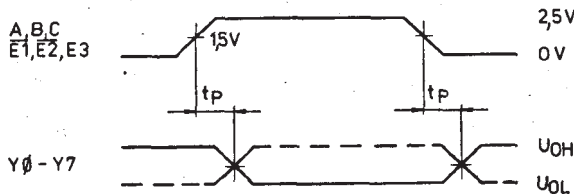


Bild 4
Zeitdiagramm

4. Peripherieschaltkreise

4.6. Universeller 8-bit-Bus-treiber '8212

Beschreibung

Der integrierte Schaltkreis '8212 besteht aus einem Bustreiber mit Speicher für eine Datenbreite von 8 bit, Tri-state-Ausgangsstufen sowie einer Steuer- und Auswahllogik.

Die 8 Pufferspeicher sind aus D-Flip-Flop aufgebaut, deren Rückkopplung durch eine Steuerlogik aufgetrennt werden kann. Die Ausgänge folgen den D-Eingängen beim Takt $C = H$. Das Signal bleibt während der HL-Flanke gespeichert.

Das Rücksetzen des Pufferspeichers geschieht mit dem Reset-Eingangssignal an \overline{CLR} . Der hochohmige Zustand der Ausgangsstufen (Tri-state) wird durch eine gemeinsame Steuerleitung aktiviert. Dazu werden die Eingänge $\overline{S_1}$ und S_2 ausgewertet und ein internes S-Flip-Flop für die Bildung des Interruptsignals gesetzt. Mit dem Eingang MD wird ebenfalls der Zustand des Ausgangstreibers gesteuert (s. Funktionstabelle). Dabei bilden $\overline{S_1}$ und S_2 ein Taktsignal C für die Pufferspeicher. Ist $MD = L$, legen nur $\overline{S_1}$ und S_2 den Zustand der Ausgangsstufen fest. Der Takt C wird dann durch STB gebildet. Über den Strobe-Eingang wird das S-Flip-Flop synchron zurückgesetzt.

Der \overline{CLR} -Eingang setzt die Pufferspeicher zurück und gleichzeitig das S-Flip-Flop auf $Q = H$. Der Interruptzustand ist damit aufgehoben.

Als Beispiele der vielseitigen Einsatzmöglichkeiten seien genannt:

- Gattentreiber (maximal 1,5 mA),
- Bustreiber (bidirektionaler Betrieb durch antiparallele Schaltung möglich),
- Ausgangstor,
- interruptfähiges Eingangstor,
- interruptfähiges Befehlstor.

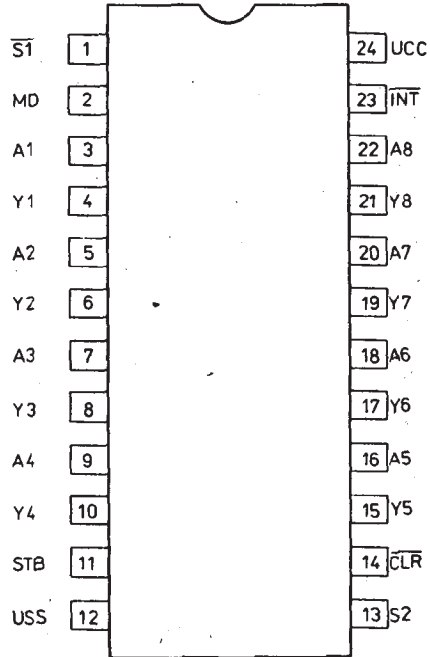


Bild 1
Anschlußbelegung

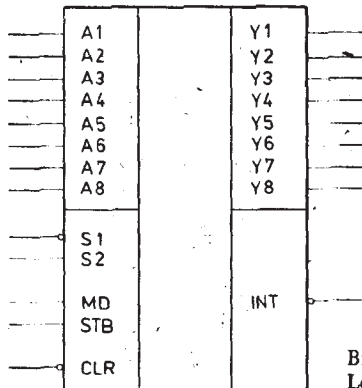


Bild 2
Logiksymbol

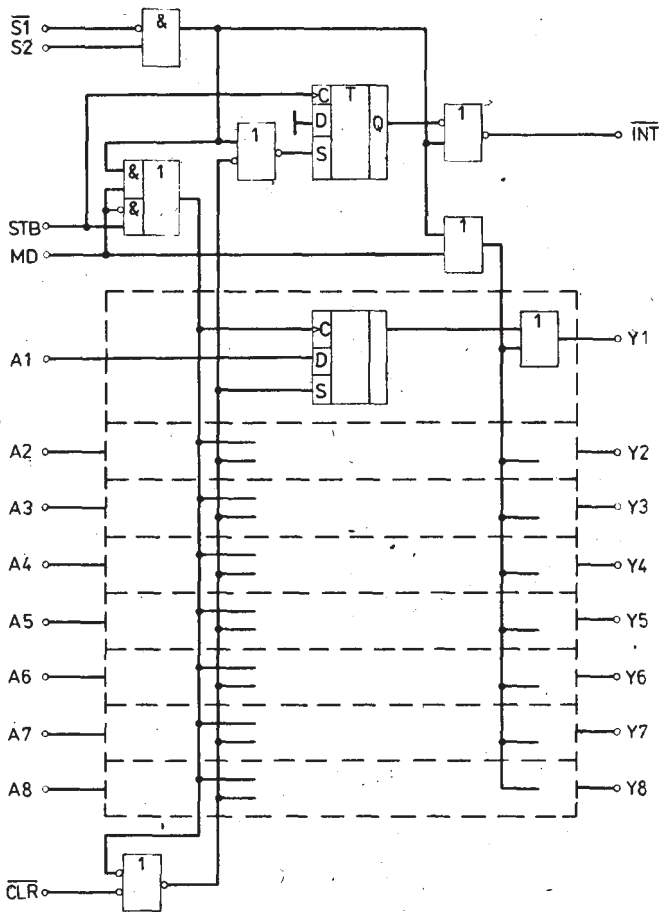


Bild 3
Übersichtsschaltplan

A1 - A8		Dateneingänge
Y1 - Y8		Datenausgänge
S1, S2	Select	Bausteinauswahl
MD	Mode	Betriebsart
STB	Strobe	Übernahme
INT	Interrupt	Unterbrechung
CLR	Clear	Löschen
UCC		+5V

Bild 5
Anschlußbezeichnungen

4. Peripherieschaltkreise

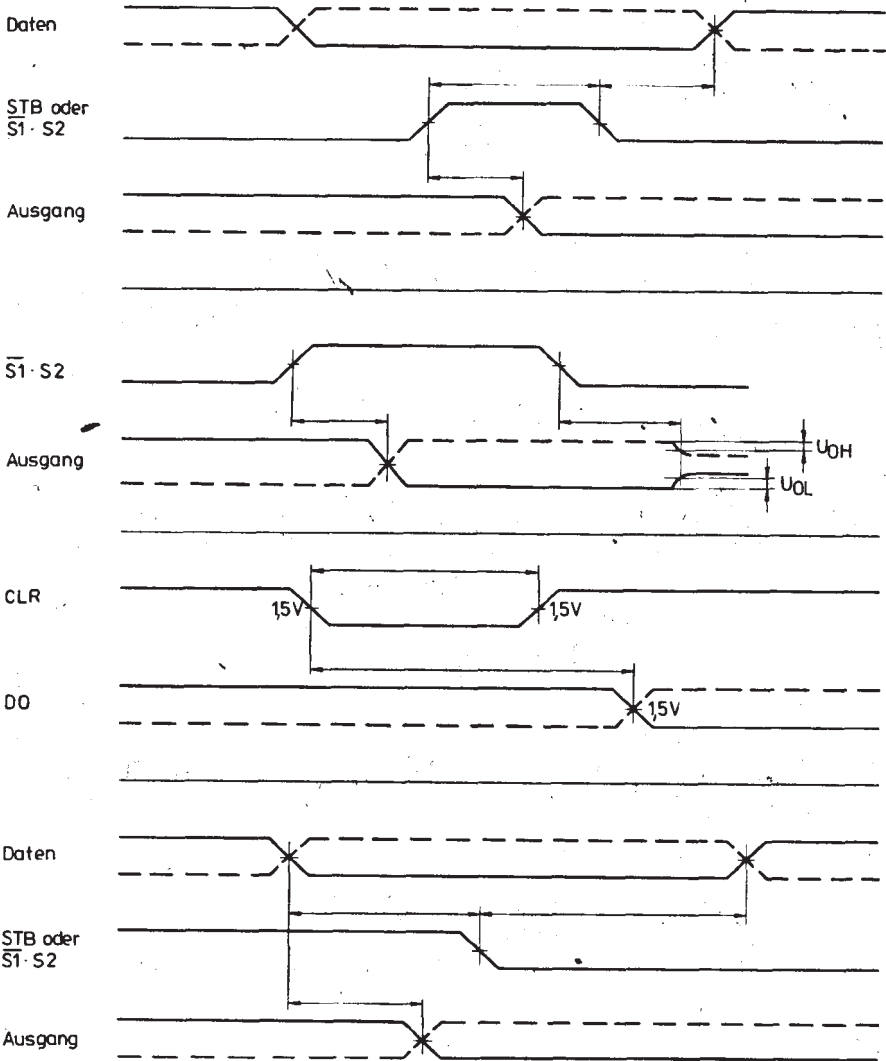


Bild 4 Impulsdiagramme

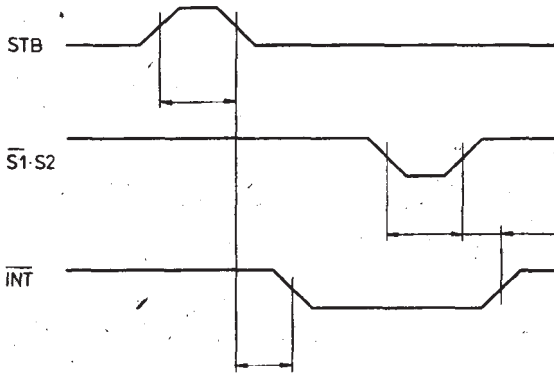


Tabelle 1 Funktionstabelle des '8212 und Bedingungen für das Status-Flip-Flop

Funktion	$\overline{\text{CLR}}$	MD	$\overline{\text{S}}_1$	S_2	STB	A	Y
Clear	L	H	H	X	X	X	L
	L	L	L	H	L	X	L
Hochohmiger Zustand	X	L	X	L	X	X	Z
	X	L	H	X	X	X	Z
Speichern	H	H	H	L	X	X	Q_0
	H	L	L	H	L	X	Q_0
Datenbus	H	H	L	H	X	HL	HL
	H	L	L	H	H	HL	HL
Status-Flip-Flop	$\overline{\text{CLR}}$	$\overline{\text{S}}_1$	STB	Internes S-Flip-Flop	$\overline{\text{INT}}$		
		S_2					
	L	L	L	H		H	
	L	H	L	H		L	
	H	H	HL	L		L	
	H	H	L	H		L	
	H	L	L	H		H	
	H	H	HL	H		L	

Tabelle 3 Signalverzögerungszeiten des '8212 ($\vartheta_a = 25^\circ\text{C}$; $U_{CC} = 5\text{V}$)

$A \rightarrow Y$	
t_{PLH} in ns	≈ 30 ; typ. 18
t_{PHL} in ns	≈ 30 ; typ. 23
$\overline{\text{S}}_1, \text{S}_2, \text{MD} \rightarrow Y$	
t_{PZX} in ns	≈ 45 ; typ. 35
t_{PXZ} in ns	≈ 45 ; typ. 25
$\overline{\text{CLR}} \rightarrow Y$	
t_{PHL} in ns	≈ 55 ; typ. 26
$\text{STB} \rightarrow \overline{\text{INT}}$	
t_{PHL} in ns	≈ 40 ; typ. 27
$\overline{\text{S}}_1, \text{S}_2 \rightarrow \overline{\text{INT}}$	
t_{PLH} in ns	≈ 30 ; typ. 23
$\text{STB}, \overline{\text{S}}_1, \text{S}_2 \rightarrow Y$	
t_{PHL} in ns	≈ 40 ; typ. 18

Tabelle 4 Kapazitäten des '8212 ($\vartheta_a = 25^\circ\text{C}$; $U_{CC} = 5\text{V}$; $f = 1\text{MHz}$; $U_1 = 2,5\text{V}$)

Eingangskapazität	
C_1 in pF	
für S_1, MD	≤ 12 ; typ. 9
für $\text{S}_2, \overline{\text{CLR}}, \text{STB}, A_1$ bis A_8	≤ 9 ; typ. 5
Ausgangskapazität	
C_0 in pF	
für Y_1 bis Y_8	≤ 12 ; typ. 8

4. Peripherieschaltkreise

Tabelle 2 Statische Kennwerte des '8212
($\vartheta_a = 0$ bis 70°C)

Eingangsstrom - I_{IL} in mA (bei $U_{CC} = 5,25\text{ V}$; $U_{IL} = 0,45\text{ V}$)		Eingangsklemmspannung - U_{IK} in V (bei $U_{CC} = 4,75\text{ V}$; $-I_1 = 18\text{ mA}$)	$\leq 1,5$; typ. 0,9
an MD	$\leq 0,75\text{ V}$; typ. 0,06	Stromaufnahme	≤ 130 ; typ. 75
an \bar{S}_1	≤ 1 ; typ. 0,06	I_{CC} in mA (bei $U_{CC} = 5,25\text{ V}$)	
an restlichen Eingängen	$\leq 0,25$; typ. 0,02	Ausgangsreststrom I_{OZH} in μA	≤ 20 ; typ. $< 0,1$
I_{IH} in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{IH} = 5,25\text{ V}$)		$U_{OH} = 5,25\text{ V}$) - I_{OZL} in μA	≤ 20 ; typ. $< 0,1$
an MD	≤ 30 ; typ. 0,1	(bei $U_{CC} = 5,25\text{ V}$; $U_{OL} = 0,45\text{ V}$)	
an \bar{S}_1	≤ 40 ; typ. 0,1	Eingangsspannung U_{IL} in V	$\leq 0,8$
an restlichen Eingängen	≤ 10 ; typ. 0,1	(bei $U_{CC} = 5,25\text{ V}$) U_{IH} in V	$\geq 2,0$
Ausgangsspannung U_{OL} in V	$\leq 0,45$; typ. 0,3	(bei $U_{CC} = 4,75\text{ V}$)	
(bei $U_{CC} = 4,75\text{ V}$; $I_{OL} = 15\text{ mA}$)		Ausgangsspannung U_{IL} in V	$\leq 0,8$
U_{OH} in V	$\geq 3,65$; typ. 3,9	(bei $U_{CC} = 5,25\text{ V}$) U_{IH} in V	$\geq 2,0$
(bei $U_{CC} = 4,75\text{ V}$; $I_{OH} = -1\text{ mA}$)		(bei $U_{CC} = 4,75\text{ V}$)	
Ausgangskurzschluß- strom	15 bis 75; typ. 44		
- I_{OS} in mA (bei $U_{CC} = 5\text{ V}$, Kurz- schlußdauer = 1 s, nur ein Ausgang)			

4.7. Interrupt-Steuereinheit '8214

Vergleichstypen

K 589 IK 14	Elorg
MH 3214	TESLA
18214	Intel

Beschreibung

Der '8214 ist eine Prioritäts-Steuereinheit für Unterbrechungen (PSU) mit 8 Ebenen zur Vereinfachung von unterbrechungsgesteuerten Mikrocomputersystemen.

Der '8214 kann mit 8 anfordernden Ebenen arbeiten; er bestimmt die höchste Priorität mit einem softwaregesteuerten Register für den jeweils gültigen Zustand und unterbricht das System bei gleichzeitiger Abgabe einer Zeigerinformation zur Kennzeichnung des Dienstprogramms. Der '8214 kann durch die Verwendung von Ausgängen mit offenem Kollektor beim Unterbrechungs-Ausgang und der Zeigerinformation uneingeschränkt erweitert werden. Der Schaltkreis ist zur Unterstützung unterschiedlicher Elemente für zeigergesteuerte Unterbrechungen vorgesehen. Er verringert die Anzahl der in unterbrechungsgesteuerten Mikrocomputersystemen benötigten Schaltkreise. Der '8214 wurde für das System '8080 konzipiert und dort auch hauptsächlich verwendet.

Tabelle 2 Statische Kennwerte ($\vartheta_a = 0$ bis $+70^\circ\text{C}$)

Kenngröße	Wert
Eingangsspannung U_{IH} in V (bei $U_{CC} = +5,0$ V und H-Pegel)	$\geq 2,0$
Eingangsspannung U_{IL} in V (bei $U_{CC} = +5,0$ V und L-Pegel)	$\leq 0,8$
Ausgangsspannung U_{OH} an ENLG in V (bei $U_{CC} = +4,75$ V; $I_{OH} = -1$ mA; $U_{IH} = 2,0$ V; $U_{IL} = 0,8$ V und H-Pegel)	$\geq 2,4$

Ausgangsspannung $\leq 0,45$

U_{OL} in V an allen Ausgängen

(bei $U_{CC} = +4,75$ V;

$I_{OL} = 15$ mA;

$U_{IH} = 2,0$ V; $U_{IL} = 0,8$ V
und L-Pegel)

Eingangsstrom

I_{IH} in μA

(bei $U_{CC} = +5,25$ V;

$U_{IH} = +5,25$ V und H-Pegel)

an ETLG

≤ 80

an allen anderen

≤ 40

Eingängen

Eingangsstrom

I_{IL} in mA

(bei $U_{CC} = +5,25$ V;

$U_{IL} = 0,45$ V und L-Pegel)

an ETLG

$\leq -0,5$

an allen anderen

$\leq -0,25$

Eingängen

Ausgangskurzschlußstrom

-20 bis -55
(typ. -35)

I_{OS} in mA

(bei $U_{CC} = +5,0$ V;

$U_{IH} = 2,0$ V;

$U_{IL} = 0,8$ V) an ENLG

Stromaufnahme

≤ 130 (typ. 90)

I_{CC} in mA

Ausgangsreststrom

≤ 100

I_O in μA

(bei $U_{CC} = +5,25$ V;

$U_O = +5,25$ V)

an INT und A0 bis A2

Tabelle 1 Grenzwerte

Betriebstemperaturbereich	0 bis 75°C
Lagertemperaturbereich	-65 bis $+160^\circ\text{C}$
Ausgangsspannungen	-0,5 bis $+7,0$ V
Betriebsspannung	-0,5 bis $+7,0$ V
Eingangsspannungen	-1,0 bis $+5,5$ V
Ausgangsströme	100 mA

4. Periphereschaltkreise

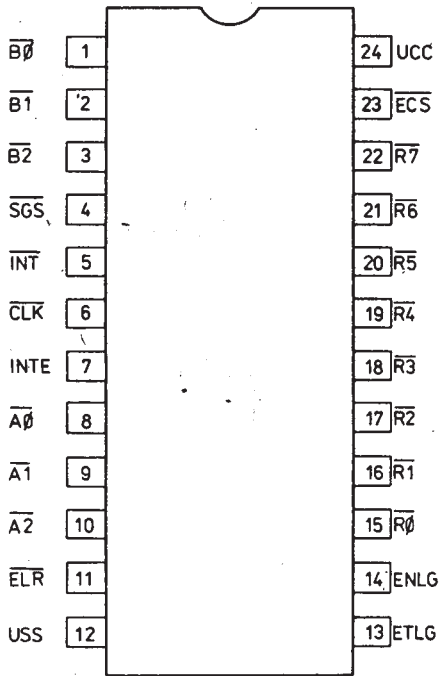
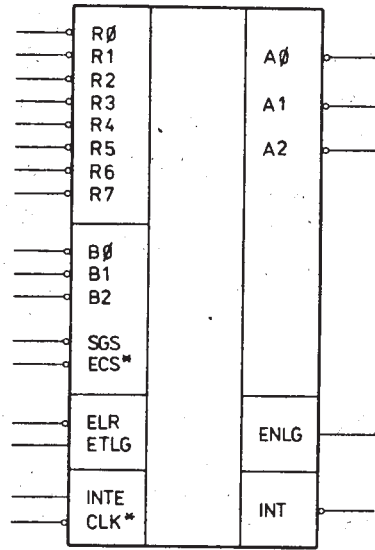


Bild 1
Anschlußbelegung



* bei einigen Herstellern
auch nicht negiert

Bild 2
Logiksymbol

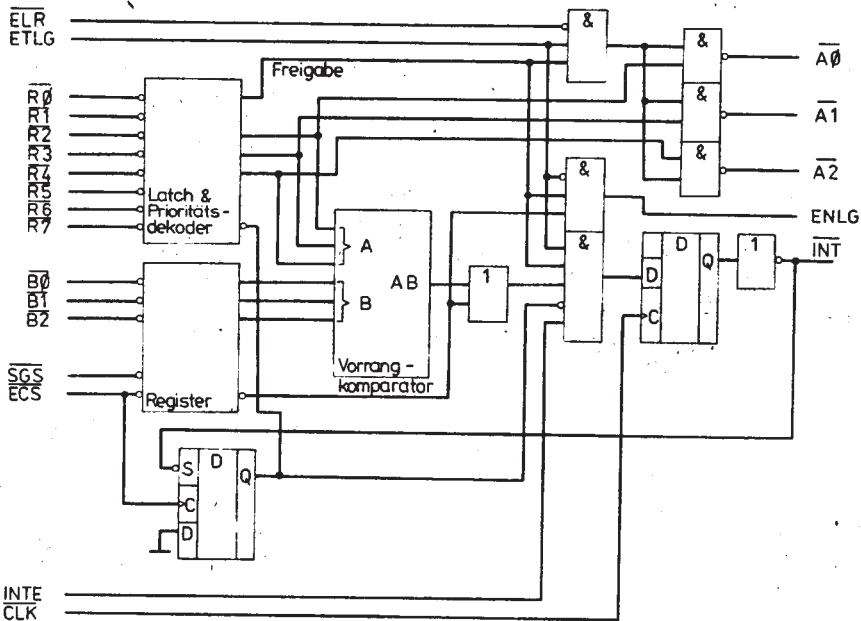


Bild 3 Übersichtsschaltplan

Tabelle 3 Dynamische Kennwerte ($\theta_a = 0$
bis $+70^\circ\text{C}$; $U_{CC} = +5\text{V} \pm 5\%$)

Kenngröße	Ein- heit	Werte		Kenngröße	Ein- heit	Werte	
		min.	typ. max.			min.	typ. max.
Taktzeit $\overline{\text{CLK}}$ t_{CY}	ns	80	50	$\overline{\text{INT}}$ -Vorhaltezeit bis	ns	55	35
Impulsbreite an $\overline{\text{CLK}}$,	ns	25	15	$\overline{\text{CLK}}$ t_{ICS}			
$\overline{\text{ECS}}$, $\overline{\text{INT}}$ t_{PW}				$\overline{\text{INT}}$ -Verzögerungszeit	ns	15	25
INTE-Vorhaltezeit bis	ns	16	12	nach $\overline{\text{CLK}}$ t_{CI}			
$\overline{\text{CLK}}$ t_{ISS}				R0 bis R7-Vorhalte-	ns	10	0
INTE-Haltezeit nach	ns	20	10	zeit bis $\overline{\text{INT}}$ t_{RIS}			
$\overline{\text{CLK}}$ t_{ISH}				R0 bis R7-Haltezeit	ns	35	20
ETLG-Vorhaltezeit	ns	25	12	nach $\overline{\text{INT}}$ t_{RIH}			
bis $\overline{\text{CLK}}$ t_{ETCS}				A0 bis A2-Verzöge-	ns	80	100
ETLG-Haltezeit nach	ns	20	10	rungszeit nach R0 bis			
$\overline{\text{CLK}}$ t_{ETCH}				R7 t_{RA}			
$\overline{\text{ECS}}$ -Vorhaltezeit bis	ns	80	25	A0 bis A2-Verzöge-	ns	40	55
$\overline{\text{CLK}}$ $t_{ECCS}^{1)}$				rungszeit nach $\overline{\text{ELR}}$			
$\overline{\text{ECS}}$ -Haltezeit nach	ns	0		t_{ELA}			
$\overline{\text{CLK}}$ $t_{ECCH}^{1)}$				A0 bis A2-Verzöge-	ns	100	120
$\overline{\text{ECS}}$ -Vorhaltezeit bis	ns	110	70	rungszeit nach $\overline{\text{ECS}}$			
$\overline{\text{CLK}}$ $t_{ECRS}^{1)}$				t_{ECA}			
$\overline{\text{ECS}}$ -Haltezeit nach	ns	0		A0 bis A2-Verzöge-	ns	35	70
$\overline{\text{CLK}}$ $t_{ECRH}^{1)}$				rungszeit nach ETLG			
$\overline{\text{ECS}}$ -Vorhaltezeit bis	ns	75	70	t_{ETA}			
$\overline{\text{CLK}}$ $t_{ECSS}^{1)}$				$\overline{\text{SGS}}$ - und B0 bis	ns	15	10
$\overline{\text{ECS}}$ -Haltezeit nach	ns	0		B2-Vorhaltezeit bis			
$\overline{\text{CLK}}$ t_{ECSH}				$\overline{\text{ECS}}$ t_{DECS}			
$\overline{\text{SGS}}$ - und B0 bis	ns	70	50	$\overline{\text{SGS}}$ - B0 bis B2-Halte-	ns	15	10
B2-Vorhaltezeit bis				zeit nach $\overline{\text{ECS}}$ t_{DECH}			
$\overline{\text{CLK}}$ t_{DCS}				ENLG-Verzögerungs-	ns	45	70
$\overline{\text{SGS}}$ - und B0 bis	ns	0		zeit nach R0 bis R7			
B2-Haltezeit nach				t_{REN}			
$\overline{\text{CLK}}$ t_{DCH}				ENLG-Verzögerungs-	ns	20	25
R0 bis R7-Vorhalte-	ns	90	55	zeit nach ETLG t_{ETEN}			
zeit bis $\overline{\text{CLK}}$ t_{RCS}				ENLG-Verzögerungs-	ns	85	90
R0 bis R7-Haltezeit	ns	0		zeit nach $\overline{\text{ECS}}$ t_{ECRN}			
nach $\overline{\text{CLK}}$ t_{RCH}				ENLG-Verzögerungs-	ns	35	55
				zeit nach $\overline{\text{ECS}}$ t_{ECSN}			

1) Siehe Zeitdiagramm.

4. Peripherieschaltkreise

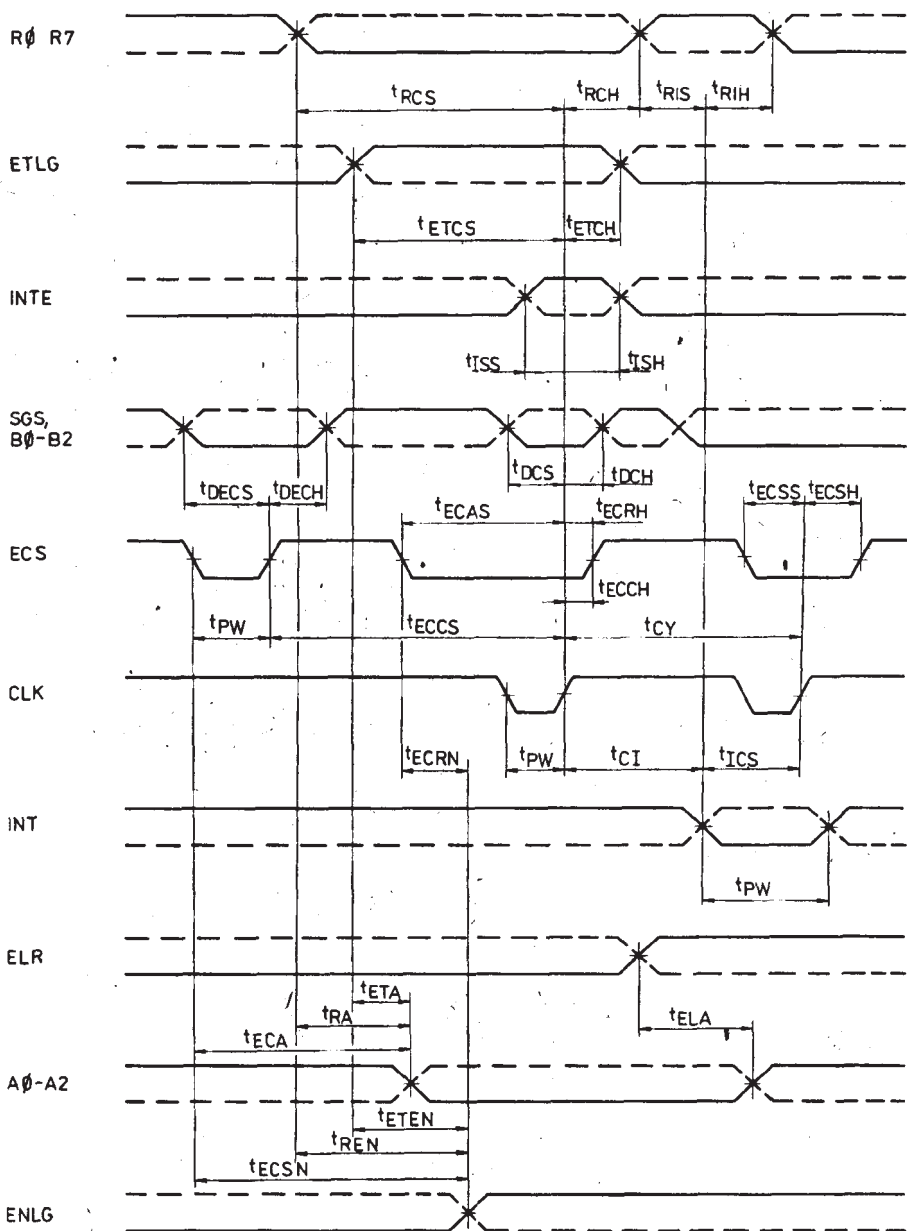


Bild 4 Zeitdiagramme

4.8. Bidirektionaler 4-bit-Bustreiber '8216/'8226

Vergleichstypen

<i>DS 8216</i>		HF0
<i>MH 3216*</i>	<i>MH 3226*</i>	TESLA
<i>K 589 AP 16*</i>	<i>K 589 AP 26*</i>	Elong
<i>UCY 74S416</i>	<i>UCY 74S426</i>	VR Polen
<i>I 8216</i>	<i>I 8226</i>	Intel

* Nur bedingt austauschbar! Eingang DIR ist H-aktiv.

Beschreibung

Der integrierte Schaltkreis '8216 enthält einen bidirektionalen 4-bit-Bustreiber. Die Eingangssignale werden nicht invertierend zum Ausgang übertragen. Jede der 4 Treiberstufen besteht aus 2 getrennten Tri-state-Treibern. Der Ausgang B ist direkt mit dem nächsten Eingang verbunden.

Die Stromergiebigkeit dieser TTL-kompatiblen Ausgangsstufen liegt bei 50 mA. Auf der anderen Seite des Treibers sind die Ein- und Ausgänge getrennt. Sie können auch zusammengeschaltet werden, so daß der bidirektionale Bustreiber zur Verfügung steht. Der Eingang ist zwar auch dann noch TTL-kompatibel, aber es erhöht sich der Reststrom der A-Y-Seite im hochohmigen Zustand um den Betrag des Eingangsstroms des Eingangs A. Der Ausgang Y kann eine Ausgangsspannung von $U_{OH} = 3,65 \text{ V}$ liefern.

Der Datenfluß und die Auswahl des Treiberbausteins werden mit 2 getrennten Eingängen gesteuert. Der Enable-Eingang /OE steuert die Auswahl des Schaltkreises. Ist /OE = H; so sind alle Ausgangsstufen im hochohmigen Zustand. Mit /OE = L wird der Treiberbaustein aktiviert. Der Steuereingang /DIR bestimmt die Richtung des Datenverkehrs. Bei /DIR = L vollzieht sich der Datentransport von A nach B, bei /DIR = H von B nach Y. Während beim '8216 die Daten jeweils nicht negiert am Ausgang anliegen, werden sie beim '8226 negiert nach außen geführt. Einsatzgebiete sind vor allem Bustreiber zwischen CPU und größeren Speichereinheiten sowie bidirektionale Treiber zwischen Ein-/Ausgabeeinheiten, Speichern u. a. Baugruppen.

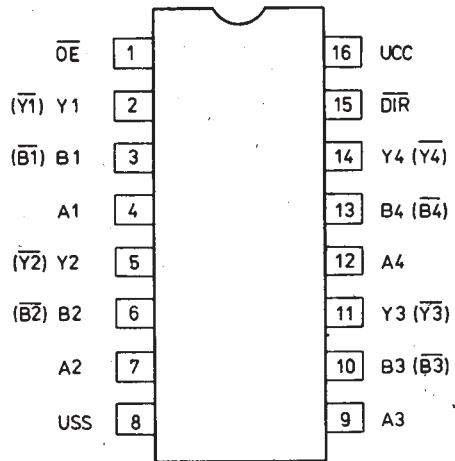


Bild 1
Anschlußbelegung (in Klammern: '8226)

Tabelle 1 Anschlußbezeichnungen des '8216

B1 bis B4	2-Weg-Datenbus ('8226 negiert)
Y1 bis Y4	Datenausgänge ('8226 negiert)
A1 bis A4	Dateneingänge
/DIR	Dateneingabe freigeben
/OE	Richtungssteuerung
U_{CC}	Enable-Eingang (Freigabeingang)
	+5 V

Tabelle 2 Funktionstabelle des '8216

/DIR	/OE	
0	0	A = B
1	0	B = Y
0	1	hochohmig
1	1	hochohmig

4. Peripherieschaltkreise

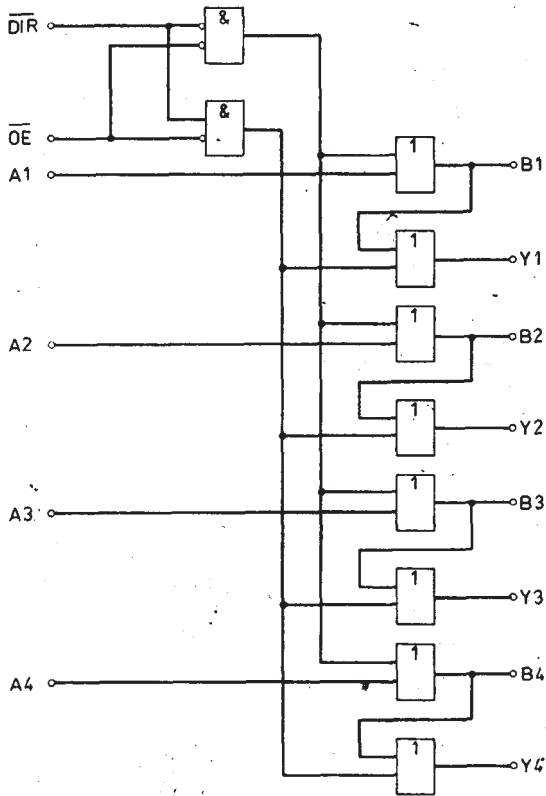


Bild 2
Übersichtsschaltbild '8216

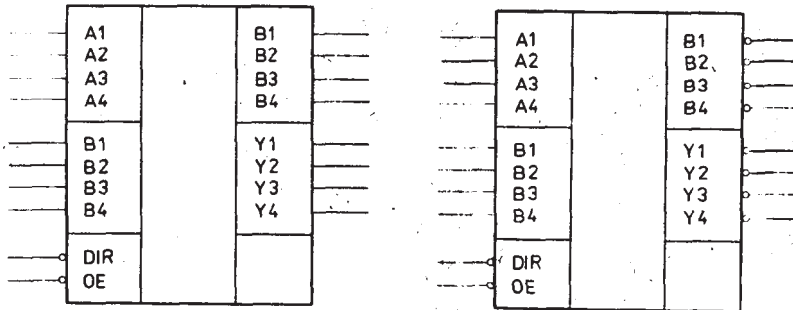


Bild 4
Logiksymbol

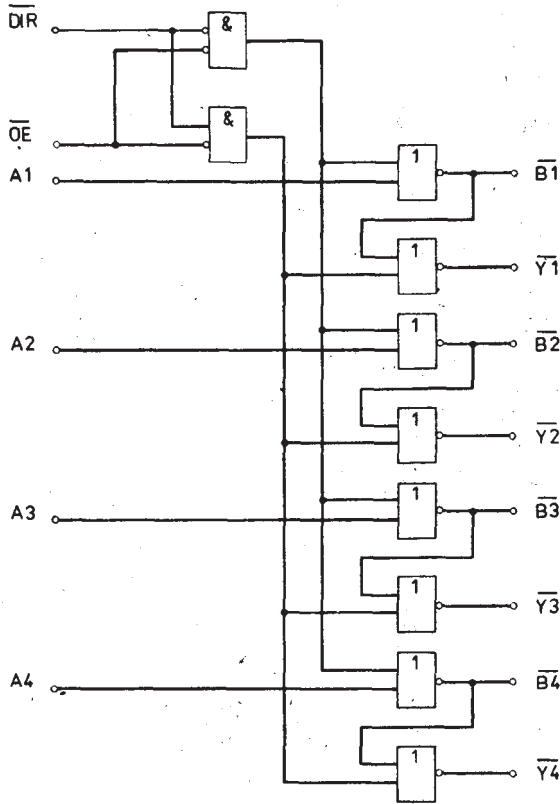


Bild 3
Übersichtsschaltbild '8226

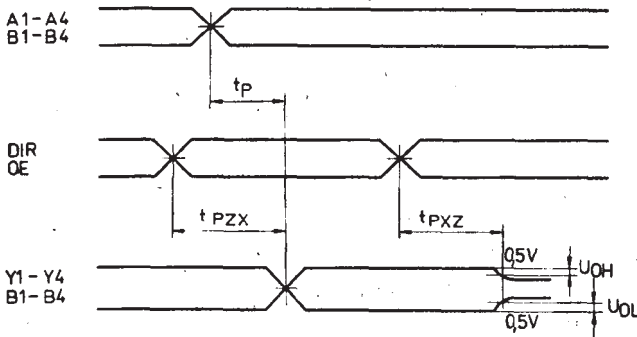


Bild 5
Zeitdiagramme

4. Peripherieschaltkreise

Tabelle 3 Statische Kennwerte des '8216
($\vartheta_a = 0$ bis 70°C)

Eingangsstrom $-I_{IL}$ in mA (bei $U_{CC} = 5,25\text{ V}$; $U_{IL} = 0,45\text{ V}$) an OE, DIR an restlichen Eingängen	$\leq 0,5$; typ. 0,05 $\leq 0,25$; typ. 0,04
I_{IH} in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{IH} = 5,25\text{ V}$) an OE, DIR an restlichen Eingängen	≤ 20 ; typ. 0,1 ≤ 10 ; typ. 0,1
Ausgangsspannung U_{OL} in V an Y (bei $I_{OL} = 15\text{ mA}$) an B (bei $I_{OL} = 25\text{ mA}$) an B (bei $U_{CC} = 4,75\text{ V}$; $I_{OL} = 55\text{ mA}$)	$\leq 0,45$; typ. 0,35 $\leq 0,45$; typ. 0,35 $\leq 0,6$; typ. 0,45
U_{OH} in V an Y (bei $I_{OH} = -1\text{ mA}$) an B (bei $I_{OH} = -10\text{ mA}$)	$\leq 3,65$; typ. 3,9 $\leq 2,4$; typ. 2,9
Ausgangskurzschlußstrom $-I_{OS}$ in mA (bei $U_{CC} = 5\text{ V}$, Kurzschlußdauer $\leq 1\text{ s}$, nur ein Ausgang) an Y an B	15 bis 65; typ. 40 30 bis 120; typ. 65 $\leq 1,5$; typ. 0,8
Eingangsklemmspannung $-U_{IK}$ in V (bei $U_{CC} = 4,75\text{ V}$; $-I_I = 18\text{ mA}$)	$\leq 1,5$; typ. 0,8
Stromaufnahme I_{CC} in mA (bei $U_{CC} = 5,25\text{ V}$)	≤ 130 ; typ. 75

Ausgangsreststrom I_{OZH} in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{OH} = 5,25\text{ V}$) an Y an B	≤ 20 ; typ. < 1 ≤ 100 ; typ. < 1
$-I_{OZL}$ in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{OL} = 0,45\text{ V}$) an Y an B	≤ 20 ; typ. < 1 ≤ 100 ; typ. < 1
Eingangsspannung U_{IL} in V (bei $U_{CC} = 5,25\text{ V}$) U_{IH} in V (bei $U_{CC} = 4,75\text{ V}$)	$\leq 0,8$ $\leq 2,0$

Tabelle 4 Dynamische Kennwerte des '8216/'8226 ($\vartheta_a = 25^\circ\text{C}$; $U_{CC} = 5\text{ V}$)

Signalverzögerungszeiten A \rightarrow B t_{PHL} in ns t_{PLH} in ns B \rightarrow Y t_{PHL} in ns t_{PLH} in ns	≤ 30 ; typ. 15 ≤ 30 ; typ. 13 ≤ 25 ; typ. 14 ≤ 25 ; typ. 9
Ausgangsfreigabezeit t_{PZX} in ns	≤ 65 ; typ. 30
Ausgangssperzeit t_{PXZ} in ns	≤ 35 ; typ. 15
für '8226: t_{PHL} in ns t_{PZX} in ns	≤ 25 ≤ 54
Eingangskapazität C_I in pF (bei $U_{IH} = 2,5\text{ V}$, $f = 1\text{ MHz}$)	≤ 6
Ausgangskapazität C_O in pF (bei 1 MHz) Ausgang Y Ausgang B	≤ 10 ≤ 18

4.9. Programmierbarer serieller Schnittstellenschaltkreis '8251A

Vergleichstypen

<i>K 580 IK 51, K 580 BB 51A</i>	<i>Elorg</i>
<i>MHB 8251</i>	<i>TESLA</i>
<i>MCY 8251</i>	<i>VR Polen</i>
<i>I 8251A</i>	<i>Intel</i>
<i>SAB 8251A</i>	<i>Siemens</i>

Übersicht

- Synchron- und Asynchronbetrieb
- Synchron: 5 bis 8 bit-Zeichen
- interne oder externe Zeichensynchronisation
- automatisches Einschleiben von Syn-Zeichen
- Asynchron: 5 bis 8 bit-Zeichen
- Takt - 1-, 16- oder 64fache Übertragungsgeschwindigkeit
- Erzeugung des »Break«-Zeichens; 1, 1,5 oder 2 Stop-bits
- Erkennung eines falschen Startbit.
- Übertragungsgeschwindigkeit:
 - 0 bis 56 kbit/s (Synchronbetrieb)
 - 0 bis 9,6 kbit/s (Asynchronbetrieb)
- Vollduplex, doppelt gepuffert, Sender und Empfänger
- Fehlererkennung: Parität, Überlauf und Zeichenrahmen
- Kompatibel zum '8080
- 28poliges DIP-Gehäuse
- TTL-kompatible Ein- und Ausgänge
- Eine Versorgungsspannung (+5 V)
- Nur ein TTL-Takt

Beschreibung

Der '8251 ist ein universeller Synchron/Asynchron-Sender/Empfängerschaltkreis (Leitungspuffer) für die Datenübertragung in Mikrocomputersystemen. Der Leitungspuffer übernimmt Parallelzeichen vom Mikroprozessor und wandelt sie für die Übertragung in einen seriellen Datenstrom um. Gleichzeitig kann er einen seriellen Datenstrom empfangen und ihn in parallele Datenzeichen für den Mikroprozessor umsetzen. Der Leitungspuffer meldet dem Mikroprozessor, wenn er ein neues Zeichen zur

Übertragung annehmen oder ein Zeichen an den Mikroprozessor abgeben kann. Der Mikroprozessor erkennt den Zustand des Leitungspuffers einschließlich der Datenübertragungsfehler und der Steuersignale, z. B. SYNDET und TxE. Der Baustein ist in n-Kanal-Silizium-Gate-Technik aufgebaut.

Programmierung

Vor Beginn der Sendung oder des Empfangs von Daten muß der '8251 mit einem Satz von Steuerworten geladen werden, die der μ P erzeugt. Diese Steuersignale legen die gesamten Funktionseigenschaften des '8251 fest und müssen unmittelbar nach einem Rücksetzvorgang (intern oder extern) folgen. Die Steuerworte teilen sich in 2 Formate auf:

- Betriebsart,
- Kommando.

Betriebsart

Dieses Format definiert die allgemeinen betrieblichen Eigenschaften des '8251. Es muß auf einen Rücksetzvorgang (intern oder extern) folgen. Sobald die Betriebsart-Information in den '8251 eingeschrieben ist, können vom μ P SYN-Zeichen oder Kommandos empfangen werden.

Kommando

Mit diesem Format legt man ein Zustandswort fest, mit dem die Abläufe im '8251 gesteuert werden.

Sowohl die Betriebsart- wie auch die Kommando-Information muß einem festgelegten Ablauf entsprechen. Alle nach der Betriebsart-Information in den '8251 eingeschriebenen Steuerworte laden ein Kommando. Kommandos können jederzeit innerhalb eines Datenblocks in den tätigen '8251 eingeschrieben werden. Zur Rückkehr in das Betriebsart-Format kann im Kommandowort ein bit gesetzt werden, mit dem ein innerer Rücksetzvorgang eingeleitet wird, der den '8251 automatisch in dieses Format rücksetzt. Kommandos müssen auf die Betriebsart-Information oder SYN-Zeichen folgen.

4. Peripherieschaltkreise

Betriebsart-Information

Asynchronbetrieb (Senden)

Der '8251 fügt automatisch zu jedem vom μP ausgesendeten Zeichen ein Start-bit (L-Pegel) und die programmierte Anzahl Stop-bits hinzu. Außerdem wird vor dem Stop-bit, je nach Festlegung der Betriebsart-Information, ein Paritäts-bit eingefügt. Das Zeichen wird dann als serieller Datenstrom über den TxD-Ausgang gesendet. Die seriellen Daten werden mit der HL-Flanke von $\overline{\text{TxC}}$ mit einer Geschwindigkeit von $1x$, $1/16x$ oder $1/64x$ der von $\overline{\text{TxC}}$ hinausgeschoben, wie es im Betriebsartenbefehl definiert wurde. »Break«-Zeichen werden über TxD fortlaufend ausgesendet, wenn der Befehl dazu gegeben worden ist. Wenn keine Datenzeichen in den '8251 geladen wurden, bleibt der TxD-Ausgang auf H-Pegel (Markierzustand) stehen, falls nicht ein »Break«-Zeichen (ständig L-Pegel) programmiert ist.

Asynchronbetrieb (Empfang)

Die RxD-Leitung liegt auf H-Pegel. Die HL-Flanke auf dieser Leitung bestimmt den Beginn eines Start-bit. Die Gültigkeit dieses Start-bit wird durch Abtasten seiner nominalen Mitte geprüft. Wird wieder L-Pegel erkannt, liegt ein Start-bit vor, und der bit-Zähler beginnt zu zählen. Der bit-Zähler legt die Mitte der Daten-bits, des Paritäts-bit (so weit vorhanden) und des Stop-bit fest. Wenn ein Paritätsfehler auftritt, wird das Paritätsfehlerzeichen gesetzt. Daten- und Paritätsbits werden am RxD-Anschluß mit der LH-Flanke von $\overline{\text{RxC}}$ abgetastet. Wird L-Pegel als Stop-bit erkannt, wird das Zeichen »Fehlerkennzeichen« gesetzt. Das Stop-bit bedeutet das Ende eines Zeichens. Dieses Zeichen wird dann in den parallelen E/A-Puffer des '8251 geladen. Der '8251 setzt den RxRDY-Anschluß auf H und meldet auf diese Weise dem μP , daß ein Zeichen zur Abholung bereitsteht. Wenn ein vorhergehendes Zeichen vom μP nicht abgeholt wurde, wird es durch das gerade anstehende Zeichen im E/A-Puffer ersetzt, und das Überlaufkennzeichen wird gesetzt (das vorhergehende Zeichen geht dadurch verloren). Alle Fehlerkennzeichen können mit einem Kommando-Befehl rückgesetzt werden. Durch einen dieser Feh-

ler wird der Ablauf im '8251 nicht unterbrochen.

Synchronbetrieb (Senden)

Der TxD-Ausgang liegt auf H-Pegel, bis der μP das 1. Zeichen (im allgemeinen ein SYN-Zeichen) zum '8251 sendet. Sobald die CTS-Leitung L-Pegel annimmt, wird das 1. Zeichen seriell ausgesendet. Mit der HL-Flanke von $\overline{\text{TxC}}$ werden alle Zeichen mit der Geschwindigkeit $\overline{\text{TxC}}$ hinausgeschoben.

Der Datenstrom am TxD-Ausgang muß nach dem Beginn der Übertragung mit der Geschwindigkeit von $\overline{\text{TxC}}$ weitergehen. Falls der μP kein Zeichen an den '8251 abgeben kann, bevor der '8251 leer ist, werden SYN-Zeichen (oder ein Zeichen bei der Betriebsart »1 SYN-Zeichen«) automatisch in den TxD-Datenstrom eingefügt. Gleichzeitig nimmt der TxE-Anschluß H-Pegel an und meldet, daß der '8251 leer ist und SYN-Zeichen ausgesendet werden. Der TxE-Anschluß wird intern mit dem nächsten in den '8251 eingeschriebenen Zeichen rückgesetzt.

Synchronbetrieb (Empfangen)

In dieser Betriebsart kann die Zeichensynchronisation intern oder extern vorgenommen werden. Wenn interne Synchronisation programmiert ist, beginnt der Empfänger mit der Betriebsart »Suchen«. Daten am RxD-Anschluß werden mit der LH-Flanke von $\overline{\text{RxC}}$ abgetastet. Der Inhalt des Empfangspuffers wird laufend mit dem 1. SYN-Zeichen verglichen, bis Gleichheit auftritt. Wenn der '8251 für 2 SYN-Zeichen programmiert wurde, wird das folgende empfangene Zeichen ebenfalls verglichen; wenn beide SYN-Zeichen erkannt sind, beendet der Leitungspuffer die Betriebsart »Suchen«. Zeichengleichheit ist erreicht. Der SYNDET-Anschluß wird dann auf H-Pegel gesetzt. Er wird automatisch durch einen Zustandslesevorgang rückgesetzt.

Bei der Betriebsart Synchronisation von außen wird Gleichheit durch das Anlegen eines H-Pegels an den SYNDET-Anschluß erreicht. Dieser Pegel ist nach einer $\overline{\text{RxC}}$ -Periode nicht mehr erforderlich. Paritäts- und Überlauffehler werden in der gleichen Weise

wie beim asynchronen Empfangsbetrieb erkannt. Der μP kann den Empfänger bei Ungleichheit veranlassen, die Betriebsart »Suchen« aufzunehmen.

Definition des Kommandos

Wenn im Synchronbetrieb die funktionellen Eigenschaften des '8251 mit der Betriebsarten-Information programmiert und die SYN-Zeichen geladen sind, ist der Schaltkreis für die Datenübertragung vorbereitet. Das Kommando steuert die Vorgänge im Rahmen des gewählten Formats. Sende-/Empfangsfreigabe, Fehler rücksetzen und MODEM-Steuerung werden durch das Kommando bestimmt.

Definition des Zustandslesens

In Datenübertragungssystemen ist häufig der Zustand eines aktiven Geräts zu überprüfen, um aufgetretene Fehler oder andere Bedingungen, die vom μP behandelt werden müssen, feststellen zu können. Der '8251 ist so ausgelegt, daß der Programmierer jederzeit während des Betriebs den Zustand des Geräts lesen kann. Dazu wird vom μP ein normaler Lesevorgang durchgeführt, während gleichzeitig der $\overline{\text{C/D}}$ -Eingang auf H gesetzt ist.

Einige der bits des Zustandsleseformats haben die gleiche Bedeutung wie externe Eingangsanschlüsse, so daß der '8251 bei Anwendungen mit Aufforderungsbetrieb (Polling) oder unterbrechungsgesteuertem Betrieb eingesetzt werden kann.

Anschlußbeschreibung

D0 bis D7 Datenbus, 8 bit

$\overline{\text{C/D}}$ Control data – Steuerinformation/Daten.

In Verbindung mit den Eingängen WR und RD gibt dieser Eingang dem '8251 an, ob das Wort auf dem Datenbus ein Datenzeichen, ein Steuerwort oder eine Zustandsinformation darstellt (H – Steuerwort, L – Daten).

$\overline{\text{D}}$ Read – Lesen. Mit L-Pegel an diesem Eingang erkennt der

'8251, daß der μP Daten oder Zustandsinformationen empfängt.

WR Write – Schreiben. Mit L-Pegel an diesem Eingang erkennt der '8251, daß der μP Daten oder Steuerworte ausgibt.

$\overline{\text{CS}}$ Chip Select – Bausteinfreigabe. L-Pegel an diesem Eingang gibt den '8251 frei. Lesen oder Schreiben kann vor Auswahl des Schaltkreises nicht stattfinden.

CLK Clock – Takt. Der CLK-Eingang wird zur Erzeugung des internen Zeitablaufs benötigt und normalerweise mit dem Systemtaktgenerator (z. B. '8224 – Ausgang Phase 2) verbunden.

Externe Ein- und Ausgänge hängen nicht vom Takt ab; jedoch muß die Taktfrequenz bei Synchronbetrieb mehr als das 30fache des Empfangs- oder Sendetakts betragen (bei Asynchronbetrieb das 4,5fache).

RESET Reset – Rücksetzen. Mit H-Pegel an diesem Eingang gelangt der '8251 in den inaktiven Zustand. Er bleibt in diesem Zustand, bis ein neuer Satz Steuerworte zur Programmierung der Funktionen in den '8251 eingeschrieben wird.

$\overline{\text{TxC}}$ Transmitter Clock – Sendetakt. Der Sendetakt bestimmt die Übertragungsgeschwindigkeit, mit der Zeichen ausgegeben werden. Bei Synchronbetrieb ist die Frequenz von $\overline{\text{TxC}}$ gleich der tatsächlichen Übertragungsgeschwindigkeit (1x). Bei Asynchronbetrieb ist die Frequenz ein Vielfaches der tatsächlichen Übertragungsgeschwindigkeit. Ein Teil des Befehls für die Betriebsart wählt den Wert des Faktors aus; er kann die 1-, 16- oder 64fache Übertragungsgeschwindigkeit betragen.

Die HL-Flanke von $\overline{\text{TxC}}$ schiebt

4. Peripherieschaltkreise

	die seriellen Daten aus dem '8251.		
TxD	Transmitter data – Sendedaten. Der Anschluß TxD ist der serielle Ausgabeanschluß des '8251. Er wird vom Sendepuffer gespeist, der die zu übertragenden Daten vom Datenbuspuffer empfängt und in eine serielle Information umwandelt.	TxRDY	Transmitter Ready – Sender bereit. Dieser Ausgang meldet dem μ P, daß der Sender zur Annahme eines Datenzeichens bereit ist. Er kann zur Unterbrechung des Systems herangezogen werden, oder der μ P prüft während des Aufforderungsbetriebs TxRDY mit einem Zustandslesebefehl. TxRDY wird beim Laden eines Zeichens vom μ P automatisch rückgesetzt.
$\overline{\text{RxC}}$	Receiver Clock – Empfangstakt. Der Empfangstakt bestimmt die Geschwindigkeit, mit der Zeichen empfangen werden sollen. Bei Synchronbetrieb ist die Frequenz von RxC gleich der tatsächlichen Übertragungsgeschwindigkeit (1x). Bei Asynchronbetrieb ist die Frequenz von RxC ein Vielfaches der tatsächlichen Übertragungsgeschwindigkeit. Ein Teil des Befehls Betriebsart wählt den Wert des Faktors aus, der das 1-, 16- oder 64fache der Übertragungsgeschwindigkeit betragen kann. Die Daten werden mit der LH-Flanke in den '8251 übernommen.	$\overline{\text{DSR}}$	Data Set Ready – Datenübertragungseinrichtung bereit. Das $\overline{\text{DSR}}$ -Eingangssignal ist für allgemeine Anwendungen geeignet. Sein Zustand kann vom μ P mit einem Zustandslesebefehl getestet werden. Der $\overline{\text{DSR}}$ -Eingang wird i. allg. zum Testen von Modem-Zuständen, wie »Datenübertragungseinrichtung bereit«, verwendet.
RxD	Receiver data – Empfangsdaten. Die Eingabe der seriellen Daten geschieht über den RxD-Anschluß. Diesem seriellen Dateneingang ist ein Empfangspuffer nachgeschaltet, der den Datenstrom in ein paralleles Format umwandelt.	$\overline{\text{DTR}}$	Data Terminal Ready – Datenstation bereit. Das $\overline{\text{DTR}}$ -Ausgangssignal ist für allgemeine Anwendungen geeignet. Es kann durch Programmierung des entsprechenden bit im Kommandowort auf L-Pegel gesetzt werden. Das $\overline{\text{DTR}}$ -Signal wird im allgemeinen zur Modem-Steuerung wie »Datenstation bereit« oder zur Auswahl der Übertragungsgeschwindigkeit eingesetzt.
RxRDY	Receiver Ready – Empfänger bereit. Dieser Ausgang weist darauf hin, daß der '8251 ein Zeichen enthält, das in den μ P eingegeben werden kann. RxRDY kann an die Unterbrechungslogik des μ P angeschlossen werden, oder der μ P prüft bei Aufforderungsbetrieb den Zustand von RxRDY mit einem Zustandslesebefehl. RxRDY wird beim Lesen eines Zeichens vom μ P rückgesetzt. /	SYNDET	SYNC Detect – Synchronisationserkennung. Dieser Anschluß wird nur bei Synchronbetrieb verwendet, als Eingang oder Ausgang, wie er mit dem Steuerwort programmiert worden ist. Es wird durch L-Pegel am RESET-Anschluß rückgesetzt. Wenn man den Anschluß als Ausgang benutzt (interne Synchronisation), nimmt der SYNDET-Anschluß H-Pegel an. Für Empfangsbetrieb muß der '8251 ein SYN-Zeichen er-

kannt haben. Ist er für 2fache Synchronisationszeichen programmiert, nimmt SYNDET H-Pegel in der Mitte des letzten bit des 2:SYN-Zeichens an. SYNDET wird bei einem Zustandslesevorgang automatisch rückgesetzt. Verwendet man den Anschluß als Eingang (externe Synchronisationserkennung), beginnt der '8251 nach der LH-Flanke des Signals mit dem Zusammensetzen eines Datenzeichens, wenn die nächste HL-Flanke von RxC auftritt. Sobald die Synchronisation geschehen ist, kann der H-Pegel des Eingangssignals entfallen. Request to Send – Sendeaufforderung. Das RTS-Ausgangssignal ist für allgemeine Anwendungen geeignet. Es kann durch Programmierung des entsprechenden bit im Kommandobefehlswort auf L-Pegel gesetzt werden. Das RTS-Ausgangssignal wird im allgemeinen zur Modem-Steuerung wie »Sendeaufforderung« eingesetzt. Clear to Send – Sendebereitschaft. L-Pegel an diesem Eingang gibt den '8251 frei für das Senden von Daten (seriell), wenn das TxE-bit im Befehlsbyte auf 1 gesetzt ist. Transmitter Empty – Sendepuffer leer. Wenn im '8251 keine Zeichen zum Aussenden vorhanden sind, nimmt der TxE-Ausgang H-Pegel an. Er wird beim Empfang eines Zeichens vom µP automatisch rückgesetzt. TxE kann zur Kennzeichnung der Betriebsart »Ende der Übertragung« verwendet wer-

den, damit der µP die Sende-richtung bei Halbduplexbetrieb umkehrt. Bei Synchronbetrieb zeigt H-Pegel an diesem Ausgang an, daß kein Zeichen im '8251 vorhanden ist und ein oder mehrere SYN-Zeichen automatisch als Füllzeichen ausgesendet werden.

RTS

CTS

TxE

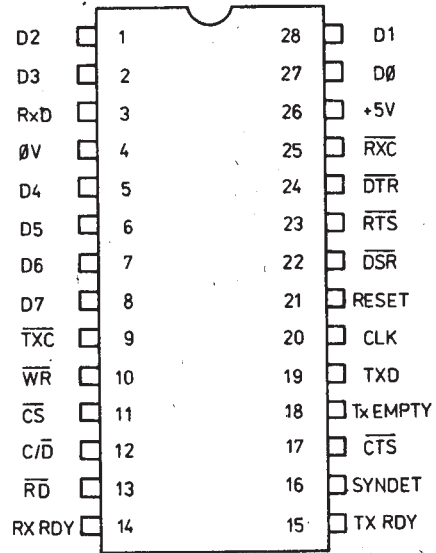


Bild 1 Anschlußbelegung

Tabelle 1 Steuerinformationen

C/D	RD	WR	CS	
0	0	1	0	'8251 → Datenbus
0	1	0	0	Datenbus → '8251
1	0	1	0	Zustand → Datenbus
1	1	0	0	Datenbus → Steuerlogik
X	X	X	1	Datenbus hochohmig

4. Peripherieschaltkreise

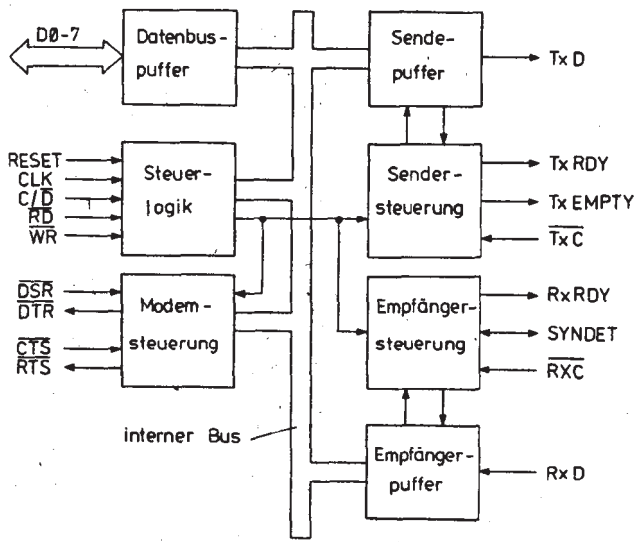


Bild 2
Übersichtsschaltplan

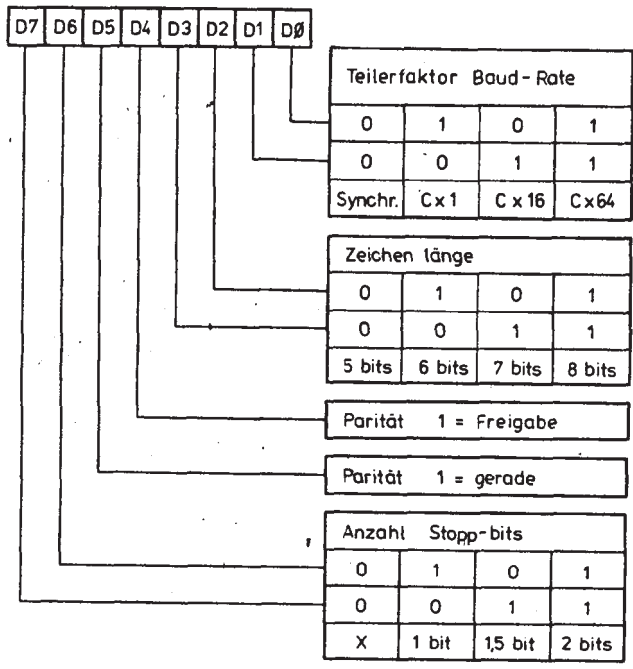


Bild 3
Steuerwort Asynchronbetrieb

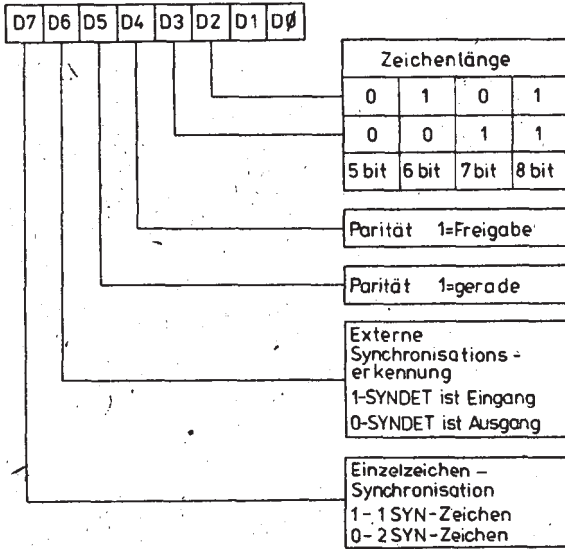


Bild 4
Steuerwort Synchronbetrieb

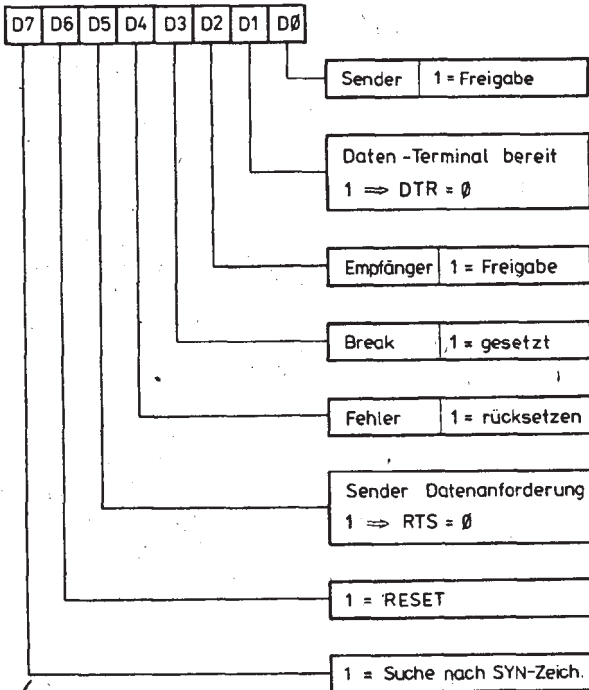


Bild 5
Kommandowort

4. Periphereschaltkreise

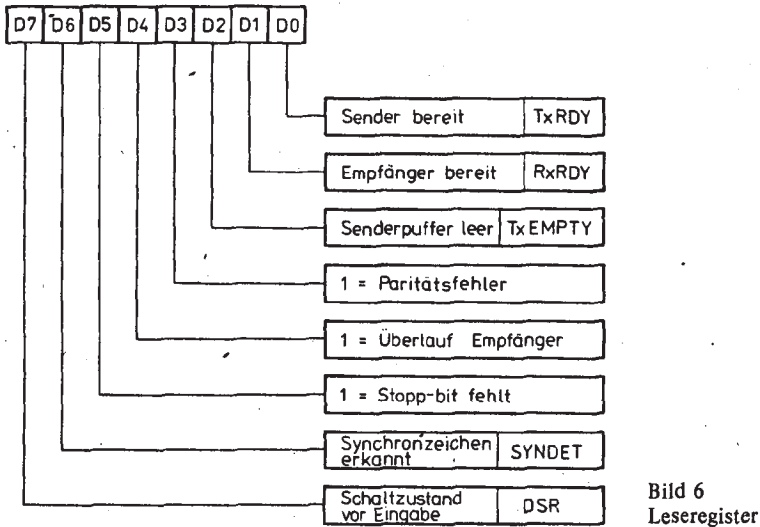


Bild 6
Leseregister

Tabelle 2 Statische Kennwerte
($\vartheta_a = 0$ bis 70°C ; $U_{CC} = +5\text{V} \pm 5\%$;
 $U_{SS} = 0\text{V}$)

	Grenzwerte			
	min.	typ.	max.	
L-Eingangsspannung U_{IL} in V	$U_{SS} - 0,5\text{V}$		0,8	Kapazitäten ($\vartheta_a = 25^\circ\text{C}$)
H-Eingangsspannung U_{IH} in V	2		U_{CC}	
L-Ausgangsspannung U_{OL} in V (bei $I_{OL} = 1,6\text{mA}$)			0,45	Maximal- werte
H-Ausgangsspannung U_{OH} in V (bei $I_{OH} = -100\mu\text{A}$)	2,2			
Datenbus-Leckstrom I_{DL} in μA (bei $U_O = 4,5\text{V}$)			50	Eingangskapazität C_{IN} in pF 10 (bei $f = 1\text{MHz}$)
Eingangsstrom I_{LI} in μA			10	E/A-Kapazität $C_{I/O}$ in pF 20 (nicht gemessene Anschlüsse liegen an Masse)
Stromaufnahme I_{CC} in mA		45	80	

Tabelle 3 Dynamische Kennwerte – Schaltzeiten

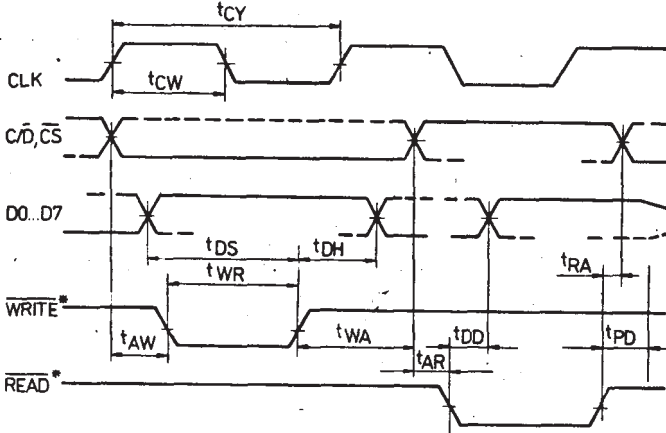
($\vartheta_a = 0$ bis 70°C ; $U_{CC} = +5\text{V} \pm 5\%$;
 $U_{SS} = 0\text{V}$)

	Grenzwerte			Grenzwerte	
	min.	max.		min.	max.
Taktperiode t_{CY} in μs	0,42	1,35	Rx-Datenhaltezeit bis Ab-	2	
Taktpulsbreite t_{OW} in ns	220	300	tastimpuls t_{HRx} in μs		
Taktanstiegs- und Abfall-	0	50	Eingangsfrequenz des Sen-		
zeit t_R, t_F in ns			ders f_{Tx} in kHz		
WR-Pulsbreite t_{WR} in ns	430		1x	Datenüber-	56
Datenvorbereitungszeit für	0		16x, 64x		tragungsge-
\overline{WR} t_{DS} in ns				schwindigkeit	
Datenhaltezeit für \overline{WR} t_{DH}	65		Eingangsfrequenz des		
in ns			Empfängers f_{Rx} in kHz		
Adresse stabil für \overline{WR} t_{AW}	20		1x	Datenüber-	56
in ns			16x, 64x		tragungsge-
Adressenhaltezeit für \overline{WR}	35			schwindigkeit	
t_{WA} in ns			Verzögerung von TxRDY		16
\overline{RD} -Pulsbreite t_{RD} in ns	430		von der Mitte des Datenbit		
\overline{RD} bei Daten undefiniert	350		t_{Tx}^*		
t_{DD} in ns			Verzögerung von RxRDY	15	20
Adresse stabil vor \overline{RD} , CE	50		von der Mitte des Datenbit		
(C/\overline{D}) t_{AR} in ns			t_{Rx}^*		
Adressenhaltezeit für \overline{RD} ,	5		Interne SYNDET-Verzöge-	20	25
CE t_{RA1} in ns			rung von der Mitte des Da-		
Adressenhaltezeit für \overline{RD} ,	370		tenbit t_{IS}^*		
C/\overline{D} t_{RA2} in ns			Externe SYNDET-Vorbe-		15
Verzögerung von TxD	1		reitungszeit vor der abfal-		
nach fallender Flanke von			lenden Flanke von RxC		
TxC t_{DTx} in μs			t_{ES}^*		
Rx-Datenvorbereitungszeit	2				
bis Abtastimpuls t_{SRx} in μs					

* Bei Synchronbetrieb t_{Tx} oder $t_{Rx} \geq 30 t_{CY}$,
 bei Asynchronbetrieb t_{Tx} oder $t_{Rx} \geq 4,5 t_{CY}$.

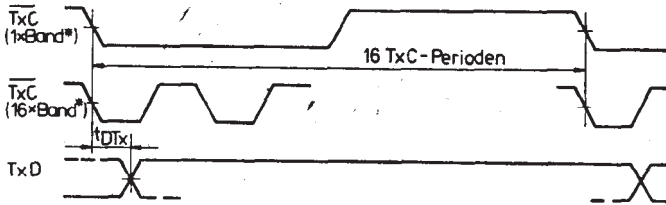
4. Peripherieschaltkreise

Zeitablauf für Lesen und Schreiben



* Die Schreib-/Leseimpulse unterliegen keinen zeitlichen Beschränkungen bezüglich CLK

Sendetakt und Daten

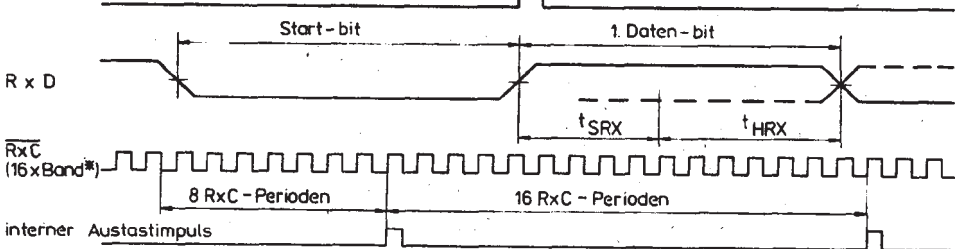


* Datenübertragungsgeschwindigkeit

Bild 7
Impulsdiagramme

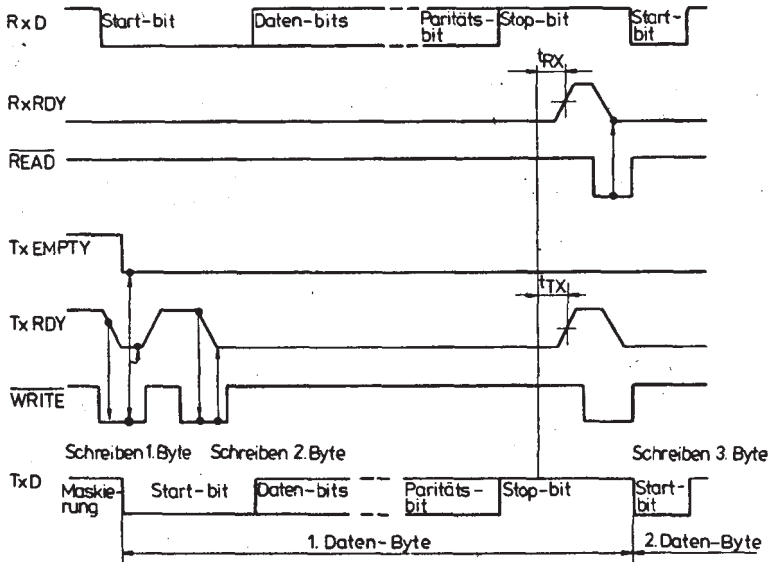


interner Austastimpuls

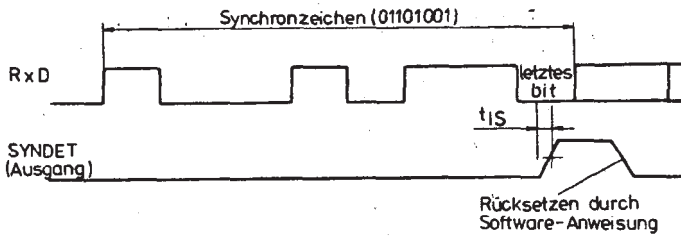


* Datenübertragungsgeschwindigkeit

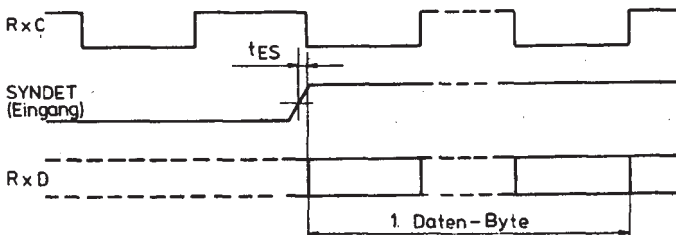
Tx RDY und Rx RDY Zeitablauf (Asynchronbetrieb)



Interne Synchronisationserkennung



Externe Synchronisationserkennung



4.10. Programmierbarer Zähler und Zeitgeber (Timer) KR 580 WI53

Vergleichstypen
18253 Intel

Beschreibung

Der '8253 ist ein programmierbarer Zähler-/Timer-Schaltkreis zur Anwendung in Mikrocomputer-Systemen.

Er wird in nMOS-Technologie gefertigt und benötigt nur +5 V Versorgungsspannung.

Der '8253 ist mit 3 unabhängigen Zählern aufgebaut, die als höchste Zählfrequenz 2 MHz verarbeiten können. Alle Betriebsarten sind softwaremäßig zu programmieren.

Mit dem '8253 kann eines der wichtigsten Probleme in Mikroprozessor-Systemen gelöst werden, das programmierbare Bereitstellen von exakten Zeitfolgen.

Folgende Betriebsarten sind programmierbar:

- programmierbarer Taktgenerator,
- Ereigniszähler,
- binärer Multiplizierer,
- digitaler Monoflop,
- Echtzeituhr.

Anschlußbeschreibung

\overline{RD} Read, Lesen; low-aktiv, Eingang. Informiert den '8253, daß die CPU Daten in einen Zähler laden will.

\overline{WR} Write, Schreiben; low-aktiv, Eingang. Informiert den '8253, daß die CPU Daten des geladenen Zählers oder eine Betriebsartinformation lesen will.

A0, A1 Adressen, Eingänge. Diese Anschlüsse werden im allgemeinen mit dem Adreßbus verbunden. Sie wählen einen der 3 Zähler aus, indem sie auf das Kontrollregister zur Auswahl der Betriebsart wirken.

\overline{CS}

Chip Select, Schaltkreisauswahl; low-aktiv, Eingang. Mit diesem Signal wird der Schaltkreis angewählt. Er hat keine Wirkung auf die aktuelle Operation des Zählers.

D0 bis D7

8 bit bidirektionaler, gepufferter Datenbus; Tri-state, 3 Basisfunktionen:

- Programmieren der Betriebsarten des '8253,
- Laden der Zählerregister,
- Lesen der Zählerstände.

CLK0 bis

Zählertakteingänge (für jeden Zähler getrennt).

CLK2

Gate0 bis

Toreingänge, Freigabeeingänge (für jeden Zähler getrennt).

Gate2

Out0 bis

Zählerausgänge.

Out2

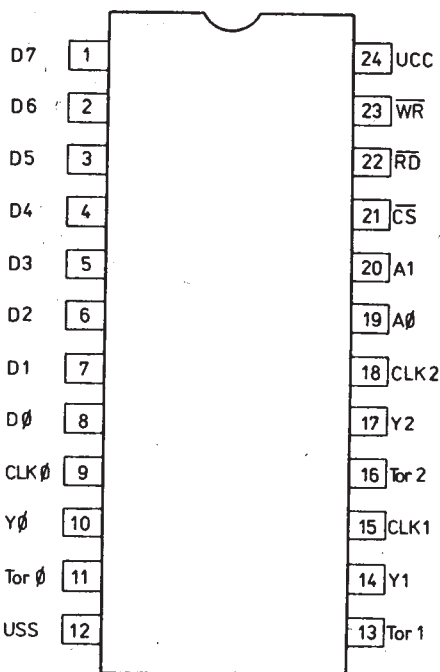


Bild 1
Anschlußbelegung

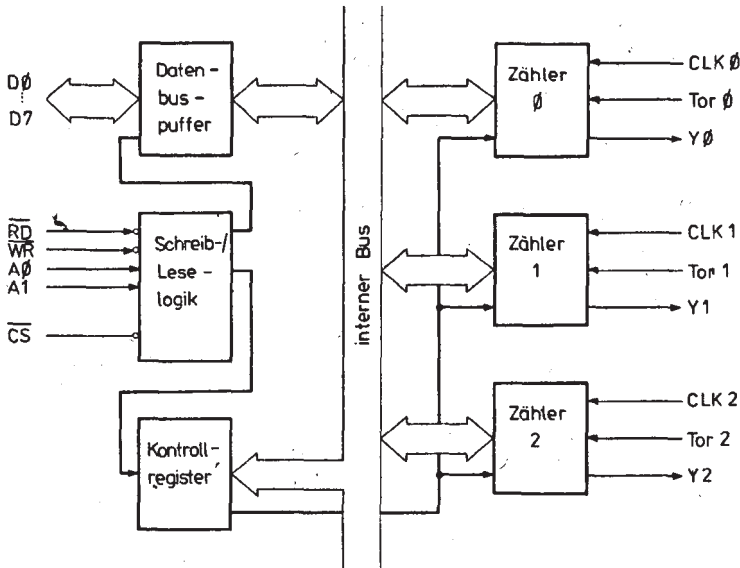


Bild 2
Übersichtsschaltplan

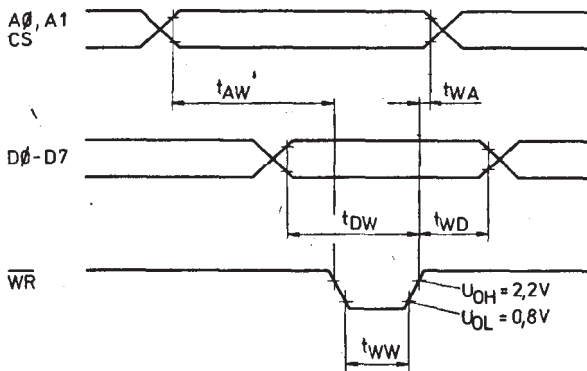


Bild 3
Zeitdiagramm Schreibzyklus

- D \emptyset - D7 Datenbus 8 bit
- CLK N Zählertakteingang
- Tor N Zählertoreingang
- Y N Zählerausgang
- RD Zählereinlesen
- WR Schreibkommando
- CS Bausteinauswahl
- A \emptyset , A1 Zählerauswahl

Bild 6
Anschlußbezeichnungen

4. Peripherieschaltkreise

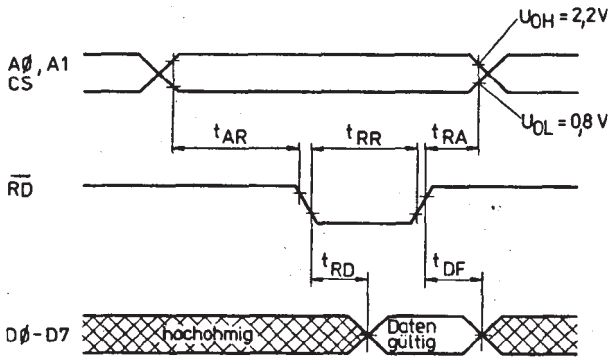


Bild 4
Zeitdiagramm Lesezyklus

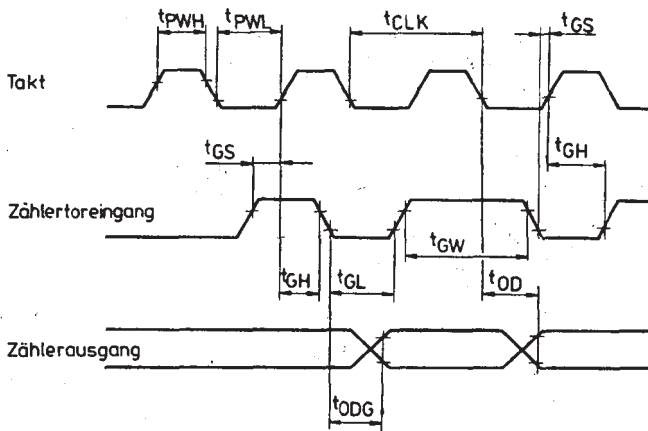


Bild 5
Zeitdiagramm Takt- und
Zählertoreingangszeiten

Tabelle 1 Funktionstabelle des '8253

\overline{CS}	\overline{RD}	\overline{WR}	A_1	A_0	Funktion
0	1	0	0	0	Laden Zähler 0
0	1	0	0	1	Laden Zähler 1
0	1	0	1	0	Laden Zähler 2
0	1	0	1	1	Schreiben Betriebsart
0	0	1	0	0	Lesen Zähler 0
0	0	1	0	1	Lesen Zähler 1
0	0	1	1	0	Lesen Zähler 2
0	0	1	1	1	keine Operation, Tri-state
1	X	X	X	X	nicht angewählt, Tri-state
0	1	1	X	X	keine Operation, Tri-state

Tabelle 2 Dynamische Kennwerte des '8253
 ($\theta_a = 0$ bis 70°C ; $U_{CC} = 5,0\text{ V} \pm 5\%$;
 $C_L = 100\text{ pF}$)

	'8253	'8253-5		'8253	'8253-5
Schreibzyklus			Takt- und Zählertoreingangszeiten		
Adressen stabil vor	>50	>30	Taktzeit t_{CLK} in ns	<380	<380
WRITE t_{AW} in ns			H-Impulsbreite t_{PWH}	<230	<230
Adressenhaltezeit vor	>30	>30	in ns		
WRITE t_{WA} in ns			L-Impulsbreite t_{PWL}	<150	<150
WRITE-Impulsbreite	>400	>300	in ns		
t_{WW} in ns			H-Zählerimpulsbreite	<150	<150
Datenvorhaltezeit vor	>300	>250	t_{GW} in ns		
WRITE t_{DW} in ns			L-Zählerimpulsbreite	<100	<100
Datenhaltezeit vor	>40	>30	t_{GL} in ns		
WRITE t_{WD} in ns			Zählerimpulsvorhalte-	<100	<100
Totzeit zwischen	>1	>1	zeit von LH-Taktflanke		
WRITE und einem an-			t_{GS} in ns		
deren Steuersignal t_{RV}			Zählerimpulshaltezeit	<50	<50
in μs			nach LH-Taktflanke		
Lesezyklus			t_{OH} in ns		
Adressen stabil vor	>50	>30	Ausgangsverzögerungs-	>400	>400
READ t_{AR} in ns			zeit nach HL-Takt-		
Adressenhaltezeit vor	>5	>5	flanke t_{OD} in ns		
READ t_{RA} in ns			Ausgangsverzögerungs-	>300	>300
READ-Impulsbreite t_{RR}	>400	>300	zeit nach HL-Zählerim-		
in ns			puls t_{ODG} in ns		
Datenverzögerung nach	<300	<250	Die statischen Kennwerte können aus der Tabelle		
READ t_{RD} in ns			des '8251 ersehen werden.		
READ bis Datenverlust	25 bis	25 bis			
t_{DF} in ns	125	100			
Totzeit zwischen	>1	>1			
READ und einem an-					
deren Steuersignal t_{RV}					
in μs					

4. Peripherieschaltkreise

4.11. Programmierbarer Ein-/Ausgabeschaltkreis '8255A

Vergleichstypen

MCY 7855A	CEMI-UNITRA
MHB 8255A	TESLA
KR 580 IK 55A	Elorg
18255A	Intel
SAB 8255A	Siemens

Beschreibung

Der '8255A ist ein programmierbarer Ein-/Ausgabebaustein zum vorzugsweisen Anschluß an ein 8080- μ P-System. Er verfügt über 24 Ein-/Ausgabeanschlüsse, die in 2 Gruppen zu je 12 Anschlüssen und 3 Hauptbetriebsarten frei programmierbar sind. In der 1. Betriebsart (MODE 0) kann jede Gruppe von 12 Ein-/Ausgabeanschlüssen in Gruppen zu je 4 Ein- oder Ausgängen programmiert werden.

Im MODE 1 werden jeweils 8 Ein-/Ausgabeanschlüsse programmiert. Von den restlichen 4 Anschlüssen werden 3 für Handshake- und Interrupt-Kontrollsignale verwendet. In MODE 2 wird ein bidirektionaler Bus gebildet, der jeweils 8 Anschlüsse für den bidirektionalen Datenverkehr und 5 Anschlüsse (1 Anschluß wird von der anderen Gruppe »geborgt«) für den Handshake nutzt.

Außerdem ist das direkte Setzen und Rücksetzen einzelner bits möglich. Der mögliche, maximale Strom beträgt 1 mA bei einer Spannung von 1,5 V. Damit können *Darlington*-Transistoren in Anwendungen für Drucker und Hochspannungs-Anzeigeeinheiten direkt angesteuert werden.

Anschlußbeschreibung

D0 bis D7 Bidirektionaler Datenbus; ein 8 bit breiter 2-Weg-Puffer mit 3 Ausgangszuständen verbindet den '8255 mit dem System-Datenbus. Daten werden bei der Ausführung der Befehle Eingabe (IN-PUT) und Ausgabe (OUT-PUT) vom Puffer ausgegeben oder empfangen. Steuerworte und Zustandsinformationen werden

ebenfalls durch den Datenbuspuffer übertragen.

\overline{CS} Chip Select - Bausteinauswahl. L-Pegel an diesem Eingang veranlaßt den Informationsaustausch zwischen dem '8255 und dem '8080.

\overline{RD} Read - Lesen. L-Pegel an diesem Eingang läßt den '8255 Daten oder Zustandsinformationen über den Datenbus an den '8080 senden.

RESET Reset - Rücksetzen. H-Pegel an diesem Eingang setzt alle unteren Register einschließlich des Steuerregisters zurück, bringt alle Kanäle (A, B, C) in die Betriebsart Eingabe.

A0, A1 Kanalauswahl 0 und Kanalauswahl 1. Gemeinsam mit den Eingängen \overline{RD} und \overline{WR} steuern diese Eingangssignale die Auswahl eines der 3 Kanäle oder des Steuerwortregisters. Normalerweise sind sie mit den niederwertigsten bits (A0 und A1) des Adressenbus verbunden.

PA0 bis PA7 Kanal A (bit 0 bis bit 7).

PB0 bis PB7 Kanal B (bit 0 bis bit 7).

PC0 bis PC7 Kanal C (bit 0 bis bit 7).

U_{CC} Betriebsspannung (+5 V).

Betriebsbeschreibung

3 wesentliche Betriebsarten können durch die Systemsoftware festgelegt werden:

Betriebsart 0: Einfache Ein- und Ausgabe,

Betriebsart 1: Getastete Ein- und Ausgabe,

Betriebsart 2: Zweiweg-Bus.

Liegt am Rücksetzeingang (reset) H-Pegel an, werden alle Kanäle in den Eingabezustand gebracht (d. h., die 24 Leitungen haben einen hohen Eingangswiderstand). Nach Ende des Rücksetzsignals bleibt der '8255 im Eingabezustand, ohne daß zusätzliche Einstellungen notwendig sind. Damit kann ein einzelner '8255 unterschiedliche periphere Geräte mit einem einfachen Software-Verwaltungsprogramm bedienen.

Die Betriebsarten der Kanäle A und B können unabhängig voneinander definiert werden, während Kanal C entsprechend den Erfordernissen der Kanäle A und B in 2 Teile aufgeteilt wird. Wechselt die Betriebsart, werden alle Ausgaberegister einschließlich des Zustands-Flip-Flops zurückgesetzt. Betriebsarten können kombiniert werden, so daß sich ihre funktionelle Definition auf jede E/A-Struktur maßschneidern läßt. Zum Beispiel kann die Gruppe B für die Betriebsart 0 programmiert sein, um das Schließen von Schaltern zu überwachen oder Rechenresultate anzuzeigen; während die Gruppe A für die Betriebsart 1 programmiert sein könnte, um eine Tastatur oder einen Lochstreifenleser durch eine Unterbrechungssteuerung zu überwachen.

Einzelbit-Setzen/Rücksetzen

Jedes der 8 bit des Kanals C kann durch einen Ausgabebefehl (OUTPUT) gesetzt oder rückgesetzt werden. Diese Eigenschaft verringert den Softwareaufwand. Wird der Kanal C für Zustands- und Steuerzwecke für Kanal A oder B verwendet, können die bit durch die Operation »Bit setzen/rücksetzen«, wie bei einem Datenausgabekanal gesetzt oder rückgesetzt werden.

Unterbrechungssteuerungsfunktionen

Ist der '8255 für Betriebsart 1 oder 2 programmiert, stehen Steuersignale zur Verfügung, die als Unterbrechungsanforderungssignale für den '8080 benutzt werden können. Die vom Kanal C erzeugten Unterbrechungsanforderungssignale können durch Setzen oder Rücksetzen des dazugehörigen INTE-Flip-Flops gesperrt oder freigegeben werden, indem die Funktion »bit setzen/rücksetzen« des Kanals C angesprochen wird.

Definitionen für das INTE-Flip-Flop

(bit-SET) – INTE ist gesetzt, Unterbrechung freigegeben, (bit-RESET) – INTE ist rückgesetzt, Unterbrechung gesperrt.

- Alle Maskierungs-Flip-Flops werden bei der Auswahl der Betriebsart und beim Rücksetzen des Bausteins automatisch rückgesetzt.

Betriebsart 0 (Einfache Ein- und Ausgabe)

Diese Funktionsanordnung ermöglicht eine einfache Eingabe und Ausgabe für jeden der 3 Kanäle. Es ist kein Quittungsaustausch erforderlich, denn Daten werden einfach in den ausgewählten Kanal geschrieben oder aus ihm gelesen.

Prinzipielle Funktionsdefinitionen der Betriebsart 0:

- 2 8-bit-Kanäle und 2 4-bit-Kanäle,
- jeder Kanal kann Eingang oder Ausgang sein,
- Ausgänge haben Zwischenspeicher, Eingänge arbeiten ohne Zwischenspeicher, 16 unterschiedliche Eingabe/Ausgabekombinationen sind bei dieser Betriebsart möglich.

Betriebsart 1 (getastete Ein- und Ausgabe)

Diese Funktionsanordnung dient zum Austausch von Ein-/Ausgabedaten zu oder von einem ausgewählten Kanal in Verbindung mit Abtastimpulsen oder Quittungssignalen. Kanal A und Kanal B benutzen in der Betriebsart 1 die Leitungen des Kanals C, um diese Quittungssignale zu erzeugen oder zu empfangen.

Prinzipielle Funktionsdefinitionen der Betriebsart 1:

- 2 Gruppen (Gruppe A und Gruppe B),
- jede Gruppe umfaßt einen 8-bit-Datenkanal und einen 4-bit-Steuer- und Datenkanal,
- der 8-bit-Datenkanal kann entweder als Eingang oder Ausgang verwendet werden,
- der 4-bit-Kanal wird für Steuer- und Zustandszwecke für die 8-bit-Datenkanäle benutzt.

Definitionen der Eingangssteuersignale

/STB (Übernahmesignal-Eingang)

L-Pegel an diesem Eingang bewirkt, daß Daten in den Eingangszwischenspeicher geladen werden.

4. Peripherieschaltkreise

IBF (Eingabepuffer-Flip-Flop, geladen)

H-Pegel an diesem Ausgang zeigt an, daß die Daten in den Eingangszwischenspeicher geladen wurden; das entspricht einer Quittung. IBF wird durch die fallende Flanke des STB-Eingangs gesetzt und durch die ansteigende Flanke des RD-Eingangs rückgesetzt.

INTR (Unterbrechungsanforderung)

H-Pegel an diesem Ausgang kann dazu ausgenutzt werden, das Hauptprogramm des Mikroprozessors zu unterbrechen, wenn ein Eingabegerät bedient werden soll. INTR wird durch die ansteigende Flanke von /STB gesetzt, falls IBF auf »1« und INTE auf »1« gesetzt sind. Es wird durch die fallende Flanke von /RD rückgesetzt. Dieser Vorgang ermöglicht es dem Eingabegerät, vom Mikroprozessor durch einfaches Eintasten seiner Daten in den Kanal bedient zu werden.

INTE A

Wird gesteuert durch bit setzen/rücksetzen von PC₄.

INTE B

Wird gesteuert durch bit setzen/rücksetzen von PC₂.

Definition der Ausgangssteuersignale

/OBF (Ausgabepuffer-Flip-Flop geladen)

Der /OBF-Ausgang nimmt L-Pegel an, wenn der Mikroprozessor Daten in den ausgewählten Kanal geschrieben hat. Das /OBF-Flip-Flop wird von der ansteigenden Flanke des WR-Eingangs gesetzt und von der fallenden Flanke des /ACK-Signals rückgesetzt.

/ACK (Quittungseingang)

L-Pegel an diesem Eingang zeigt dem Mikroprozessor an, daß Daten von Kanal A oder B übernommen werden, d. h., dieses Signal ist eine Antwort des Peripheriegeräts, das den Empfang der vom Mikroprozessor ausgegebenen Daten bestätigt.

INTR (Unterbrechungsanforderung)

H-Pegel an diesem Ausgang kann zum Unterbrechen des Mikroprozessors verwendet

werden, wenn das Ausgabegerät die vom Mikroprozessor ausgesendeten Daten übernommen hat. INTR wird durch die ansteigende Flanke von /ACK gesetzt, wenn gleichzeitig /OBF auf »1« und INTE auf »1« gesetzt sind. Es wird mit der fallenden Flanke von /WR rückgesetzt.

INTE A

Wird gesteuert durch bit setzen/rücksetzen von PC₆.

INTE B

Wird gesteuert durch bit setzen/rücksetzen von PC₂.

Betriebsart 2 (getastete, bidirektionale Bus-Ein- und Ausgabe)

Diese funktionelle Anordnung ermöglicht den Datenaustausch mit einem Peripheriegerät oder einer Schaltung auf einem 8-bit-Bus, über den Daten gesendet und empfangen werden. Der richtige Datenfluß auf dem Bus wird in ähnlicher Weise wie bei der Betriebsart 1 durch Quittungssignale gewährleistet. Die Erzeugung von Unterbrechungen und die Funktion Sperren/Freigeben stehen ebenfalls zur Verfügung.

Prinzipielle Funktionsdefinitionen der Betriebsart 2:

- nur in Gruppe A verwendbar,
- ein bidirektionaler 8-bit-Buskanal (Kanal A) und ein 5-bit-Steuerkanal (Kanal C),
- Eingänge und Ausgänge verfügen über Pufferspeicher,
- der 5-bit-Steuerkanal (Kanal C) wird für Steuer- und Zustandszwecke für den bidirektionalen 8-bit-Buskanal (Kanal A) verwendet.

Definition der Steuersignale für die bidirektionale Bus-Ein- und -ausgabe

INTR (Unterbrechungsanforderung)

H-Pegel an diesem Ausgang kann bei Ein- und Ausgaben zum Unterbrechen des Hauptprogramms benutzt werden.

Ausgabebetrieb

/OBF (Ausgabepuffer geladen)

Der /OBF-Ausgang nimmt H-Pegel an, wenn der Mikroprozessor Daten in den Kanal A geschrieben hat.

/ACK (Quittierung)

L-Pegel an diesem Eingang gibt den Tri-state-Ausgabepuffer des Kanals A zum Senden von Daten frei. Sonst befindet sich der Ausgabepuffer im hochohmigen Zustand.

INTE 1 (INTE-Flip-Flop im Zusammenhang mit /OBF)

Wird gesteuert durch bit setzen/rücksetzen von PC₆.

Eingabebetrieb

/STB (Tasteingang)

L-Pegel an diesem Eingang lädt Daten in den Eingabe-Zwischenspeicher.

IBF (Eingabepuffer voll-Flip-Flop)

H-Pegel an diesem Ausgang zeigt an, daß Daten in den Eingabe-Zwischenspeicher geladen wurden.

INTE 2 (INTE-Flip-Flop im Zusammenhang mit IBF)

Wird gesteuert durch bit setzen/rücksetzen von PC₄.

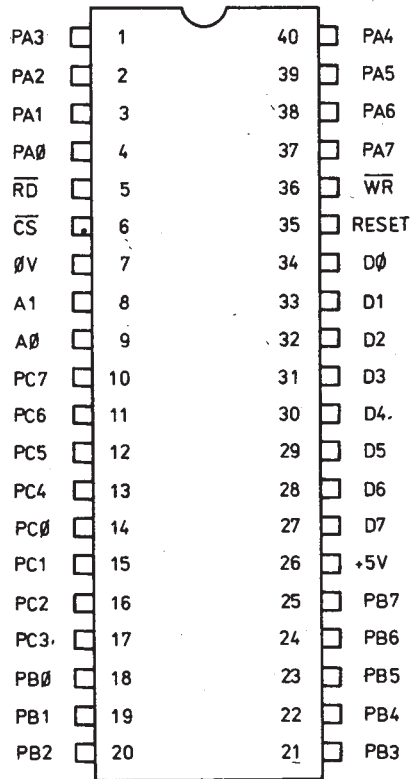


Bild 1
Anschlußbelegung

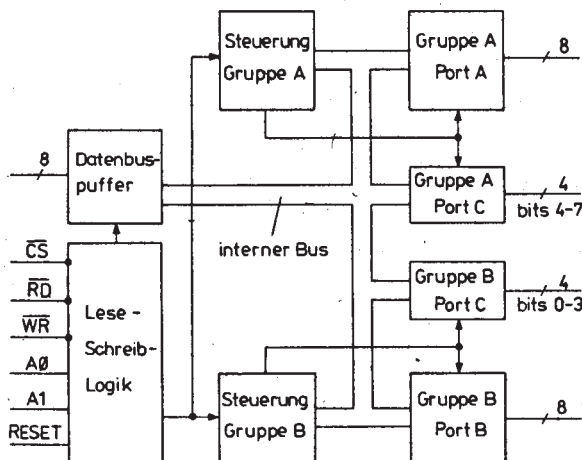


Bild 2
Übersichtsschaltplan

4. Peripherieschaltkreise

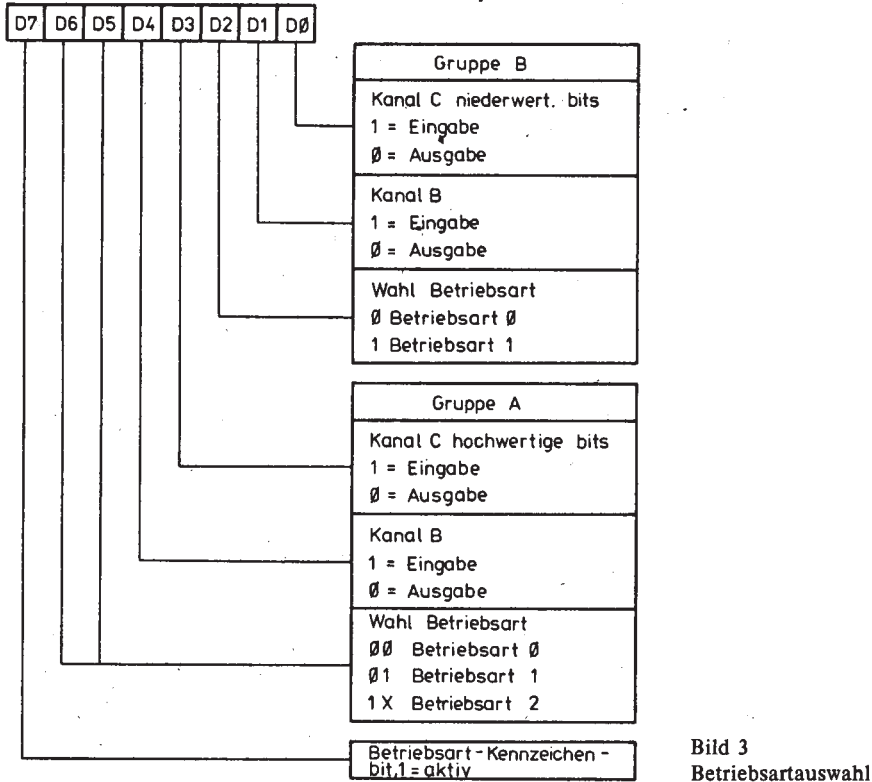


Bild 3 Betriebsartauswahl

Tabelle 1 Funktionstabelle

A ₁	A ₀	\overline{RD}	\overline{WR}	\overline{CS}	Funktion
					Eingabeoperationen (Lesen)
0	0	0	1	0	Datenbus ← Port A
0	1	0	1	0	Datenbus ← Port B
1	0	0	1	0	Datenbus ← Port C
					Ausgabeoperationen (Schreiben)
0	0	1	0	0	Datenbus → Port A
0	1	1	0	0	Datenbus → Port B
1	0	1	0	0	Datenbus → Port C
1	1	1	0	0	Datenbus → Control
X	X	X	X	1	Datenbus hochohmig
1	1	0	1	0	Belegung nicht gestattet
X	X	1	1	0	Datenbus hochohmig

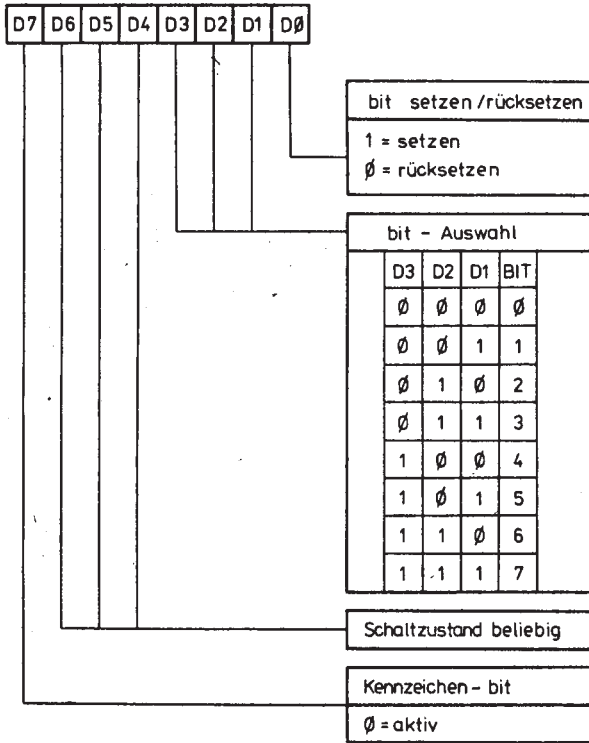


Bild 4
Steuerwort Bitsetzen

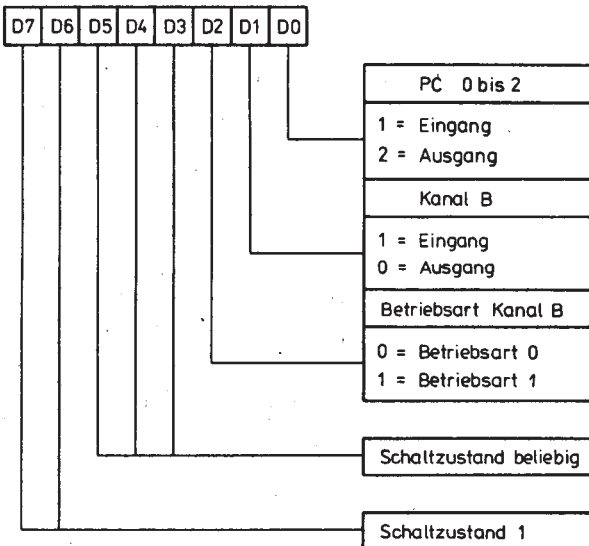


Bild 5
Steuerwort bidirektionale Betriebsart

4. Peripherieschaltkreise

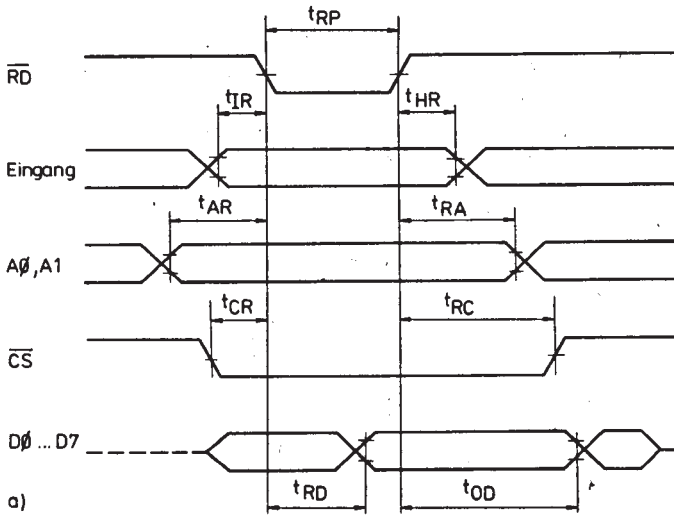
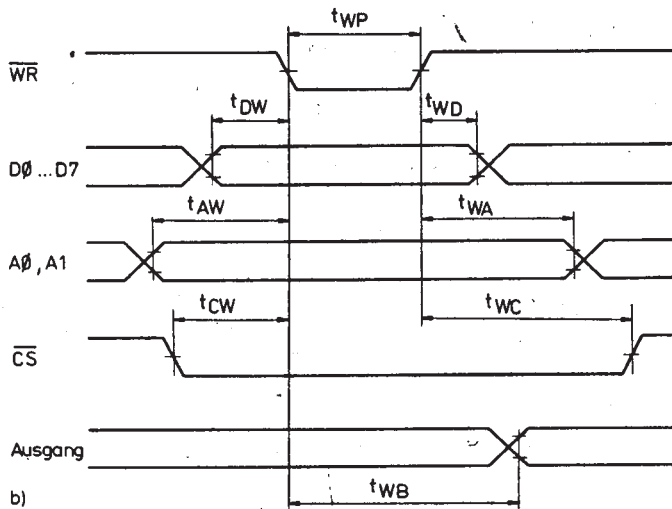
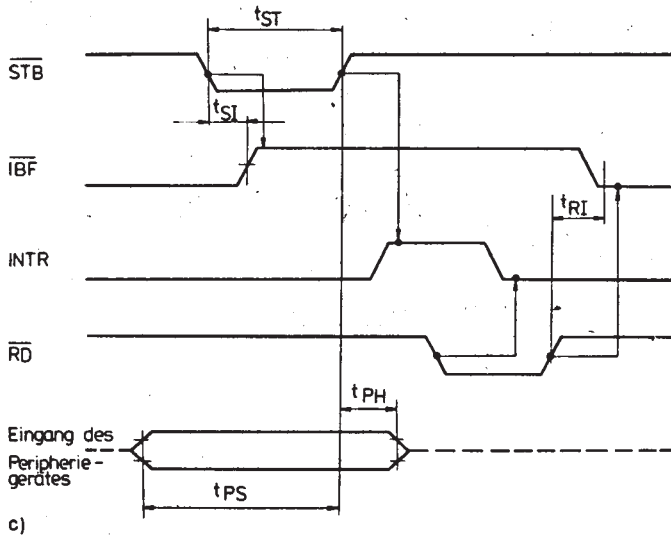
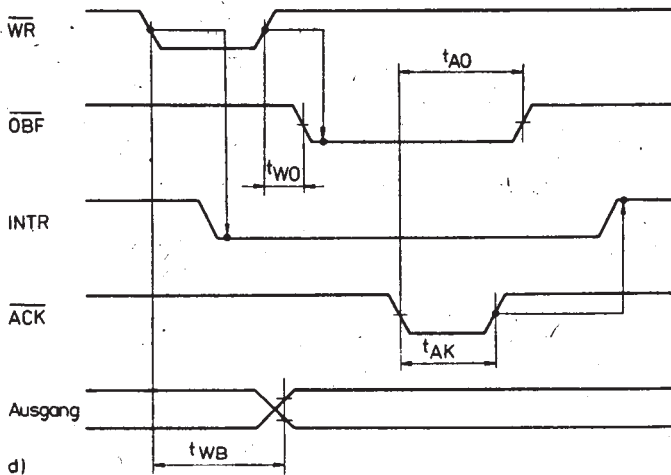


Bild 6
 Impulsdiagramme; a -
 Betriebsart 0 (einfache
 Eingabe), b - Betriebs-
 art 0 (einfache Ausgabe),
 c - Betriebsart 1 (getas-
 tete Eingabe), d - Bet-
 riebsart 1 (getastete
 Ausgabe), e - Betriebs-
 art 2 (bidirektionaler
 Bus)





c)



d)

4. Peripherieschaltkreise

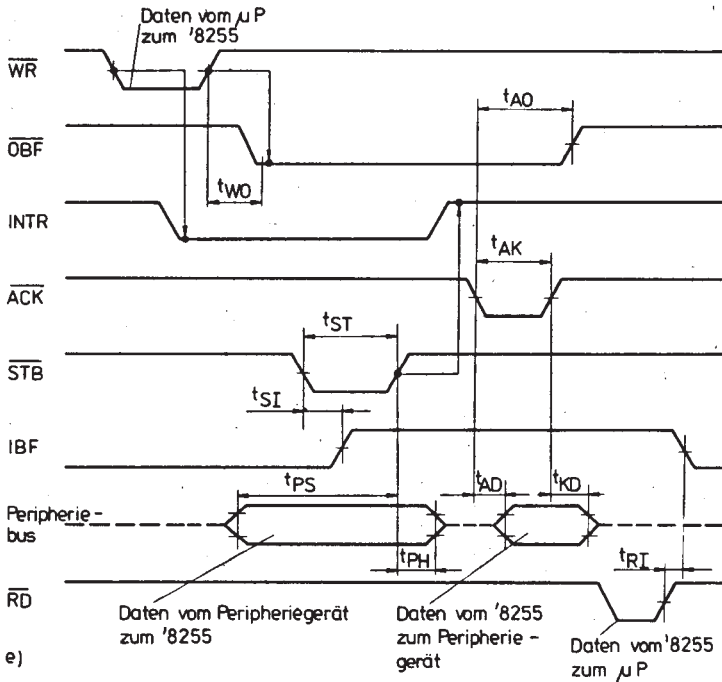


Bild 6e

Tabelle 2 Statische Kennwerte ($\vartheta_u = 0$ bis 70°C ; $U_{CC} = +5\text{V} \pm 5\%$)

Kenngröße	Werte		Kenngröße	Werte		
	min.	typ. max.		min.	typ.	max.
L-Eingangsspannung U_{IL} in V	-0,5	0,8	H-Ausgangsspannung U_{OH} in V (Datenbus, $I_{OH} = -400 \mu\text{A}$)	2,4		
H-Eingangsspannung U_{IH} in V	2	U_{CC}	H-Ausgangsspannung U_{OH} in V (andere Ausgänge, $I_{OL} = -200 \mu\text{A}$)	2,4		
L-Ausgangsspannung U_{OL} in V (Datenbus, $I_{OL} = 2,5 \text{ mA}$)		0,45	Darlington-Treiber- strom I_{OH} in mA ($U_{OH} = 1,5 \text{ V}$; $R_{OH} = 390 \Omega$)	-1	-2	-4
L-Ausgangsspannung U_{OL} in V (andere Ausgänge, $I_{OL} = 1,7 \text{ mA}$)		0,45	Stromaufnahme I_{CC} in mA		40	120

Tabelle 3 Dynamische Kennwerte ($\vartheta_u = 0$
bis 70°C ; $U_{CC} = +5\text{V} \pm 5\%$)

Kenngröße	Werte		Kenngröße	Werte	
	min.	max.		min.	max.
Impulsbreite von $\overline{\text{WR}}$ t_{WP} in ns		430	$\overline{\text{CS}}$ -Einschwingzeit vor $\overline{\text{RD}}$ t_{CR} in ns	50	
Datenbus-Einschwingzeit vor $\overline{\text{WR}}$ t_{DW} in ns	10		Impulsbreite des $\overline{\text{ACK}}$ t_{AK} in ns	500	
Datenbus-Einschwingzeit nach $\overline{\text{WR}}$ t_{WD} in ns	65		Impulsbreite des $\overline{\text{STB}}$ t_{ST} in ns	350	
Adressen-Einschwingzeit vor $\overline{\text{WR}}$ t_{AW} in ns	20		Vorbereitungszeit für Peri- pheriegeräte t_{PS} in ns	150	
Adressen-Einschwingzeit nach $\overline{\text{WR}}$ t_{WA} in ns	35		Haltezeit für Peripheriege- räte t_{PH} in ns	150	
$\overline{\text{CS}}$ -Einschwingzeit vor $\overline{\text{WR}}$ t_{CW} in ns	20		Haltezeit für A1 und A2 nach $\overline{\text{RD}} = 1$ t_{RA} in ns	379	
$\overline{\text{CS}}$ -Einschwingzeit nach $\overline{\text{WR}}$ t_{WC} in ns	35		Haltezeit für $\overline{\text{CS}}$ nach $\overline{\text{RD}} = 1$ t_{RC} in ns	5	
Verzögerung zwischen $\overline{\text{WR}}$ und Ausgabe t_{WB} in ns		500	Zeit von $\overline{\text{ACK}} = 0$ bis Aus- gabe (Betriebsart 2) t_{AD} in ns		500
Impulsbreite von $\overline{\text{RD}}$ t_{RP} in ns	430		Zeit von $\overline{\text{ACK}} = 1$ bis Aus- gang hochohmig t_{KD} in ns		300
Vorbereitungszeit von $\overline{\text{RD}}$ t_{IR} in ns	50		Zeit von $\overline{\text{WR}} = 1$ bis $\overline{\text{OBF}} = 0$ t_{WO} in ns		300
Eingangshaltezeit t_{HR} in ns	50		Zeit von $\overline{\text{ACK}} = 0$ bis $\overline{\text{OBF}} = 1$ t_{AO} in ns		500
Verzögerung zwischen $\overline{\text{RD}} = 0$ und Systembus t_{RD} in ns	350		Zeit von $\overline{\text{STB}} = 0$ bis $\text{IBF} = 1$ t_{SI} in ns		600
Verzögerung zwischen $\overline{\text{RD}} = 1$ und Systembus t_{OD} in ns	150		Zeit von $\overline{\text{RD}} = 1$ bis $\text{IBF} = 0$ t_{RI} in ns		300
Adressen-Einschwingzeit vor $\overline{\text{RD}}$ t_{AR} in ns	50				

4. Peripherieschaltkreise

4.12. Programmierbarer Interrupt-Controller (PIC) '8259A

Beschreibung

Der programmierbare Interrupt-Controller '8259A kann bis zu 8 vektorisierte Interrupts an die CPU geben. Dabei sind bis zu 64 Vektoren kaskadierbar. Der PIC '8259A befindet sich in einem 28poligen DIL-Gehäuse. Er wird in NMOS-Technik gefertigt und benötigt nur eine Betriebsspannung (+5 V). Der Schaltkreis arbeitet statisch (hat also keinen Takteingang). Der '8259A ist voll kompatibel zum '8259.

Folgende Betriebsarten sind möglich:

- geschachtelter Betrieb (die Prioritäten sind numeriert; IR0 - höchste, IR7 - niedrigste Priorität);
- Rotationsbetrieb (ein gerade bedienter Interrupt bekommt die niedrigste - der nebenliegende Interrupt die höchste Priorität);
- vorprogrammierte Prioritätsbesetzung.

Die Interruptquellen können maskiert werden. Weitere Möglichkeiten sind:

- Kaskadierung mehrerer PIC;
- Abfragebetrieb möglich;
- Eingangspegel statisch oder dynamisch.

Arbeitsweise des PIC '8259A

Die internen Register haben folgende Aufgaben:

- Register IRR (Interrupt Request Register) speichert die anfallenden Interruptanforderungen;
- Register IMR (Interrupt Mask Register) maskiert die Weitergabe der IRR-bit;
- Im Register ISR (Interrupt Service Register) wird das bit der höchsten Priorität gesetzt.

Bei einer Interruptanforderung bildet der PIC das Signal INT und erwartet als Antwort INTA. Über die Signale CS0 bis CS2 kann man ein System mit einem Master-Controller und 8 Slave-Controllern aufbauen. Dabei bildet der Master die Slave-NR. und gibt sie über CS0 bis CS2 an die Slave-Controller.

Programmierung

Der PIC '8259A wird durch 4 Steuerworte ICW 1 bis ICW 4 (ICW - Initial Command Word) voreingestellt (Grundinitialisierung) und durch 3 Steuerworte OCW 1 bis OCW 3 (Operation Command Word) programmiert.

Die OCW-Kommandos können nach der Initialisierung ständig gegeben werden.

Anschlußbezeichnungen

Anschluß	Funktion
D0 bis D7	Bidirektionaler Datenbus für: a - programmieren der Betriebsart des '8259A (durch Programm), b - der μ P liest den Zustand (Status) des '8259A, c - der '8259A will Vektordaten an den μ P senden, wenn ein Interrupt anerkannt ist.

IR0 bis IR7 Interrupt Request: asynchroner Eingang; eine LH-Flanke kann ein Interrupt Request (Gesuch) erzeugen, der H-Pegel muß konstant gehalten werden, bis er anerkannt ist oder bis zu einem negativen Impuls; die IR-Anschlüsse sind H-aktiv.

\overline{RD}

Read (Lesen) - mit dem entsprechenden Anschluß des μ P zu verbinden; 8228 im 8080-System, 8086 im 8086-System.

\overline{WR}

Write (Schreiben) - mit dem entsprechenden Anschluß des μ P zu verbinden.

\overline{INTA}

Interrupt Acknowledge (Unterbrechungsanerkennung):

- im 8080-System werden 3 verschiedene \overline{INTA} -Impulse erzeugt, wenn ein CALL eingefügt wird;
- im 8086-System werden 2 verschiedene \overline{INTA} -Impulse während eines Interrupt-Zyklus erzeugt.

\overline{CS}	Chip Select (Bausteinauswahl): \overline{RD} und \overline{WR} werden durch \overline{CS} freigegeben, während \overline{INTA} unabhängig von \overline{CS} ist; \overline{CS} ist L-aktiv.
A0	Entspricht der niedrigsten Adresse des μP -Adreßbusses, mit A0 = 1 kann das Interrupt-Mask-Register geladen oder gelesen werden. Wenn A0 = 0 ist, kann die Betriebsart des '8259A programmiert oder ihr Zustand gelesen werden.
INT	Direkt mit dem μP zu verbinden, INT ist H-aktiv.
CS0 bis CS2	Kaskadieranschlüsse: Ausgänge in der Betriebsart »Master«, Eingänge im »Slave-Mode«. Bei der Betriebsart »Master« wird über diese Anschlüsse der Binärkode von \overline{INTA} gesendet. Bei Slave vergleicht jeder Baustein diesen Kode mit seinem eigenen.
$\overline{SP/EN}$	Dieser Anschluß hat eine Doppelfunktion, in der Betriebsart »Buffer« wird er zur Freigabe des Bustransfers genutzt, in den anderen Betriebsarten definiert er: $\overline{SP} = 1$ Betriebsart Master, $\overline{SP} = 0$ Betriebsart Slave.

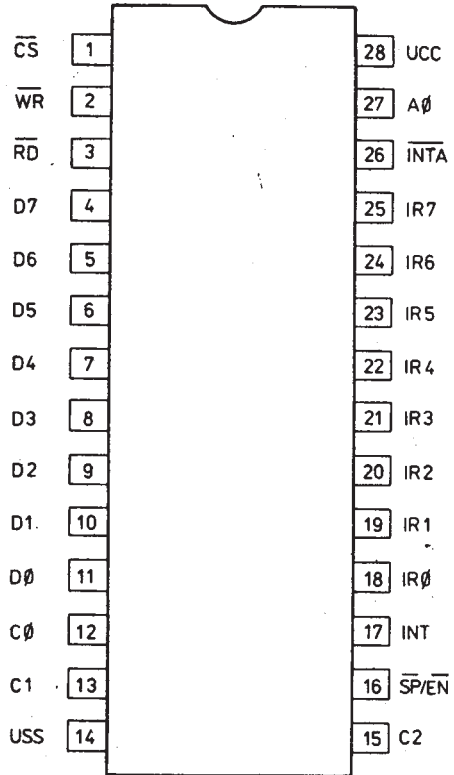


Bild 1
Anschlußbelegung

4. Peripheralschaltkreise

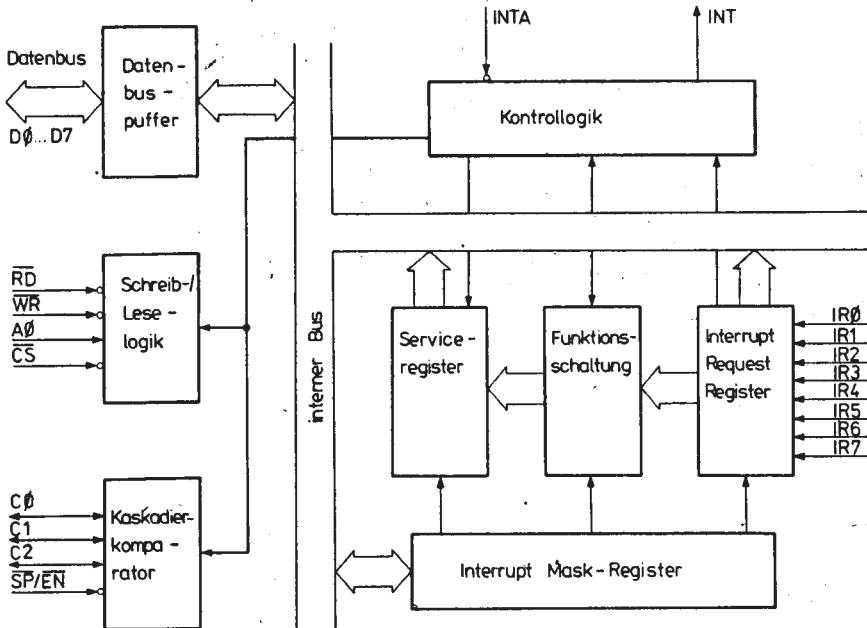
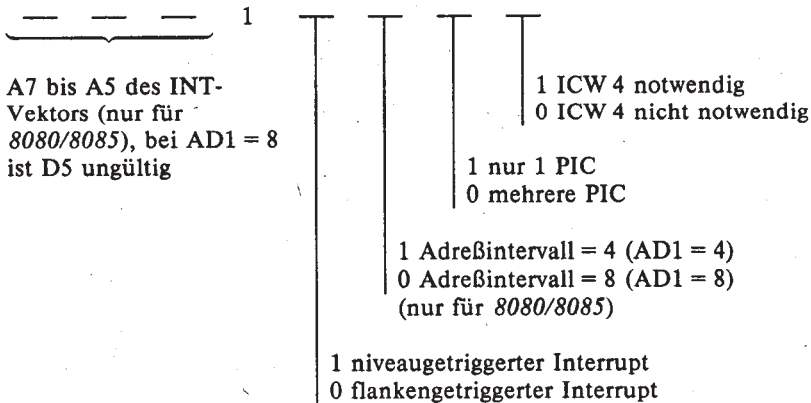


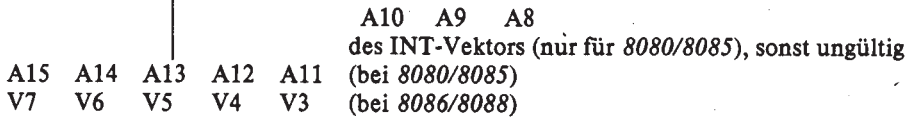
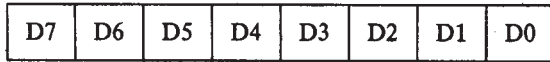
Bild 2 Übersichtsschaltplan

ICW 1' (A0 = 0, D4 = 1)

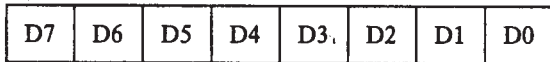
D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----



ICW 2 (A0 = 1, folgt nach ICW 1)

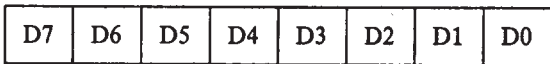


ICW 3 (für Master; A0 = 1)



alle bit = 1 an IRI ist ein Slave angeschlossen
 alle bit = 0 kein Slave angeschlossen

ICW 3 (für Slave; A0 = 1; nur bei mehr als einem '8259A notwendig)

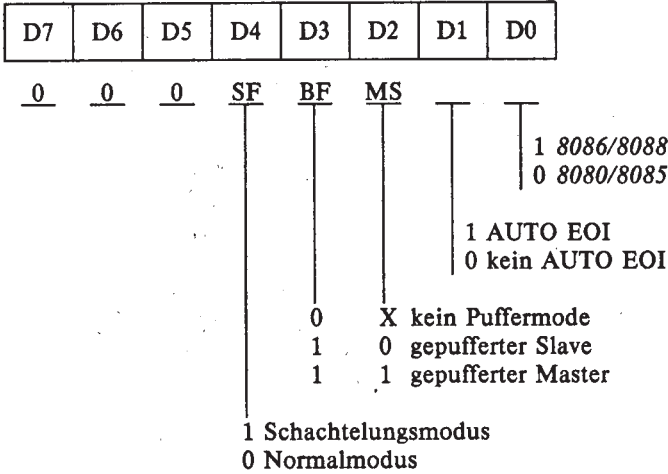


Slave-Nummer

Im 1. INTA-Zyklus gibt der Master die Nummer des bedienten Slave über CS0 bis CS2 aus. Der zugehörige Slave übergibt in den folgenden Zyklen die Adresse bzw. den Interruptvektor.

4. Peripherieschaltkreise

ICW 4 (A0 = 1)



Ist kein ICW 4 programmiert, sind alle bits in ICW 4 gleich Null gesetzt.

EOI – End of Interrupt, bei AUTO EOI wird das ISR-bit am Ende des letzten INTA-Zyklus rückgesetzt. In allen anderen Betriebsfällen erfolgt das Rücksetzen erst mit dem Kommando EOI. Im Normalmodus wird bei Interruptannahme das bit der höchsten angeforderten Priorität (0 = höchste) im ISR-Register gesetzt und verbleibt in diesem Zustand bis EOI. Dabei sind weitere Interrupts gleicher oder niedrigerer Priorität gesperrt. Interrupt höherer Priorität ist gestattet.

Der Schachtelungsmodus wird nur bei Kaskadierung benötigt. Im Puffermode wird ein Freigabesignal auf der Leitung $\overline{SP/EN}$ erzeugt, wenn Daten vom '8259A auf den Datenbus kommen. Ist kein Puffermode eingestellt, wird über $\overline{SP/EN}$ festgelegt, ob der '8259A Master ($\overline{SP} = 1$) oder Slave ($\overline{SP} = 0$) ist.

OCW 1 Interruptmaske (A0 = 1)

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

alle bit = 1 - gesperrter Interrupt

alle bit = 0 - erlaubter Interrupt für die entsprechende Anforderung mit IR0 bis IR7

OCW 2 Einstellen der Interruptbetriebsarten (A0 = 0)

D7	D6	D5	D4	D3	D2	D1	D0
R	SL1	SL0	0	0	L2	L1	L0
Interruptniveau							
0	0	1	EOI-Kommando				
0	1	1	* spezifisches EOI-Kommando				
1	0	1	Rotation bei EOI				
1	0	0	Rotation bei AUTO EOI				
0	0	0	Rücksetzen Rotation bei AUTO EOI				
1	1	1	* Rotation SEOI				
1	1	0	* Priorität setzen				
0	1	0	-				

Die gekennzeichneten Kommandos (*) benötigen die bits L0 bis L2. Bei EOI wird das höchste gesetzte ISR-bit rückgesetzt, während das bei spezifischen EOI-Kommandos das in L0 bis L2 angegebene ISR-bit ist. Der Prioritätsstatus rotiert bei EOI und AUTO EOI nach jeder Bedienung so, daß die zuletzt bediente Anforderung die niedrigste Priorität bekommt.

OCW 3 Lesen der Statusworte (A0 = 0)

D7	D6	D5	D4	D3	D2	D1	D0	
—	EM	SM	0	1	P	RR	RS	
	X	0	NOP			X	0	NOP (keine Operation)
	0	1	Maske rücksetzen			0	1	Lesen IRR
	1	1	Maske setzen			1	1	Lesen ISR
					0	NOP		
					1	Polling-Mode		

- Bei »Maske setzen« wird die in OCW 1 definierte Maske gültig, bei »Rücksetzen« ungültig.
- Bei Lesen IRR ergibt der folgende Inputbefehl den Inhalt des Registers IRR (analog ISR).
- Im Polling-Mode ist die Interruptanforderung INTR und die Abfrage der inneren Register gesperrt. Ein Lesebefehl des 8086 bewirkt die Abfrage der folgenden bit-Folge:

D7	D6	D5	D4	D3	D2	D1	D0
I	—	—	—	—	P2	P1	P0
1	INTR war aufgerufen				Binärkode der INTR-Anforderung		
0	INTR war nicht aufgerufen						

4. Peripherieschaltkreise

Tabelle 1 Dynamische Kennwerte des '8259A und des '8259A-8
($\vartheta_a = 0$ bis 70°C ; $U_{CC} = 5\text{ V} \pm 5\%$ ['8259A-8]; $U_{CC} = 5\text{ V} \pm 10\%$ ['8259A])

	'8259A-8		'8259A	
	min.	max.	min.	max.
Zeitforderungen				
A0/ $\overline{\text{CS}}$ -Vorhaltezeit vor HL-Flanke an $\overline{\text{RD}}/\overline{\text{INTA}}$ t_{AHRL} in ns	50		0	
A0/ $\overline{\text{CS}}$ -Haltezeit nach LH-Flanke von $\overline{\text{RD}}/\overline{\text{INTA}}$ t_{RHAX} in ns	5		0	
$\overline{\text{RD}}$ -Impulsbreite t_{RLRH} in ns	420		235	
A0/ $\overline{\text{CS}}$ -Vorhaltezeit vor HL-Flanke an $\overline{\text{WR}}$ t_{AHWL} in ns	50		0	
A0/ $\overline{\text{CS}}$ -Haltezeit nach LH-Flanke nach $\overline{\text{WR}}$ t_{WHAX} in ns	20		0	
$\overline{\text{WR}}$ -Impulsbreite t_{WLWH} in ns	400		290	
Datenvorhaltezeit vor LH-Flanke von $\overline{\text{WR}}$ t_{DVWH} in ns	300		240	
Datenhaltezeit nach LH-Flanke von $\overline{\text{WR}}$ t_{WHDX} in ns	40		0	
Interrupt Request-Impulsbreite (Low) t_{JLJH} in ns	100		100	
Kaskade-Vorhaltezeit nach 2. oder 3. HL-Flanke von $\overline{\text{INTA}}$ (nur Slave) t_{CVIAL} in ns	55		55	
Beenden von RD vor nächstem Kommando t_{RHRL} in ns	300		160	
Beenden von WR vor nächstem Kommando t_{WHRL} in ns	370		190	
Antwortzeiten				
Daten gültig ab HL-Flanke von $\overline{\text{RD}}/\overline{\text{INTA}}$ t_{RLDV} in ns		300		200
Daten ungültig nach LH-Flanke von $\overline{\text{RD}}/\overline{\text{INTA}}$ t_{RHOZ} in ns	10	200		100
Interrupt-Ausgangsverzögerungszeit t_{JHIH} in ns		400		350
Kaskade gültig nach 1. Flanke von $\overline{\text{INTA}}$ (nur Master) t_{IALCV} in ns		565		565
Freigabe-Aktiv-HL-Flanke von $\overline{\text{RD}}$ oder $\overline{\text{INTA}}$ t_{RLEL} in ns		160		125
Freigabe-Nichtaktiv-LH-Flanke $\overline{\text{RD}}$ oder $\overline{\text{INTA}}$ t_{RHEH} in ns		325		150
Daten gültig nach stabil anliegender Adresse t_{AHDV} in ns		350		200
Kaskade gültig nach gültigen Daten t_{CVDV} in ns		300		300

Tabelle 2 Funktionstabelle

A0	D4	D3	\overline{RD}	\overline{WR}	\overline{CS}	
Eingabeoperationen						
0		0	1	0		IRR, ISR oder Interrupt-Pegel → Datenbus
1		0	1	0		IMR → Datenbus
Ausgabeoperationen						
0	0	0	1	0	0	Datenbus → OCW 2
0	0	1	1	0	0	Datenbus → OCW 3
0	1	X	1	0	0	Datenbus → ICW 1
1	X	X	1	0	0	Datenbus → OCW 1, ICW 2, ICW 3, ICW 4
X	X	X	1	1	0	Datenbus Tri-state (keine Operation)
X	X	X	X	X	1	Datenbus Tri-state (keine Operation)

Tabelle 3 Statische Kennwerte des '8259A
($\vartheta_a = 0$ bis 70°C ; $U_{CC} = 5\text{ V} \pm 10\%$)

	Werte		Einstellwerte
	min.	max.	
Eingangsl-Spannung U_{IL} in V	-0,5		
Eingangsh-Spannung U_{IH} in V	2,0	$U_{CC} + 0,5\text{ V}$	
Ausgangsl-Spannung U_{OL} in V		0,45	$I_{OL} = 2,2\text{ mA}$
Ausgangsh-Spannung U_{OH} in V	2,4		$I_{OH} = -400\ \mu\text{A}$
Interruptausgangsh-Spannung $U_{OH(INT)}$ in V	3,5		$I_{OH} = -100\ \mu\text{A}$
	2,4		$I_{OH} = -400\ \mu\text{A}$
Eingangsladestrom I_{LI} in μA		10	$U_{IN} = U_{CC}$ bis 0 V
Ausgangsleckstrom I_{LOL} in μA		-10	$U_{OUT} = 0,45\text{ V}$
Stromaufnahme I_{CC} in mA		85	
IR-Eingangsladestrom I_{LIR} in μA		-300	$U_{IN} = 0\text{ V}$
		10	$U_{IN} = U_{CC}$

Maximalwerte

Umgebungstemperatur	-40 bis $+85^\circ\text{C}$
Lagertemperatur	-65 bis $+150^\circ\text{C}$
Spannung an den Anschlüssen gegen Masse	-0,5 bis $+7\text{ V}$
Verlustleistung	1 W

4.13. Steuerschaltkreis für Floppy-Disk *U 8272 D*

Vergleichstypen

μPD 765 NEC
8272 Intel

Übersicht

- IBM-kompatibles Aufzeichnungsformat mit doppelter und einfacher Dichte
- Programmierbare Sektorlänge (128-1024 Bytes/Sektor)
- Multisektor- und Multispurübertragung möglich
- Bis zu 4 Laufwerke ansteuerbar
- Datensuche Byte für Byte über den gesamten Sektor einer Spur möglich
- Datenübertragung mit und ohne DMA-Schaltkreis
- Gleichzeitige Spursuche auf bis zu 4 Laufwerken
- Zusammenschaltung mit verschiedenen Mikroprozessoren möglich
- 4-MHz-Takt (*U 8272 DO4*) oder 8-MHz-Takt (*U 8272 DO8*)
- Stromversorgung nur +5 V
- Gehäuse mit 40 Anschlüssen

Beschreibung

Der hochintegrierte Schaltkreis *U 8272* enthält die vollständige Schaltung zur Steuerung der Funktion von bis zu 4 Floppy-Disk-Laufwerken in Verbindung mit dem Bus-System eines Mikroprozessors. Bild 1 zeigt die interne Schaltung als Übersicht, Bild 2 die Anschlußbelegung. Tabelle 1 enthält die Aufstellung der Anschlüsse des Schaltkreises. Er erlaubt sowohl den Betrieb mit einfacher Dichte (FM) als auch mit doppelter (MFM), wobei die Aufzeichnung mit 2 Köpfen auf beiden Seiten der Diskette möglich ist. Der *U 8272* liefert Steuersignale für eine externe PLL-Schaltung, wodurch sich deren Aufwand verringern kann. Die Ansteuerung einer externen Precompensations-Schaltung wird unterstützt. Der Betrieb mit DMA-Schaltkreisen wird durch Steuersignale vereinfacht. Im Nicht-DMA-Betrieb erzeugt der Schaltkreis Interrupt, sobald ein Datenbyte zwischen Prozessor und Controller übertragen werden kann.

Der Schaltkreis kann 15 unterschiedliche Kommandos ausführen. Jedes dieser Kommandos erfordert die Programmierung mit einigen Bytes, um die Operation festzulegen. Folgende Operationen sind verfügbar:

- Daten lesen,
- Identifier lesen,
- geschützte Daten lesen,
- lesen einer ganzen Spur,
- suchen eines Bytes,
- suchen eines Bytes größer oder gleich,
- suchen eines Bytes kleiner oder gleich,
- Initialisierung,
- Daten schreiben,
- Spur formatieren,
- geschützte Daten schreiben,
- Spur suchen,
- Spur 0 anfahren,
- Interruptstatus feststellen,
- Laufwerkstatus feststellen.

Die Schaltung zur Adreßmarkenerkennung befindet sich im Schaltkreis, so daß sich die externe Elektronik vereinfacht. Die Schrittrate von Spur zu Spur, die Kopfladezeit, die Kopfhaltezeit und die Abfallzeit des Kopfes können durch den Anwender programmiert werden.

Anschaltung an das Bussystem/Register

Der *U 8272* enthält 2 Register, auf die der Prozessor zu beliebiger Zeit zugreifen kann, das Statusregister und das Datenregister. Das 8-bit-Statusregister enthält die Statusinformationen des Floppycontrollers. Das 8-bit-Datenregister besteht aus einem Satz von Registern, von denen ähnlich wie beim Stack eines Prozessors immer nur eines am Datenbus verfügbar ist. Diese Register speichern Daten, Kommandos, Parameter und Statusinformationen; sie können sowohl gelesen als auch beschrieben werden. Das Statusregister kann nur gelesen werden und bewirkt die Steuerung des Datenverkehrs zwischen Prozessor und Floppy-Disk-Controller. Die Zusammenhänge zwischen den Signalen A0, RD, WR und den Status-/Datenregistern zeigt Tabelle 10. Die bits im Hauptstatusregister haben die in Tabelle 11 gezeigte Bedeutung. Die bits DIO und RQM zeigen die Übertragungsrichtung der Daten auf dem Bus und den Bereitschaftsstatus an.

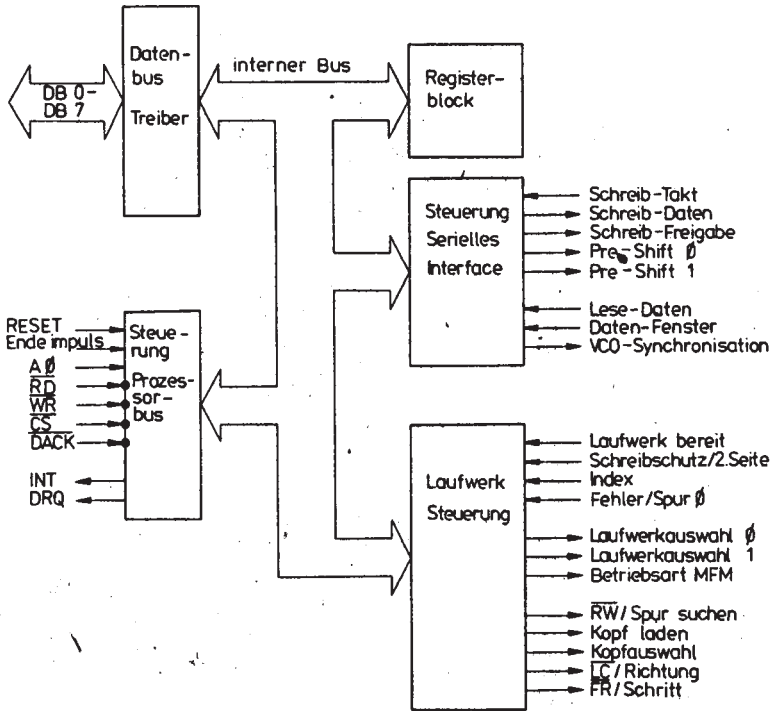


Bild 1
Übersichts-
schaltplan

Der U 8272 unterscheidet 15 verschiedene Kommandos. Jedes Kommando wird durch Einschreiben einiger Bytes in den Controller initialisiert. Das Ergebnis nach der Ausführung des Kommandos kann ebenfalls eine Multibyte-Übertragung zurück zum Prozessor sein. Deshalb kann man die Kommandos in 3 Phasen einteilen:

- Kommandophase

Der FDC empfängt alle erforderlichen Informationen, um ein bestimmtes Kommando ausführen zu können, vom Prozessor.

- Ausführungsphase

Der Controller arbeitet entsprechend den Instruktionen.

- Resultatphase

Nach dem Abschluß der Operation werden Status und andere diesbezügliche Informationen für den Prozessor verfügbar.

Sowohl während der Kommandophase als auch in der Resultatphase muß das Haupt-

statusregister vom Prozessor gelesen werden, bevor ein Byte übertragen wird. Beim Schreiben von Bytes in das Datenregister müssen im Hauptstatusregister bit D6=0 und D7=1 sein. In der Resultatphase müssen beide, D6 und D7, =1 sein, ehe Daten gelesen werden dürfen. Während der Ausführungsphase ist das Lesen des Statusregisters nicht nötig. In der Betriebsart ohne DMA zeigt ein Interruptsignal an Stift 18 die Übernahme eines Bytes vom Laufwerk an. Mit einem RD-Signal geschehen Datenausgabe auf den Bus und Rücksetzen. Wenn der U 8272 im DMA-Betrieb arbeitet, erzeugt er keine Interrupts während der Ausführungsphase, sondern das Signal DMA-Anforderung (DRQ) immer, wenn ein Daten-Byte verfügbar ist. Der DMA-Controller quittiert diese Anforderung mit den Signalen DACK=0 (DMA Acknowledge) und RD=0 (Read). Mit DACK=0 wird DRQ zurückgesetzt. Ist ein Schreibsignal programmiert, so wirkt WR an Stelle von RD.

4. Peripherieschaltkreise

Nach der Ausführungsphase (der Ende-Impuls ist aufgetreten) wird ein Interruptsignal erzeugt (INT = 1). Das signalisiert den Anfang der Resultatphase. Mit dem Lesen des ersten Bytes in der Resultatphase wird der Interrupt zurückgesetzt. Man beachte, daß es wichtig ist, in der Resultatphase alle in der Kommandotabelle aufgeführten Bytes zu lesen. Der U 8272 nimmt kein neues Kommando an, ehe alle Bytes gelesen sind.

Der U 8272 enthält 5 Statusregister. Das bereits erwähnte Hauptstatusregister kann vom Prozessor zu jeder Zeit gelesen werden. Die anderen 4 Statusregister sind nur in der Resultatphase verfügbar und lassen sich nur nach erfolgreichem Abschluß eines Kommandos lesen. Das ausgewählte Kommando bestimmt, wie viele Statusregister gelesen werden müssen. Die in Kommandophase und Resultatphase zu schreibenden oder zu

lesenden Bytes müssen einander entsprechend den Kommandotabellen folgen, Verkürzungen sind nicht zulässig. Nach dem letzten Byte der Kommandophase beginnt der 8272 automatisch die Ausführungsphase. In gleicher Weise endet das Kommando mit dem Lesen des letzten Bytes in der Resultatphase, und der 8272 ist für ein neues Kommando bereit. Durch einen Ende-Impuls kann jedes Kommando abgebrochen werden (TC = 1 an Stift 16). Damit kann der Prozessor im Fall einer Störung im Diskettensystem jederzeit die Steuerung wieder übernehmen.

Betriebsart Polling

Nach der Initialisierung des Schaltkreises mit dem Specify-Kommando schalten die Leitungen für die Auswahl der Laufwerke DS0 und DS1 automatisch auf Polling (Abfrage). Zwischen den Kommandos und zwischen den Schrittimpulsen beim Kommando Spursuchen fragt der 8272 alle 4 Laufwerke nach Änderungen auf der Bereitschaftsleitung (Ready) ab. Falls bei einem Laufwerk die Ready-Leitung ihren Status ändert (z. B. weil eine Klappe geöffnet wurde), erzeugt der 8272 ein Interruptsignal. Falls das Statusregister ST0 gelesen wird, entsteht ein »nicht bereit«-Signal, die Daten erscheinen auf dem Bus, und der Interrupt wird gelöscht.

Falls der Prozessor die Interrupts nicht ausreichend schnell abarbeiten kann (alle 13 µs bei MFM), muß das RQM-bit im Statusregister abgefragt werden, das die gleiche Funktion wie das Interruptsignal erfüllt. Falls ein Schreibkommando abläuft, setzt ein WR-Signal den Interrupt zurück.

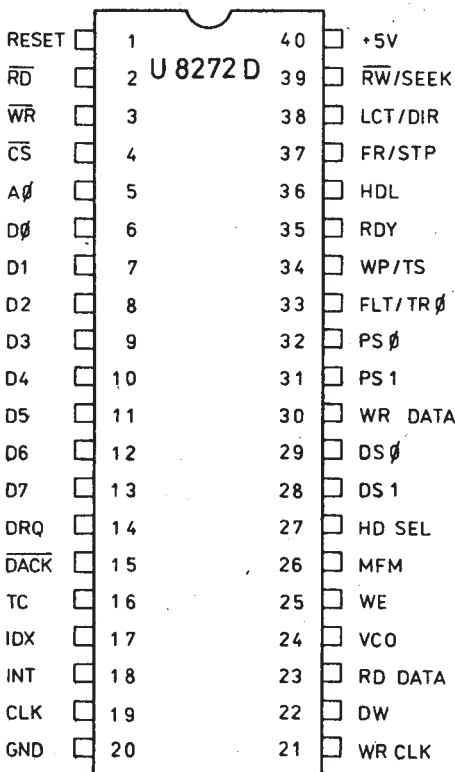


Bild 2
Anschlußbelegung

Tabelle 1 Beschreibung der Anschlüsse

Symbol	Nr.	Typ	Bezeichnung
RST	1	I	Reset. Schaltet Ausgänge zum Laufwerk auf Low
RD	2	I	Read. Steuersignal für den Datentransfer vom FDC zum Datenbus bei Low
WR	3	I	Write. Steuersignal für den Datentransfer zum FDC über den Datenbus bei Low
CS	4	I	Chip select. Schaltkreisauswahl bei Low
A0	5	I	Auswahl Daten- (A0 = 1) oder Statusregister lesen
DB0-7	6-13	I/O	Datenbus, bidirektional
DRQ	14	0	DMA-Anforderung bei High
DACK	15	I	DMA-Quittung. Ein DMA-Zyklus ist aktiv
TC	16	I	Terminal count. Ende-Impuls, Ende des Datentransfers bei High
IDX	17	I	Indeximpuls. Zeigt den Spulenbeginn an
INT	18	0	Interrupt
CLK	19	I	Clock. Einphasentakt 8 MHz Rechteck
GND	20	I	Ground. 0 V Betriebsspannung
WRCLK	21	I	Write Clock. Schreibdatenrate, 500 kHz bei FM, 1 MHz bei MFM, Impulsbreite 250 ns, abschaltbar
DW	22	I	Data Window. Freigabe der PLL-Schaltung
RDDATA	23	I	Read Data. Datenkanal vom Laufwerk, führt Daten- und Takt-bits
VC0	24	0	VC0-Synchronsignal. Schaltet VC0 mit Low ab
WE	25	0	Write Enable. Schreibfreigabe für Laufwerk
MFM	26	0	MFM-Betrieb bei High
HDSEL	27	0	Head Select. Kopfauswahl 0 = Kopf 0, 1 = Kopf 1
DS0	28	0	Drive Select. Laufwerkauswahl
DS1	29	0	Drive Select. Laufwerkauswahl
WRDATA	30	0	Write Data. Serielle Daten und Takt zum Laufwerk
PS1	31	0	Precompensation. Steuersignal für die Precompensation bei MFM
PS0	32	0	Precompensation. Steuersignal für die Precompensation bei MFM
FLT/T0	33	I	Fault/Track 0. Anzeige für Schreib- oder Lesefehler oder Spur 0 bei Betriebsart Spursuche
WP/TS	34	I	Write Protect/Two Side. Eingang für Schreibschutz oder doppelseitigen Betrieb bei Spursuche
RDY	35	I	Ready. Laufwerkstatus (Bereitschaft zum Datentransfer)
HDL	36	0	Head Load. Kopf laden

4. Peripherieschaltkreise

Symbol	Nr.	Typ	Bezeichnung
FR/STP	37	0	Fault Reset/Step. Fehler-Flip-Flop in der Laufwerksteuerung zurücksetzen oder Schrittimpulse
LC/DIR	38	0	Low Current/Direction. Steuersignal für Schreibstromreduzierung bei den inneren Spuren oder für Bewegungsrichtung bei Spursuche
RW/SEEK	39	0	Read, Write/Seek. Betriebsart Schreiben und Lesen oder Spur suchen
Up	40		Versorgungsspannung (+5 V)

Tabelle 2 Befehlssatz

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0	Bemerkungen
Kommando	W	MT	MFM SK	0	0	0	1	1	0	Daten lesen
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C				Sektorkennwerte vor Kommandoausführung
	W		-			H				
	W		-			R				
	W		-			N				
	W		-			E0T				
	W		-			GPL				
Ausführung	W		-			DTL				
	R		-			ST0				Statusinformation nach Kommando
	R		-			ST1				
	R		-			ST2				
	R		-			C				
	R		-			H				
	R		-			R				
	R		-			N				
Kommando	W	MT	MFM SK	0	1	0	1	0	0	Lesen geschützter Daten
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C				Sektorkennwerte vor Kommando
	W		-			H				
	W		-			R				
	W		-			N				
	W		-			E0T				
	W		-			GPL				
Ausführung	W		-			DTL				
	R		-			ST0				Statusinformationen nach Ausführung des Kommandos
	R		-			ST1				
	R		-			ST2				
	R		-			C				
	R		-			H				
	R		-			R				
	R		-			N				

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0	Bemerkungen
Kommando	W	MT	MFM	0	0	0	1	0	1	Daten schreiben Sektorkennwerte vor Ausführung des Kommandos
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C			-	
	W		-			H			-	
	W		-			R			-	
	W		-			N			-	
	W		-			EOT			-	
	W		-			GPL			-	
Ausführung Resultat	W		-			DTL			-	Status nach Kommando
	R		-			ST0			-	
	R		-			ST1			-	
	R		-			ST2			-	
	R		-			C			-	
	R		-			H			-	
	R		-			R			-	
	R		-			N			-	
Kommando	W	MT	MFM	0	0	1	0	0	1	geschützte Daten schreiben Sektorkennwerte vor Ausführung des Kommandos
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C			-	
	W		-			H			-	
	W		-			R			-	
	W		-			N			-	
	W		-			EOT			-	
	W		-			GPL			-	
Ausführung Resultat	W		-			DTL			-	Status nach Ausführung des Kommandos
	R		-			ST0			-	
	R		-			ST1			-	
	R		-			ST2			-	
	R		-			C			-	
	R		-			H			-	
	R		-			R			-	
	R		-			N			-	
Kommando	W	0	MFM	SK	0	0	0	1	0	Lesen einer ganzen Spur Sektorkennwerte vor Ausführung des Kommandos
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C			-	
	W		-			H			-	
	W		-			R			-	
	W		-			N			-	
	W		-			EOT			-	
	W		-			GPL			-	
W		-			DTL			-		

4. Periphereschaltkreise

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0	Bemerkungen	
Ausführung											
Resultat	R		-			ST0			-	Status nach Ausführung	
	R		-			ST1			-		
	R		-			ST2			-		
	R		-			C			-		
	R		-			H			-		
	R		-			R			-		
	R		-			N			-		
Kommando	W	0	MFM	0	0	1	0	1	0	Identifizieren lesen	
	W	0	0	0	0	0	HDS	DS1	DS0		
Ausführung											
Resultat	R		-			ST0			-	Status nach Ausführung	
	R		-			ST1			-		
	R		-			ST2			-		
	R		-			C			-		
	R		-			H			-		
	R		-			R			-		
	R		-			N			-		
Kommando	W	0	MFM	0	0	1	1	0	1	Formatieren einer Spur	
	W	0	0	0	0	0	HDS	DS1	DS0		
	W		-			N			-		Bytes/Sektor
	W		-			SC			-		Sektoren/Spur
	W		-			GPL			-		Lücke 3
	W		-			D			-	Füll-Byte	
Ausführung											
Resultat	R		-			ST0			-	Status nach Ausführung	
	R		-			ST1			-		
	R		-			ST2			-		
	R		-			C			-		
	R		-			H			-		
	R		-			R			-		
	R		-			N			-		
Kommando	W	MT	MFM	SK	1	0	0	0	1	Suchen Byte	
	W	0	0	0	0	0	HDS	DS1	DS0		
	W		-			C			-		
	W		-			H			-		
	W		-			R			-		
	W		-			N			-		
	W		-			EOT			-		
	W		-			GPL			-		
W		-			STP			-			

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0	Bemerkungen
Ausführung										
Resultat	R		-			ST0			-	Status nach Ausführung
	R		-			ST1			-	
	R		-			ST2			-	
	R		-			C			-	
	R		-			H			-	
	R		-			R			-	
	R		-			N			-	
Kommando	W	MT	MFM	SK	1	1	0	0	1	Suche Byte kleiner oder gleich
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C			-	
	W		-			H			-	
	W		-			R			-	
	W		-			N			-	
	W		-			E0T			-	
	W		-			GPL			-	
	W		-			STP			-	
Ausführung										
Resultat	R		-			ST0			-	Status nach Ausführung
	R		-			ST1			-	
	R		-			ST0			-	
	R		-			C			-	
	R		-			H			-	
	R		-			R			-	
	R		-			N			-	
Kommando	W	MT	MFM	SK	1	1	1	0	1	Suche Byte größer oder gleich
	W	0	0	0	0	0	HDS	DS1	DS0	
	W		-			C			-	
	W		-			H			-	
	W		-			R			-	
	W		-			N			-	
	W		-			E0T			-	
	W		-			GPL			-	
	W		-			STP			-	
Ausführung										
Resultat	R		-			ST0			-	
	R		-			ST1			-	
	R		-			ST2			-	
	R		-			C			-	
	R		-			H			-	
	R		-			R			-	
	R		-			N			-	

4. Peripherieschaltkreise

Phase	R/W	D7	D6	D5	D4	D3	D2	D1	D0	Bemerkungen	
Kommando	W	0	0	0	0	0	1	1	1	Spur 0 anfahren	
	W	0	0	0	0	0	0	DS1	DS0		
Ausführung											
Kommando	W	0	0	0	0	1	0	0	0	Interruptstatus prüfen	
	Resultat	R	-	-	ST0		-	-	-		Status nach Ausführung
Resultat	R	-	-	PCN		-	-	-	-		
Kommando	W	0	0	0	0	0	0	1	1	Spezifizieren	
	W	!	SRT		!	HUT		!	!		(Initialisieren)
	W	!	HLT		-	-	!	ND			
Kommando	W	0	0	0	0	0	1	0	0	Prüfen Status Laufwerk	
	W	0	0	0	0	0	HDS	DS1	DS0		
Resultat	R	-	-	-	ST3		-	-	-		
Kommando	W	0	0	0	0	1	1	1	1	Spur suchen	
	W	0	0	0	0	0	HDS	DS1	DS0		
	W	-	-	-	NCN		-	-	-		
Ausführung											
Kommando	W	-	-	fehlerhafter Code				-	-	Wartestellung einnehmen ST0 = 80H	
Resultat	R	-	-	ST0		-	-	-			

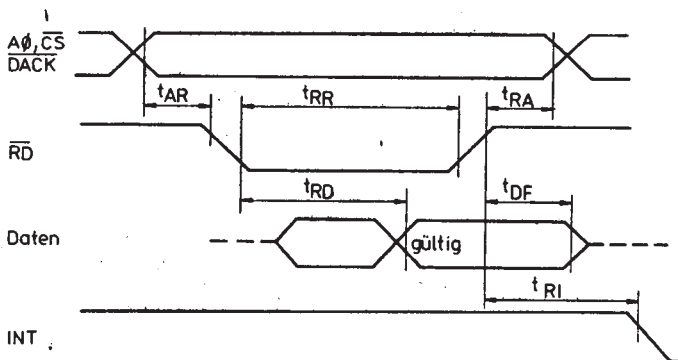


Bild 3
Daten lesen

Tabelle 3 Befehlsmnemonik

Symbol	Name, Beschreibung
A0	Adresse 0, steuert Auswahl Daten-/Hauptstatusregister
C	Cylinder, Spur-Nummer
D	Daten
D0 bis D7	Datenbus
DS0, DS1	Drive select, Laufwerk Auswahl
DTL	Datenlänge; wenn N = 0 = DTL = Datenbytes/ Sektor
EOT	End of track, Nummer des letzten Sektors der Spur
GPL	Gap Length, Länge der Lücke 3
H	Head Adress, Kopfnummer (0 oder 1 im ID-Feld)
HDS	Head Select, Kopfauswahl
HLT	Kopfladezeit
HUT	Kopfabfallzeit
LSB	niederwertigstes bit
MFM	Betriebsart MFM/FM
MT	Multispurbetrieb
N	Anzahl der Daten-Bytes/Sektor (verschlüsselt)
NCN	neue Spurnummer
ND	nicht-DMA-Betrieb
PCN	aktuelle Spurnummer
R	Record- oder Sektornummer
R/W	Lesen oder Schreiben
SC	Zähler für Sektoren/Spur
SK	Überspringen geschützter Adreßmarken
SRT	Schrittzeit
ST0 bis 3	Statusregister
STP	Steuerung des Abtastkommandos
X	beliebig bzw. unverändert

Tabelle 4 Übertragungskapazität

MT	MFM/ FM	N	max. Übertragungskapazität	EOT
0	0	0	128 × 26 = 3 328	26/0
0	1	1	256 × 26 = 6 656	oder 26/1
1	0	0	128 × 52 = 6 656	26/1
1	1	1	256 × 52 = 13 312	26/1
0	0	1	256 × 15 = 3 840	15/0
0	1	2	512 × 15 = 7 680	oder 15/1
1	0	1	256 × 30 = 7 680	15/1
1	1	2	512 × 30 = 15 360	15/1
0	0	2	512 × 8 = 4 096	8/0
0	1	3	1 024 × 8 = 8 192	oder 8/1
1	0	2	512 × 16 = 8 192	8/1
1	1	3	1 024 × 16 = 16 384	8/1

4. Peripherieschaltkreise

Tabelle 5 ID-Information bei Kommandoende

MT	EOT	letzter Sektor	C	H	R	N
0	1A	1 bis 25/0	X	X	R + 1	X
	0F	1 bis 14/0				
	08	1 bis 7/0				
	1A	26/0	C + 1	X	R = 1	X
	0F	15/0				
	08	8/0				
1	1A	1 bis 25/0	X	X	R + 1	X
	0F	1 bis 14/0				
	08	1 bis 7/0				
	1A	26/0	X	LSB	R = 1	X
	0F	15/0				
	08	8/0				
	1A	1 bis 25/1	X	X	R + 1	X
	0F	1 bis 14/1				
	08	1 bis 7/1				
	1A	26/1	C + 1	LSB	R = 1	X
	0F	15/1				
	08	8/1				

X - Keine Änderung

Tabelle 6 Sektorgröße bei 5¼-Zoll-Mini-floppy-Laufwerken, Aufzeichnungsverfahren FM

Sektor	N	SC	GPL(1)	GPL(2)
128	00	12	07	09
128	00	10	10	19
256	01	08	18	30
512	02	04	46	87
1024	03	02	C8	FF
2048	04	01	C8	FF

Aufzeichnungsverfahren MFM

Sektor	N	SC	GPL(1)	GPL(2)
256	01	12	0A	0C
256	01	10	20	32
512	02	08	2A	50
1024	03	04	80	F0
2048	04	02	C8	FF
4096	05	01	C8	FF

(1) Normalbetrieb (2) Formatieren

Tabelle 7 Ergebnisse beim SCAN-Kommando

Kommando	bit 2	bit 3	Bemerkungen
=	0	1	Bytes gleich
	1	0	Bytes ungleich
≠	0	1	Bytes gleich
	0	0	gelesene Bytes kleiner
≠	1	0	gelesene Bytes größer
	0	1	Bytes gleich
≠	0	0	gelesene Bytes größer
	1	0	gelesene Bytes kleiner

Tabelle 8 Interruptstatus nach Spursuche

bit 5	bit 6	bit 7	Ursache
0	1	1	Bereitleitung änderte Zustand
1	0	0	Ende ohne Fehler
1	1	0	Fehlerhafter Kommandoabschluß

Tabelle 9 Statusregister
1. Zahl Register, 2. Zahl bit

reg/bit	Name	Sym- bol	Beschreibung
0 7	Interrupt	IC	bit 7 = bit 6 = 0
0 6	Code		Normaler Abschluß des Kommandos keine Fehler bit 7 = 0, bit 6 = 1 Fehlerhafter Abschluß bit 7 = 1, bit 6 = 0 Fehlerhaftes Kommando bit 7 = 1, bit 6 = 1 Abnormaler Abschluß wegen Statusänderung des Laufwerks
0 5	Seek End	SE	bit schaltet am Ende des Kommandos Spur suchen auf H
0 4	Equipment Check	EC	bit schaltet bei Fehlersignal vom Laufwerk auf H
0 3	Not Ready	NR	bit schaltet, wenn das Laufwerk im Nicht-bereit-Status ist
0 2	Head Address	HD	bit zeigt den Status des Kopfes bei Interrupt
0 1	Unit	US1	bits zeigen die Gerätenummer beim Interrupt
0 0	Select	US0	
1 7	End of Cylinder	EN	bit schaltet bei Zugriff auf einen Sektor größer, als der letzte der Spur nicht benutzt, immer L
1 6			
1 5	Data Error	DE	bit schaltet bei CRC-Fehler im Daten- oder ID-Feld auf H
1 4	Over Run	OR	Datenverkehr mit CPU zu langsam nicht benutzt, immer L
1 3			
1 2	No Data	ND	bit wird gesetzt: a) Bei Ausführung der Kommandos Daten lesen, geschützte Daten schreiben und Daten suchen, wenn der Controller den im ID-Register gespeicherten Wert nicht findet. b) Bei fehlerhafter Ausführung des Kommandos ID lesen c) Wenn beim Kommando Spur lesen der erste Sektor nicht gefunden wird
1 1	Not Writable	NW	bit schaltet, wenn bei den Kommandos Daten schreiben, geschützte Daten schreiben und Spur formatieren das Laufwerk ein Schreibschutzsignal abgibt
1 0	Missing Address Mark	MA	bit wird auf H gesetzt: a) Wenn der Controller die ID-Adreßmarke bis zum erneuten Auftreten des Indexloches nicht findet. b) Wenn der Controller die Datenadreßmarke nicht findet
2 7			nicht benutzt

4. Peripherieschaltkreise

2 6	Control Mark	CM	bit schaltet, wenn bei den Kommandos Daten lesen und Daten suchen ein Sektor mit geschützter Datenadreibmarke auftritt
2 5	Data Error	DD	bit schaltet bei CRC-Fehler im Datenfeld
2 4	Wrong Cylinder	WC	bit schaltet, wenn die Werte von C auf der Diskette und der im IDR gespeicherte sich unterscheiden
2 3	Scan Equal Hit	SH	Beim Kommando Daten suchen schaltet das bit bei Übereinstimmung auf H
2 2	Scan Not Satisfied	SN	bit schaltet beim Kommando Daten suchen, wenn auf der Spur kein Sektor die Bedingung erfüllt
2 1	Bad Cylinder	BC	Wenn der Wert von C auf der Diskette mit dem im IDR gespeicherten nicht übereinstimmt und FF ist, schaltet das bit auf H
2 0	Missing Address Mark	MD	bit schaltet, wenn der Controller beim Datenlesen von der Diskette keine Datenadreibmarke und keine geschützte Adreibmarke findet
3 7	Fault	FT	bit zeigt Fehlersignal des Laufwerkes an
3 6	Write Protected	WP	bit zeigt Schreibschutz-Statussignal des Laufwerkes an
3 5	Ready	RDY	bit zeigt Bereitschaftsstatus des Laufwerkes an
3 4	Track0	T0	bit zeigt Statussignal Spur 0 des Laufwerkes an
3 3	Two Side	TS	bit zeigt Statussignal des Laufwerkes an
3 2	Head	HD	bit zeigt Seitenauswahl des Laufwerkes an
3 1	Unit 1	US1	bits zeigen Geräteauswahl an
3 0	Unit 0	US0	

Tabelle 10 Zusammenhang Steuersignale/ Statusregister

A0	RD	WR	Wirkung
0	0	1	Lesen des Hauptstatusregisters
0	1	0	nicht erlaubt
0	0	0	nicht erlaubt
1	0	0	nicht erlaubt
1	0	1	Lesen des Datenregisters
1	1	0	Schreiben in das Datenregister

Tabelle 11 bits im Hauptstatusregister

bit	Symbol	Funktion	bit	Symbol	Funktion
D0	D0b	Laufwerk 0 in Betriebsart Spursuche	D5	NDM	Nicht-DMA-Betrieb. bit ist nur in der Ausführungsphase gesetzt, Übergang nach 0 zeigt Ende an
D1	D1b	Laufwerk 1 in Betriebsart Spursuche	D6	DI0	Datenübertragungsrichtung. 1 = zum Prozessor
D2	D2b	Laufwerk 2 in Betriebsart Spursuche	D7	RQM	Fertigmeldung des Controllers
D3	D3b	Laufwerk 3 in Betriebsart Spursuche			
D4	Cb	Controller bearbeitet ein Schreib- oder Lesekommando			

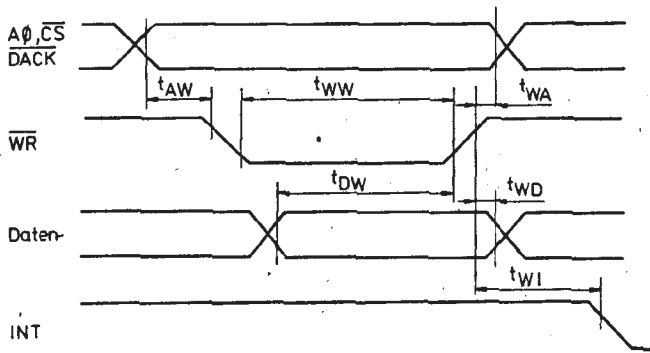


Bild 4
Daten schreiben

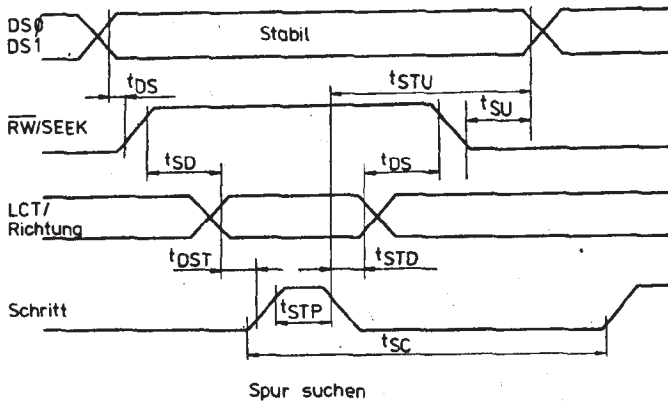


Bild 5
Spur suchen

4. Peripherieschaltkreise



Fehler im Laufwerk rücksetzen

Index

Bild 6
Index/Fehler rücksetzen

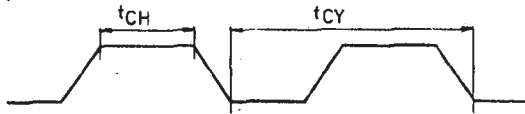


Bild 7
Takt

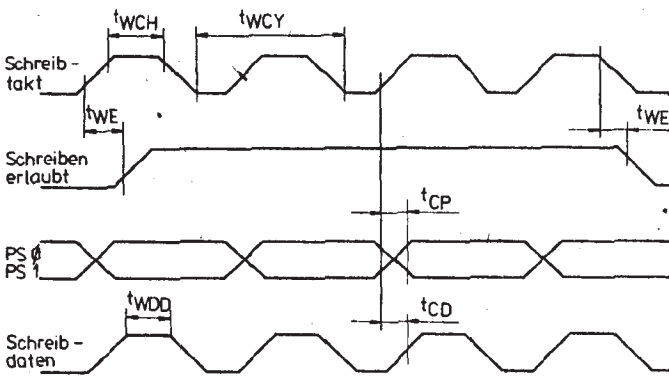


Bild 8
Laufwerk schreiben

Tabelle 12 Technische Kennwerte

Bezeichnung	Kurzzeichen	min.	max.	Einheit	Bemerkungen
Grenzwerte					
Betriebsspannung	U_{cc}	-0,5	7,0	V	
Eingangsspannung	U_i	-0,5	7,0	V	
Verlustleistung	P_v		1,5	W	
Umgebungstemperatur	ϑ_a	0	70	°C	
Lagerungstemperatur	ϑ_{stg}	-55	125	°C	
Betriebswerte					
Betriebsspannung	U_{cc}	4,75	5,25	V	
Stromaufnahme	I_{cc}		250	mA	
L-Eingangsspannung	U_{il}	-0,5	0,8	V	
H-Eingangsspannung	U_{ih}	2,0	$U_{cc} + 0,5$	V	
Umgebungstemperatur	ϑ_a	0	70	°C	
Eingangskapazität	C_{inc}		20	pF	(Takt)
Eingangskapazität	C_{in}		10	pF	

Bezeichnung	Kurzzeichen	min.	max.	Einheit	Bemerkungen
Ausgangskapazität	C_{out}		20	pF	
Taktperiode	t_{cy}	125		ns	*
Taktimpuls	t_{ch}	40		ns	* 2 V - 2 V
	t_{cl}	50		ns	*
Resetimpuls	t_{rst}	14		t_{cy}	
Lesezyklus					
Auswahlverzögerung	t_{ar}	0		ns	
Auswahlhaltezeit	t_{ra}	0		ns	
/RD-Impulslänge	t_{rr}	250		ns	
Datenverzögerung	t_{rd}		200	ns	
3-state-Verzögerung	t_{df}	20	100	ns	
Schreibzyklus					
Auswahlverzögerung	t_{aw}	0		ns	
Auswahlhaltezeit	t_{wa}	0		ns	
/WR-Impulslänge	t_{ww}	250		ns	
Datenverzögerung	t_{dw}	150		ns	
Datenhaltezeit	t_{wd}	5		ns	
Interrupts					
INT/RD-Verzögerung	t_{ri}		500	ns	
INT/WR-Verzögerung	t_{wi}		500	ns	
DMA					
DRQ-Zyklus	t_{rqcy}	13		μ s	
DACK/DRQ-Verzög.	t_{akrq}		200	ns	
DRQ/RD-L-Verzög.	t_{rqr}	800		ns	
DRQ/WR-L-Verzög.	t_{rqw}	250		ns	
DRQ/WR/RD-H-Verzög.	t_{rqrw}		12	μ s	
Floppy-Disk-Interface					
Schreibtakt	t_{wcy}	2 oder 4		μ s	(FM oder MFM)
Schreibtaktimpuls	t_{wch}	100	350	ns	
Precomp.-Verzög.	t_{cp}	20	100	ns	
WCK-H-Datenverzög.	t_{cd}	20	100	ns	
Schreibdatenlänge	t_{wdd}	t_{wch}	-50	ns	
WE-H/WCK-H-Verzög.	t_{we}	20	100	ns	
Datenfenster	t_{wwcy}		2	μ s	(FM)
Fenstervorhaltezeit	$t_{wrđ}$	15		ns	
Fensterhaltezeit	t_{rdw}	15		ns	
US0,1 Vorhaltezeit	t_{us}	12		μ s	
RW/SEEK Vorhaltezeit zu LCT/DIR	t_{sd}	6,8		μ s	
RW/SEEK Haltezeit zu LCT/DIR	t_{ds}	30		μ s	

4. Peripherieschaltkreise

Bezeichnung	Kurzzeichen	min.	max.	Einheit	Bemerkungen
LCT/DIR Vorhaltezeit zu FR/STEP	t_{dst}	1		μs	
LCT/DIR Haltezeit zu FR/STEP	t_{std}	24		μs	
DS0,1 Haltezeit zu FR/STEP	t_{stu}	5		μs	
STEP Impulslänge	t_{stp}	5		μs	(typisch)
STEP Zykluszeit	t_{sc}	33		μs	
FR Impulslänge	t_{fr}	8	10	μs	
Indeximpulslänge	t_{idx}		625	μs	(typisch)
TC Impulslänge	t_{tc}	1		t_{cy}	

* Typ U 8272.04 doppelte Zeiten.

4.14. Steuerschaltkreis für Grafik-Display U 82720 DC04

TGL 43 808

Vergleichstypen
P 82720 Intel
 μ PD 7220 NEC

Übersicht

- DMA-Betrieb mit den Schaltkreisen 8257 oder 8237
- bis zu 256 k Worte zu 16 bit adressierbar
- eigenes Refresh-Signal für nicht adressierten Speicher
- Lese-/Schreib-Zyklus ohne Adressenwechsel
- Lichtgriffel-Eingang
- Grafik-Betriebsart, 4 bit-Bildwiederholungspeicher
- Betriebsart mit Zeichengenerator und Attributen (8 K)
- Grafik/Zeichen - Betriebsart (max. 64 k bei Zeichen, 1 Mpixel bei Grafik), 2 voneinander unabhängige Bildschirmfelder
- Figurenzeichnen mit Linien, Bogen/Winkeln und grafischen Zeichen mit 800 ns je Pixel
- automatische Cursorbewegung, 4 unabhängig voneinander rollbare Bildschirmfelder, programmierbare Cursorhöhe, Zeichen je Zeile: bis 256, Zeichenzeilen je Bildschirm: bis 100
- Zoom-Faktoren von 1 bis 16 (Dehnung)
- DMA - Fähigkeit, Bytes und Worte, 4 Taktperioden je Byte-Übertragung

Beschreibung

Der U 82720-Grafik-Display-Controller (GDC) ist ein Peripherieschaltkreis für Mikroprozessoren. Er arbeitet zwischen dem Bus des Prozessors und dem Bildwiederholungspeicher, denn er verwaltet und erzeugt alle Steuersignale für den Bildschirm. Durch den leistungsfähigen Befehlssatz des GDC bleibt der Programmieraufwand beim Prozessor gering. Bei der Arbeit mit dem GDC laufen gleichzeitig 6 Aufgaben ab: Der GDC erzeugt die Ablenssignale mit Synchronimpulsen und Dunkeltastung. Der Bildwiederholungs-

speicher wird während des Figurenzeichnens und der Datenübertragungen verändert. Während des Zeichnens werden Adressen des Bildwiederholungspeichers berechnet. Außerhalb des GDC werden Parameter für das Zeichnen berechnet. Das Bild wird als Liste für den GDC dargestellt, und diese Darstellung wird bearbeitet.

Bild 1 zeigt den Übersichtsschaltplan, Bild 2 die Ausschlußbelegung. Der GDC belegt 2 Adressen am Bus des Prozessors, mit denen das Statusregister und das FIFO-Register erreicht werden können. Die Auswahl geschieht mit der Adresse A0.

FIFO-Operation und Kommandoprotokoll

Das FIFO-Register des GDC steuert den Kommandodialog mit dem Mikroprozessor. Der Informationsfluß benutzt ein Halbduplexverfahren, bei dem die einzelnen 16-bit-Register des FIFO nacheinander in beide Richtungen des Datenverkehrs verwendet werden. Die FIFO-Richtung steuert der Mikroprozessor über den Befehlssatz des GDC, indem die Status-bits abgefragt werden.

Das im GDC benutzte Kommandoprotokoll unterscheidet zwischen dem 1. Byte einer Kommando- und den weiteren. Das 1. Byte enthält den Operationscode und die weiteren bringen Parameter. Beim Einschreiben setzt der GDC ein Flag, um das Daten-Byte als Kommando oder Parameter zu kennzeichnen. Der Kommandoprozessor prüft dieses bit bei der Auswertung des FIFO.

Der Empfang eines Kommando-Bytes kennzeichnet das Ende eines vorhergehenden Kommandos. Die Anzahl der mit einem Kommando übertragenen Parameter-Bytes wird bei Empfang eines neuen Kommandos kurzgeschlossen. Eine Leseoperation des GDC durch den Mikroprozessor kann jederzeit durch ein neues Kommando beendet werden.

Der Mikroprozessor steuert die Übertragungsrichtung des FIFO. Kommandos, die in das FIFO geschrieben werden, setzen es immer in die Betriebsart Schreiben, wenn diese nicht schon bestand. Falls es in der Betriebsart Lesen war, ist die zu lesende Information verloren. Kommandos, die eine Ant-

4. Peripherieschaltkreise

wort des GDC verlangen, z. B. RDAT, CURD und LPRD, setzen das FIFO in die Betriebsart Lesen, wenn das Kommando interpretiert ist. Beliebige Kommandos und Parameter, die nach der Umschaltung auftreten, werden nicht angenommen, wenn die FIFO-Richtung gewechselt hat.

Speicher lesen und verändert zurückschreiben

Der Datenaustausch zwischen GDC und Bildwiederholpeicher geschieht in einem Zyklus mit Lesen und dem Zurückschreiben veränderter Daten (RMW = read-modify-write). Der Zeitverlauf benötigt 4 Taktperioden: 1) Adressen ausgeben, 2) Daten vom Speicher lesen, 3) Daten verändern und 4) Zurückschreiben der veränderten Daten. Diese Art des Speicherzugriffs wird für den gesamten Informationsaustausch mit dem Bildwiederholpeicher einschließlich dem DMA-Betrieb genutzt, ausgenommen den RAM-Refresh-Zyklus (2 Taktperioden).

Die während des Modifikationsteils des RMW-Zyklus ablaufenden Vorgänge verdienen besondere Erläuterung. Die interne Schaltung des GDC benutzt 3 Hauptelemente: das Muster-Register, das Masken-Register und die 16-bit-Logik-Einheit. Das Muster-Register enthält das in den Speicher zu schaffende bit-Muster. Es wird durch das WDAT-Kommando oder während des Zeichnens vom Parameter-RAM geladen. Der Inhalt des Masken-Registers bestimmt, welche der gelesenen Datenbits verändert werden. Auf der Basis des Inhalts dieser Register führt die Logik die ausgewählte Operation (Ersetzen, Umkehren, Setzen, Löschen) mit den vom Bildwiederholpeicher gelesenen Daten aus.

Der Inhalt des Maskenregisters wird mit dem des Musterregisters AND-verknüpft, um die aktuelle Veränderung der gelesenen Daten in einer bit-zu-bit-Basis zu erreichen. So können einzelne Pixel mit dem EAD-Register ausgewählt werden.

In der Zeichen-Betriebsart wirken alle bits des Musterregisters parallel auf die zu modifizierenden Datenwörter. Das Maskenregister muß bei den zu verändernden Positionen mit 1 geladen sein.

Das Maskenregister kann auf 2 Weisen geladen werden: In der Betriebsart Grafik enthält das Kommando CURS ein 4-bit-Feld, um eine Punktadresse festzulegen. Der Kommandoprozessor wandelt diesen Parameter in ein 1-aus-16-Format im Maskenregister für das Figurenzeichen. Ein 16-bit-Wert kann mit dem Mask-Kommando geladen werden. Damit können alle Pixel eines Wortes auf den gleichen Wert gesetzt werden.

Figurenzeichen

Der Grafik-Display-Controller zeichnet Figuren mit einer Rate von 1 Pixel je RMW-Zyklus, bei einer Taktfrequenz von 5 MHz dauert das 800 ns. Während des Speicherzugriffs berechnet der GDC Adresse und Position des nächsten zu zeichnenden Pixels.

Der Vorgang des Zeichnens hängt von der Adreßstruktur des Bildwiederholspeichers ab. Gruppen von 16 horizontal liegenden Pixeln bilden die 16-bit-Worte, die vom GDC verarbeitet werden. Der Bildwiederholpeicher ist ein linear adressierbarer Raum dieser Worte. Die individuelle Adressierung von Pixeln nimmt die interne Logik des GDC vor. Während des Zeichnens findet der GDC das nächste Pixel der Figur in der nächsten Nachbarschaft des letzten gezeichneten. Der GDC ordnet jeder dieser 8 Richtungen beginnend mit der genau darunter liegenden eine Zahl von 0 bis 7 zu (entgegen dem Uhrzeigersinn). Das Zeichnen der Figuren erfordert die richtige Behandlung der bit-Position des Pixels in Übereinstimmung mit der Zeichenrichtung für das nächste Pixel. Um ein Wort über oder unter dem aktuellen zu beeinflussen, muß die Anzahl der Worte je Zeile im Bildwiederholpeicher addiert oder subtrahiert werden. Dieser Parameter heißt Pitch. Um das Wort auf einer der Seiten zu verändern, muß der aktuelle Wortadreßcursor EAD erhöht oder vermindert werden, bis der Punktadreßzeiger das LSB oder MSB des Maskenregisters erreicht. Ein Pixel im selben Wort wird durch Rotation des Punktadreßzeigers nach links oder rechts erreicht. Bild 3 zeigt alle Operationen in der Übersicht.

Das Zeichnen ganzer Worte ist sinnvoll, um Speicherbereiche mit einem einzigen Wert zu füllen. Durch Setzen aller bits des Maskenregisters auf 1 sind sowohl LSB als auch MSB immer 1, so daß der Wert des EAD unabhängig von der Richtung immer erhöht oder vermindert wird. Ein RMW-Zyklus kann damit alle 16 bit des Wortes bei jeder Art des Zeichnens beeinflussen. 1 bit im Musterregister je RMW-Zyklus genügt, um alle bits mit dem gleichen Wert zu beschreiben, das nächste Muster-bit wird für das nächste Wort benutzt usw. Bild 4 zeigt die unterschiedlichen Figuren, die sich in Abhängigkeit von der anfänglichen Richtung ergeben.

Parameter des Zeichnens

Zur Vorbereitung des Zeichnens benötigt der GDC den Figurentyp, die Parameter für Richtung, die Art des Zeichnens und die Adresse des Anfangspixels vom Mikroprozessor. Hat er diese Werte gespeichert, so beginnt nach dem Kommando zum Figurenzeichnen FIGD die Zeichenoperation. Von da ab ist der Mikroprozessor am Zeichnen nicht mehr beteiligt.

Der Algorithmus für das Figurenzeichnen ist optimal für die Zeichengeschwindigkeit, sie dient der schnellen Adreßberechnung im GDC. Tabelle 3 enthält eine Aufstellung der Parameter.

Zeichnen von Grafikzeichen

Grafikzeichen können Pixel auf Pixel in den Bildwiederholtspeicher geschrieben werden. Das 8×8 -Zeichen wird durch den Mikroprozessor geladen. Durch Veränderung der Parameter für das Zeichnen können Zeichen mehrmals geschrieben werden, ohne nochmals Parameter zu laden.

Zunächst wird der Parameter-Speicher mit bis zu 8 Grafik-Zeichen-Bytes mit dem zugehörigen PRAM-Kommando geladen. Das GCHRD-Kommando kann benutzt werden, um die Bytes in den Bildwiederholtspeicher beginnend bei der Cursorposition zu schreiben. Der Zoom-Faktor für das Schreiben, der durch das Zoom-Kommando gesetzt wird, bestimmt die Größe der Zeichen im Bildwiederholtspeicher mit den Faktoren 1

bis 16 ganzzahlig. Die Bewegung dieser PRAM-Bytes zum Bildwiederholtspeicher wird durch die Parameter des FIGS-Kommandos gesteuert. Das Parameter-RAM wird abgetastet, um die erforderliche Fläche auf der Basis der festgelegten Höhe und Breite des Zeichnens zu füllen.

Bei einem 8×8 -Grafikzeichen benutzt das erste Pixel das LSB von RA15, das zweite bit 1 usw. bis das MSB erreicht ist. Der GDC springt dann zu bit 0 von RA14 und setzt die Folge mit den anderen 6 PRAM-Bytes fort. Wenn das Feld schmaler als 8 Pixel ist, springt er zum nächsten Byte, bevor das MSB erreicht wird. Ist das Feld weniger als 8 Linien hoch, werden weniger Bytes im Parameter-RAM abgetastet, hat es eine größere Höhe als 8×8 , wiederholt der GDC den Inhalt des Parameter-RAM in 2 Dimensionen.

Inhalt des Parameter-RAM

Die im Parameter-RAM gespeicherten Werte PRAM sind für den GDC wiederholte Bezugsbasis beim Figurenzeichnen und Abtasten. In jeder Betriebsart werden die Werte durch den GDC in einer vorbestimmten Form ausgewertet. Dabei sind die PRAM-Bytes 8 bis 16 als Muster-Information reserviert. Beim Zeichnen von Linien, Bogen und Winkeln (lineare Figuren) werden die Plätze 8 und 9 in das Musterregister geladen, um dem GDC das Zeichnen gestrichelt, mit Punkten usw. zu gestatten. Für das Füllen von Flächen und Grafikzeichen werden die Plätze 8 bis 15 benutzt.

Reset-Kommando

Das Kommando kann zu beliebiger Zeit ausgeführt werden und ändert nicht die schon geladenen Parameter. Wenn Parameter folgen, setzt das Kommando auch die Parameter des Synchrongenerators wie oben beschrieben. Der Wartezustand wird mit dem Start-Kommando verlassen. Bild 8 zeigt mögliche Reset-Parameter. In der Betriebsart Grafik besteht ein Wort aus einer Gruppe von 16 Pixeln, im Zeichen-Modus ist ein Wort eine Zeichencodierung mit Attributen, sofern vorhanden. Die Anzahl der aktiven Worte je Zeile muß eine gerade Zahl zwi-

4. Peripherieschaltkreise

schen 2 und 256 sein. Ein Alles-Null-Parameter wählt eine Anzahl von $2n$ aus, wobei n = Anzahl der bits im Feld für die vertikalen Parameter. Alle horizontalen Breiten werden in Display-Worten gezählt, alle horizontalen Teile in Linien.

Sync-Parameter-Grenzen

Grenzen der horizontalen vorderen Schwarzscher Hfp

- 1) Allgemein: $Hfp \geq 2$ Worte.
- 2) Wenn ein DMA-Schaltkreis oder ein Zoomfaktor >1 benutzt wird, ist $Hfp \geq 3$ Worte.
- 3) Wird der GDC in der gesteuerten Betriebsart (slave mode) benutzt, so ist $Hfp \geq 4$ Worte.
- 4) Bei Nutzung eines Lichtgriffels beträgt $Hfp \geq 6$ Worte.

Grenzen der Horizontalsynchronisation Hs

- 1) Bei Nutzung dynamischer RAM ist $Hs \geq 2$ Worte.
- 2) Bei Nutzung des Zeilensprungverfahrens ist $Hs \geq 5$ Worte.

Grenzen der horizontalen hinteren Schwarzscher Hbp

- 1) Allgemein: $Hbp \geq 3$ Worte.
- 2) Wenn das Zeilensprungverfahren benutzt wird, ändern sich die bits für die Betriebsarten Image und Wide: $Hbp \geq 5$ Worte.

bits für die Steuerung der Betriebsarten (Bild 9)

Wiederholungsverfahren: Folge von 2 Feldern mit einem Versatz von $1/2$ Zeilen und sonst gleichem Inhalt.

Zeilensprungverfahren: Folge von 2 Feldern mit einem Versatz von $1/2$ Zeilen, jedes Feld enthält abwechselnde Zeilen.

Verfahren ohne Zeilensprung: 1 Feld bringt die gesamte Information auf den Bildschirm.

Die Anzahl der Zeilen beim Zeilensprungverfahren ist ungerade. Die Summe von $Vfp + Vs + Vbp + Al$ soll gleich der gewünschten Zeilenanzahl sein.

Das Auffrischen der dynamischen RAM ist wichtig, wenn ein großer Zoomfaktor oder

ein DMA-Schaltkreis benutzt wird, so daß nicht auf alle Reihen in den RAM während der Darstellung zugegriffen wird. Der Zugriff auf den Bildwiederholungspeicher kann auf die Dunkelphase beim Strahlrücklauf begrenzt werden, so daß Störungen auf dem Bildschirm nicht sichtbar sind.

Festlegung des SYNC-Formats

Das Kommando ladet Parameter in den SYNC-Generator. Die verschiedenen Parameter und bits sind mit denen des RESET-Kommandos identisch, der GDC wird jedoch nicht rückgesetzt und geht nicht in den Warte-Zustand.

Kommando vertikale SYNC-Betriebsart

Wenn 2 oder mehr GDC gemeinsam mit einem Bildschirm arbeiten, ist ein GDC als Leit-SYNC-Generator (Master) wirksam, die anderen arbeiten als gesteuerte (Slave). Die VSYNC-Anschlüsse aller GDC sind zusammengeschaltet.

Gesteuerte Betriebsart

Einige Überlegungen sind zu beachten, wenn man mit 2 oder mehr GDC ein überlagertes Videosignal über den VSYNC-Ein-/Ausgang erzeugen will. Wie bereits erwähnt, muß das Signal Hfp 4 oder mehr Display-Zyklen lang sein, das entspricht 8 oder mehr Taktzyklen. Das gibt dem gesteuerten GDC Zeit, seinen internen Video-Sync-Generator zu initialisieren und auf den richtigen Punkt im Videofeld zu synchronisieren, um dem Vertikal-Sync-Puls des Eingangs zu entsprechen. Das Rücksetzen des Generators geschieht genau mit dem Ende des VSYNC-Impulses am Eingang während des Hfp -Intervalls. Wenn die GDC initialisiert und als Master und Slave eingestellt sind, muß ihnen Zeit zur Synchronisation gegeben werden. Dazu wird das VSYNC-Status-bit des Leit-GDC geprüft und gewartet, bis ein oder mehr VSYNC-Impulse erzeugt wurden, ehe der Displayprozeß gestartet wird. Das START-Kommando beginnt die aktive Darstellung von Daten und beendet den Prozeß der Video-Synchronisation. Damit ist gesichert, daß mindestens ein VSYNC-Impuls erzeugt wurde, um die Slaves zu synchronisieren.

Kommando für Cursor und Zeichencharakteristik

In der Betriebsart Grafik muß LR auf 0 gesetzt sein. Beim Zeilensprungverfahren in der Betriebsart Grafik muß BR auf 3 gesetzt sein. Der Parameter »Blinkrate« steuert sowohl den Cursor als auch die Attribute. Die Zeiten für »Cursor ein« und »Cursor aus« sind identisch und gleich $2 \times BR$. Die Blinkrate der Attribute ist immer $1/2$ der Cursorrate aber mit einem Tastverhältnis von $3/4$ ein und $1/4$ aus.

Display-Steuerkommandos

Kommando zur Festlegung des Zoomfaktors

Der Faktor für die Dehnung wird mit den Zahlen 0 bis 15 entsprechend festgelegt.

Kommando für die Festlegung der Cursorposition

In der Betriebsart Zeichen ist das dritte Parameterbyte nicht nötig. Der Cursor wird in der Zeit dargestellt, in der die Display-Abtastadresse DAD der Cursoradresse entspricht. In der Betriebsart Grafik liegt die Cursoradresse auf dem Wort, das das 1. Pixel der Zeichnung enthält, die Punktadresse DAD legt das Pixel in diesem Wort fest.

Kommando zum Laden des Parameter-RAM

Ab der Startadresse SA kann eine Anzahl Bytes in aufsteigenden Adressen bis Platz 15 in den Parameter-RAM geladen werden. Die Folge der Parameter-Bytes wird durch das nächste Kommando-Byte beendet, das in das FIFO gelangt. Der Parameter-RAM speichert 16 Informations-Bytes in vorgegebenen Plätzen, die sich bei den Betriebsarten Grafik und Zeichen unterscheiden. Siehe bit-Zuordnung in der Beschreibung des Parameter-RAM!

Kommando Pitch-Festlegung

Diesen Wert benutzt der Zeichenprozessor während des Zeichnens, um ein Wort direkt über oder unter dem aktuellen zu finden, und während der Darstellung, um den Beginn der nächsten Zeile zu finden.

Der Pitchparameter (Rastergrundmaß) wird durch 2 verschiedene Kommandos gesetzt.

Zusätzlich zum Pitchkommando setzt auch das Kommando Reset (oder Sync) den Pitchwert. Der Parameter »aktive Worte je Zeile«, der die Breite des Bildschirmformats festlegt, setzt auch den Pitchwert des Bildwiederholerspeichers. In Fällen, bei denen beide Werte gleich sind, ist ein Pitchkommando nicht erforderlich.

Kommandos zur Steuerung des Zeichnens

Daten-Schreibkommando

Nach Empfang eines Parametersatzes (2 Byte für eine Wort-, 1 Byte für eine Byte-Übertragung) folgt ein RMW-Zyklus in den Videospeicher auf die Adresse, auf die der Cursor EAD zeigt. Der EAD-Zeiger rückt in Übereinstimmung mit der zuvor festgelegten Richtung weiter auf das nächste Wort. Dann können weitere Parameter angenommen werden.

Beim Schreiben von nicht spezifizierten Bytes werden diese als alles 0 beim RMW-Zyklus behandelt.

Bei Grafik wird nur das LSB des Wdat-Parameters als Muster bei der RMW-Operation genutzt. Deshalb ist es möglich, ein Muster von alles 0 oder 1 zu erhalten. Bei der Anwendung von Grafikzeichen werden alle bits des Wdat-Parameters zur Einrichtung des Zeichenmusters benutzt.

Das Wdat-Kommando arbeitet anders als die weiteren Kommandos zur Einleitung eines RMW-Zyklus. Es erfordert Parameter für das Musterregister, während die anderen Kommandos die im Parameter-RAM gespeicherten Werte benutzen. Wie alle diese Kommandos muß das Wdat-Kommando durch ein Figs-Kommando mit seinen Parametern eingeleitet werden. Nur die ersten 3 dem Figs-Operationscode folgenden Parameter sind nötig, um die Art des Zeichnens, die Richtung und den DC-Wert zu setzen. Ein DC-Parameter von +1 ist die Anzahl von RMW-Zyklen, die der GDC mit dem ersten Satz von Wdat-Parametern ausführt. Zusätzliche Sätze von Wdat-Parametern verwenden einen DC-Wert von 0, wodurch nur ein RMW-Zyklus ausgeführt wird.

4. Peripherieschaltkreise

Kommando zum Laden des Maskenregisters

Dieses Kommando setzt den Wert des 16-bit-Maskenregisters des Prozessors zum Figuren zeichnen. Das Maskenregister steuert, welche bits im Bildwiederholtspeicher während eines RMW-Zyklus verändert werden können. Das Maskenregister wird sowohl durch das Mask-Kommando als auch durch das 3. Byte des Curs-Kommandos geladen. Das Mask-Kommando kennt 2 Parameter, um einen 16-bit-Wert in das Mask-Register zu laden. Alle 16 bit können unabhängig voneinander auf 0 oder 1 programmiert werden. Das Curs-Kommando dagegen lädt ein »1 aus 16«-Muster auf der Basis der Punktadresse dAD in das Mask-Register. Wenn das übliche Grafikfigurenzeichen mit 1 Pixel je Zeiteinheit ausgewählt wurde, dann ist ein Mask-Kommando nicht nötig, da das Curs-Kommando das richtige Muster zur Adressierung des richtigen Pixels bildet. Bei DMA-Betrieb mit Zeichen, beim Einrichten und Löschen des Bildschirms mit dem Wdat-Kommando wird das Mask-Kommando nach dem 3. Parameter-Byte des Curs-Kommandos gegeben. Das Mask-Register soll auf alles 1 für jede »Wort je Zeiteinheit«-Operation.

Startkommando Figurenzeichnen

Bei Ausführung dieses Befehls lädt der GDC die Parameter vom Parameter-RAM in den Zeichenprozessor und beginnt den Zeichenprozeß mit dem Pixel, auf das der Cursor mit den Werten EAD und dAD zeigt.

Startkommando zum Zeichnen von Zeichen und Ausfüllen von Flächen

Auf der Basis der mit dem Figs-Kommando geladenen Parameter initialisiert dieses Kommando das Zeichnen von Grafikzeichen oder das Ausfüllen von Flächen mit dem im Parameter-RAM gespeicherten Muster. Das Zeichnen beginnt auf der Adresse im Bildwiederholtspeicher, auf die EAD und dAD zeigen.

Daten-Lese-Kommando

Datenlesen

Unter Verwendung der Parameter DIR und DC des Figs-Kommandos zur Festlegung von Richtung und Anzahl bei der Übertragung können viele RMW-Zyklen ohne Festlegung der Cursoradresse nach der Initialisierung ausgeführt werden (DC = Anzahl der Worte der Bytes). Zur Ausführung dieses Befehls wird die Richtung im FIFO umgekehrt, so daß die vom Bildwiederholtspeicher gelesenen Daten zum Mikroprozessor gelangen können. Parameter oder Kommandos, die sich noch im FIFO befinden, gehen dann verloren. Ein an den GDC gesendetes Kommando schaltet die Richtung sofort in die Betriebsart Schreiben um, und die noch nicht vom FIFO gelesenen RDAT-Informationen sind verloren. MOD muß auf 0 gesetzt sein.

Kommando Lesen der Cursoradresse

Die Ausführungsadresse EAD zeigt auf das Wort im adressierten Pixel des Bildwiederholtspeichers. Die Punktadresse dAD im Wort ist als 1-aus-16-Code gegeben.

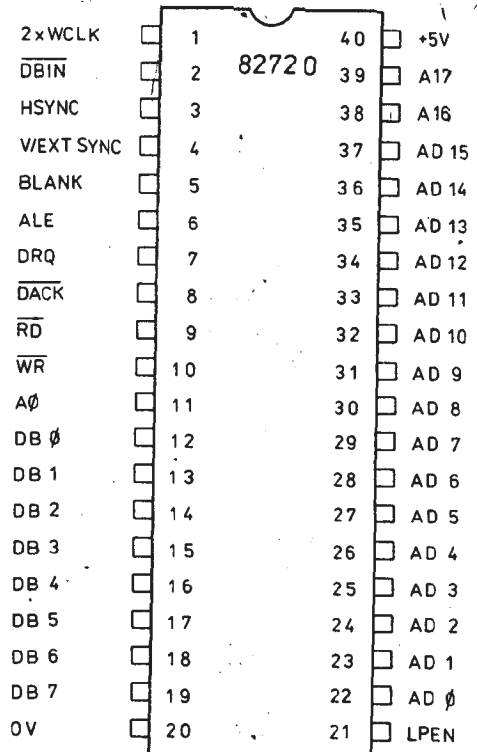
Kommando Lesen der Lichtstift-Adresse

Die Lichtstift-Adresse LAD entspricht der Display-Wort-Adresse DAD, bei der das Eingangssignal des Lichtstifts festgestellt wird.

Tabelle 1 Anschlußbezeichnungen

Anschluß	Symbol	Rich- tung	Funktion	Anschluß	Symbol	Rich- tung	Funktion
1	2xwclk	I	Takteingang	Betriebsart gemischte Darstellung			
2	/dbin	O	Bildwiederholer- speicher-Lesesignal	35-37	ad13-15	I/O	Adressen/Daten bits 13 bis 15
3	hsync	O	Horizontal-Syn- chronimpuls	38	a16	O	Attribute und Zei- lenaustattung
4	v/ext	I/O	Vertikal-Synchron- impuls/Externer Synchronimpuls	39	a17	O	Cursor und Flag (s. Zeitdiagramm)
5	blank	O	Bildröhren-Dun- keltastung	Betriebsart Grafik			
6	ale	O	Adressen-Latch- Freigabe	35-37	ad13-15	I/O	Adressen/Daten bits 13 bis 15
7	drq	O	DMA-Anforde- rung	38	a16	O	Adresse 16
8	/dack	I	DMA-Quittung	39	a17	O	Adresse 17
9	/rd	I	Lesesignal (Prozes- sorbus)	Richtung: I Datenübertragung zum Mikro- prozessor O Datenübertragung vom Mikro- prozessor			
10	/wr	I	Schreibsignal (Pro- zessorbus)				
11	a0	I	Adresse 0 (Prozes- sorbus)				
12-19	d0-7	I/O	Bidirektionaler Datenbus				
20	gnd	O	0 V, Masse				
21	lpen	I	Lichtstift				
22-34	ad0-12	I/O	Adressen/Daten Bildwiederholer- speicher				
35-37	ad13-15	I/O	abhängig von Be- triebsart				
38	a16	O	abhängig von Be- triebsart				
39	a17	O	abhängig von Be- triebsart				
40	U _{CC}	I	+5 V ± 10 %				
Betriebsart Zeichendarstellung							
35-37	ad13-15	O	Zeilenzähler bits 0 bis 2				
38	a16	O	Zeilenzähler bit 3				
39	a17	O	Cursor und Zeilen- zähler bit 4				

Bild 2
Anschlußbelegung



4. Peripherieschaltkreise

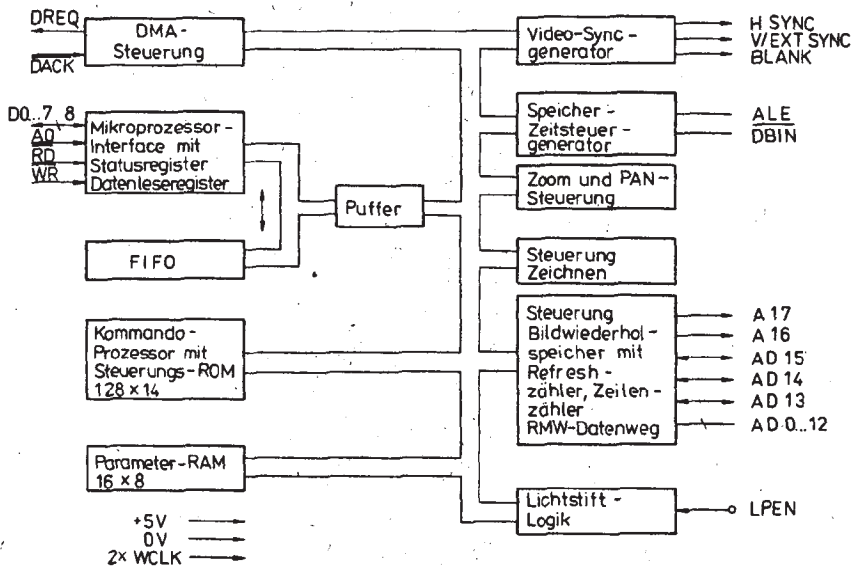


Bild 1
Übersichtsschaltplan

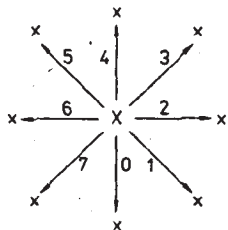


Bild 3
Richtungen des Zeichnens,
allgemeine Darstellung

Tabelle 4 Übersicht Adreßrechnung

Rich- Adreßoperation tung

0	$EAD = EAD + P$
1	$EAD = EAD + P$, wenn dAD . MSB = 1 dann $EAD = EAD + 1$ $dAD = LR(dAD)$
2	wenn $dAD.MSB = 1$ dann $EAD = EAD + 1$ $dAD = LR(dAD)$
3	$EAD = EAD - P$, wenn $dAD.MSB = 1$ dann $EAD = EAD + 1$ $dAD = LR(dAD)$
4	$EAD = EAD - P$
5	$EAD = EAD - P$, wenn $dAD.LSB = 1$ dann $EAD = EAD - 1$ $dAD = RR(dAD)$

Tabelle 2 Kommando-Übersicht

Bildsteuerung	
1. Reset	Rücksetzen des GDC in Ruhezustand
2. Sync	Festlegen des Bildformats
3. Vsync	Auswahl Betriebsart Haupt-/Nebensynchronisation
4. Cchar	Festlegen der Cursor- und Zeichenhöhe

Bildformatsteuerung

1. Start	beendet Ruhezustand und schaltet Bildschirm ein
2. Bctrl	steuert Dunkelstasten des Bildschirms
3. Zoom	legt Dehnungsfaktoren fest
4. Curs	setzt Cursorposition im Bildwiederholtspeicher
5. Pram	legt die Anfangsadresse und die Länge des dargestellten Bereiches und die 8 Bytes für Grafik fest
6. Pitch	legt X-Dimension des Bildwiederholtspeichers fest

Steuerung des Zeichnens

1. Wdat	schreibt Datenworte oder Bytes in den Bildwiederholtspeicher
2. Mask	setzt den Inhalt des Maskenregisters
3. Figs	legt Parameter für Steuerung des Zeichnens fest
4. Figd	zeichnet Figuren
5. Gchrd	zeichnet Grafikzeichen in Bildwiederholtspeicher

Datenlesen

1. Rdat	liest Datenworte/-Bytes vom Bildwiederholtspeicher
2. Curd	liest Cursorposition
3. Lprd	liest Lichtstift-Adresse

DMA-Steuerung

1. DMAR	Anforderung Datenlesen mit DMA
2. DMAW	Anforderung Datens Schreiben mit DMA

Tabelle 3 bits des Statusregisters

SR0	Daten bereit Wenn das bit H-Pegel hat, kann der Prozessor ein Byte lesen. Das bit muß vor jedem Lesen getestet werden
SR1	FIFO voll Wenn das bit H-Pegel hat, ist der Puffer voll. Das bit muß vor jedem Schreiben getestet werden
SR2	FIFO leer Wenn das bit H-Pegel hat, sind alle Steuersignale und Kommandos ausgeführt
SR3	Zeichnen aktiv Wenn der GDC eine Zeichnung ausführt, hat das bit H-Pegel
SR4	DMA-Operation Wenn das bit H-Pegel hat, läuft ein DMA-Transfer ab
SR5	Vertikal Synchronisation Der Vertikalrücklauf findet statt, wenn das bit H-Pegel hat
SR6	Horizontalaustastung aktiv Wenn das bit H-Pegel hat, läuft die Horizontalaustastung
SR7	Lichtstift festgestellt Wenn das bit auf H-Pegel ist, hat die Bildwiederhol-Speicheradresse die des Lichtstifts erreicht. Nach dem Lesen der Lichtstiftadresse durch den Prozessor wird das bit rückgesetzt

4. Peripherieschaltkreise

Richtung	Gerade	Bogen	Zeichen	Schräg- zeichen	Rechteck	DMA
000						
001						
010						
011						
100						
101						
110						
111						

Bild 4 Richtungen des Zeichnens entsprechend Kommando

RA0

←			SAD1L			→
---	--	--	-------	--	--	---

 Startadresse des Teilbildschirmes 1.(Wortadresse)

1

0	0	0	←		SAD1H	→
---	---	---	---	--	-------	---

2

LEN 1L				0	0	0	0
--------	--	--	--	---	---	---	---

 Länge des Teilbildschirmes 1 (Zeilenzähler)

3

WD1	IM					LEN 1H	
-----	----	--	--	--	--	--------	--

Das IM-bit beeinflusst die Arbeit des Adresszählers
0 = Erhöhung um 1 nach jedem Lesezyklus
1 = Erhöhung um 1 nach 2 Lesezyklen

ist das bit gesetzt, so beträgt die Darstellungsbreite 2 Worte je Speicherzugriff, der Adresszähler wird bei jedem Abtastzyklus um 2 erhöht. Andere Speicherzugriffe werden nicht beeinflusst

RA4

SAD 2L									
5	0	0	0			SAD 2H			
6	LEN 2L					0	0	0	0
7	WD2	IM				LEN 2H			

 Startadresse und Länge des 2. Teilbildschirmes

8

SAD 3L									
9	0	0	0			SAD 3H			
10	LEN 3L					0	0	0	0
11	WD3	IM				LEN 3H			

 Startadresse und Länge des 3. Teilbildschirmes

12

SAD 4L									
13	0	0	0			SAD 4H			
14	LEN 4L					0	0	0	0
15	WD4	IM				LEN 4H			

 Startadresse und Länge des 4. Teilbildschirmes

Bild 5
PRAM-Inhalt
bei Zeichenbetriebsart
(PRAM - Parameter-RAM)

4. Peripherieschaltkreise

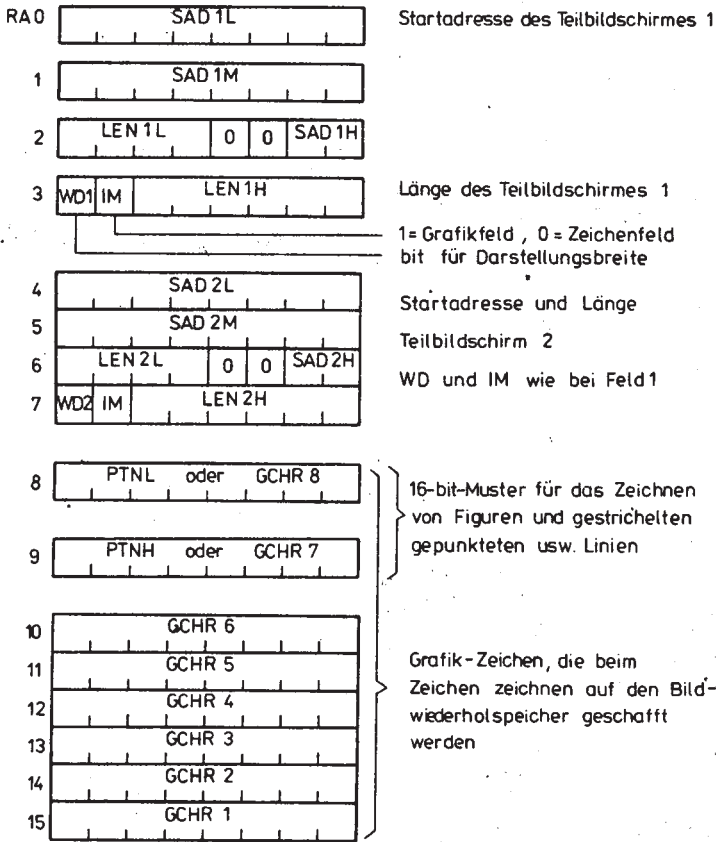


Bild 6
PRAM bei Grafik
und Mischbetriebsart

0 0 0 0 0 0 0 0	Reset
0 0 0 0 1 1 1 DE	Sync
0 1 1 0 1 1 1 M	V sync
0 1 0 0 1 0 1 1	C char
0 1 1 0 1 0 1 1	Start
0 0 0 0 1 1 0 DE	BCTRL
0 1 0 0 0 1 1 0	Zoom
0 1 0 0 1 0 0 1	curs
0 1 1 1 SA	PRAM
0 1 0 0 0 1 1 1	Pitch
0 0 1 Type 0 MOD	Wdat
0 1 0 0 1 0 1 0	Mask
0 1 0 0 1 1 0 0	Figs
0 1 1 0 1 1 0 0	Figd
0 1 1 0 1 0 0 0	Gchrd
1 0 1 Type 0 MOD	Rdat
1 1 1 0 0 0 0 0	curd
1 1 0 0 0 0 0 0	LPRD
1 0 1 Type 1 MOD	DMAR
0 0 1 Type 1 MOD	DMAW

Bild 7
Kommandoübersicht

0 0 0 0 0 0 0 0	Reset
-----------------	-------

Löscht den Bildschirm, bewirkt Wartezustand initialisiert im GDC das Fifo, den Kommando-Prozessor und die internen Zähler

0 0 C F I D G S	
AW	
VSL	HS

Mnemonic siehe folgende Bilder

HFP	VSH
-----	-----

0 0	HBP
0 0	VFP
ALL	

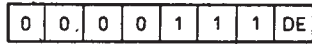
VBP	ALH
-----	-----

Bild 8
Reset

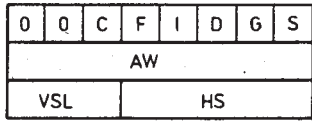
C G	Betriebsart
0 0	Grafik und Zeichen gemischt
0 1	Grafik
1 0	Zeichen
1 1	nicht erlaubt
I S	Bildaufbau
0 0	kein Zeilensprung
0 1	nicht erlaubt
1 0	Doppelbild mit Zeilensprung für Zeichen
1 1	Zeilensprung
D	Refresh
D = 1	Steuerung des Refresh bei dynamischen RAM ein
D = 0	kein Refresh, statische RAM
F	Steuerung der Zeit des Zeichnens
F = 1	Zeichnen nur in der Zeit des Strahlrücklaufes
F = 0	Zeichnen während der Darstellung und dem Strahlrücklauf

Bild 9
Betriebsartensteuerung

4. Peripherieschaltkreise



SYNC
DE=1= Darstellung ein, dunkel bei 0



Betriebsart-Steuer-bits siehe Bild 8
Aktive Worte je Linie-2 (gerade Zahl)

HS = horizontal Synchron Breite-1

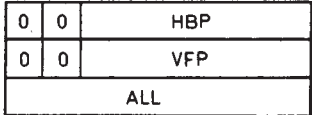
VSL= vertikal Synchron Breite, niederwertige bits

VSH= vertikal Synchron Breite, hochwertige bits



HFP= vordere horizontale Schwarzschulter Breite-1

HBP= hintere horizontale Schwarzschulter Breite-1



VFP = Breite der vorderen Vertikal-Dunkeltastung-Schwarzschulter

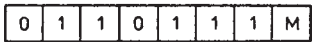
ALL = Aktive Zeilen des Videofeldes, niederwertige bits

ALH = Aktive Zeilen des Videofeldes, hochwertige bits



VBP= Breite der hinteren Vertikal-Dunkeltastung-Schwarzschulter

Bild 10
SYNC-Kommando

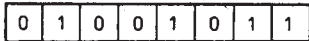


V SYNC

0 = externe Synchronisation gesteuerte Betriebsart

1 = steuernde Betriebsart, erzeugen und ausgeben von Vertikalsynchronimpulsen

Bild 11
VSYNC-Kommando



CCHAR



LR= Zeilen je Zeichenreihe-1
DC=Cursor ein wenn=1



CTOP =oberste Cursozeile in der Reihe

SC=0/1=blinkend /nicht blinkend

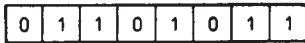
BRL =Blinkrate, niederwertiger Teil



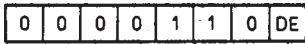
BRU =Blinkrate, obere bits

CBOT =unterste Cursozeile in der Reihe

Bild 12
CCHAR-Kommando

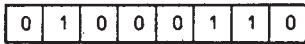


Start



BCTRL

0=dunkel, 1=eingeschaltet



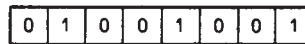
Zoom



P1

Dehnungsfaktor für Grafikzeichen -1

Dehnungsfaktor -1



curs



aus zuführende Wortadresse Low-Byte



aus zuführende Wortadresse mittleres Byte

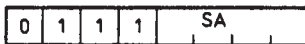


(nur in Betriebsart Grafik)

Wortadresse, höchste bits

Punktadresse im Wort

Bild 13 Displaysteuerung



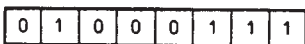
PRAM

SA=Startadresse im Parameter-RAM

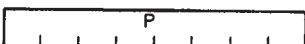


1 bis 16 Bytes

Bild 14 PRAM-Kommando



PITCH



Anzahl der Wortadressen im Bildwiederholungspeicher in horizontaler Richtung

Bild 15 PITCH-Kommando

4. Peripherieschaltkreise

0 0 1 Type 0 MOD

WDAT

Byte oder Wort L

Datenbyte oder niederwertiges Byte des Wortes

Wort H

höherwertiger Teil des Wortes

Type	Datenübertragungsart
0 0	Wort, niederwertiges danach höherwertiges Byte
0 1	nicht zulässig
1 0	niederwertiges Byte des Wortes
1 1	höherwertiges Byte des Wortes

MOD	Operation beim RMW-Zyklus
0 0	Ersetzen mit Muster
0 1	Komplementbildung
1 0	auf 0 setzen
1 1	auf 1 setzen

Bild 16
WDAT-Kommando

0 1 0 0 1 0 1 0

Mask

ML

niederwertiges Byte

MH

höherwertiges Byte

Bild 17
MASK-Kommando

0 1 0 0 1 1 0 0

FIGS

SL R A GC L DIR

DIR = Richtung des Zeichnens

DCL

L = Vektor
GC = Grafikzeichen

0 GD DCH

A = Bogen / Kreis

R = Rechteck

DL

SL = Kursivschrift

GD = Flag für Grafik

0 0 DM

DC, D, D1, D2 = Parameter des Zeichnens

D2L

0 0 D2M

D1L

0 0 D1M

DML

0 0 DMM

Bild 18
FIGS-Kommando;
a – allgemeine Darstellung,
b – zulässige bit-Kombinationen

a)

SL	R	A	GC	L	Operation
0	0	0	0	0	Betriebsart Zeichen darstellen, einzelne Punkte zeichnen, DMA, WDAT und RDAT
0	0	0	0	1	zeichnen gerader Linien
0	0	0	1	0	zeichnen von Grafikzeichen, füllen von Feldern mit einem Grafikmuster
0	0	1	0	0	zeichnen von Bögen und Kreisen
0	1	0	0	0	zeichnen von Rechtecken
1	0	0	1	0	zeichnen von Kursiv - Grafikzeichen und Füllen von Feldern

b)

1	0	1	Type	0	MOD
---	---	---	------	---	-----

RDAT

Type und MOD wie WDAT

Bild 19
RDAT-Kommando

1	1	1	0	0	0	0	0
---	---	---	---	---	---	---	---

CURD

die folgenden Bytes gibt der GDC zurück

EADL

EAD aktuelle Adresse

EADM

X	EADH
---	------

X-Wert ohne Bedeutung

d ADL

d ADL / H Punkadresse

d ADH

Bild 20
CURD-Kommando

1	1	0	0	0	0	0	0
---	---	---	---	---	---	---	---

LPRD

die folgenden Bytes gibt der GDC zurück:

LADL

LAD = Lichtstiftadresse

LADM

X	LADH
---	------

X = Wert ohne Bedeutung

Bild 21
LPRD-Kommando

1	0	1	Type	1	MOD
---	---	---	------	---	-----

DMAR = DMA-Leseanforderung

0	0	1	Type	1	MOD
---	---	---	------	---	-----

DMAW = DMA-Schreibanforderung

Bild 22
DMAR- und DMAW-Kommando

4. Peripherieschaltkreise

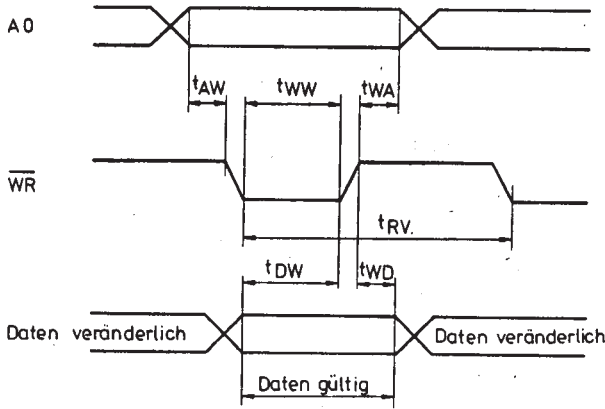


Bild 23
Lesezyklus Datenbus/GDC

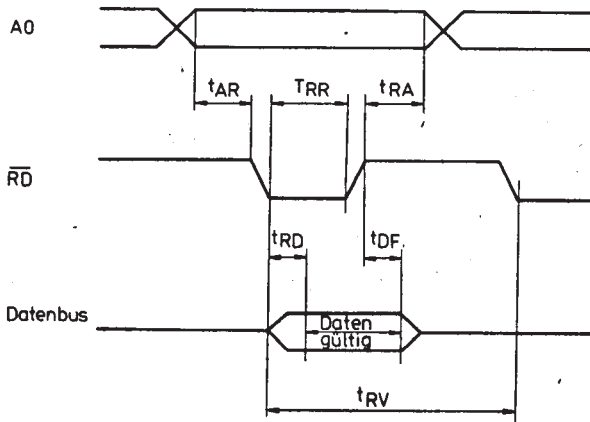


Bild 24
Schreibzyklus Datenbus/GDC

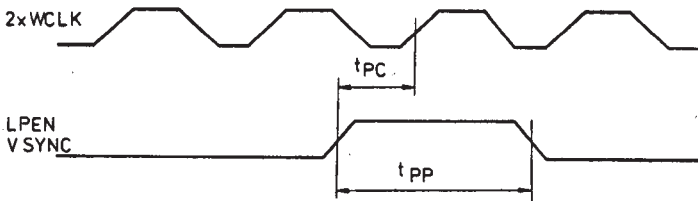


Bild 27
Lichtstiftsynchronisation

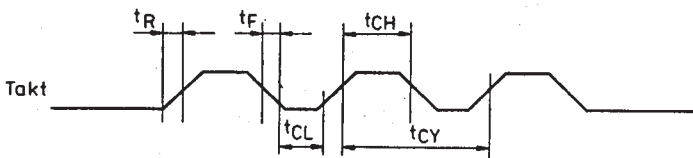


Bild 28
Taktzeichen $2 \times WCLK$

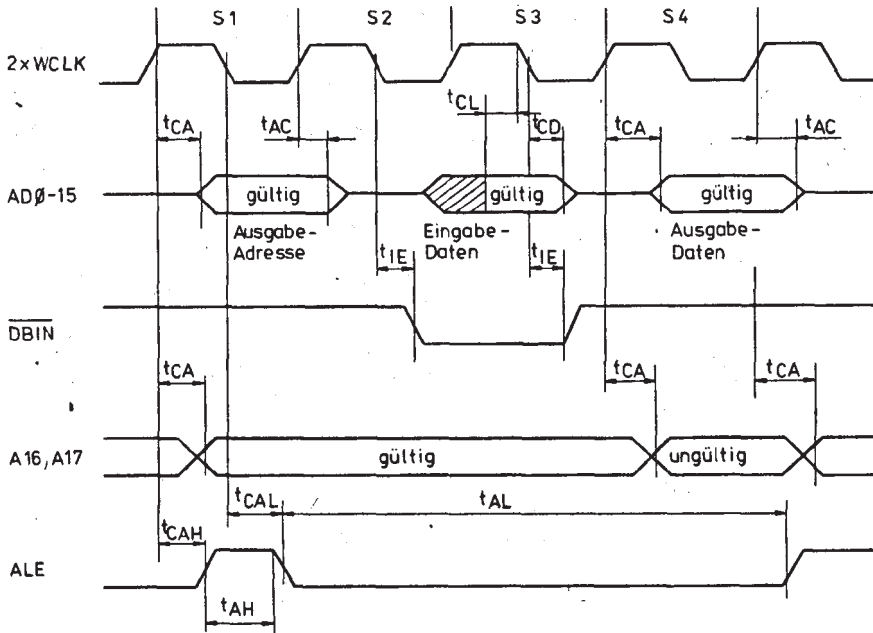
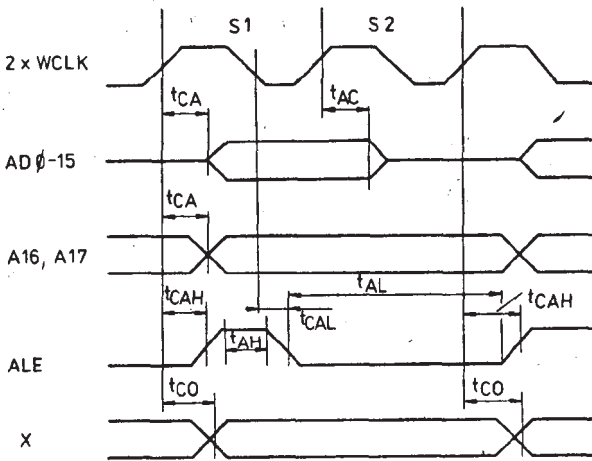


Bild 25 RMW-Zyklus Bildwiederholpeicher



X = Blank, Vsync, Cursor, Cursor/Image
Attribut - Blinkfrequenz

Bild 26
Lesezyklus Bildwiederholpeicher

4. Peripherieschaltkreise

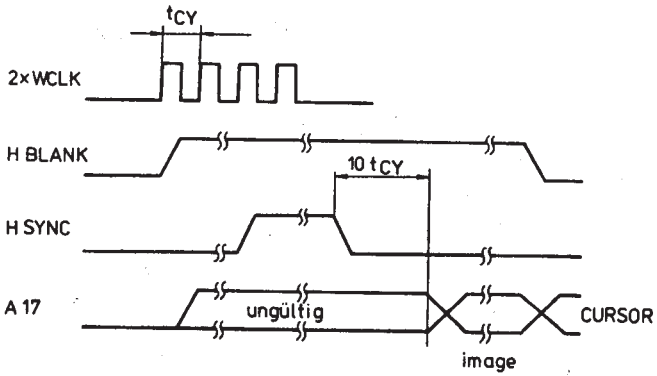


Bild 29
Image-Flag

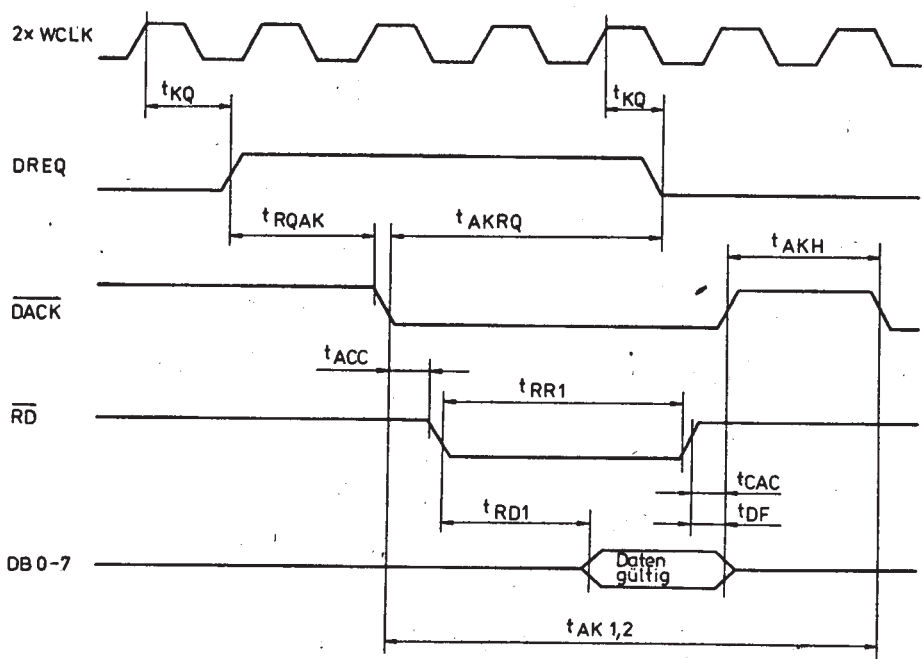


Bild 30 DMA lesen

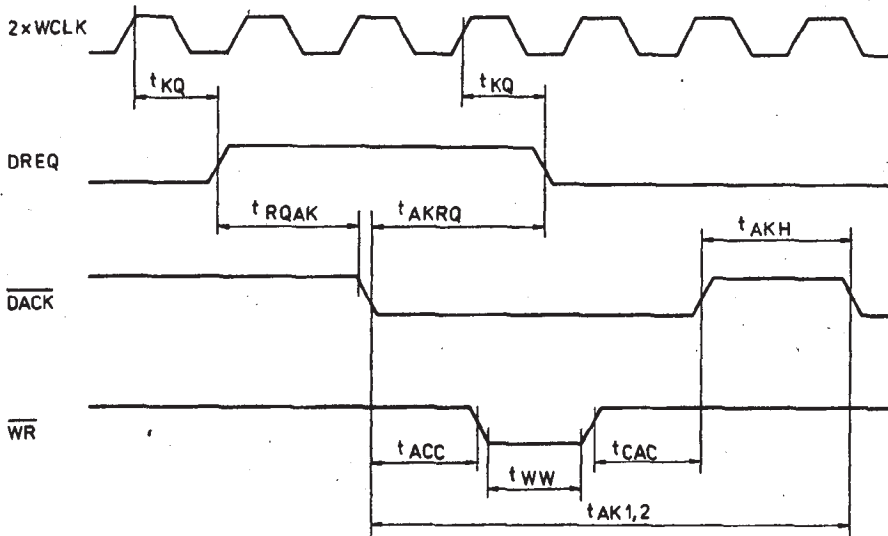


Bild 31 DMA schreiben

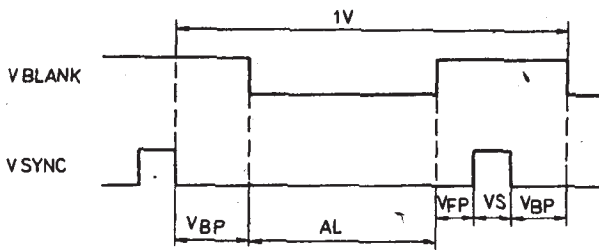


Bild 32
Parameter des Horizontal-
synchronizers

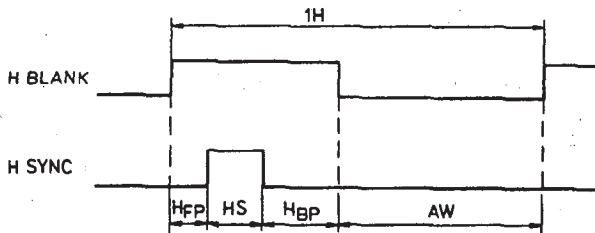


Bild 33
Parameter des Vertikal-
synchronizers

4. Peripherieschaltkreise

Tabelle 5 Technische Daten

Grenzwerte

Arbeitstemperaturbereich	0 bis +70 °C
Lagerungstemperaturbereich	-65 bis +150 °C
Eingangsspannung	-0,5 bis +7 V
Leistungsaufnahme	1,5 W

Symbol	Parameter	min.	max.	Einheit	Meßbedingungen
Statische Kennwerte					
U_{IL}	L-Eingangsspannung	-0,5	0,8	V	
U_{IH}	H-Eingangsspannung	2,0	$U_{CC} + 0,5$	V	
U_{OL}	L-Ausgangsspannung		0,45	V	$I_{OL} = 2,2 \text{ mA}$
U_{OH}	H-Ausgangsspannung	2,4		V	$I_{OH} = -400 \mu\text{A}$
I_{OZ}	Ausgangsreststrom		10	μA	$U_{SS} + 0,45 \geq U_I$ $\geq U_{CC}$
I_{IL}	Eingangsreststrom		10	μA	$U_{SS} \geq U_I \geq U_{CC}$
U_{CL}	Takteingangsspannung L	-0,5	0,6	V	
U_{CH}	Takteingangsspannung H	3,5	$U_{CC} + 0,5$	V	
I_{CC}	Stromaufnahme		270	mA	typ.: 150 mA
C_I	Eingangskapazität		10	pF	$U_{CC} = 0 \text{ V}$, $f_c = 1 \text{ MHz}$
C_{IO}	Ein-/Ausgangskapazitäten		20	pF	$U_{CC} = 0 \text{ V}$, $f_c = 1 \text{ MHz}$
C_O	Ausgangskapazitäten		20	pF	$U_{CC} = 0 \text{ V}$, $f_c = 1 \text{ MHz}$
C_{IC}	Eingangskapazität Takt		20	pF	$U_{CC} = 0 \text{ V}$, $f_c = 1 \text{ MHz}$

Dynamische Kennwerte

Symbol	Parameter	min.	max.	Einheit
Lesezyklus Datenbus				
t_{AR}	A0-Voreinstellzeit zu /RD	0		ns
t_{RA}	A0-Haltezeit nach /RD	0		ns
t_{RR}	/RD-Impulsbreite	$t_{RD} + 20$		ns
t_{RD}	Verzögerung /RD zu Daten		120	ns *
t_{DF}	Verzögerung /RD zu Tristate	0	120	ns
t_{RV}	/RD-Erholzeit	$4t_{CY}$		ns
Schreibzyklus Datenbus				
t_{AW}	A0-Voreinstellzeit zu /WR	0		ns
t_{WA}	A0-Haltezeit nach /WR	0		ns
t_{WW}	/WR-Impulsbreite	120		ns
t_{DW}	Daten-Voreinstellzeit zu /WR	100		ns
t_{WD}	Daten-Haltezeit nach /WR	0		ns
t_{RV}	/WR-Erholzeit	$4t_{CY}$		ns
Bildwiederholpeicher				
t_{CA}	Adreß/Datenverzögerung von $2 \times WCLK$	30	160	ns *
t_{AC}	Adreß/Datenhaltezeit	30	160	ns *
t_{DC}	Datenvoreinstellzeit zu $2 \times WCLK$	0		ns
t_{CD}	Datenhaltezeit	$t_{IE} + 20$		ns
t_{IE}	$2 \times WCLK$ zu /DBIN	30	120	ns *
t_{CAH}	$2 \times WCLK$ zu ALE	30	125	ns *
t_{CAL}	$2 \times WCLK$ zu ALE	30	100	ns *
t_{AL}	ALE L-Pegel	$t_{CY} + 30$		ns
t_{AH}	ALE H-Pegel	$t_{CH} - 20$		ns
t_{CO}	Verzögerung Video zu $2 \times WCLK$		150	ns

4. Peripherieschaltkreise

Symbol	Parameter	min.	max.	Einheit
Sonstige Zeiten				
t_{FC}	Voreinstellzeit Lpen oder Vsync zu $2 \times WCLK$	30		ns
t_{PP}	Lpen oder Vsync Impulsbreite	t_{CY}		
Taktzeiten				
t_{CY}	Taktperiode	250	2000	ns
t_{CH}	Takt H-Zeit	105		ns
t_{CL}	Takt L-Zeit	105		ns
t_R	Anstiegszeit		20	ns
t_F	Abfallzeit		20	ns
DMA-Zeiten				
t_{ACC}	Voreinstellzeit /Dack zu /RD oder /WR	0		ns
t_{CAC}	Haltezeit von /RD oder /WR	0		ns
t_{RR1}	/RD-Impulsbreite	$t_{RDI} + 20$		ns
t_{RD1}	Verzögerung /RD zu Ausgangsdaten		$1,5t_{CY} + 120$	ns *
t_{KQ}	Verzögerung $2 \times WCLK$ zu Dreq		150	ns *
t_{RQAK}	Voreinstellzeit Dreq zu Dack	0		ns
t_{AKRQ}	Verzögerung Dack zu Dreq		$t_{CY} + 150$	ns
t_{AKH}	/Dack H-Pegel /Dack-Zykluszeit, Wort	t_{CY} $4t_{CY}$		
t_{AK2}	/Dack-Zykluszeit, Byte	$5t_{CY}$		

* $C_L = 50$ pF.

4.15. 8-bit-Bustreiber- und Speicherschaltung
'8282/'8283

Vergleichstypen

<i>DS 8282</i>	<i>DS 8283</i>	<i>HFO</i>
<i>K 1810 IR82</i>	<i>K 1810 IR83</i>	<i>Elong</i>
<i>UCY 74S482</i>	<i>UCY 74S483</i>	<i>VR Polen</i>
<i>I 8282</i>	<i>I 8283</i>	<i>Intel</i>
<i>SAB 8282</i>	<i>SAB 8283</i>	<i>Siemens</i>

Beschreibung

Die integrierten Schaltkreise '8282 und '8283 sind 8-bit-Speicher und Bustreiber. Jede der 8 Übertragungseinheiten der '8282 und '8283 besteht aus einem taktzustands-gesteuerten Zwischenspeicher und einer Ausgangsstufe. Die 8 gleichartigen Ausgangsstufen können über \overline{OE} in den hochohmigen Zustand geschaltet werden ($\overline{OE} = H$). Beim '8282 werden die Daten vom Eingang zum Ausgang nicht invertiert, beim '8283 liegen sie am Ausgang in invertierter Form vor. Beide Typen haben zur Steuerung der Datentübertragung 2 Steuereingänge \overline{OE} und STB.

Der Strobe-Eingang STB speichert die Eingangsdaten. Sie werden mit der HL-Flanke des Strobe-Impulses in die Speicher geschrieben. Bei STB = L und $\overline{OE} = L$ liegen die gespeicherten Daten am Ausgang an. Wird STB = H, wirken die Schaltkreise als durchgängige Bustreiber. Die Ein- und Ausgänge befinden sich auf der jeweils gegenüberliegenden Seite. Als Beispiele für die Anwendung seien genannt:

- bidirektionaler Bustreiber mit Speicher (bei antiparalleler Schaltung),
- Eingangstor,
- Ausgangstor,
- Befehlstor.

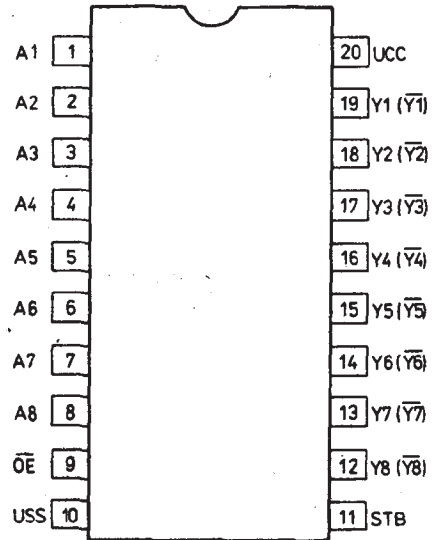


Bild 1
Anschlußbelegung

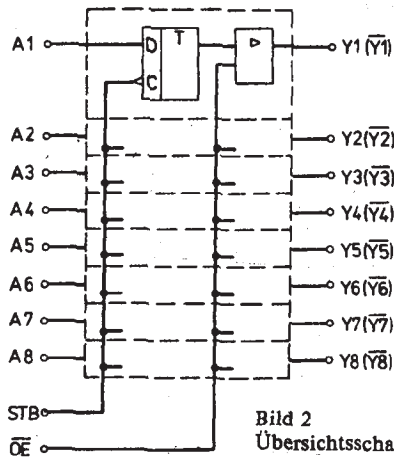


Bild 2
Übersichtsschaltplan

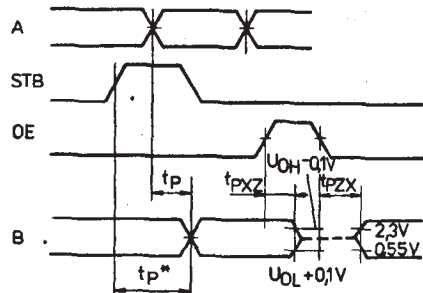


Bild 3
Impulsdiagramm

4. Peripherieschaltkreise

Tabelle 1 Statische Kennwerte des '8282 und '8283
($\vartheta_a = 0$ bis 70°C)

Eingangsstrom	
$-I_{IL}$ in mA (bei $U_{CC} = 5,25\text{ V}$, $U_{IL} = 0,45\text{ V}$)	$\leq 0,1$; typ. 0,01
I_{IH} in μA (bei $U_{CC} = 5,25\text{ V}$, $U_{IH} = 5,25\text{ V}$)	≤ 50 ; typ. < 1
Ausgangsspannung	
U_{OL} in V (bei $U_{CC} = 4,75\text{ V}$, $I_{OL} = 32\text{ mA}$)	$\leq 0,5$; typ. 0,3
U_{OH} in V (bei $U_{CC} = 4,75\text{ V}$, $I_{OH} = -5\text{ mA}$)	$\geq 2,4$; typ. 3,5
Ausgangskurzschlußstrom	
$-I_{OS}$ in mA (bei $U_{CC} = 5,25\text{ V}$, Kurzschlußdauer $\leq 1\text{ s}$, nur ein Ausgang)	50 bis 240; typ. 150
Eingangsklemmspannung $-U_{IK}$ in V (bei $U_{CC} = 4,75\text{ V}$, $-I_1 = 18\text{ mA}$)	$\leq 1,5$; typ. 0,5
Stromaufnahme I_{CC} in mA (bei $U_{CC} = 5,25\text{ V}$)	≤ 160 ; typ. 80
Ausgangsreststrom	
I_{OZH} in μA (bei $U_{CC} = 5,25\text{ V}$, $U_{OH} = 5,25\text{ V}$)	≤ 50 ; typ. < 1
I_{OZL} in μA (bei $U_{CC} = 5,25\text{ V}$, $U_{OL} = 0,45\text{ V}$)	≤ 50 ; typ. < 1
Eingangsspannung	
U_{IL} in V (bei $U_{CC} = 5,25\text{ V}$)	$\leq 0,8$
U_{IH} in V (bei $U_{CC} = 4,75\text{ V}$)	$\geq 2,0$

Tabelle 2 Signalverzögerungszeiten des '8282/'8283
($\vartheta_a = 25^\circ\text{C}$; $U_{CC} = 5\text{ V}$)

	'8282	'8283
A \rightarrow B		
t_{PHL} in ns	≤ 35 ; typ. 22	≤ 25 ; typ. 13
t_{PLH} in ns	≤ 35 ; typ. 17	≤ 25 ; typ. 16
STB \rightarrow B		
t_{PLH}^* in ns	≤ 55 ; typ. 30	≤ 45 ; typ. 24
OE \rightarrow B		
t_{PXZ} in ns	≤ 25 ; typ. 12	≤ 25 ; typ. 12
t_{PZX} in ns	10 bis 50; typ. 30	10 bis 50; typ. 30

4.16. Bidirektionale 8-bit-Bustreiber '8286/'8287

Vergleichstypen

<i>DS 8286</i>	<i>DS 8287</i>	HFO
<i>MHB 8286</i>	<i>MHB 8287</i>	TESLA
<i>K 1810 WA86</i>	<i>K 1810 WA87</i>	Elog
<i>UCY 74S486</i>	<i>UCY 74S487</i>	VR Polen
<i>I 8286</i>	<i>I 8287</i>	Intel
<i>SAB 8286</i>	<i>SAB 8287</i>	Siemens

Beschreibung

Die integrierten Schaltkreise '8286 und '8287 sind bidirektionale Bustreiber mit 8 bit Wortbreite.

Jede der 8 Treibereinheiten besteht aus 2 getrennten Tri-state-Treiberstufen, die antiparallel geschaltet sind. Alle Ausgangsstufen der bidirektionalen Bustreiber können durch den Steuereingang \overline{OE} aktiviert ($\overline{OE} = L$) oder in den hochohmigen Zustand ($\overline{OE} = H$) geschaltet werden.

Sind die Ausgänge freigegeben, bestimmt der 2. Steuereingang DIR die Richtung des Datentransports. Liegt DIR auf L, geschieht der Datentransport von A nach B. Bei H an DIR werden sie in umgekehrter Richtung übertragen.

Die Ausgangs- und Eingangsstufen unterscheiden sich in ihrer Strombelastbarkeit. So sind die Ausgangsstufen auf der Seite A (Mikroprozessorseite) mit maximal 16 mA und die auf der Seite B (Datenbusseite) mit maximal 32 mA belastbar.

Beim '8286 werden die Daten vom Eingang zum Ausgang nicht invertiert, während sie beim '8287 am Ausgang in invertierter Form vorliegen. Die IS '8286 und '8287 können in Mikroprozessorsystemen wie der Typ '8216 angewendet werden.

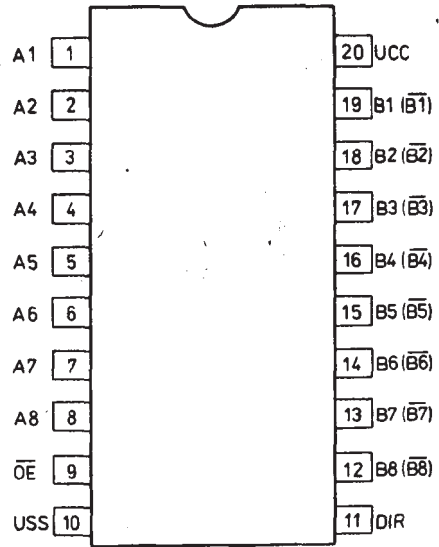


Bild 1
Anschlußbelegung

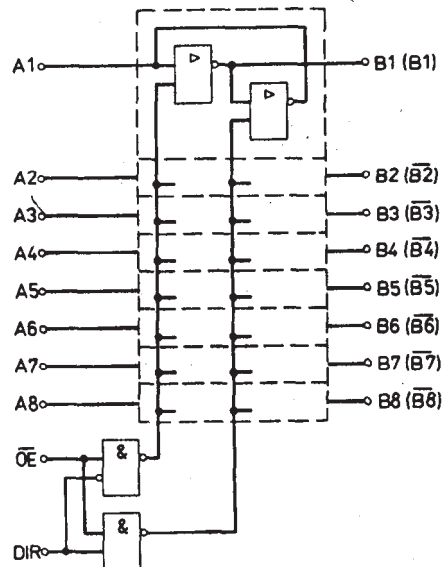


Bild 2
Übersichtsschaltplan

4. Peripherieschaltkreise

Tabelle 1 Statische Kennwerte des '8286/'8287
($\theta_a = 0$ bis 70°C)

Eingangsstrom	
$-I_{IL}$ in mA (bei $U_{CC} = 5,25\text{ V}$; $U_{IL} = 0,45\text{ V}$)	$\leq 0,1$; typ. 0,01
I_{IH} in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{IH} = 5,25\text{ V}$)	≤ 50 ; typ. < 1
Ausgangsspannung U_{OL} in V	
an A (bei $U_{CC} = 4,75\text{ V}$; $I_{OL} = 16\text{ mA}$)	$\leq 0,5$; typ. 0,2
an B (bei $U_{CC} = 4,75\text{ V}$; $I_{OL} = 32\text{ mA}$)	$\leq 0,5$; typ. 0,3
U_{OH} in V	
an A (bei $U_{CC} = 4,75\text{ V}$; $I_{OH} = -1\text{ mA}$)	$\geq 2,4$; typ. 3,4
an B (bei $U_{CC} = 4,75\text{ V}$; $I_{OH} = -5\text{ mA}$)	$\geq 2,4$; typ. 3,4
Ausgangskurzschlußstrom $-I_{OS}$ in mA (bei $U_{CC} = 5,25\text{ V}$; Kurzschlußdauer $\leq 1\text{ s}$, nur ein Ausgang)	
an A	50 bis 240; typ. 160
an B	50 bis 240; typ. 170
Eingangsklemmspannung $-U_{IK}$ in V (bei $U_{CC} = 4,75\text{ V}$; $-I_I = 18\text{ mA}$)	
	$\leq 1,5$; typ. 0,5
Stromaufnahme I_{CC} in mA A \rightarrow B (bei $U_{CC} = 5,25\text{ V}$)	
	≤ 160 ; typ. 80
Ausgangsreststrom	
I_{OZH} in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{OH} = 5,25\text{ V}$)	≤ 50 ; typ. 1
$-I_{OZL}$ in μA (bei $U_{CC} = 5,25\text{ V}$; $U_{OL} = 0,45\text{ V}$)	≤ 100 ; typ. < 10
Eingangsspannung	
U_{IL} in V (bei $U_{CC} = 5,25\text{ V}$)	$\leq 0,8$
U_{IH} in V (bei $U_{CC} = 4,75\text{ V}$)	$\geq 2,0$

Tabelle 2 Signalverzögerungszeiten des '8286/'8287
($\theta_a = 25^\circ\text{C}$; $U_{CC} = 5\text{ V}$)

	'8286	'8287
A\leftrightarrowB		
t_{PLH} in ns	≤ 35 ; typ. 20	≤ 25 ; typ. 14
t_{PHL} in ns	≤ 35 ; typ. 19	≤ 25 ; typ. 17
OE \rightarrow A, B		
t_{PXZ} in ns	≤ 25 ; typ. 17	≤ 25 ; typ. 17
t_{PZX} in ns	10 bis 50 typ. 30	10 bis 50 typ. 30

4.17. 8 × D-Flip-Flop-Schaltkreis
DL 374 D

Vergleichstyp
74 LS 374

Beschreibung

- 8 taktflankengesteuerte D-Flip-Flop;
- durch Enable-Signal ($\overline{OE} = H$) werden alle Ausgänge in den hochohmigen Zustand geschaltet (Tri-state-Verhalten);
- die an den Dateneingängen anliegende Information wird mit der L/H-Flanke des gemeinsamen Taktes CLK gelesen;
- Takteingang weist Hystereverhalten auf;
- ausführliche Daten TGL 43 612.

Tabelle 1 Funktionstabelle

\overline{OE}	CLK	D	Q
L	LH	H	H
L	LH	L	L
L	L	X	Q_0
H	X	X	Z

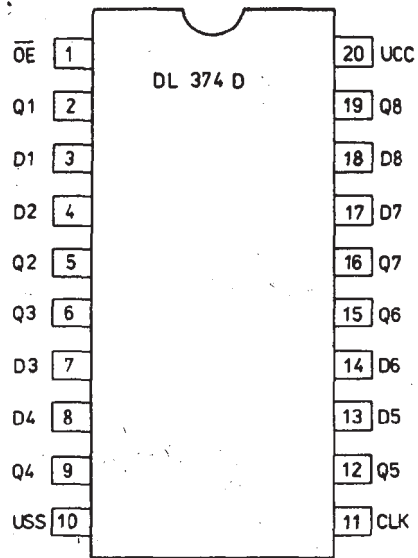


Bild 1
Anschlußbelegung

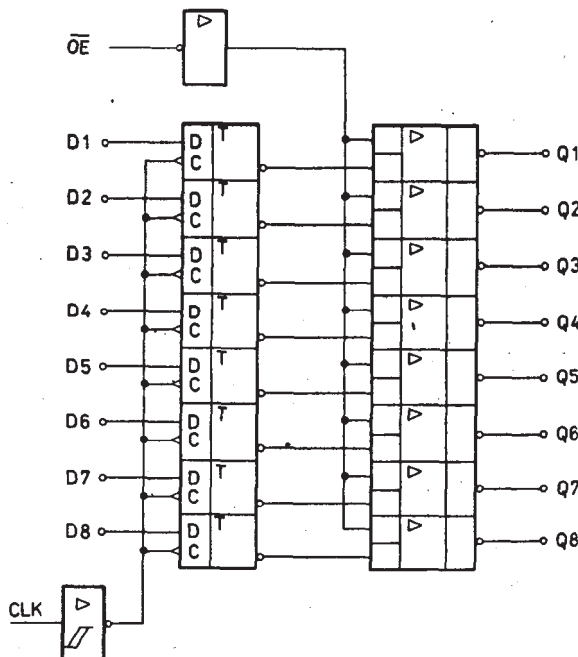


Bild 2
Übersichtsschaltplan

4. Peripherieschaltkreise

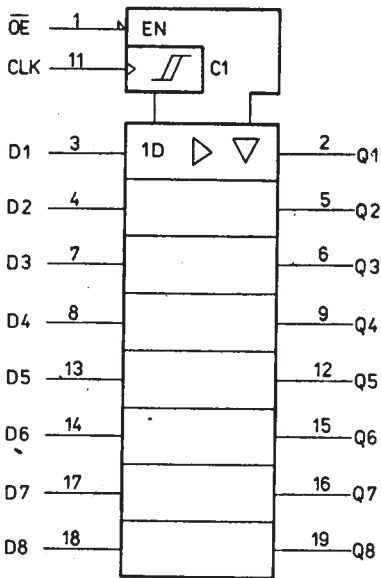


Bild 3
Logiksymbol

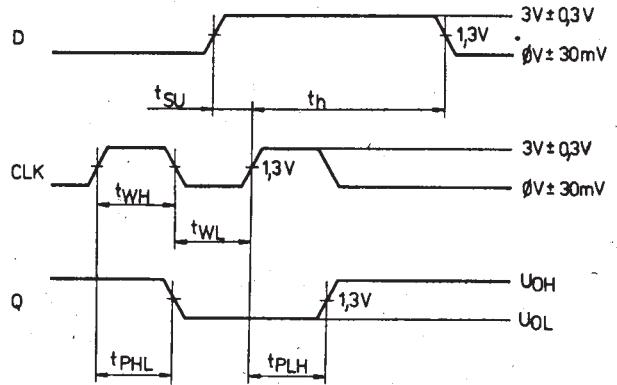


Bild 4
Impulsdiagramm

Tabelle 2 Kenngrößen

Kenngröße	Kleinstwert	Größt- wert	Einstellwerte
H-Ausgangsspannung U_{OH} in V	2,4	–	$U_{CC} = 4,75 \text{ V}$ $-I_{OH} = 2,6 \text{ mA}$
L-Ausgangsspannung U_{OL} in V	–	0,5	$U_{CC} = 4,75 \text{ V}$ $I_{OL} = 24 \text{ mA}$
H-Eingangsstrom I_{IH} in μA	–	50	$U_{CC} = 5,25 \text{ V}$ $U_I = 7,0 \text{ V}$
L-Eingangsstrom $-I_{IL}$ in mA	–	0,36	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$
Ausgangsstrom bei Tri- state			
I_{OZH} in μA	–	20	$U_{CC} = 5,25 \text{ V}$ $U_O = 2,7 \text{ V}$
$-I_{OZL}$ in μA	–	20	$U_{CC} = 5,25 \text{ V}$ $U_O = 0,4 \text{ V}$
Flußspannung der Ein- gangsdiode	–	1,5	$U_{CC} = 4,75 \text{ V}$ $-I_I = 18 \text{ mA}$
$-U_{IK}$ in V			
Ausgangskurzschluß- strom ¹⁾	30	130	$U_{CC} = 5,25 \text{ V}$
$-I_{OS}$ in mA			

Kenngröße	Kleinstwert	Größtwert	Einstellwerte
Stromaufnahme I_{CC} in mA	-	40	$U_{CC} = 5,25 \text{ V}$ $U_{OE} = 4,5 \text{ V}$
Signalverzögerungszeit CLK \rightarrow Q			
t_{PLH} in ns	-	28	
t_{PHL} in ns	-	30	$U_{CC} = 5 \text{ V}$
$\overline{OE} \rightarrow Q$			
t_{PZL}, t_{PZH} in ns	-	28	$C_L = 50 \text{ pF}$
t_{PLZ} in ns	-	25	$R_L = 500 \Omega$
t_{PHZ} in ns	-	20	

1) Nicht mehr als 1 Ausgang gleichzeitig;
Dauer des Kurzschlusses $\leq 1 \text{ s}$.

Tabelle 3 Grenzwerte

Kenngröße	Kleinstwert	Größtwert
Betriebsspannung U_{CC} in V	0	7
Eingangsspannung U_i in V	-	-
Ausgangsspannung im Tristatezustand U_{OZ} in V	-	-
Verlustleistung bei $\vartheta_a = 70^\circ \text{C}$ P_{tot} in W	-	0,65
Sperrschichttemperatur ϑ_j in $^\circ \text{C}$	-	150

Tabelle 4 Betriebsbedingungen

Kenngröße	Kleinstwert	Größtwert
Betriebsspannung U_{CC} in V	4,75	5,25
H-Eingangsspannung U_{IH} in V	2,0	-
L-Eingangsspannung U_{IL} in V	-	0,8
H-Ausgangsstrom $-I_{OH}$ in mA	-	2,6
L-Ausgangsstrom I_{OL} in mA	-	24
H-Ausgangsspannung U_{OH} in V	-	5,5
Impulsdauer am Eingang CLK t_{WH} in ns	15	
Voreinstellzeit ¹⁾ t_{su} in ns		-
Haltezeit ¹⁾ t_h in ns		
Taktfrequenz f_{max} in MHz	-	32
Umgebungstemperatur ϑ_a in $^\circ \text{C}$	0	70

1) Als Bezugsflanke des CLK-Impulses gilt die L/H-Flanke.

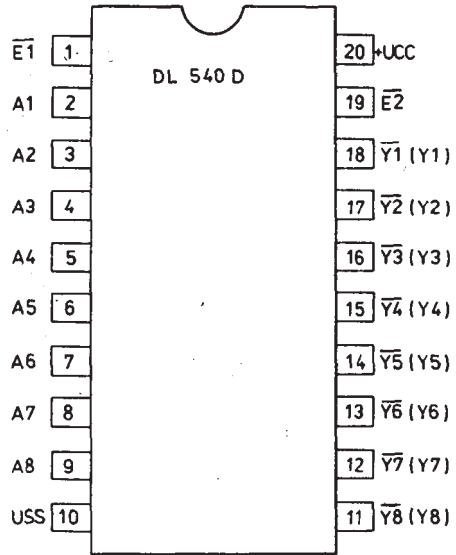
4. Periphereschaltkreise

4.18. Leitungstreiber-Schaltkreise *DL 540 D* und *DL 541 D*

Vergleichstypen
74 LS 540/74 LS 541

Beschreibung

- Stromsparende Leitungstreiber mit Tri-state-Ausgängen für 8-bit-Wortlänge;
- Dateneingänge mit Hystereverhalten;
- Steuereingänge $\overline{OE1}$ und $\overline{OE2}$ sind NOR-verknüpft und erzeugen den hochohmigen Zustand der Ausgangsstufen;
- *DL 540* invertiert die Daten;
- *DL 541* hat nichtinvertierende Ausgangsstufen;
- ausführliche Informationen - *TGL 43 613*.



in Klammer: DL 541 D

Bild 1
Anschlußbelegung

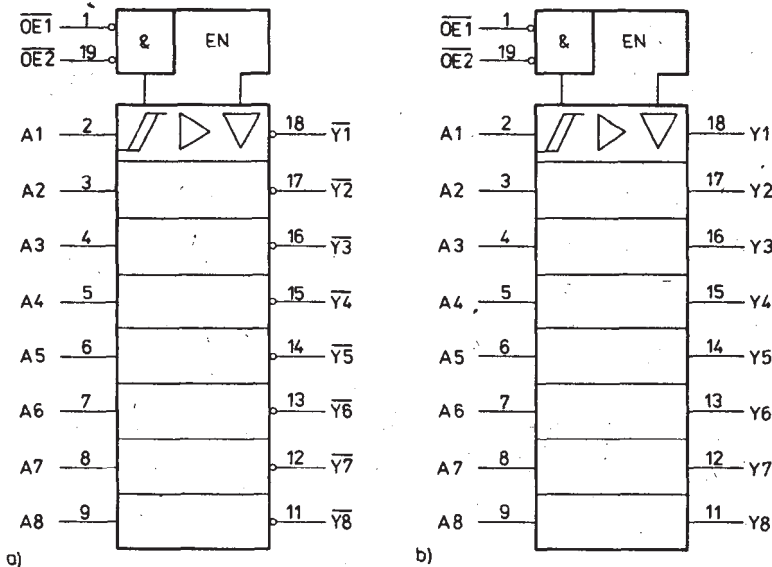


Bild 2 Logiksymbole; a - *DL 540*, b - *DL 541*

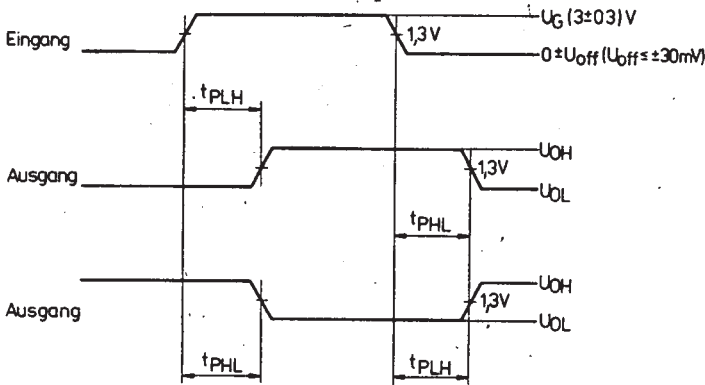
Bild 3
Impulsdiagramm

Tabelle 1 Haupt- und Nebenkenngrößen

Die statischen Kenngrößen gelten bei $U_{CC} = 5,00 \text{ V} \pm 0,25 \text{ V}$ und bei $\theta_a = 0$ bis 70°C .

Kenngröße	Kleinstwert	Größtwert	Einstellwerte
H-Ausgangsspannung U_{OH} in V	2,4	-	$U_{CC} = 4,75 \text{ V}$ $U_{IL} = 0,8 \text{ V}$ $U_{IH} = 2 \text{ V}$ $-I_{OH} = 3 \text{ mA}$
	2,0	-	$U_{CC} = 4,75 \text{ V}$ $U_{IL} = 0,5 \text{ V}$ für A1 bis A8 des DL 540 D $U_{IL} = 0,8 \text{ V}$ für Steuereingänge $U_{IH} = 2 \text{ V}$ $-I_{OH} = 15 \text{ mA}$
L-Ausgangsspannung U_{OL} in V	-	0,5	$U_{CC} = 4,75 \text{ V}$ $U_{IL} = 0,8 \text{ V}$ $U_{IH} = 2 \text{ V}$ $I_{OL} = 32 \text{ mA}$
L-Eingangsstrom $-I_{IL}$ in mA	-	0,1	$U_{CC} = 5,25 \text{ V}$ $U_I = 0,4 \text{ V}$
H-Eingangsstrom I_{IH} in μA	-	50	$U_{CC} = 5,25 \text{ V}$ $U_I = 7,0 \text{ V}$
Ausgangsstrom bei Tristate $-I_{OZL}$ in μA	-	20	$U_{CC} = 5,25 \text{ V}$ $U_O = 0,4 \text{ V}$
I_{OZH} in μA	-	20	$U_{CC} = 5,25 \text{ V}$ $U_O = 2,7 \text{ V}$
Ausgangskurzschlußstrom ¹⁾ $-I_{OS}$ in mA	40	225	$U_{CC} = 5,25 \text{ V}$

4. Peripherieschaltkreise

Kenngröße	Kleinstwert	Größt- wert	Einstellwerte
Flußspannung der Eingangsdiode – U_I in V	–	1,5	$U_{CC} = 4,75 \text{ V}$ $-I_I = 18 \text{ mA}$
Stromaufnahme DL 540 D			
I_{CCH} in mA	–	25	
I_{CCL} in mA	–	45	
I_{CCZ} in mA	–	52	$U_{CC} = 5,25 \text{ V}$
DL 541 D			
I_{CCH} in mA	–	32	Ausgänge offen
I_{CCL} in mA	–	52	
I_{CCZ} in mA	–	55	
Signalverzögerungszeit			
A → Y			
DL 540 D			
t_{PLH} in ns	–	15	$C_L = 50 \text{ pF} \pm 5 \text{ pF}$
DL 541 D			
t_{PLH} in ns	–	17	
DL 540 D			
t_{PHL} in ns	–	18	
DL 541 D			
t_{PHL} in ns	–	20	$R_L = 500 \Omega \pm 15 \Omega$
$\overline{OE1}, \overline{OE2} \rightarrow Y$			
DL 540 D, DL 541 D			
t_{PZL} in ns	–	36	
t_{PZH} in ns	–	25	
DL 540 D			
t_{PLZ} in ns	–	28	
DL 541 D			
t_{PLZ} in ns	–	35	
DL 540 D, DL 541 D			
t_{PHZ} in ns	–	18	

- 1) Zulässige Prüfzeit = 1 s;
Kurzschluß nur an einem Ausgang zulässig.

Tabelle 2 Grenzwerte

Kenngröße	Kleinstwert	Größtwert
Betriebsspannung U_{CC} in V	0	7
Eingangsspannung U_I in V	-	7
Ausgangsspannung U_{OZ} in V	-	7
Verlustleistung P_{tot} in W	-	1,0
Kristalltemperatur ϑ_{jv} in °C.	-	150

Tabelle 3 Betriebsbedingungen

Kenngröße	Kleinstwert	Größtwert
Betriebsspannung U_{CC} in V	4,75	5,25
H-Ausgangsstrom - I_{OH} in mA	-	15
L-Ausgangsstrom I_{OL} in mA	-	32
L-Eingangsspannung U_{IL} in V	-	0,8
H-Eingangsspannung U_{IH} in V	2,0	-
Umgebungstemperatur ϑ_a in °C	0	70

Tabelle 4 Funktionstabelle

Eingänge			Ausgänge	
$\bar{E}1$	$\bar{E}2$	A	\bar{Y} (DL 540)	Y (DL 541)
L	L	L	H	H
L	L	H	L	H
X	H	X	Z	Z
H	X	X	Z	Z

X - beliebiger Pegel
Z - hochohmiger Ausgang

4. Peripherieschaltkreise

4.19. Systemtaktgenerator DL 8127 D

TGL 43 298

Übersicht

- Für unterschiedliche 16-bit-Mikroprozessoren
- Oszillator oder externe Frequenzeinspeisung
- umschaltbare Frequenzteiler
- verschiedene Ausgangstreiber
- RESET-Steuerung
- Steuereingänge für Lauf/Einzelschritt und Fertigsignal
- Zähler für Zeitüberwachung

Tabelle 1 Bezeichnung der Anschlüsse

Bezeichnung	Funktion
4/3	Betriebsartensteuerung Z 8000/I 8086 H = Tastverhältnis 1:2, L = Tastverhältnis 1:3 und ZCK negiert zu TCK
RESET IN	Eingang, synchronisiert RESET mit Takt
RESET OUT	synchronisierter RESET-Ausgang, L-aktiv nur wenn 4/3 = H
X1, X2	X1 TTL-Eingang oder mit X2 Quarzanschlüsse
ZCK	MOS-Taktausgang für CPU
TCK	TTL-Ausgang für Takt, wenn 4/3 = L ist TCK zu ZCK negiert
TCK/2, TCK/4	TTL-Ausgänge, mit TCK synchronisiert, $\frac{1}{2}$ oder $\frac{1}{4}f$
OSC	Oszillatortaktausgang, TTL-Pegel
CLR	Reseteingang für interne Taktteiler zu Synchroni- sation mit OSC-Anstiegsflanke
WAIT	Ausgang zum Anhalten der CPU
READY	Eingang, gesteuert von der Peripherieschaltkreisen
ST1, ST2, ST3	Stauseingänge von der CPU
RUN/HALT	Eingang für Einzelschrittsteuerung, L = low an WAIT
SSNO, SSNC	Einzelschrittsteuereingänge, Umschalten der Masse von SSNO bis SSNC bewirkt Übergang zum nächsten WAIT, wenn RUN/HALT = L
TIMEOUT	Ausgang zur Interruptanmeldung und Begrenzung des WAIT-Signals auf 15 Taktzyklen
TOEN	Freigabeeingang für TIMEOUT
C	Anschluß für Bootstrapkondensator (27 pF gegen ZCK)
U _{cc}	Betriebsspannung (+5 V)
M	Masse, 0 V

Tabelle 2 Grenzwerte

	Kurz- zeichen	min.	max.	Ein- heit
Betriebsspannung	U_{CC}	0	7	V
Eingangsspannung X1,4/3, SSNO, SSNC, RUN übrige Eingänge	U_I	7	$U_{CC} + 0,5$	V
H-Pegel an Ausgängen	U_{OH}	-0,5	5,5	V
Spannung an C	U_C	-0,5	8	V
L-Ausgangsgleichstrom	I_{OL}		30	mA
Eingangsgleichstrom	I_I	-30	5	mA
Betriebsbedingungen				
Betriebsspannung	U_{CC}	4,75	5,25	V
H-Eingangsspannung ST1, ST2, ST3, X1, CLR, TOEN, READY	U_{IH}	2		V
SSNO, SSNC, 4/3, RUN		2		V
RESETIN		2,4		V
L-Eingangsspannung ST1, ST2, ST3, X1, CLR, TOEN, READY	U_{IL}	2,8		V
SSNO, SSNC, 4/3, RESETIN, RUN			0,8	V
H-Ausgangsstrom ZCK	$-I_{OH}$		2	mA
TTL-Ausgänge			2,6	mA
Voreinstellzeit CLR/OSC	t_{su}	25		ns
Haltezeit CLR/OSC	t_h	-6		ns
Voreinstellz. READY/ ZCK	t_{su}			
4/3 = 5 V			$\frac{T}{4} + 10^*$	ns
4/3 = 0 V			20	ns
Haltezeit READY/ZCK	t_h			
4/3 = 5 V			$-\frac{T}{4}$	ns
4/3 = 0 V			-5	ns
Voreinstellzeit ST1,2,3/ZCK	t_{su}			
4/3 = 5 V			$\frac{T}{4} + 12^*$	ns
4/3 = 0 V			25	ns
Haltezeit ST1,2,3/ZCK	t_h			
4/3 = 5 V			$-\frac{T}{4} - 3^*$	ns
4/3 = 0 V			-12	ns

4. Peripherieschaltkreise

	Kurzzeichen	min.	max.	Einheit
Voreinstellzeit TOEN/ ZCK	t_{su}			
4/3 = 5 V		35		ns
4/3 = 0 V		30		ns
Haltezeit TOEN/ZCK	t_h			
4/3 = 5 V		-15		ns
4/3 = 0 V		-10		ns
Umgebungstemperatur		0	70	°C

* T ist die ZCK-Taktperiodendauer.

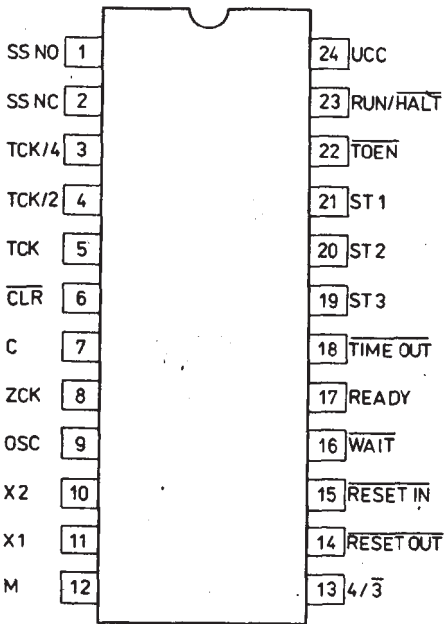


Bild 1
Anschlußbelegung

Tabelle 3 Statische Kennwerte

Eingangslam- pingspannung	$-U_I$	1,5 V
$U_{CC} = 4,75 \text{ V},$ $-I_I = 18 \text{ mA}$		
H-Eingangsstrom	I_{IH}	
$U_{CC} = 5,25 \text{ V},$ $U_{IH} = 2,75 \text{ V}$		
4/3, SSNC, SSNO, RUN		$-300^{1)} \mu\text{A}$
RESETIN		$-200^{1)} \mu\text{A}$
ST1, ST2, ST3, CLR, TOEN, READY		50 μA
X1		600 μA
$U_{CC} = 5,25 \text{ V},$ $U_{IL} = 5,5 \text{ V}$		
ST1, ST2, ST3, CLR, TOEN, READY		1 mA
L-Eingangsströme	$-I_{IL}$	
$U_{CC} = 5,25 \text{ V},$ $U_{IL} = 0,4 \text{ V}$		
SSNO		1,6 mA
SSNC, 4/3, RUN, READY		1,2 mA
CLR, TOEN, X1		0,72 mA
ST1, ST2, ST3, RESETIN		0,36 mA

H-Ausgangsspannung	U_{OH}		
$U_{CC} = 4,75 \text{ V}$, $-I_{OH} = 0,2 \text{ mA}$			
ZCK	4	V	
TTL-Ausgänge,	2,4	V	
$I_{OH} = 2,6 \text{ mA}$			
L-Ausgangsspannung	U_{OL}		
$U_{CC} = 4,75 \text{ V}$, $I_{OL} = 2 \text{ mA}$			
ZCK		0,45 V	
TTL-Ausgänge		0,5 V	
Ausgangskurzschlußstrom ²⁾	$-I_{OS}$		
$U_{CC} = 5,25 \text{ V}$			
ZCK	50	240 mA	
TTL-Ausgänge	40	130 mA	
Stromaufnahme	I_{CC}		
$U_{CC} = 5,25 \text{ V}^3)$		140 mA	

- 1) Negative H-Eingangsströme entstehen durch internen Pull-up-Widerstand.
- 2) Nicht mehr als einen Ausgang gleichzeitig kurzschließen, Dauer des Kurzschlusses $< 1 \text{ s}$.
- 3) 1. $X1 = 2,4 \text{ V}$, $CLR = SSNO = L$, restliche Eingänge H.
2. $X1 = 1$ Takt (L/H-Flanken).
3. $CLR = H$.
4. $X1$ weitere 15 Takte mit Schlußpegel $2,4 \text{ V}$, $SSNO = H$.
5. Messung von I_{CC} .

Tabelle 4 Dynamische Kennwerte

Anstiegszeit	t_{TLH}		
ZCK			
$C_L = 80 \text{ pF}$, $C_C = 27 \text{ pF}^1)$			12 ns
$C_L = 200 \text{ pF}$, $C_C = 27 \text{ pF}^1)$			20 ns
Abfallzeit ZCK	t_{THL}		
$C_L = 80 \text{ pF}$, $C_C = 27 \text{ pF}^1)$			11 ns
$C_L = 200 \text{ pF}$, $C_C = 27 \text{ pF}^1)$			20 ns
Verzögerungszeiten			
$R_L = 500 \Omega$, $C_L = 50 \text{ pF}$			
ZCK: $C_L = 80 \text{ pF}$, $C_C = 27 \text{ pF}$			
READY/WAIT	t_{PLH}	16	ns
	t_{PHL}	19	ns
ST1,2,3/WAIT	t_{PLH}	26	ns
	t_{PHL}	24	ns
ZCK/ RESETOUT			
$4/3 = 0 \text{ V}$	t_{PLH}	23	ns
	t_{PHL}	15	ns
$4/3 = 5 \text{ V}$	t_{PLH}	20	ns
	t_{PHL}	10	ns
Oszillatorfrequenz	f_{OSC}	24	MHz

- 1) Bootstrap-Kondensator zwischen Anschlüssen C und ZCK.

4. Peripherieschaltkreise

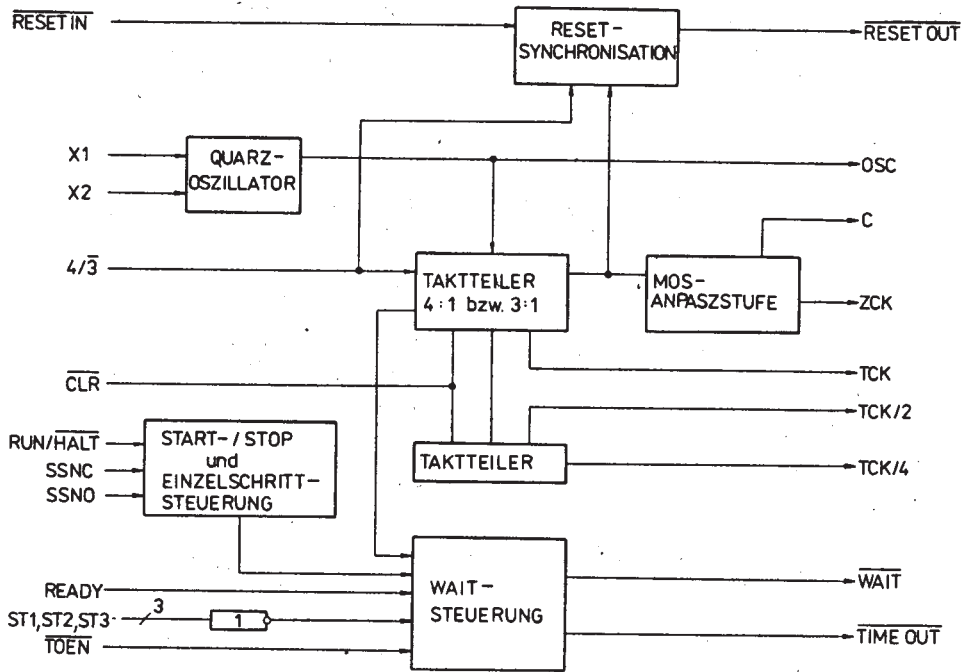


Bild 2 Übersichtsschaltplan

4.20. Programmierbarer Bildschirm-Controller KR 580 WG75

- programmierbarer schneller DMA-Mode
- Betriebsspannung +5V
- 40poliges DIL-Gehäuse

Vergleichstyp
I8275 Intel





Beschreibung

- programmierbares Bildschirm- und Zeichenformat
- 6 unabhängig sichtbare Teilbilder
- 11 Grafikzeichen
- Cursorsteuerung (4 Arten)
- Lichtstifterkennung und -speicherung
- kompatibel zu den Mikroprozessor-Systemen 8085, 8086 und 8088; mit Einschränkungen am System U880 (Z80) nutzbar
- doppelter Zeichenpuffer






Tabelle 1 Funktionstabelle


A0	/RD	/WR	/CS	Funktion
0	0	1	0	Daten schreiben in den 8275
0	1	0	0	Daten lesen vom 8275
1	0	1	0	Kommandos schreiben in den 8275
1	1	0	0	Status lesen vom 8275
X	1	1	0	Tri-state
X	X	X	1	Tri-state

Tabelle 2 Pseudografikzeichen

Zeichencode CCCC	Ausgänge				Symbol	
	LA1	LA0	VSP	LTEN		
0000	-1-	0	0	1	0	
	-2-	1	0	0	0	
	-3-	0	1	0	0	
obere linke Ecke						
0001	-1-	0	0	1	0	
	-2-	1	1	0	0	
	-3-	0	1	0	0	
obere rechte Ecke						
0010	-1-	0	0	1	0	
	-2-	1	0	0	0	
	-3-	0	0	1	0	
untere linke Ecke						
0011	-1-	0	0	1	0	
	-2-	1	1	0	0	
	-3-	0	0	1	0	
untere rechte Ecke						

4. Peripherieschaltkreise

Zeichencode CCCC	Ausgänge				Symbol	
	LA1	LA0	VSP	LTEN		
0100	-1-	0	0	1	0	
	-2-	0	0	0	1	
	-3-	0	1	0	0	
obere Abzweigung						
0101	-1-	0	0	1	0	
	-2-	1	1	0	0	
	-3-	0	1	0	0	
rechte Abzweigung						
0110	-1-	0	0	1	0	
	-2-	1	0	0	0	
	-3-	0	1	0	0	
linke Abzweigung						
0111	-1-	0	1	0	0	
	-2-	0	0	0	1	
	-3-	0	0	1	0	
untere Abzweigung						
1000	-1-	0	0	1	0	
	-2-	0	0	0	1	
	-3-	0	0	1	0	
waagerechter Strich						
1001	-1-	0	1	0	0	
	-2-	0	1	0	0	
	-3-	0	1	0	0	
senkrechter Strich						

Zeichencode CCCC	Ausgänge				Symbol
	LA1	LA0	VSP	LTEN	
1010	-1-	0	1	0	
	-2-	0	0	0	
	-3-	0	1	0	
Schnittpunkt					
1011	-1-	0	0	0	nicht definiert
	-2-	0	0	0	
	-3-	0	0	0	
1100	-1-	0	0	1	Spezialkode
	-2-	0	0	1	
	-3-	0	0	1	

Die Kodes 1101, 1110 und 1111 sind verboten.

Das Blinken ist aktiv bei B = H, Helleuchten bei H = H.

-1-, -2-, -3-: Es wird die relative Lage der Zeichen festgelegt. -1- bedeutet über der Unterstreichungsline, -2- auf der Unterstreichungsline und -3- unter der Unterstreichungsline.

Anschlußbeschreibung

LC0 bis LC3	Ausgang	Line Count (Zeilenzähler). Dieser Ausgang wird zum Adressieren des Zeichengenerators für die Zeilenposition auf dem Bildschirm verwendet.
DRQ	Ausgang	DMA Request (DMA Anforderung). Ausgangssignal zur Anforderung eines DMA-Zyklus für den DMA-Controller 8257.
/DACK	Eingang	DMA Acknowledge (DMA-Bestätigung). Eingangssignal vom DMA-Controller 8257, daß der angeforderte DMA-Zyklus gewährt wird.
HRTC	Ausgang	Horizontal Retrace (horizontaler Rücklauf). Ausgangssignal, das während der programmierten Rücklaufdauer aktiv ist. Während dieser Zeit ist VSP = H und LTEN = L.
VRTC	Ausgang	Vertical Retrace (vertikaler Rücklauf). Ausgangssignal, das während der programmierten Rücklaufdauer aktiv ist. Während dieser Zeit ist VSP = H und LTEN = L.
/RD	Eingang	Read (Lesen). Dieses Kontrollsignal erlaubt das Lesen der Register.
/WR	Eingang	Write (Schreiben). Dieses Kontrollsignal zeigt das Schreiben von Befehlen in das Steuerregister oder das Schreiben von Daten in den Zeilenpuffer während des DMA-Zyklus an.
LPEN	Eingang	Light pen (Lichtstift). Eingangssignal vom Bildschirmsteuersystem, das das Erkennen eines Lichtstifts angibt.

4. Periphereschaltkreise

DB0 bis DB7	Eingänge/ Ausgänge	bidirektionaler Tri-state Datenbus
LA0, LA1	Ausgänge	Line Attributes Codes (Kode für Zeilenzeichen). Dieser Zeichencode kann von einer externen Logik dekodiert werden und wird für die Bildung der Horizontal- und Vertikalzeichen des grafischen Displays verwendet.
LTEN	Ausgang	Light Enable (Freigabe Videosignal). Ausgangssignal zur Freigabe des Videosignals der Bildschirmsteuerung.
RVV	Ausgang	Reverse Video
VSP	Ausgang	Video Suppression (Video-Unterdrückung). Ausgangssignal zum Austasten des Videosignals. Dieser Ausgang ist aktiv: <ul style="list-style-type: none"> - während des horizontalen und vertikalen Rücklaufs, - bei Über- und Unterlinien bei Zeilen, wenn Unterlinien programmiert sind, - wenn ein Zeilenende oder der Bildschirmrand erkannt wird, - wenn ein DMA-Überlauf auftritt, - in regelmäßigen Abständen (1/16 der Bildfrequenz für den Cursor, 1/32 der Bildfrequenz für Zeichen- und Feldsteuerungen)
GPA1, GPA2	Ausgang	General Purpose Attribute Codes (Allgemeine Steuerzeichen).
HLGT	Ausgang	Highlight (»Hellesleuchten«). Ausgangssignal zum helleren Leuchten einzelner Zeichen auf dem Bildschirm, die über bestimmte Steuerzeichen angewählt werden.
IRQ	Ausgang	Interrupt Request (Interrupt-Anforderung).
CCLK	Eingang	Charakter Clock (Zeichentakt). Dieser Takt wird von einer externen Logik gebildet.
CC0 bis CC6	Eingang	Chip Select (Schaltkreisauswahl).
A0	Eingang	Port Address (Portadresse). H-Pegel an A0 wählt den Port »C« oder die Kommando-Register aus, L-Pegel den Port »P« oder die Steuerregister.

Programmierung

Der 8275 verfügt über 2 programmierbare Register, das Kommandoregister (CREG - command register) und das Parameterregister (PREG - parameter register). Außerdem ist ein Statusregister (SREG - status register) vorhanden. Das Kommandoregister kann nur beschrieben werden, während das Statusregister nur gelesen wird. Sie werden folgendermaßen adressiert:

A0	Operation	Register
0	Lesen	PREG
0	Schreiben	PREG
1	Lesen	SREG
1	Schreiben	CREG

Der 8275 erwartet den Empfang eines Kommandos und eine Folge von 0 bis 4 Parametern, die vom Kommando abhängen. Wenn eine bestimmte Anzahl von Parameter-Bytes (bis zum nächsten Kommando) nicht empfangen wurde, wird ein Status-Flag gesetzt, das ein unbestimmtes Kommando anzeigt.

Befehlsschlüssel

Der Befehlsschlüssel des 8275 besteht aus 8 Kommandos:

Kommando	Anzahl der Parameter-Bytes
RESET	4
Start Display	0
Stop Display	0
Lesen Lichtstift	2
Laden Cursor	2
Freigabe Interrupt	0
Interrupt gesperrt	0
Voreinstellen Zähler	0

Das Statusregister des 8275 kann ständig von der CPU gelesen werden.

1. Kommando RESET

Operation	A0	Datenbus							
		MSB				LSB			
Kommando Schreiben	1	0	0	0	0	0	0	0	0
Parameter Schreiben	0	S	H	H	H	H	H	H	H
Parameter Schreiben	0	V	V	R	R	R	R	R	R
Parameter Schreiben	0	U	U	U	U	L	L	L	L
Parameter Schreiben	0	M	F	C	C	Z	Z	Z	Z

Parameter

S	Funktion
0	Normale Zeichen
1	Gesperrte Zeichen

H H H H H H H H	Anzahl der Zeichen je Zeile
0 0 0 0 0 0 0 0	1
0 0 0 0 0 0 0 1	2
0 0 0 0 0 1 0 0	3
:	
1 0 0 1 1 1 1 1	80
1 0 1 0 0 0 0 0	
:	nicht definiert
1 1 1 1 1 1 1 1	

4. Peripherieschaltkreise

V	V	Anzahl der Zeilen je VRTC-Signal	R	R	R	R	R	R	Anzahl der Zeilen auf dem Bildschirm
0	0	1	0	0	0	0	0	0	1
0	1	2	0	0	0	0	0	1	2
1	0	3	0	0	0	0	1	0	3
1	1	4							
			1	1	1	1	1	1	64

U	U	U	U	Höhe der Unter- streichungslinie	L	L	L	L	Anzahl der Zei- chenlinien je Zeile
0	0	0	0	1	0	0	0	0	1
0	0	0	1	2	0	0	0	1	2
0	0	1	0	3	0	0	1	0	3
				:					:
1	1	1	1	16	1	1	1	1	16

C	C	Kursorformat	Z	Z	Z	Z	Anzahl der dargestellten Zeichen je HRTC-Signal
0	0	blinkender Zeichenblock*	0	0	0	0	2
0	1	blinkender Strich (unter dem Zei- chen)	0	0	0	1	4
1	0	nichtblinkender Zeichenblock*	0	0	1	0	6
1	1	nichtblinkender Strich (unter dem Zeichen)					
							:
			1	1	1	1	32

* Hintergrund des Blockes entgegengesetzt zum übrigen Bildschirm erhellt (z. B. Schirm dunkel - Zeichen hell; dann ist auf der Cursorposition der Schirm hell und das Zeichen dunkel dargestellt).

2. Kommando Start Display

Operation A0		Datenbus	
		MSB	LSB
Kommando	Schreiben 1	0 0 1	S S S B B

S	S	S	Anzahl der Zeichen- takte zwischen den DMA-Anforderungen	B	B	Anzahl der DMA- Zyklen je Takt
0	0	0	0	0	0	1
0	0	1	7	0	1	2
0	1	0	15	1	0	4
0	1	1	23	1	1	8
1	0	0	31			
1	0	1	39			
1	1	0	47			
1	1	1	55			

Handlungen: Die 8275-Interrupts sind freigegeben, die DMA-Anforderungen beginnen, das Videosignal ist freigegeben, Interrupt-Freigabe- und Video-Freigabe-Status-Flag sind gesetzt.

3. Kommando Stop Display

Operation A0		Datenbus	
		MSB	LSB
Kommando	Schreiben 1	0 1 0	0 0 0 0 0

Handlungen: Das Videosignal ist gesperrt. Das HRTC- und das VRTC-Signal bleiben stehen, das Video-Freigabe-Status-Flag ist rückgesetzt. Das Kommando Start Display muß gegeben werden, um den Bildschirm wieder freizugeben.

4. Kommando Lesen Lichtstift

Operation A0		Datenbus	
		MSB	LSB
Kommando	Schreiben 1	0 1 1	0 0 0 0 0
Parameter	Lesen	0	(Zeichenposition in der Zeile)
	Lesen	0	(Zeilennummer)

Handlungen: Der 8275 bestimmt die Position des Lichtstifts in den nächsten 2 Lesesyklen des Parameterregisters. Die Status-Flags werden nicht beeinflusst.

4. Peripherieschaltkreise

5. Kommando Lesen Kursorposition

		Operation A0 Datenbus	
		MSB	LSB
Kommando	Schreiben 1	1	0 0 0 0 0 0 0
Parameter	Schreiben 0 (Zeichenposition in der Zeile)		
	Schreiben 0 (Zeilennummer)		

Handlungen: Der 8275 trägt die nächsten 2 Parameter-Bytes in das Kursorpositions-Register ein. Das Status-Flag bleibt unbeeinflusst.

6. Kommando Freigabe Interrupt

		Operation A0 Datenbus	
		MSB	LSB
Kommando	Schreiben 1	1	0 1 0 0 0 0 0

Handlungen: Das Interrupt-Freigabe-Status-Flag ist gesetzt und Interrupts sind erlaubt.

7. Kommando Interrupt gesperrt

		Operation A0 Datenbus	
		MSB	LSB
Kommando	Schreiben 1	1	1 0 0 0 0 0 0

Handlungen: Das Interrupt-Freigabe-Status-Flag wird rückgesetzt und Interrupts sind nicht möglich.

8. Kommando Voreinstellen Zähler

		Operation A0 Datenbus	
		MSB	LSB
Kommando	Schreiben 1	1	1 1 1 0 0 0 0

Handlungen: Die internen Zähler werden voreingestellt, entsprechend der Kursorposition auf dem Bildschirm in der linken oberen Ecke. 2 Zeichentakte sind für diese Operation reserviert. Die Zähler müssen in diesen Zustand vor irgendeinem anderen Kommando gebracht werden.

Aufbau des Status-Flag

		Operation A0 Datenbus	
		MSB	LSB
Kommando	Lesen	1	0 IE IR LP IC VE DU FO

- IE (Interrupt Enable) Wird über Kommandos rückgesetzt oder gesetzt. Es wird automatisch gesetzt beim Kommando Start Display und automatisch rückgesetzt beim Kommando RESET.
- IR (Interrupt Request) Dieses Flag wird gesetzt beim Beginn der letzten Zeile auf dem Bildschirm, wenn das Interrupt-Enable-Flag gesetzt ist. Es wird rückgesetzt nach einer Leseoperation des Status-Flag.
- LP Dieses Flag ist gesetzt, wenn der Lichtstifteingang (LPEN) aktiv ist und die Lichtstiftregister geladen sind. Es wird rückgesetzt nach einer Leseoperation des Status-Flag.
- IC (Improper Command) Dieses Flag wird gesetzt, wenn eine Kommando-Parameter-Verbindung zu lang oder zu kurz ist. Es wird rückgesetzt nach einer Leseoperation des Status-Flag.

VE (Video Enable) Dieses Flag zeigt an, daß die Video-Operation des Bildschirms freigegeben ist. Es wird mit dem Kommando Start Display gesetzt und mit den Kommandos Stop Display oder RESET rückgesetzt.

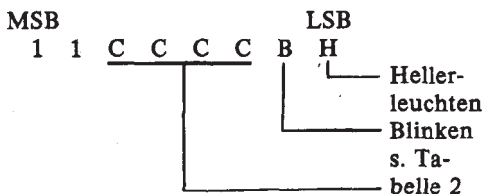
DU (DMA Underrun) Dieses Flag ist gesetzt, wenn ein Datenverlust während des DMA-Transfers auftritt. Wurde ein DU festgestellt, wird die DMA-Operation abgebrochen und der Bildschirm nach dem VRTC-Intervall dunkelgetastet. Dieses Flag ist rückgesetzt nach einer Leseoperation des Status-Flag.

FO (FIFO Overrun) Dieses Flag ist gesetzt bei einem Überlauf des FIFO. Es wird rückgesetzt nach einer Leseoperation des Status-Flag.

Funktionsbeschreibung

Die Steuerzeichen werden vom 8275 als 8-bit-Zeichen angesprochen. Der Betriebsartcode wird dabei über 7 Adreß-bits aktiviert. Das MSB hat eine spezielle Funktion: es bestimmt die konkrete Betriebsart – normale Funktion, MSB = 0; Pseudografik-Status oder Spezialcode, MSB = 1. Es gibt 2 Typen der Steuerzeichenkodes: die Einzelgrafikzeichen (Character Attributes) und die Feldzeichen (Field Attributes).

Unter Verwendung der Ausgangssignale LA0, LA1, VSP und LTEN können mit den »Charakter Attributes« Grafikzeichen generiert werden (s. Tabelle 2). Diese Zeichen können durch Programmierung (wie das Cursorzeichen) blinken oder heller leuchten. Die Blinkfrequenz ist gleich der Bildwiederholfrequenz geteilt durch 32; B ist aktiv bei B = 1. Hellerleuchten wird bei Aktivieren des Ausgangs HGLT erreicht; H ist bei H = 1 aktiv. Aufbau der »Charakter Attributes«:



Spezialkode

Der Spezialcode wird verwendet, um den Aufwand für das Speicherprogramm oder die DMA-Steuerung zu verringern.



S	S	Funktion
0	0	Ende einer Zeile
0	1	Ende des Zeilen-Stop (DMA)
1	0	Ende des Bildschirms
1	1	Ende des Bildschirm-Stop (DMA)

Code für Steuerzeichen (»Field Attributes«)



- H = 1 für Hellerleuchten
- B = 1 für Blinken
- R = 1 für Reverse Video
- U = 1 für Unterstreichungsline
- GG – GPA1, GPA0

Bildschirmformat

Der 8275 kann für folgende Daten programmiert werden:

- 1 bis 80 Zeilen je Zeile und
 - 1 bis 64 Zeilen auf dem Bildschirm.
- Der 8275 ermöglicht auch 2zeilige Darstellungen auf dem Bildschirm. In dieser Betriebsart wird jeweils die 1., 3. usw. Zeile dargestellt; die 2., 4. usw. Zeile dunkelgetastet.

Zeilenformat

Die horizontale Zeichenhöhe ist programmierbar von 1 bis 16. Der Ausgang des Zeilenzählers kann in 2 Betriebsarten programmiert werden. In der 1. Betriebsart (MODE 0) entspricht der Ausgang des Zeilenzählers der Zeilennummer. In der 2. Betriebsart (MODE 1) steht der Ausgang des Zeilenzählers immer um 1 niedriger als die Zeilennummer. Dabei ist in MODE 1 stets das Zeilenformat zu beachten.

4. Peripherieschaltkreise

MODE 0 wird verwendet für Zeichengeneratoren, die mit Adresse 0 enden und mit Adresse 1 gestartet werden. Startet der Zeichengeneratoren mit Adresse 0, benutzt man MODE 1.

Die Anordnung der Unterstreichungsline ist ebenfalls programmierbar (von Zeilennummer 0 bis 15). Sie ist abhängig von der Betriebsart des Zeilenzählers.

Ist die Unterstreichungsline in einer Zeile größer als 7 angeordnet (MSB des Zeilenzählers = 1), werden die oberste und unterste Zeile dunkelgetastet. Entsprechend werden diese Zeilen nicht dunkelgetastet, wenn die Unterstreichungsline in einer Zeile gleich oder kleiner 7 steht (MSB des Zeilenzählers = 0). Ist die Zeilennummer der Unterstreichungsline größer als die maximale Zeilenzahl, wird die Unterstreichungsline nicht sichtbar.

Das Dunkelkassen ist mit dem Signal VSP beendet. Das Ende der Unterstreichungsline wird mit LTEN angezeigt.

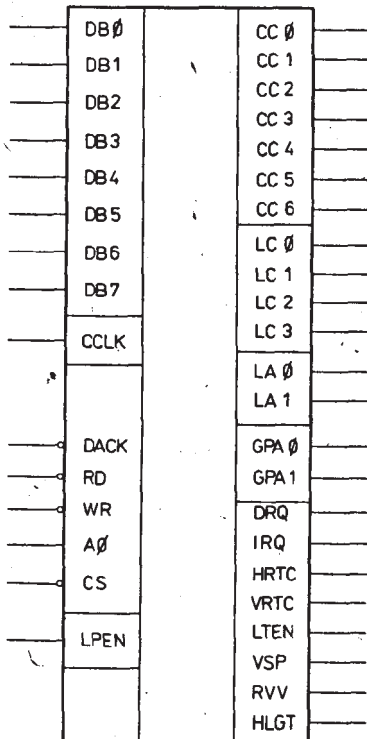


Bild 2
Logiksymbol

Tabelle 3 Grenzwerte

Kenngröße	Werte
Arbeitstemperaturbereich	0 bis 70 °C
Lagertemperatur	-65 bis 150 °C
Spannung an allen Anschlüssen	-0,5 bis +7,0 V
Leistungsaufnahme	1 W

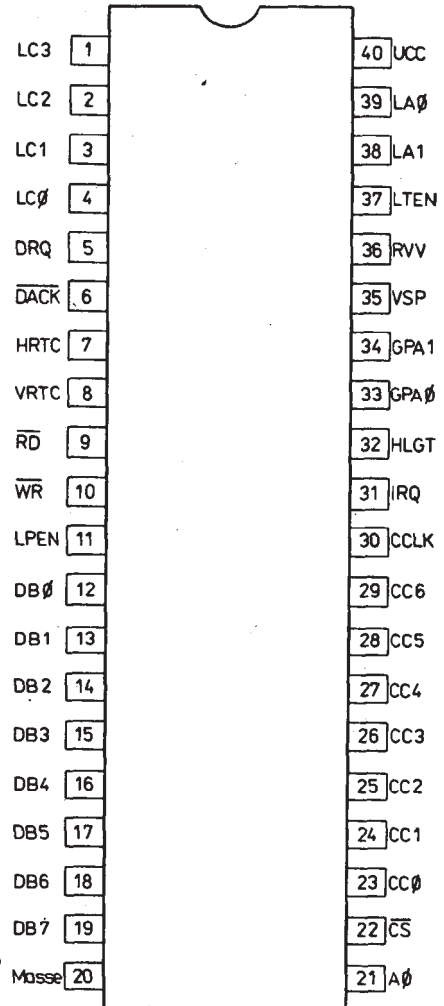


Bild 1
Anschlussbelegung

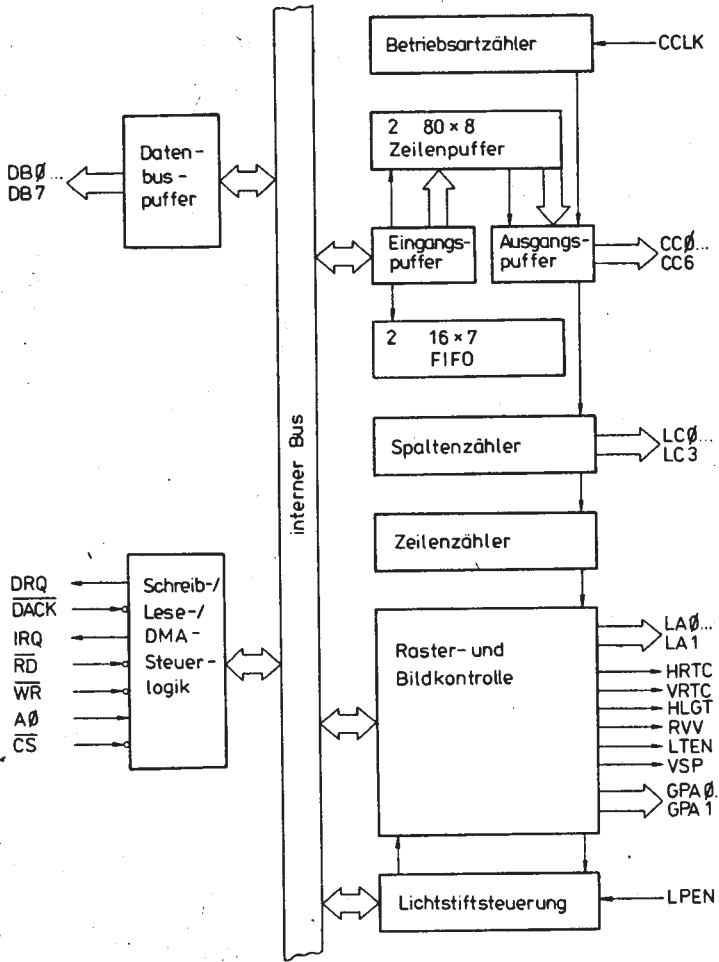
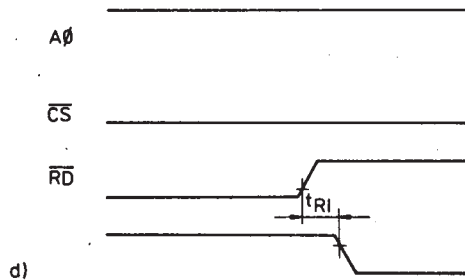
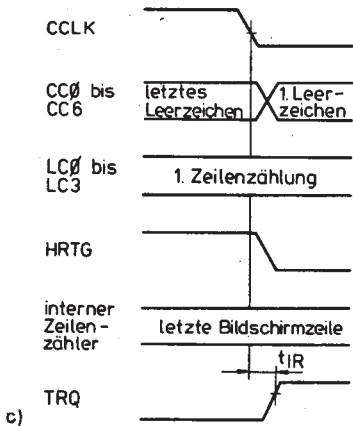
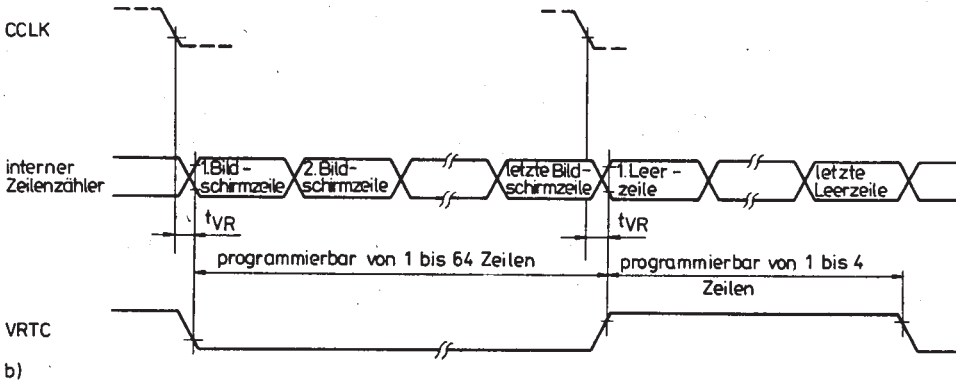
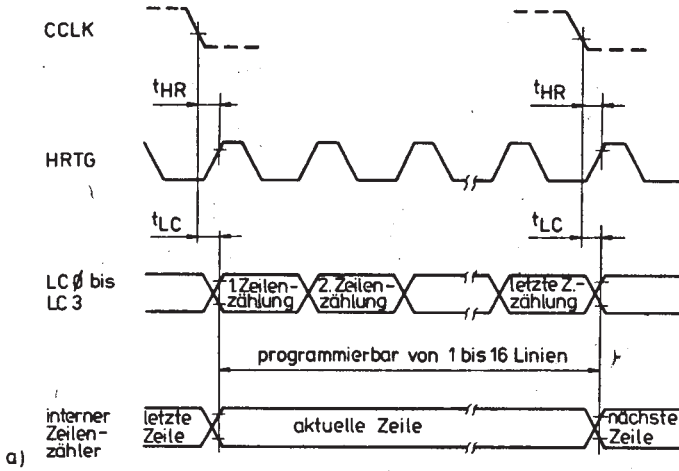


Bild 3
Übersichtsschaltplan

4. Peripherieschaltkreise



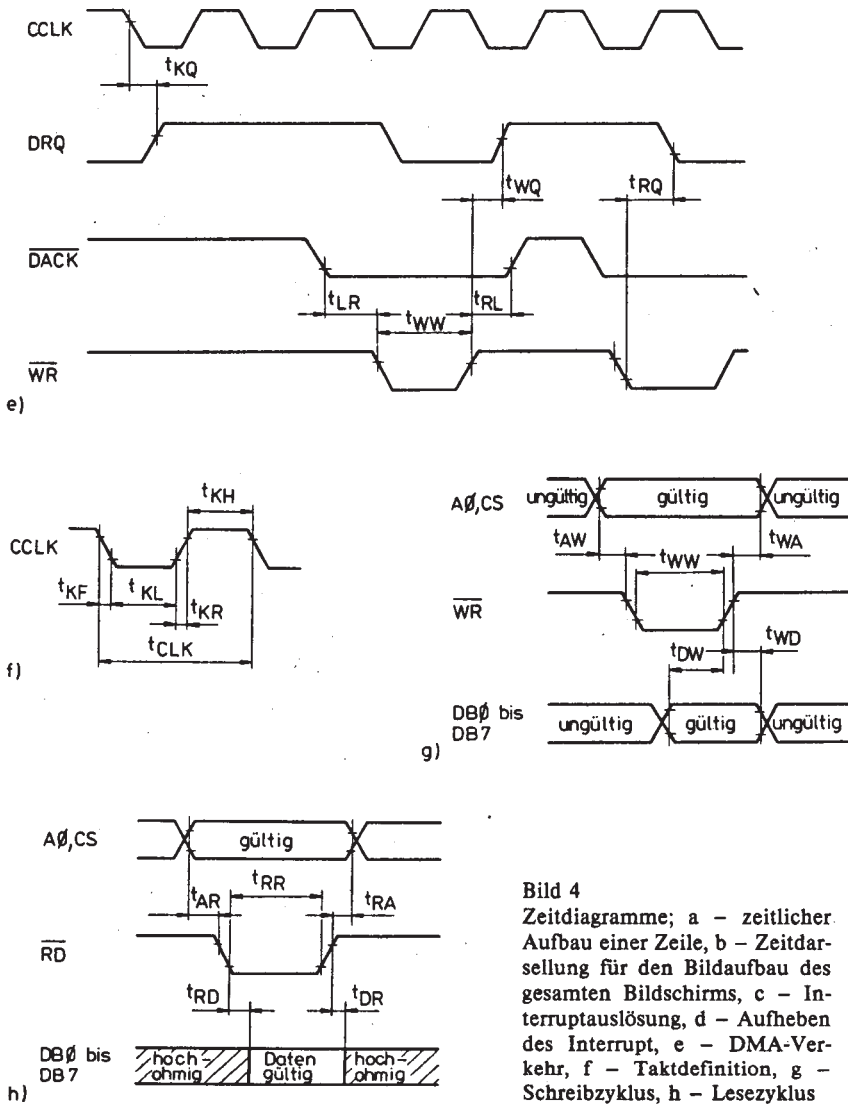


Bild 4
 Zeitdiagramme; a - zeitlicher Aufbau einer Zeile, b - Zeitdarstellung für den Bildaufbau des gesamten Bildschirms, c - Interruptauslösung, d - Aufheben des Interrupt, e - DMA-Verkehr, f - Taktdefinition, g - Schreibzyklus, h - Lesezyklus

4. Peripherieschaltkreise

Tabelle 4 Statische Kennwerte

Kenngröße	Werte		Bedingungen
	min.	max.	
L-Eingangsspannung U_{IL} in V	-0,5	0,8	
H-Eingangsspannung U_{IH} in V	2,0	$U_{CC} + 0,5$ V	
L-Ausgangsspannung U_{OL} in V		0,45	$I_{OL} = 2,2$ mA
H-Ausgangsspannung U_{OH} in V	2,4		$I_{OH} = -400$ μ A
Eingangsladestrom I_{IL} in μ A		± 10	$U_I = U_{CC}$ bis 0 V
Ausgangsreststrom I_{OFL} in μ A		± 10	$U_O = U_{CC}$ bis 0,45 V
Betriebsstrom (bei U_{CC}) I_{CC} in mA		160	

Tabelle 5 Kapazitäten ($\vartheta_a = 25$ °C;
 $U_{CC} = \text{Masse} = 0$ V; $f_c = 1$ MHz)

Kenngröße	max. Wert
Eingangskapazität C_I in pF	10
Ausgangskapazität C_{IO} in pF	20

Tabelle 6 Dynamische Kennwerte

Kenngröße	min.	max.	Bedingungen
Lesezyklus			
Adressen stabil vor READ	0		
t_{AR} in ns			
Adressenhaltezeit für READ	0		
t_{RA} in ns			
READ-Pulsbreite t_{RP} in ns	250		
Datenverzögerung nach READ		200	$C_L = 150$ pF
t_{RD} in ns			
READ bis Floaten Daten	20	100	$C_{L\min} = 20$ pF, $C_{L\max} = 150$ pF
t_{DF} in ns			
Schreibzyklus			
Adressen stabil vor WRITE	0		
t_{AW} in ns			
Adressenhaltezeit für WRITE	0		
t_{WA} in ns			
WRITE-Pulsbreite t_{WW} in ns	250		
Datenyorhaltezeit für WRITE	150		
t_{DW} in ns			
Datenhaltezeit für WRITE	0		
t_{WD} in ns			

Kenngröße	min.	max.	Bedingungen
Taktzeiten			
Taktperiode t_{CLK} in ns	480		
H-Taktbreite t_{KH} in ns	240		
L-Taktbreite t_{KL} in ns	160		
Taktflankenanstiegszeit t_{KR} in ns	5	30	
Taktflankenabfallzeit t_{KF} in ns	5	30	
Übrige Schaltzeiten			
Zeichenkode-Ausgangsverzögerung		150	
t_{CC} in ns			
HRTC-Ausgangsverzögerung		200	
t_{HR} in ns			
Zeilenzähler-Ausgangsverzögerung		400	
t_{LC} in ns			
Kontroll/Attribute-Ausgangsverzögerung t_{AT} in ns		275	
VRTC-Ausgangsverzögerung		275	
t_{VR} in ns			
HL-Flanke IRQ nach LH-Flanke		250	
RD t_{RI} in ns			
LH-Flanke DRQ nach LH-Flanke		250	
WR t_{WQ} in ns			
HL-Flanke DRQ nach HL-Flanke		200	
WR t_{RQ} in ns			
HL-Flanke DACK bis HL-Flanke	0		
WR t_{LR} in ns			
LH-Flanke WR bis LH-Flanke WR	0		
t_{RL} in ns			
LPEN-Anstiegszeit t_{PR} in ns		50	
LPEN-Haltezeit t_{PH} in ns	100		

4. Peripherieschaltkreise

4.21. Taktgenerator KR 1810 GF84

Vergleichstyp

18284 Intel

Beschreibung

Der Taktgenerator 8284 ist für den Einsatz mit den Mikroprozessoren 8086, 80186, 80286 und 8088 bestimmt. Das Signal wird entweder von einem externen Generator oder mit Hilfe eines Quarzes erzeugt. Die Zusammenschaltung mehrerer Schaltkreise 8284 zur Erzeugung synchroner Taktsignale ist möglich. Der 8284 kann so beschaltet werden, daß er ein Resetsignal erzeugt oder synchronisiert.

Anschlußbezeichnungen

x1,x2	Anschlüsse für Quarz	
Tank	Schwingkreis (bei Oberwellenquarz)	
F/C	Auswahl der Taktquelle	
EFI	externer Takteingang	
CSYNC	Taktsynchronisationseingang	
RDY1,2	Bereitschaftssignale vom Bus	
/AEN1,2	Freigabeeingänge für Bereitschaftssignale	
/RES	Rücksetzeingang	
RESET	synchronisierter	Rücksetzau- gang
OSC	Oszillatorausgang	
CLK	Takt für Prozessor	
PCLK	Takt für Peripherieschaltkreise	
READY	synchronisiertes	Bereitschaftssi- gnal (Ausgang)

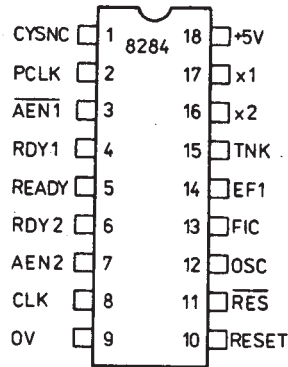


Bild 1
Anschlußbelegung

Tabelle 1 Grenzwerte

Arbeitstemperatur	0	70	°C
Lagerungstemperatur	-65	+150	°C
Betriebsspannung	-0,5	+7	V
Eingangsspannung	-1	+5,5	V
Leistungsaufnahme	1		W

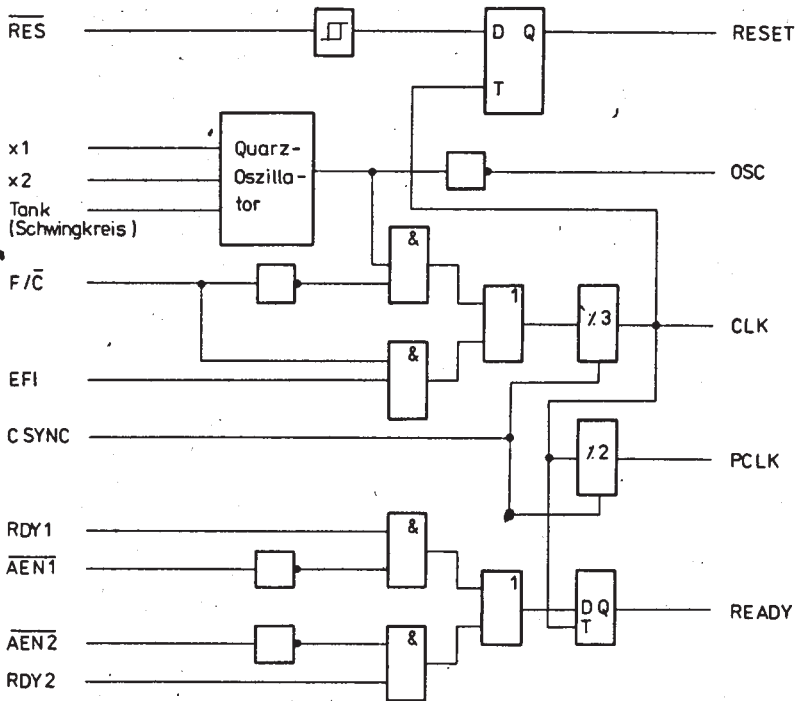


Bild 2 Übersichtsschaltplan

Tabelle 2 Statische Kennwerte bei $\vartheta_a = 0$ bis 70°C ; $U_{CC} = 5\text{V} \pm 10\%$

Symbol	Parameter	min.	max.	Einheit	Bedingung
I_F	Eingangsstrom		-0,5	mA	$U_F = 0,45\text{V}$
I_R	Eingangssperstrom		50	μA	$U_R = 5,25\text{V}$
U_C	Eingangslamspannung		-1	V	$I_C = -5\text{mA}$
I_{CC}	Stromaufnahme		140	mA	
U_{IL}	Eingangsspannung L		0,8	V	
U_{IH}	Eingangsspannung H	2		V	
U_{IHR}	Eingangsspannung Reset	2,6		V	
U_{OL}	Ausgangsspannung L		0,45	V	$I_{OL} = 5\text{mA}$
U_{OH}	Ausgangsspannung H	4		V	$I_{OH} = -1\text{mA}$
U_H	andere Ausgänge	2,4		V	$I_{OH} = -1\text{mA}$
	Hysterese/RES-Eingang	0,25		V	

4. Peripherieschaltkreise

Tabelle 3 Dynamische Kennwerte

Symbol	Parameter	min.	max.	Einheit
t_{EHEL}	H-Pegel externe Frequenz	13		ns
t_{ELEH}	L-Pegel externe Frequenz	13		ns
t_{ELEL}	EFI-Periode	$t_{\text{EHEL}} + t_{\text{ELEL}} + d$		ns*
	Quarzfrequenz	12	25	MHz
t_{R1VCL}	RDY1,2 Vorhaltezeit /CLK	35		ns
t_{CLR1X}	RDY1,2 Haltezeit zu CLK	0		ns
t_{A1VR1V}	/AEN1,2 Vorhaltezeit zu RDY1,2	15		ns
t_{CLA1X}	/AEN1,2 Haltezeit zu RDY1,2	0		ns
t_{YHEH}	Csync-Vorhaltezeit zu EFI	20		ns
t_{EHYL}	Csync-Haltezeit zu EFI	20		ns
t_{YHYL}	Csync-Impulsbreite	$2t_{\text{ELEL}}$		
t_{11HCL}	/RES-Vorhaltezeit zu CLK	65		ns
t_{CL11H}	/RES-Haltezeit zu CLK	20		ns
t_{CLCL}	Taktperiode	125		ns
t_{CHCL}	H-Breite des Taktes	$1/2t_{\text{CLCL}}$	+20	ns
t_{CLCH}	L-Breite des Taktes	$1/2t_{\text{CLCL}}$	-150	ns
t_{CH1CH2}	Anstiegs- und Abfallzeit des Taktes	10		ns
t_{CL2CL1}				
t_{PHPH}	H-Breite PCLK	$t_{\text{CLCL}} - 20$		ns
t_{PLPH}	L-Breite PCLK	$t_{\text{CLCL}} - 20$		ns
t_{HYLCL}	READY inaktiv zu CLK	8		ns
t_{RYHCH}	READY aktiv zu CLK	$1/2t_{\text{CLCL}}$	-150	ns
t_{CLIL}	Verzögerung CLK zu Reset	40		ns
t_{CLPH}	Verzögerung CLK zu PCLK H		22	ns
t_{CLPL}	Verzögerung CLK zu PCLK L		22	ns
t_{OLCH}	Verzögerung OSC zu CLK H	-5	12	ns
t_{OLCL}	Verzögerung OSC zu CLK L	2	20	ns

* Anstiegs- und Abfallzeit von EFI > 5 ns.

Andreas Bogatz

***Mikrorechner in der
Amateurmeßtechnik***

112 Seiten mit Abbildungen
Broschur, 5,80 M
ISBN 3-327-00553-2
Bestell-Nr. 747 055 2

Der Autor vermittelt in dieser Broschüre Programmierhilfen und Anregungen für periphere Schaltungen. Er wendet sich dabei besonders an fortgeschrittene Amateure. Folgende Schwerpunkte stehen im Mittelpunkt der Betrachtung:
Standard-Schnittstellen (V.24-, Centronics- und IEC-625-Schnittstelle), Meßsignalerzeugung mit Mikrorechnerausgabebaugruppen (Erzeugung von Gleichspannungs- und Wechselspannungssignalen), Messung von Gleich- und Wechselspannungen, automatische Meßbereichswahl, Berechnung von Differenzen, Verhältnissen usw., Funktionsgenerator und Frequenzzähler. Alle behandelten Schaltkreise werden mit ihren wichtigsten Daten sowie mit Programmieranleitung vorgestellt.

Heinz Baurich/Hans Barthold

***Grundlagen der
8-Bit-Mikrorechentechnik***

192 Seiten mit Abbildungen
Broschur, 9,00 M
ISBN 3-327-00668-7
Bestell-Nr. 747 116 8

Arbeitsplatz- und Personalcomputer haben einen festen Platz im Arbeitsprozeß gefunden. Die Broschüre wendet sich an jene, die dieses Hilfsmittel zur Lösung ihrer Aufgaben nutzen. Die Autoren haben die wichtigsten aktuellen Informationen zu Mikroprozessoren in 8-Bit-Technik in diesem Band zusammengefaßt. Dabei haben sie sich schwerpunktmäßig auf die Vorstellung und Beschreibung der Prozessorsysteme U 880 und 8080 mit ihren peripheren Bausteinen konzentriert. Aussagen zur Assemblersprache und die Vorstellung von Mikrorechnersoftware tragen neben den konkreten Programmierbeispielen zur Praxisbezogenheit des Titels bei.

Heinz Bäurich/Hans Barthold

*Einführung in die
16-Bit-Mikrorechentchnik
mit dem K 1810 WM 86*

160 Seiten mit Abbildungen
Broschur, 8,30 M
ISBN 3-327-00554-0
Bestell-Nr. 747 056 0

In der Broschüre werden die Grundlagen für Mikrorechner auf der Basis des K 1810 WM 86 beschrieben. Dabei stehen die Arbeitsweise des Prozessorbausteins, verschiedene periphere Bausteine für parallele und serielle Schnittstellen, die als Controller zum Anschluß von peripheren Einheiten, wie Diskettenlaufwerken, Terminals und Datenfernübertragungen arbeiten, im Mittelpunkt. Außerdem werden Funktion und Arbeitsweise spezieller BUS-Systeme erläutert sowie ein Überblick über die vorhandene Software gegeben. Die Programmiersprachen ASM 86 und PLM 86 werden mit Beispielen behandelt. Eine Perspektivbetrachtung zur Anwendung der 16-Bit-Technik in Richtung CAD/CAM und Finalprodukte runden den Titel ab.

Dietmar Schiller

*Praktische
NF-Verstärkertechnik*

128 Seiten mit Abbildungen
Broschur, 7,00 M
ISBN 3-327-00556-7
Bestell-Nr. 747 058 7

Der Titel behandelt die NF-Technik mosaikartig in dem Umfang, wie das zum Verständnis und zum Einsatz dieser Technik in elektroakustischen Anlagen erforderlich ist. Der Autor geht dabei auf Grundlagen und Randprobleme ein und beschreibt die verschiedenen Begriffe der NF-Technik. Ausgehend von den Grundsaltungen mit Transistoren über den diskret aufgebauten Operationsverstärker bis zu integrierten Schaltkreisen reicht die Spanne der Saltungen, aus denen die verschiedenen Bausteine wie Kanalumschalter, Mischstufen u. a., entstehen. Ergänzt wird die Broschüre durch Berechnungsgrundlagen für wesentliche Saltungen und ausgewählte Bau- und Inbetriebnahmehinweise. Der Leser erhält außerdem Hinweise, wie Schäden in den Anlagen vermieden werden können.

Hans-Jürgen Kowalski

***Berechnung und Aufbau
aktiver RC-Filter***

128 Seiten mit Abbildungen

Broschur, 6,50 M

ISBN 3-327-00552-4

Bestell-Nr. 747 054 4

Innerhalb der Mikroelektronik haben sich die RC-Filter einen festen Platz erobert. In dieser Broschüre geht der Autor ausführlich und praxisnah auf die modernen spulenlosen Filterrealisierungen und -anwendungen ein. Neben der Darstellung einiger Grundlagen der Netzwerk- und Filtertheorie werden Material zum Entwurf aktiver RC-Filter und praktisch erprobte Schaltungen angeboten. Besondere Aufmerksamkeit schenkt er den Filterkriterien »Dynamikbereich« und »Rauschen«. Die Abschnitte »Elektronisch steuerbare RC-Filter« und »Aktive RC-Filter für den HiFi-Amateur« werden für viele Amateure von besonderem Interesse sein. Den Informationsgehalt der Broschüre erhöhen zahlreiche Abbildungen.

Hans-Jochen Schulze/Georg Engel

***Moderne Musikelektronik
Praxisorientierte Elektroakustik
und Geräte***

Etwa 400 Seiten mit Abbildungen

Broschur, etwa 18,20 M

ISBN 3-327-00772-1

Bestell-Nr. 747 202 1

Erscheint im III. Quartal 1989

Das Buch wendet sich vor allem an Musikelektronik-Amateure und »Klangbastler« und entspricht dem thematisch breit gefächerten Informationsbedürfnis. Es werden alle wesentlichen Teilgebiete der Musikelektronik behandelt und durch Bauanleitungen bzw. nachbaufähige Schaltungen ergänzt. Neben der praxisorientierten Vermittlung der Grundlagen der Elektroakustik findet der Leser Informationen zu Verfahren der elektronischen Klangbeeinflussung und zu Baugruppen für den Synthesizer. Gerade für den Anfänger stellt der Titel eine wahre Fundgrube dar. Aber auch der versierte Techniker findet interessante Anregungen.

Claus Kühnel

AD- und DA-Umsetzer

112 Seiten mit Abbildungen

Broschur, etwa 7,- M

ISBN 3-327-00684-9

Bestell-Nr. 747 136 0

In der Broschüre werden Wirkungsweise und Schaltungsprinzipien von AD- und DA-Umsetzern erläutert und mit praktischen Schaltungen untersetzt. Durch das Angebot integrierter AD- und DA-Umsetzerschaltkreise wird der diskrete Aufbau von solchen Umsetzerbaugruppen weiter an Bedeutung verlieren. Deshalb liegt der Schwerpunkt der Erläuterungen auf den Schaltungsprinzipien, die auch in integrierten Umsetzerschaltkreisen wiederzufinden sind. Beim Bauelementeeinsatz wird weitgehend vom DDR-Bauelementesortiment bzw. dem in der DDR erhältlichen Importsortiment ausgegangen. Der Blick auf einige internationale Typen rundet die Darstellung ab.

**Jörg Freudenberger/Christoph
Weber/Christian Pokrandt**

***Schalter und Tasten
für die Schwachstromtechnik***

80 Seiten mit Abbildungen

Broschur, 4,80 M

ISBN 3-327-00777-2

Bestell-Nr. 747 207 2

Die DDR-Bauelementeindustrie hält ein großes Sortiment an Schaltern und Tasten für die Schwachstromtechnik bereit. Nicht immer sind für die Amateure und den Rationalisierungsmittelbau vor allem kleinerer Betriebe die notwendigen Informationen darüber ausreichend verfügbar. Die vorliegende Broschüre soll helfen, diesem Umstand weitgehend abzuweichen. Das dargestellte Typenspektrum umfaßt Tastschalter, Drehschalter, Schiebeschalter, Mikroschalter (Mikrotaster) und Folienflachtastaturen. Die Darstellung der unterschiedlichen Bauelemente umfaßt Funktionsbeschreibung, technische Daten, Maßbild, typischen Einsatz und Reparaturhinweise. Die Broschüre wird durch einen kurzen einführenden Grundlagenteil zu Kontaktwerkstoffen und zur Kontakttheorie ergänzt.
