



ASIC

Application Specific Integrated Circuit

Empowered by Innovation

NEC

ASIC
 Application Specific Integrated Circuit
LINEUP HIGHLIGHTS

GATE ARRAY AND EMBEDDED ARRAY

GATE ARRAY AND EMBEDDED ARRAY

CELL-BASED IC

CELL-BASED IC



PFESiP

PFESiP

ANALOG ASIC

ANALOG ASIC

ASIC LINEUP

Application Specific Integrated Circuit

NECエレクトロニクスは、お客様の独創的な製品を実現するため、ASIC開発の新しいアイデア、ソリューションを提案していきます。

ASICが要求される製品は、技術の進化／多様化への対応が常に求められています。

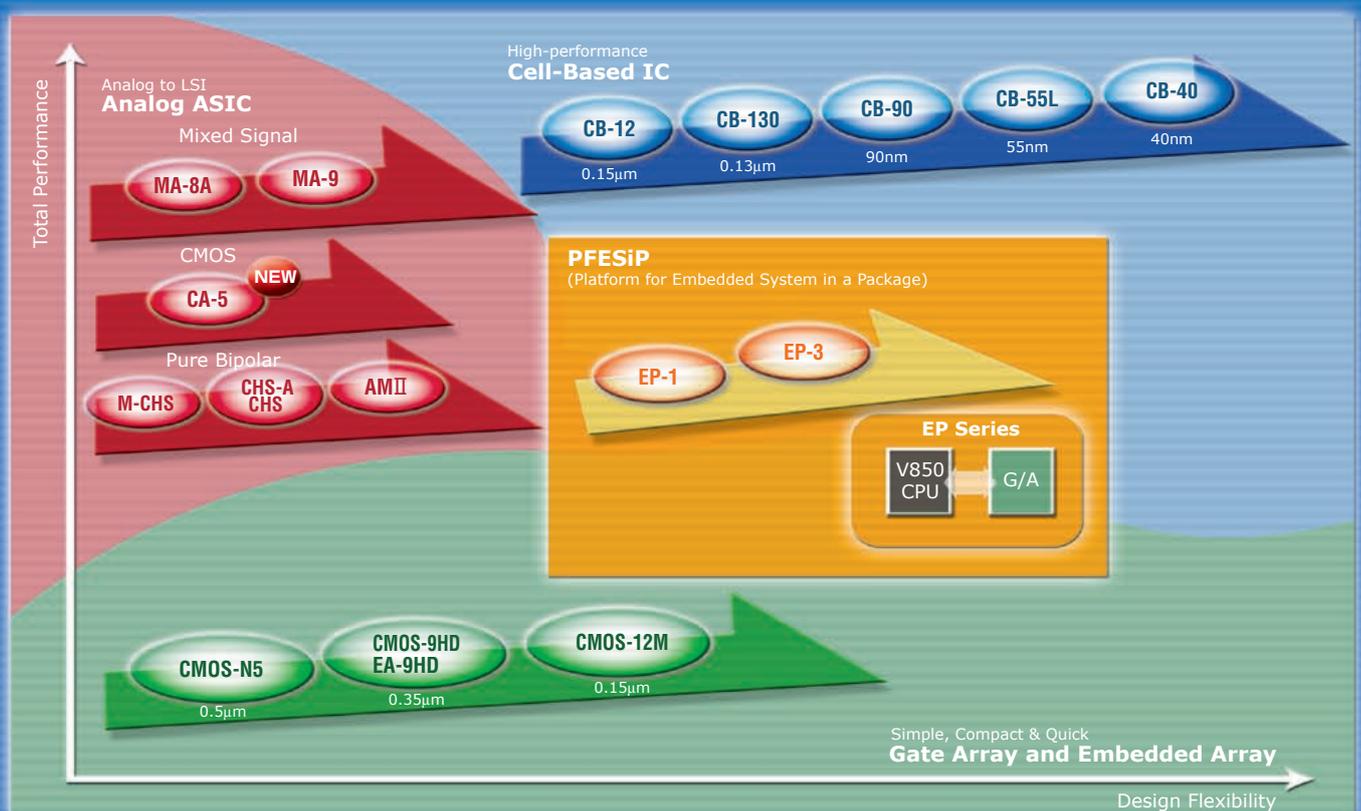
このような製品でお客様が市場を獲得するためには、いかに早く、高性能な製品を作り上げるかが重要な課題です。一方、製品の複雑化、高機能化に伴い、製品を構成するシステムLSI(ASIC)も、大規模、高機能、高性能となり、開発難易度が上がっています。製品開発を取り巻くこのような状況を受け、最近のASIC開発では、設計品質の高いシステムLSIを短TATで簡単に設計、製造するための容易化手法がより一層求められています。

NECエレクトロニクスは、お客様に最適なソリューションを提供できるよう、ASICに求められるニーズに迅速に対応し、製品はもろろん、開発環境にも考慮した新しいアイデア、技術を積極的に提案していきます。

NECエレクトロニクス ASIC製品展開

NECエレクトロニクスは、お客様のシステムLSIを実現するためのASICソリューションとして、多様な製品を用意し、提供しています。

ちょっとした回路の追加ができるお手軽ゲートアレイTMから、高機能なシステムLSIを作り上げるセルベースICまで、お客様のニーズに幅広くお応えします。新たにゲートアレイの手軽さで開発できる高機能なCPU搭載ASIC、「PFESiP[®] (プラットフォームイーシップ) シリーズ」を開発しました。より「使いやすい」に注力したシリーズとして、今後も製品をラインナップしていきます。

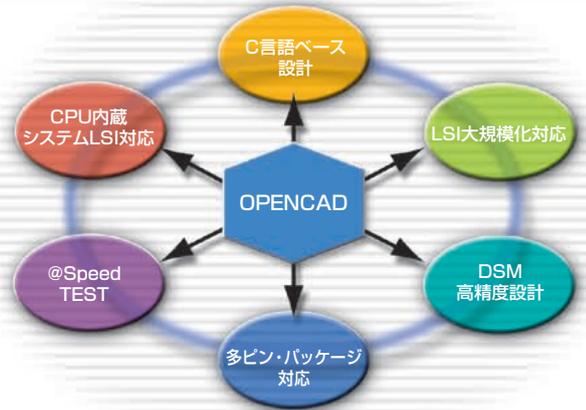


先端ASIC設計を支援するEDA

プロセスの微細化とSoCに代表される設計高度化が進む一方、開発期間の短縮が市場から求められています。これらにより設計者にかかる負担は増え続けています。NECエレクトロニクスでは、設計者の負担を軽減しながらも、高性能で高性能なシステムLSIを、より短い開発期間で設計できる環境の構築を目指し邁進して参りました。

当社の強みは、プロセス開発-デバイス開発-設計技術開発のノウハウを設計環境へ最適に統合できることにあります。

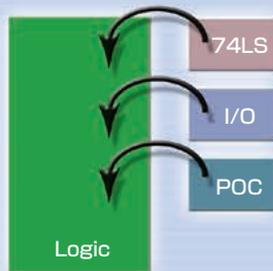
従来よりご提供しておりますOPENCAD[®]は、自社製EDAのノウハウをベースに、市販のEDAツールを統合することによって、高精度な設計が可能となっております。また、DSM(Deep Sub-Micron)設計時代の到来とともに浮上してきたシグナル・インテグリティ問題などの物理現象を考慮した設計最適化についても、豊富な経験と実績をもっております。近年では、C言語ベースの設計/検証環境やCPU内蔵システムLSI (SoC)に対するプラットフォーム・ベースの設計環境(MICROSSP[®])開発など、システム設計への対応も積極的に行っております。



お手軽ゲートアレイ (ゲートアレイ, エンベデッドアレイ)

ちょっとした回路追加を可能にする、小回りの利くASICです。

配線工程だけで設計できるマスクライズ方式のゲートアレイは、短TAT、低開発費で所望の機能のLSIを実現できます。



PFESiP (Platform for Embedded System in a Package)

ゲートアレイの手軽さで高性能なCPU搭載ASICを実現します。

「SoCを作るのは費用的、工数的に難しい」とお考えのお客様に、NECエレクトロニクスが提案する新しいASICソリューションです。

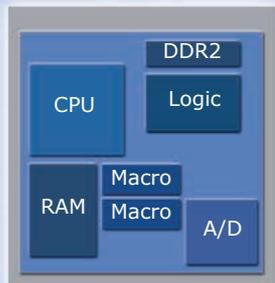


お客様の製品開発を支援するNECエレクトロニクスのASIC製品

セルベースIC

CPUやアナログ回路など、専用設計した機能マクロを搭載することにより、高性能なシステムLSIを実現します。

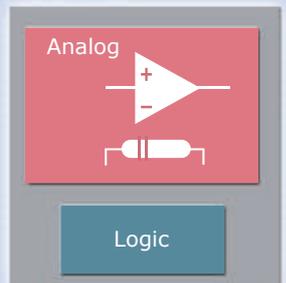
専用設計したマクロを使用するため、小型化が可能でチップ単価を下げることができます。特に、生産数量の多い製品で採用いただくことで、開発総費用を低減できます。



アナログASIC

アナログ特性が要求される回路の1チップ化に最適です。

さらに、ミックスド・シグナルASIC (MAシリーズ) では、ロジック回路を搭載したアナ・デジ混載の1チップLSIを実現します。

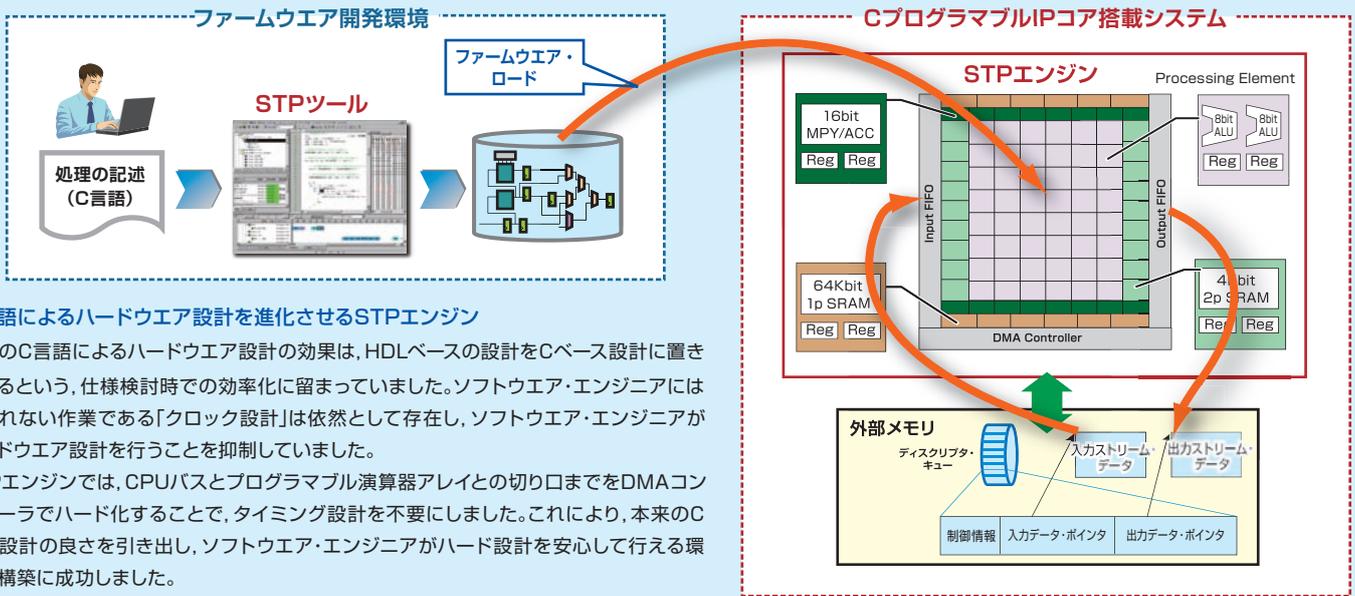


CプログラマブルIPコア「STPエンジン」

システムLSIやASIC内部に組み込むことで、仕様変更や仕様追加にフレキシブルに対応

CプログラマブルIPコア(STPエンジン)は、NECエレクトロニクスオリジナルのプログラマブル演算器アレイをDMAコントローラと結合することで、システムLSI内部のCPUバスに容易に接続できるようになっています。また、演算器アレイ部は、C記述(ANSI-C準拠)が動作合成技術により直接ハードウェア・マッピングされますので、CPUの柔軟性とASICの高機能性の両方を実現できます。

STPエンジンは、40nm CMOSプロセスセルベースIC「CB-40」のIPコアとしてリリース予定です。STPエンジンをシステムLSI内部に取り込むことで、仕様変更や仕様追加にフレキシブルに対応できますので、企画の早期スタートやシステムの長寿命化に役立ちます。



C言語によるハードウェア設計を進化させるSTPエンジン

従来のC言語によるハードウェア設計の効果は、HDLベースの設計をCベース設計に置き換えるという、仕様検討時での効率化に留まっていた。ソフトウェア・エンジニアには相容れない作業である「クロック設計」は依然として存在し、ソフトウェア・エンジニアがハードウェア設計を行うことを抑制していました。

STPエンジンでは、CPUバスとプログラマブル演算器アレイとの切り口までをDMAコントローラでハード化することで、タイミング設計を不要にしました。これにより、本来のC言語設計の良さを引き出し、ソフトウェア・エンジニアがハード設計を安心して行える環境の構築に成功しました。

Cベース統合開発環境「STPツール」

STPエンジンのファームウェア開発のため、当社ではCベース統合開発環境「STPツール」を用意しています。STPツールは、C言語(ANSI-C準拠)で記述されたアルゴリズムからダイレクトにSTPのファームウェアを生成し、DRP Express™上のオンチップで、ソース・レベル・デバッグが可能です。また、STPエンジンではIPコア外部のタイミング設計が不要で、論理のタイミングについてもツールが自動的に最適なタイミング制約を作成し、それに基づいたレイアウトを行うため、ユーザはカスタムIC設計にありがちなタイミング制約を気にせずに、仕様に基づく開発に注力できます。STPツールには、STPエンジンの性能を引き出すための自動化機能だけでなく、ユーザがコントロールする機能も搭載されています。単なるソフトウェア・エンジニア向けの簡易ツールとしてだけでなく、性能を追求するハードウェア・エンジニアにもお使いいただけます。

C言語記述の最適化を支援するため、さまざまな設計情報を視覚的に表示します。

動作合成エンジン搭載により、ANSI-Cから実機デバッグまで対応します。

CプログラマブルLSI「XBridge®」

XBridge (クロスブリッジ®) は、STPエンジンを搭載したCプログラマブルLSIです。PCI Expressにより、汎用CPUに接続するアクセラレータとして使用可能です。

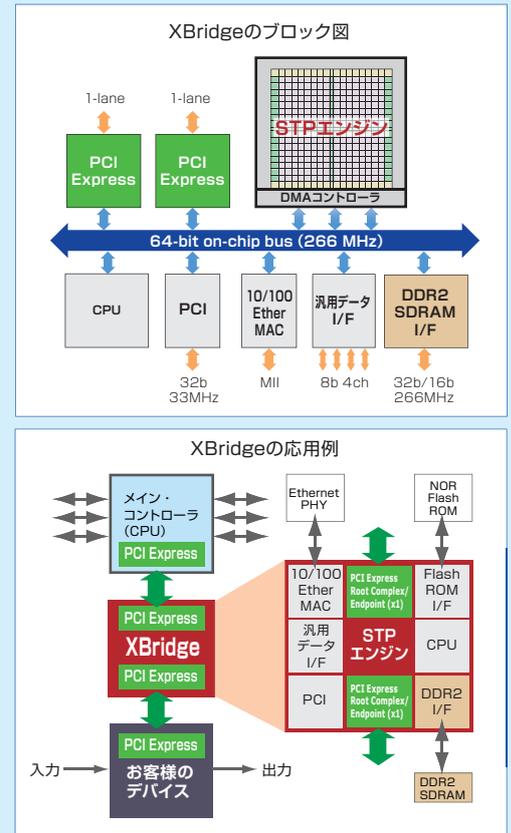
XBridgeは、PCI Express以外にもPCIやGPIOなどのインターフェースを搭載していますので、異なるバスへのデータを載せ替えるBridgeチップとしても使用できます。

■XBridgeの特徴、機能

- STP (Stream Transpose®) エンジン
 - ・256個の8ビット演算ユニットを搭載
 - ・112個の2ポートRAMと16個の1ポートRAMを搭載
 - ・CPUを介さずに直接DDR2 SDRAMにアクセス可能
- 外部インターフェース
 - ・DDR2 SDRAM (MAX. 256Mバイト, 266MHz)
 - ・PCI Express (1レーン) : 2ch
 - ・PCIバス (32ビット, 33MHz)
 - ・NORフラッシュ・メモリ (MAX. 64Mバイト)
 - ・汎用データ・インターフェース (8bit, 50MHz, 4ch)
 - ・その他豊富なインターフェースを搭載
- パッケージ
 - ・960ピンFCBGA (0.8mmピッチ, 27×27mm)

■CPUコプロセッサとしての応用例

XBridgeは、PCI Expressインターフェースを2チャンネル搭載しており、PCI Expressインターフェースを持つCPUのコプロセッサとして使用可能です。



XBridge ExpressCard “DRP Express™”

STPエンジンのファームウェアを開発するため、XBridgeを搭載したExpressCardを準備しています。

STPツールと連動し、本カードでオンチップ・シミュレーションが実時間で実行できるため、Cベース統合開発環境のみでの開発に比べて効率の良い検証、デバッグが可能です。

本環境は、XBridgeのファーム開発だけでなく、CB-40に搭載可能なIPコア「STPエンジン」のファームウェア開発環境としても使用できます。



■XBridge動作クロック

STPエンジン:16~100MHz
 その他コア:266MHz

■搭載メモリ

DDR2 SDRAM 256Mバイト

■インターフェース

PCI Express(1レーン, 2.5Gbps)

■評価環境は一般的なPCで構築可能

Windows/Linux PCベースで評価システムを構築可能。

備考 DRP Expressは、株式会社タンバックの製品です。
 連絡先:TEL 03-5603-2051/FAX 03-5603-2055
 e-mail info@tanbac.co.jp

STP評価キット

STPエンジンの評価には、DRP ExpressとPCで構築するキットが利用できます。

DRP Expressの接続には、ExpressCardインターフェースを搭載したPCが必要です(写真)。

これ以外に、デスクトップPCのPCI Express拡張スロットを利用したキット構築も可能です。



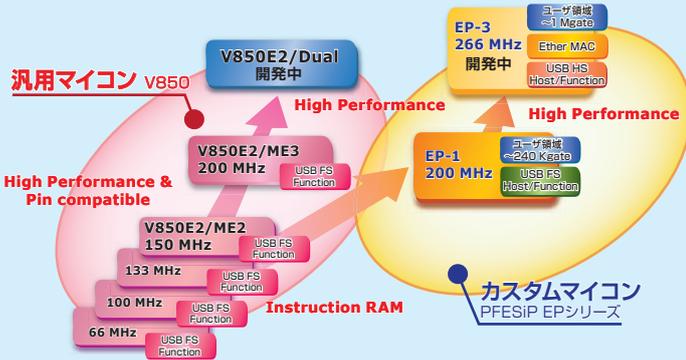
PFESiP EPシリーズのご紹介

EPシリーズでエコ

PFESiP(Platform for Embedded System in a Package, プラットフォームイーシップ)は、ゲートアレイと汎用機能チップをSiP化し、事前検証を行い、マスタとしてラインナップすることで、機能拡張されたゲートアレイを、“早く、安く、安心して”ご提供する新しいASICのソリューションです。

EPシリーズは、V850マイコンを汎用機能チップとしたPFESiP のシリーズで、かんたんにカスタマイズ可能なCPUプラットフォームを提供します。

V850ハイエンド製品のロードマップ



EPシリーズの主な仕様

	EP-1	EP-3(開発中)
プロセス	150nm	90nm
CPU動作周波数	100 ~ 200MHz	~ 266MHz
USB2.0	FS Host/Function	HS Host/Function
Ethernet	カスタム領域に搭載可	10/100 Ether MAC内蔵
システムバス	シングルレイヤ	マルチレイヤ
大規模内蔵命令RAM	192KB	512KB
その他インタフェース	カスタム領域に搭載可	CAN
カスタム領域	~ 240Kgate	~ 1Mgate
	5Vインタフェース対応可	

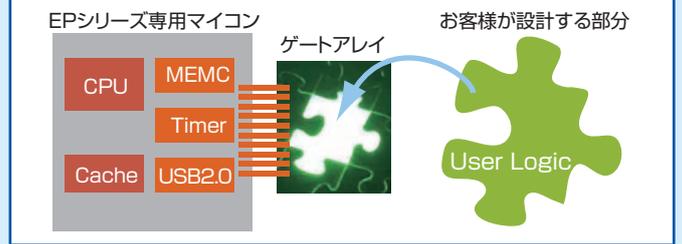
エコ

設計/開発フェーズで

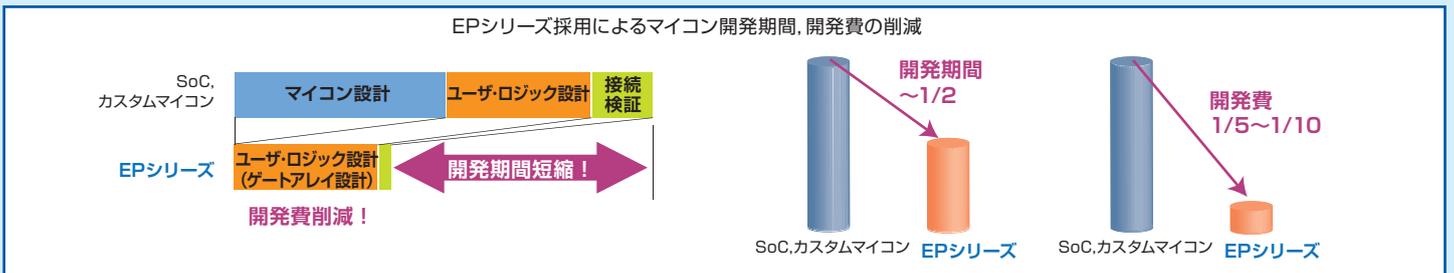
EPシリーズは、お客様にゲートアレイを設計/開発していただくだけでカスタムマイコンを実現できます。そのため、開発費、開発期間を大幅に削減できます。

また、開発評価ボードでハードウェア/ソフトウェアの協調設計を行うことで、設計リスクを低減することができます。熱抵抗、電気的特性、信頼性の解析/検証は、事前に十分行っており、安心してご使用いただけます。

EPシリーズによるカスタムマイコンの実現



EPシリーズ採用によるマイコン開発期間, 開発費の削減



エコ

システム資材コスト低減で

EPシリーズは、V850ベースのEPシリーズ専用マイコンと専用ゲートアレイ・マスタを1パッケージに搭載しています。これにより、2in1による省スペースを実現するとともに、端子配置の最適化やパッケージ構造の標準化により、チップ間接続や熱/電気的特性を設計容易化し、材料費削減を可能にします。

さらに駆動能力の最適化により、ダンピング抵抗の低減など部品点数を削減でき、システム全体の資材コスト低減を可能にします。



システム効率最適化で

EPシリーズは、複数の動作を同時実行できる最適なバス、メモリ、DMACの構成を適用することで、システムの効率向上を可能にしています。また、駆動能力を最適化することで、システム・レベルでの低消費電力化を図ることもできます。

① マルチレイヤ構造によるバス性能の向上

AHB-Liteマルチレイヤ構造により、各マスタがバスを占有可能です。アクセス対象のスレーブが競合しないかぎり、各マスタは同時に相互アクセス可能です。

② 2種類のDMACを用途別に実行可能

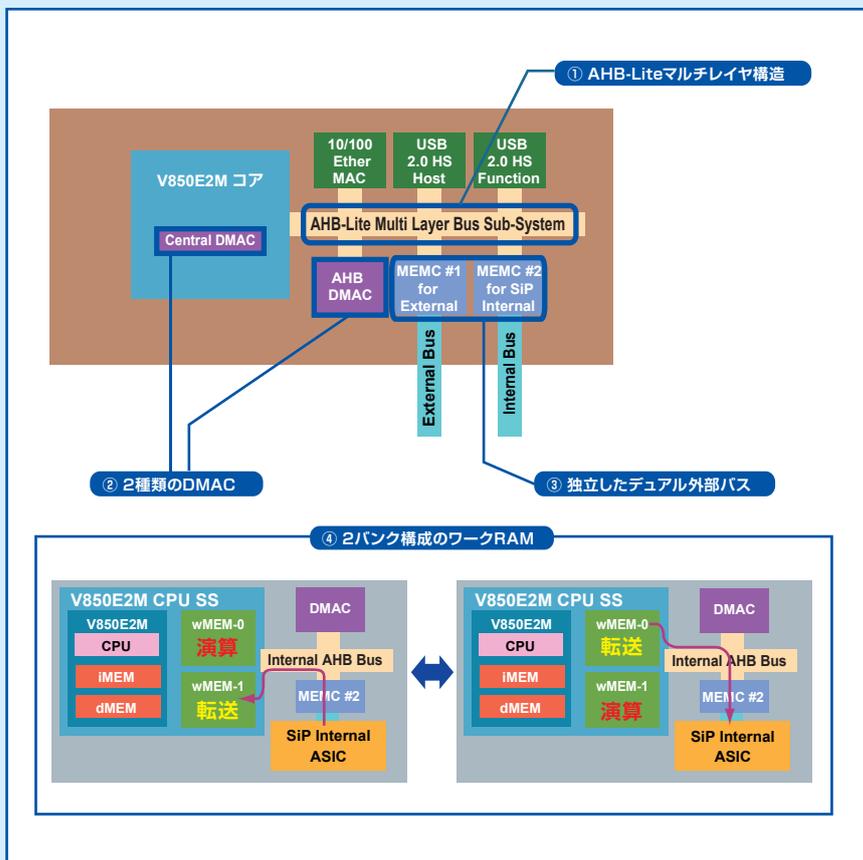
CPU近傍のCentral DMAC (16チャンネル)と、AHBに配置したAHBDMAC (8チャンネル)の2種類のDMAコントローラを搭載し、用途別の使い分けが可能です。AHB DMACはバッファ機能を内蔵し、AHBやSDRAMへのバースト転送が可能のほか、メモリ上に配置したディスクリプタに従った転送も可能です。

③ 独立したデュアル外部バスによるバス性能の向上

独立したデュアル外部バス構成の採用により、双方のバスを同時並行して利用可能です。また、駆動能力を切り替えることで、最適化を図ることができます。

④ 2バンク構成のワークRAM

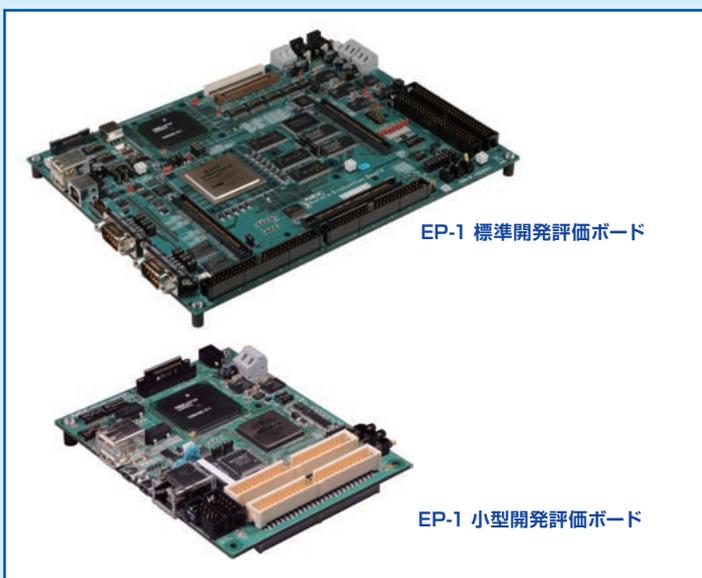
データの演算と転送を想定し、一方をCPUの演算、もう一方をデータ転送に利用することで、データ処理のスループット向上を実現します。



開発評価環境

EPシリーズの開発評価ボードには、EPシリーズ専用マイコン・チップそのものとFPGAが搭載されています。

ユーザ・ロジック部をFPGAにて開発し、実チップに近い事前検証が可能な開発環境を提供します。



マイコン ソフトウェア開発環境

■ ソフトウェア系開発ツール

- ・ EP-1用 : V850E2コア対応の開発ツール・チェーンを使用可能
- ・ EP-3用 : V850E2Mコア対応(開発中)の開発ツール・チェーンを使用可能予定

■ ドライバ/サンプルソフト

- ・ USB2.0 FS (EP-1用)
 - Functionサンプルソフト(弊社HPよりダウンロード可能)
 - Hostサンプルソフト(販売員より個別提供)
- ・ USB2.0 HS (EP-3用)
 - Functionサンプルソフト(開発中)
 - Hostサンプルソフト(開発中)
- ・ Ether TCP/IP プロトコルスタック
 - EP-1用: 弊社HPよりダウンロード可能
 - EP-3用: 開発中
- ・ その他インタフェース
 - EP-3用: CAN用サンプルソフト(開発中)

CB-40のご紹介

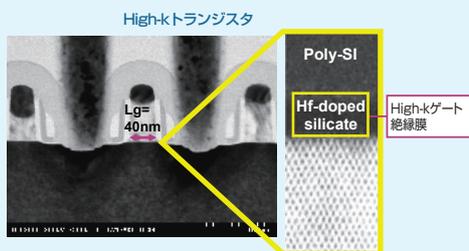
多数の量産実績をもつ先端セルベースIC

40nmプロセスを使用したCB-40は、すでに多数の量産実績があります。デバイス構造や生産ラインなどの多くを55nmプロセスと共有化することにより、先端プロセスにもかかわらず、早期の量産立ち上げを実現できました。

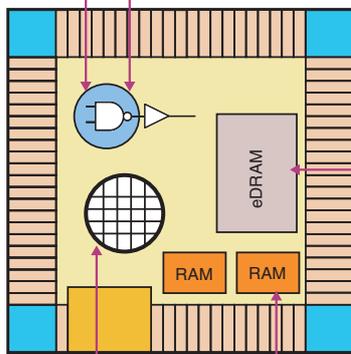
低消費電力を要求される、バッテリー駆動のデジタルAV機器、モバイル機器、従来のテクノロジーでは回路規模や熱設計的にSoC化が困難であったOA機器などを中心に、CB-40が多数採用されています。

CB-40を実現するテクノロジー

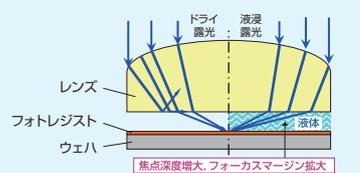
- ◆55nmプロセスでいち早く実用化した極薄High-kゲート絶縁膜を使用したトランジスタを引き続き採用し、リーク電流を低減
- ◆SMT(Stress Memorized Technology)の採用により、トランジスタ性能を向上



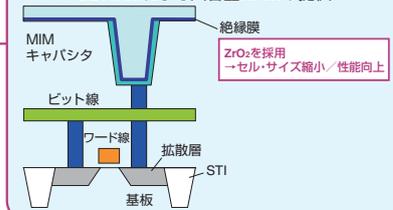
さらに進化したlow-k絶縁膜(k=2.45)を採用。性能向上、低消費電力化に寄与。



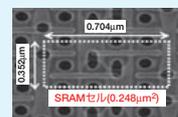
液浸露光とは、露光機のレンズとウェハの間を液体で満たすことにより、露光機の高NA化(=高解像度化)やマージン拡大を実現する露光方式。現在、液体には水を使用。



eDRAMによる大容量RAMの提供



セルサイズ0.248 μm^2 のSRAMを実現



CB-40ご採用のメリット

低消費電力と高速動作の両立

55nmセルベースIC「CB-55L」で量産実績のある、極薄High-kゲート絶縁膜を使用したトランジスタを採用することにより、リーク電流の削減と高速動作の両立を図っています。また、配線層間にはさらに進化したLow-k絶縁膜を使用しています。これにより、動作電力の削減と、配線遅延の削減による動作速度の向上を図っています。

大規模メモリ搭載

CB-40では、従来シリーズで実績のあるeDRAMを用意します。CB-55Lの2倍となる、最大512Mビットの大容量eDRAMを搭載できます。

eDRAM搭載のメリット

1. 外付けメモリでは実現の難しい広バンド幅を実現可能
2. 外部インタフェース回路が不要なため、消費電力が削減可能

チップサイズの縮小・搭載可能ロジックの増大

先端40nmプロセス技術を使用することにより、従来品の2倍となる2億ゲートのロジック・ゲートを搭載可能です。

先端プロセスの安定供給の実現

先端プロセスの安定供給

NECエレクトロニクスの40nmプロセスでは、先端プロセスの安定供給を目的として、液浸露光装置を使用します。55nmプロセスより導入していますので、量産での実績は十分です。

生産体制

NECセミコンダクターズ山形300mmラインに40nmプロセス対応のラインを構築しました。当社40nmプロセスでは、多くの製造装置を55nmプロセスと共有化していますので、早期の量産ライン立ち上げを実現できました。



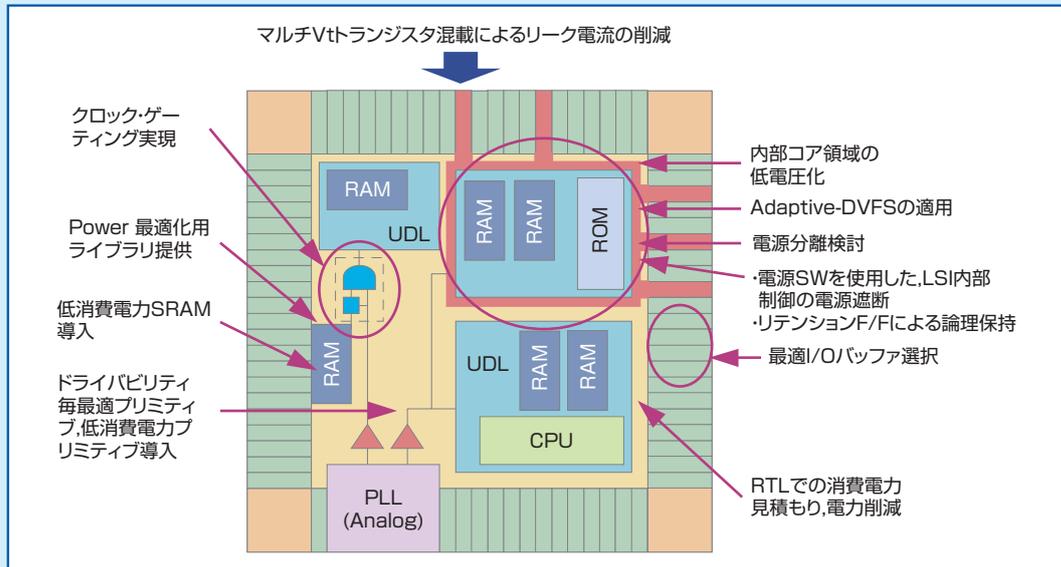
NECセミコンダクターズ山形300mmライン

低消費電力、低リーク電流設計

LSIの開発において、低消費電力化は常にお客様からの要望が大きい問題でした。

近年、システムだけではなく、環境問題にも関連して低消費電力対応は必須となってきており、今まで以上にお客様からの要望の大きな部分を占めるようになってきています。

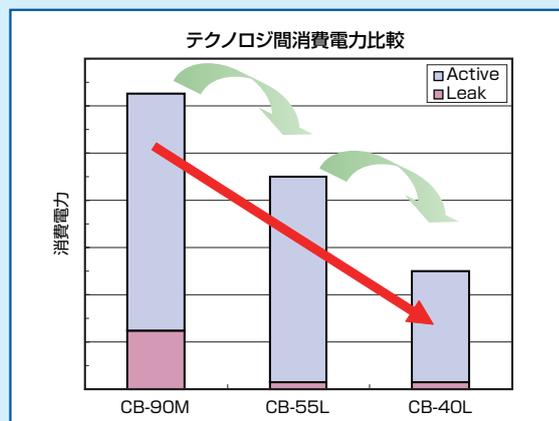
当社のセルベースICでは、このような低消費電力/低リーク電流化の要望にお応えするため、様々なアプローチで取り組んでおります。



超低消費電力でエコに貢献

ますます関心が高まる環境問題。「省エネ/エコロジー」に貢献する機器やグリーン社会を支える新しいテクノロジー、システムの実現に向けて、NECエレクトロニクスは半導体事業を通じて貢献します。

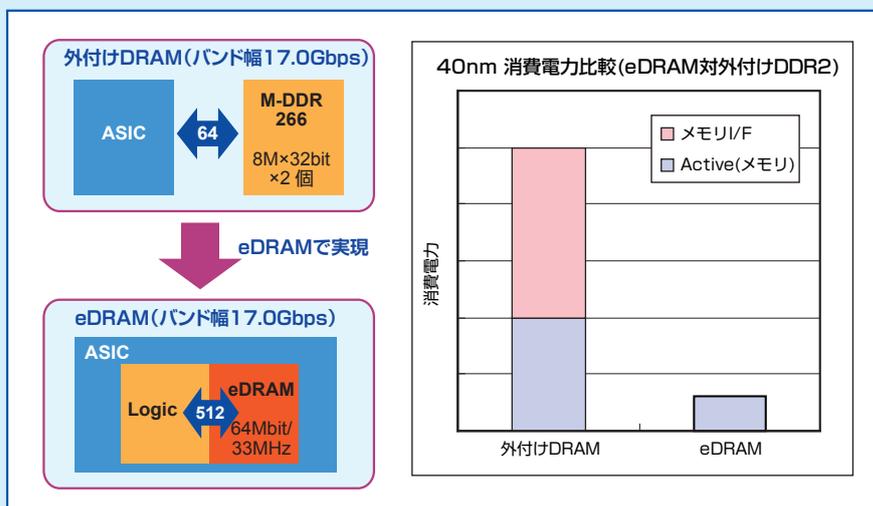
40nmプロセスのCB-40では、プロセスや設計技術などさまざまな技術により、従来主力製品であるCB-90と比べ、50%以上消費電力の低いシステムLSIを実現できます。これにより、お客様のセットやシステムのエコロジー化を強力に支援します。



eDRAM搭載による低消費電力化

CB-40では、従来シリーズから実績のあるEmbedded DRAM (eDRAM) を用意しています。

大規模DRAMブロックのASICチップ内蔵には、従来システムの性能向上、小型化といったメリットがありますが、メモリI/F (DDR I/Fなど) が不要になることなど、セットの低消費電力化にも大きく貢献します。



超解像技術のご紹介



さまざまな映像を「手軽に、きれいに」

超解像技術とは、一般的な画像拡大処理（バイリニアやバイキュービックなど）を行った場合に生じる画像のボケを改善し、画像拡大処理を行っても解像感が得られる技術です。これまで知られている超解像技術は、画像のフレーム・データを「複数枚」用いて処理しているため、大容量のメモリを必要としていました。しかし、このたびNECエレクトロニクスが独自開発した超解像アルゴリズムは、「1枚」のフレーム画像から最小限のメモリで超解像処理を実現しました。これにより、CPU負荷、ハードウェア・リソースの消費を最小限に抑え、組み込み用途など幅広く適用できます。

超解像処理の例

画像拡大処理（バイリニアやバイキュービックなど）を行った場合に生じる画像のボケやエッジの粗さを改善し、画像拡大処理を行っても解像感が得られる技術です。

画像は超解像処理のイメージです。



超解像技術の特長

■既存シャープネス技術よりも高画質

- ・疑似エッジやノイズ強調を最低限に抑えつつ、画質を改善します。
- ・一般的なシャープネスなどで生じやすい“折り返しひずみ”がほとんど発生しません。

■お客様のシステムに簡単に接続

- ・標準ビデオ・インタフェース（YUVまたはRGB）を採用しています。
- ・ビデオデータをリアルタイム処理するための外部メモリ（SDRAM/DDR）は不要です。
- ・フルハードウェアで実現しており、立ち上げ時のレジスタ設定以外、外部CPUの介在は不要です。

■Full HD映像(1920×1080@60fps)をリアルタイムに処理

- ・フレーム遅延が発生しないので、音声との再同期処理が不要です。

超解像技術の応用分野

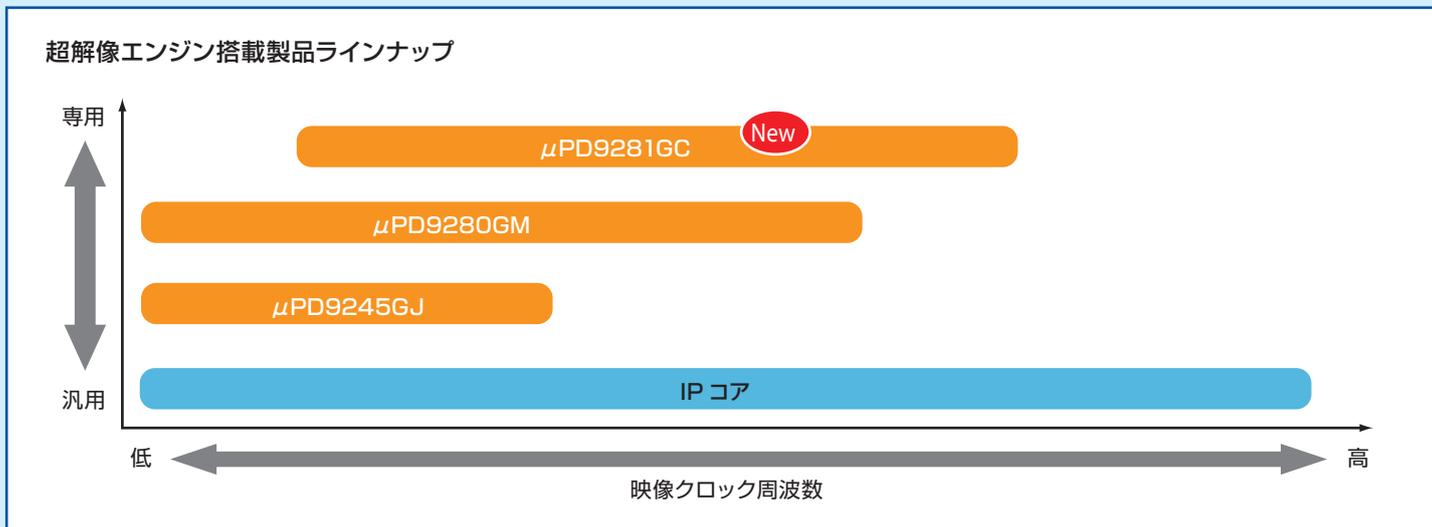
映像を扱う機器すべてが対象です。特に、VGAの画像ソースをHD対応パネルに表示させるような動画のアップ・スケーリング機能を搭載するアプリケーションに最適です。

- 表示パネル搭載機器一般、映像処理用通信機器一般
- 携帯電話、携帯端末
- カーナビゲーション・システム、車載バックモニタ、リア・エンタテインメント・システム
- DSC、DVC、DTV、DVD/BDプレーヤ
- アミューズメント、ゲーム機器



製品ラインナップ

当社では、超解像エンジンをゲートアレイなどのASICに搭載可能なIPコア（ソフトマクロ）として提供しているほか、1枚超解像IPコアを搭載したシステムLSI（ASSP）も製品展開中です。データ入出力に、幅広く普及しているビデオ・インタフェースを採用しているため、既存のシステムへの組み込みが容易で、画像・映像を扱うさまざまな機器に応用が可能です。



機能一覧

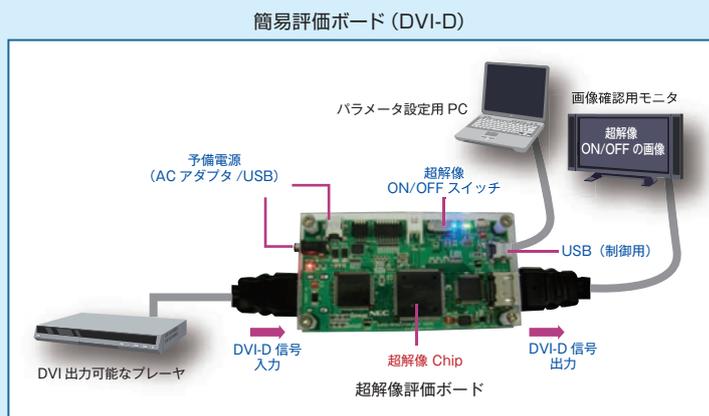
	μPD9245GJ	μPD9280GM	μPD9281GC New
最大画像サイズ(pixel)	1920×1200	1920×1200	1920×1200
最大ドットクロック周波数	108MHz	150MHz	175MHz
ビデオフォーマット	RGB or YUV	RGB or YUV	RGB or YUV
ビデオインタフェース	24bit CMOSパラレル (8bit / コンポーネント)	30bit CMOSパラレル (10bit / コンポーネント)	デュアルリンク/シングルリンクLVDS
ホストインタフェース	I ² Cバス	I ² Cバス	I ² Cバス
画像サイズ認識機能	搭載	搭載	搭載
ノイズ抑制機能 ^{注1}	非搭載	非搭載	搭載
シュート制御機能 ^{注2}	非搭載	非搭載	搭載
超解像エリア指定機能	非搭載	非搭載	搭載
電源電圧	Logic	1.5±0.15V	1.5±0.15V
	I/O	3.3±0.3V	3.3±0.3V
パッケージ	144ピンLQFP	176ピンLQFP	100ピンLQFP

注1. 入力ソースで目立っていたモスキート・ノイズをあらかじめ超解像処理前に軽減し、超解像処理を行ってもノイズが強調されにくいようにする機能。

注2. 画素ごとに超解像処理による画素値の変化量を算出し、その変化量に応じて超解像処理量を非線形特性に変換し、調整する機能。

評価ボード

超解像の効果を事前に確認していただくための評価ボードをレンタルしております。詳細につきましては、当社営業または販売特約店までお問い合わせください。



CMOSアナログマスタ CA-5シリーズのご紹介

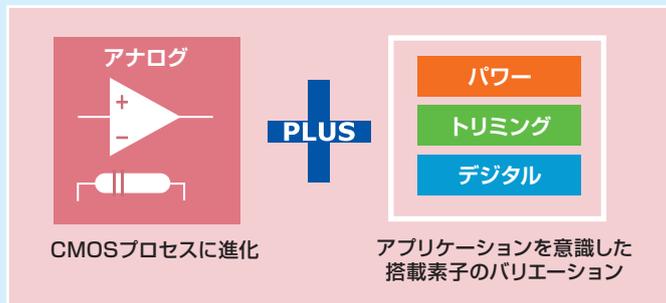
アナログに新機能をプラスし、高付加価値を創造する新アナログマスタ(アナログセミカスタムIC)

2009年3Q(FY)より車載用途の商談対応開始

「CA-5シリーズ」は、従来のバイポーラ・アナログマスタで培ったノウハウを継承しつつ、更なる付加価値の創造に向けCMOSプロセスに進化させた、アナログセミカスタムICの新ファミリです。

さらに、パワー素子、高性能トリミング、デジタル素子といった新機能を「PLUS」しており、低開発費、短い開発期間でお客様に新たなソリューションをご提供します。

一般用途は2010年1月より製品の出荷を、また、車載用途は2009年3Q(FY)より商談対応を開始します。



タイプ別マスタ・ラインナップ

「CA-5シリーズ」では、オペアンプやコンパレータ、レギュレータなどのCMOSアナログ回路に加え、以下に示す素子を搭載できます。

高精度対応：TYPE-T

トリミング素子のポリシリヒューズを電流溶断することで、各種回路の調整が可能

高精度特性が要求される「産業 /FA」、「計測制御」などの分野に対応するには、「TYPE-T マスタ」のトリミング機能が有効です。一般的にセンサ素子はばらつきが大きく、無調整で実現するには高価な高精度のLSIを必要とします。「TYPE-T マスタ」のトリミング機能は、実装後に特性調整が可能なので、センサのばらつきを含めて調整が可能です。

高出力対応：TYPE-P

パワー素子により、数100mA出力LDO、ドライバやR_{on}=2Ωのアナログ・スイッチを実現

パワー素子を搭載した「TYPE-P マスタ」は、外部負荷の制御を中心とした、「産業 /FA」、「車載」などの分野に最適です。小規模の負荷であれば直接駆動も可能で、ブリドライバとして使用することもできます。また、パワー素子をアナログ・スイッチとして利用するアプリケーションにも対応できます。

通信制御対応：TYPE-A

シングルロジック回路と併せて、シリアル通信回路などの当社が用意するデジタル・マクロを搭載

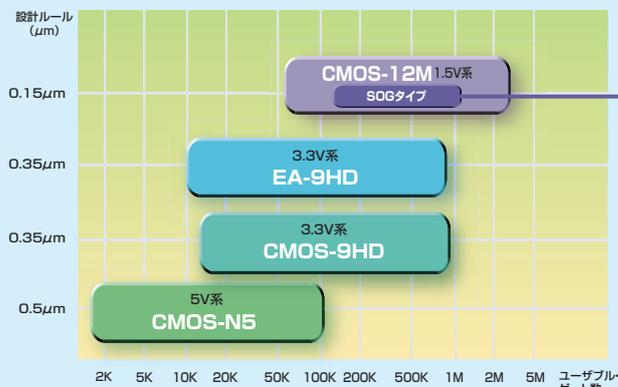
「TYPE-A マスタ」は、外部からの通信制御により、必要な場面ごとに搭載回路の機能を変えることで、さまざまな信号処理に対応できます。また、アナログ回路の搭載規模が大きいいため、多入力、多出力の機能を実現可能です。HA（ホーム・オートメーション）住宅機器、セキュリティ機器、白物家電などの分野に最適です。

タイプ、マスタ 回路規模	TYPE-A (通信)			TYPE-P (高出力)			TYPE-T (高精度)		
	μPD68201	μPD68211	μPD68221	μPD68202	μPD68212	μPD68222	μPD68223	μPD68224	
アナログ回路規模 ^{注1}	8	15	30	6	12	30	24	27	
トリミング素子規模 ^{注2}	8	16	16	8	16	16	32	32	
パワー素子規模 ^{注3}	-	-	2	1	2	4	4	2	
デジタル素子/ 回路規模 ^{注4}	デジタル・マクロ数	1	2	4	1	2	2	4	4
	2入力NAND	60x2	60x5	60x10	60x2	60x4	60x10	60x8	60x9

注1. 汎用オペアンプを実現した場合に内蔵できる回路数を、目安として示したものです。
 注2. 1素子で1ビットの制御ができます。
 注3. 1素子の電流容量は約100mAです。素子を分割し、数10mA/chの電流容量とすることもできます。
 注4. シングルロジックや、当社が提供するデジタル・マクロ(シリアル通信回路、カウンタなど)を搭載できます。

お手軽ゲートアレイのラインナップ強化

あらゆる分野でご採用いただけるゲートアレイ



CMOS-12M SOGタイプ

- 最高動作周波数250MHz
- 小型・高速化実現
LVDS拡充, 小ゲート規模,
埋め込みRAMなし

CMOS-12Mシリーズ: SOGタイプをリリース

最上位のCMOS-12Mシリーズでは、民生系・産業系の高速伝送を必要とする分野でご採用いただけるよう、最大動作周波数250MHzを実現する製品群「SOGタイプ」を追加拡充しました。

■特長

- 最大動作周波数: 250MHz
- LVDSチャネル数: 16~51 (既存のCMOS-12Mの約2倍)
- 小ゲート規模 (最小62Kゲートなど4マスタ)
- RAMはコンパイルドRAMで実現
- 小型パッケージを用意
 - ・97ピンFPBGA (6x6mm)
 - ・144ピンFPBGA (7x7mm)

■用途

- 民生系、産業系機器における、250MHzクロック伝送が必要な箇所のブリッジIC
- ・LVDSなどの高速伝送
- ・高速信号のレベル変換回路 (3.3V ⇄ 2.5Vまたは1.8V)
- 高速伝送対応を目的とした、既存ゲートアレイからの置き換え

●特長

	CMOS-12M 埋め込みRAMタイプ	CMOS-12M SOGタイプ
テクノロジー	150nm (テクノロジー・ノード)	
電源電圧	内部: 1.5V±10% 外部: 3.3V/2.5V/1.8V/1.5V	
遅延時間 (内部ゲート)	62ps (2-input NAND, F/O=1, 標準配線長)	
ユーザブル・ゲート数	151K~2006Kゲート	62K~499Kゲート
最大動作周波数	200MHz	250MHz (目標)
消費電力 (V _{DD} =1.5V)	21.6nW/MHz/gate (動作率=0.35)	
搭載可能マクロ	あり (96K~2.7M bits 搭載可能)	なし
SRAM	1ポート, 2ポート, デュアルポート	1ポート, 2ポート
APLL	位相シフト機能付き PLL	位相シフト機能付き PLL (新開発)
	SSCG	
DLL	スリープ DLL	なし
パッケージ	LQFP (100~144ピン)	LQFP (100~144ピン)
	FPBGA (108~208ピン)	FPBGA (108~208ピン)
	PBGA (256~676ピン)	FPBGA (97~144ピン, 0.5mmピッチ)

●マスタ・ラインナップ

	μPD66211	μPD66212	μPD66213	μPD66214
搭載セル数 注1	104K	242K	502K	831K
ユーザブル・ゲート数	62K	144K	301K	499K
搭載 APLL 数	2	2	2	2
LVDSチャネル数 注2	16	28	39	51

注1. 2入力NAND換算, 1セル=1ゲート
注2. 物理的な搭載可能チャネル数です。追加電源, 追加GNDにより数は減少します。

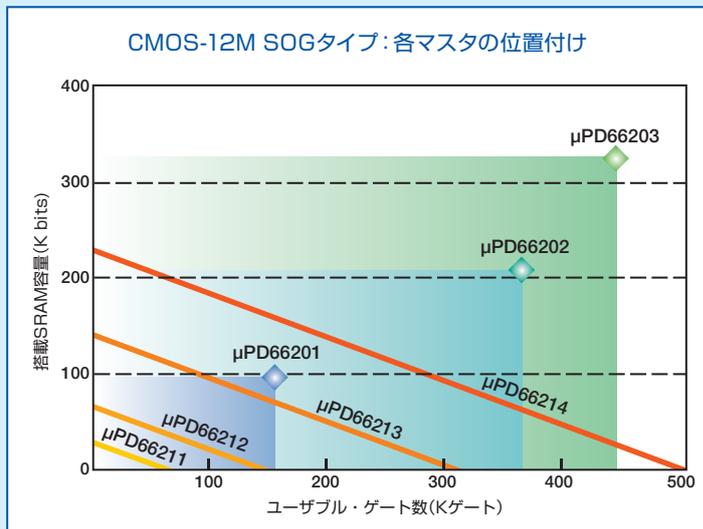
CMOS-12M SOGタイプの活用例

事例1
マイコンのバス・ドライバやバス・スイッチ
メイン・バスとローカル・バスのスイッチ

事例2
ハイエンド・マイコンのポート拡張 (高速化)
→200 MHz動作でI/O取り込みが可能に

◆推奨パッケージ: 97ピンFPBGA (□6mm), 144ピンFPBGA (□7mm)
◆その他, 次のような目的にも活用いただけます。

- ・デジタルAV機器, モバイル機器のブリッジICとして
→3.3V ⇄ 2.5/1.8Vのレベル変換が可能
- ・0.25μm以前のプロセスのゲートアレイからのマイグレーション
→高速化, 低消費電力化が期待できます。



NECエレクトロニクス ホームページのご紹介

当社製品をご検討いただくために、製品紹介のホームページを設けています。最新の製品情報、ドキュメント、あるいはセミナー、展示会の案内などお役に立つ情報をご提供いたします。

トップメニューから[製品情報]→[ASIC]→[一覧]の順に選択すると、ASIC製品の概要をご紹介するページをご覧いただけます。

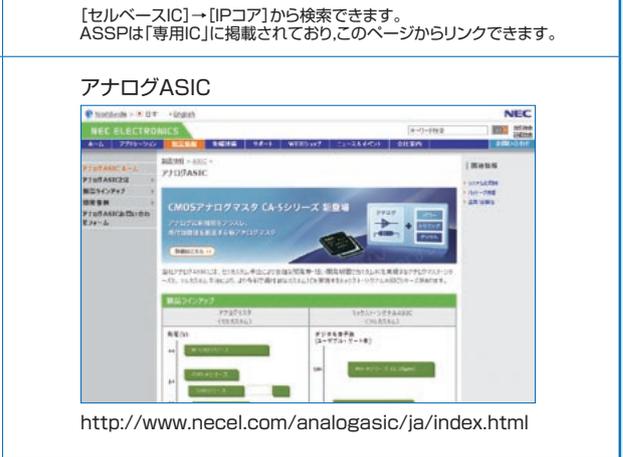
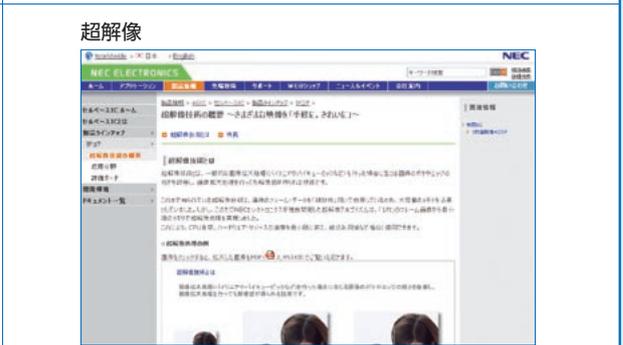
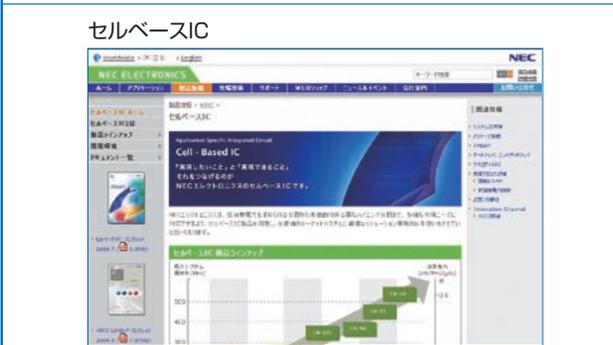
NECエレクトロニクス ホームページ
http://www.necel.com/index_j.html



ASICホームページ
<http://www.necel.com/asic/ja/index.html>



各製品のホームページから、個別の製品についての詳しい情報をご覧いただけます。



ゲートアレイ

ゲートアレイのホームページでは、パッケージの種類、ピン数などを指定することで、最適なパッケージをすばやく検索できます。また、ユーザ使用可能ピン数、熱抵抗、外形図、半田付け推奨条件といった豊富な情報を合わせてご提供します。

「マスタパッケージラインアップ」

ロスタパッケージ検索

次の表にある多くのパッケージから最適なパッケージを選択していただくことが可能ですが、一部には買換不可な組み合わせもありますので、詳細は当社までお問い合わせください。

※ 絞り込み条件 (現在 20 件表示されています。以下に条件を指定し、再検索することが出来ます。)

※ パッケージ情報が不明の方はこちらのパッケージラインアップをご確認ください。

PKG: FPBGA LQFP PBGA QFP(FP) SSOP QFP

PIN: Pitch: Body:

※ 絞り込み検索結果

検索結果を上記タブからシリーズを切り替えた場合、絞り込み条件を保持したままシリーズごとの検索結果を表示します。

※ 組み合わせ可能をクリックでパッケージに関する技術情報を表示します。

表1 表2 表3

PKG	Pin	Pitch	Body (mm)	UPD65888 (2,932)	UPD65881 (4,998)	UPD65882 (11,839)	UPD65883 (21,542)	UPD65884 (28,784)	UPD65885 (38,576)
LQFP	100	0.3	14x14	—	—	—	—	—	—
144	0.5	20x20	—	—	—	—	—	—	—
QFP(FP)	160	0.5	24x24	—	—	—	—	—	—
208	0.5	28x28	—	—	—	—	—	—	—
SSOP	20	0.65	6.65x6.1	—	—	—	—	—	—
30	0.65	6.65x6.1	—	—	—	—	—	—	—

“NA: 対応不可” “TBD: 検討中” “ASK: 問い合わせ” “Free: 設置制限無し” “*”: 暫定値”

Essential Information	Lead Pitch(mm)	Body Size(mm)	Body Thickness (mm)
CH05-N5 UPD65883ACC-RE-A / 180QFP	0.5	14x14	1.4
Maximum Allowable Power Consumption [W] TA=85°C, Tj=125°C, with 10g Wind		0.35	
Usable Pin Count		92	
Scan Pin Number(SMC,SH,SOUT)	SMC	SH	SOUT
Recommended Soldering Conditions	IR	VP	WS
	IR60-107-3-27	NA	NA
Thermal Resistance (°C/W)	0-Js 0m/g	0-Js 1m/g	0-Js 2m/g
	111	29	TBD
Package Drawings Code	ES	#100g-50-88u-88w-2	#100g-50-88u-88w-2
	SP	#100g-50-88u-88w-2	#100g-50-88u-88w-2

※ 半田付け条件一覧

100-Pin PLASTIC LQFP (FINE PITCH) (4x14)

3.3 基本動作推奨条件

3.3.3 半田付け方式の推奨温度プロフィール

(2) 条件番号: 331-2302

動作温度: 0°C ~ 70°C (動作時) / 125°C (最大)

最高温度: 230°C (230°C)

昇温速度: 10°C/s (100°C)

保溫時間: 60~120s (100°C)

降温速度: 10°C/s (230°C)

冷却速度: 10°C/s (230°C)

図 3-3-3 半田付け方式の推奨温度プロフィール

PFESiP

PFESiPのホームページでは、開発を支援するデータを豊富に用意しています。導入検討のお客様には、応用アプリケーション例として、モータ、サーマルプリンタ、カードリーダー/ライター、ニューアミューズメント、開発評価ボード、開発キット、ロードマップ等を10種類用意しています。また、開発に必要な情報として、設計マニュアル、ユーザーズ・マニュアル、アプリケーションマニュアル、ボード回路図などのドキュメントや、各種ファイルやサンプルプログラム（デバイス・ファイル、サンプルFPGAデータ、USBファンクションやTCP/IPサンプルプログラムなど）を用意しています。これらの情報は、以下のURLよりダウンロードできます。

<http://www.necel.com/pfesip/ja/doclist/index.html>

NEC ELECTRONICS

ドキュメント/サンプルプログラム一覧

各種ファイルのダウンロード

※ 絞り込み検索

※ 絞り込み検索結果

Doc No.	Doc Title	Doc Type	Doc Size	Doc Date
PFESIP-EP-1	PFESIP-EP-1 ユーザーズ・マニュアル	マニュアル	1.42MB	2008/09
PFESIP-EP-1	PFESIP-EP-1 デザインマニュアル	マニュアル	1.32MB	2008/11
PFESIP-EP-1	PFESIP-EP-1 ユーザーズ・マニュアル (ハードウェア)	マニュアル	2.93MB	2008/11
PFESIP-EP-1	PFESIP-EP-1 ユーザーズ・マニュアル (ソフトウェア)	マニュアル	1.71MB	2008/11
PFESIP-EP-1	PFESIP-EP-1 ユーザーズ・マニュアル (ハードウェア/ソフトウェア)	マニュアル	4.63MB	2008/11
PFESIP-EP-1	PFESIP-EP-1 ユーザーズ・マニュアル (ソフトウェア/ハードウェア)	マニュアル	1.69MB	2008/11
PFESIP-EP-1	PFESIP-EP-1 ユーザーズ・マニュアル (ハードウェア/ソフトウェア)	マニュアル	1.17MB	2008/11

サーマルプリンタへの応用例

PFESIP-EP-1 エンフィヤタブル・サーマルプリンタ・エンジン

開発評価キットの紹介

PFESIP-EP-1 開発評価キット

OPENCAD, PFESiP, MICROSSP, XBridge, Stream Transposeは、NECエレクトロニクス株式会社の日本国内における登録商標です。

FPBGAは、NECエレクトロニクス株式会社の日本国内および英国、ドイツにおける登録商標です。

お手軽ゲートアレイ, CBLite, DRP Express, UltimateLowPowerは、NECエレクトロニクス株式会社の商標です。

美解像およびNeoClearResolutionは、NECエレクトロニクス株式会社の日本およびその他の国における登録商標または商標です。

その他、このパンフレットに記載されている会社名、製品名等は、各社の商標または登録商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- ・本資料に記載されている内容は2009年11月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- ・当社は、当社製品の品質水準を「標準水準」、 「特別水準」 およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

「標準水準」：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

「特別水準」：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

「特定水準」：航空機器、航空宇宙機器、海底中継器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

注1. 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

注2. 本事項において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいう。

(M8E0909J)

【発行】 NEC エレクトロニクス株式会社 (<http://www.necel.co.jp/>)

【問い合わせ先】 <http://www.necel.com/contact/ja/>