

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

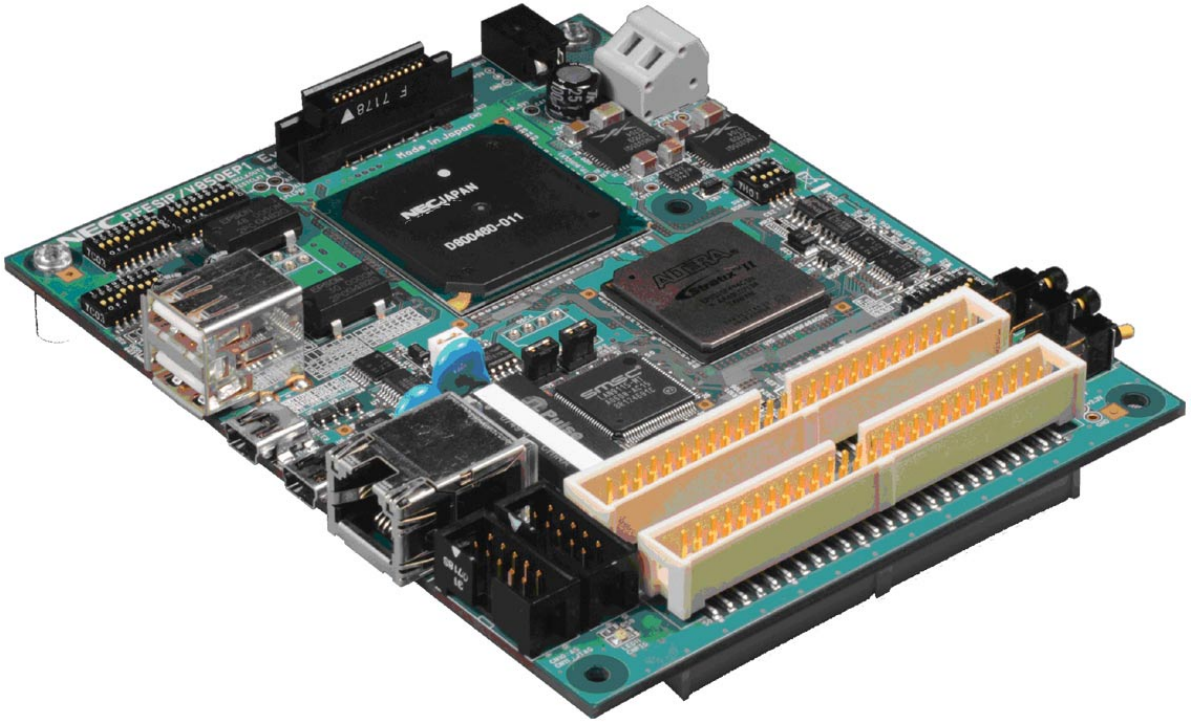
注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

PFESiP[®] EP-1 Evaluation Board Lite

技術情報編



目次要約

第 1 章	イントロダクション	...	13
第 2 章	ハードウェアのインストール	...	34
第 3 章	各スイッチの設定	...	37
第 4 章	外部メモリ・アクセスの設定例	...	45
第 5 章	拡張コネクタの利用方法	...	57
第 6 章	エミュレーション用コネクタ	...	62
第 7 章	オンボード FPGA	...	64
第 8 章	その他の機能	...	78
付録 A	PFESiP EP-1 Evaluation Board との差異	...	86

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

PFESiP は、NEC エレクトロニクス株式会社の日本における登録商標です。

Xilinx, Virtex, ISE は、米国 Xilinx Inc.の米国における登録商標です。

Altera, Stratix, Quartus は、米国 Altera Corporation の米国における登録商標です。

ByteBlaster, USB Blaster は、米国 Altera Corporation の商標です。

本製品が外国為替及び外国貿易法の規定により規制貨物等に該当するか否かは、ユーザ（仕様を決定した者）が判定してください。該当する場合、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2008年9月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。
 - 標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
 - 特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器
 - 特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

本版で改訂された主な箇所

箇所	内容
p.71	図 7 - 4 FPGA 用 LED 回路 変更
p.72	図 7 - 5 シリアルROM の接続 変更
p.84	8. 5. 1 リセット・スイッチ 一部文章を削除

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

設計する際は、最新の資料を弊社販売担当または販売特約店にご確認ください。

はじめに

- 対象者** このマニュアルはV850E2 CPUコア内蔵マイクロコントローラ機能チップ「PFESiP/V850EP1」の機能を理解し、それを用いたPFESiP EP-1シリーズ製品を開発検討するユーザを対象とします。
- 目的** このマニュアルは、PFESiP/V850EP1用いたPFESiP EP-1シリーズ製品を導入検討されるユーザに、開発評価ボードの利用方法を理解していただくことを目的としています。
- 読み方** このマニュアルの読者には、電気、論理回路、マイクロコンピュータ、SRAM、ページROM、SDRAM に関する一般知識を必要とします。
- 凡例**
- | | |
|-----------------|--|
| データ表記の重み | : 左が上位桁, 右が下位桁 |
| アクティブ・ロウの表記 | : xxxZ (端子, 信号名称のあとにZ) |
| 注 | : 本文中につけた注の説明 |
| 注意 | : 気をつけて読んでいただきたい内容 |
| 備考 | : 本文の補足説明 |
| 数の表記 | : 2進数 ... xxxx またはxxxxB
10進数 ... xxxx
16進数 ... xxxxH |
| 2 のべき数を示す接頭語 | : K (キロ) ... $2^{10} = 1024$ |
| (アドレス空間, メモリ容量) | M (メガ) ... $2^{20} = 1024^2$
G (ギガ) ... $2^{30} = 1024^3$ |
| データ・タイプ | : ワード ... 32ビット
ハーフワード ... 16ビット
バイト ... 8ビット |

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。また各コアの開発・企画段階で資料を作成しているため、関連資料は個別のお客様向け資料の場合があります。

PFESiP EP-1 シリーズに関する資料

資料名	資料番号
V850E2 ユーザーズ・マニュアル アーキテクチャ編	U17135J
PFESiP EP-1 シリーズ 設計マニュアル	A19068J
PFESiP/V850EP1 ユーザーズ・マニュアル 製品データ編	A19069J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (CPU 機能)	A19070J
PFESiP/V850EP1 ユーザーズ・マニュアル ハードウェア編 (USB 機能)	A19071J
PFESiP/V850EP1 アプリケーション・ノート USB ファンクション機能の設定例	A19349J

PFESiP EP-1 Evaluation Board に関する資料

資料名	資料番号
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル 技術情報編	A19350J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル オーダ情報編	A19352J
PFESiP EP-1 Evaluation Board ユーザーズ・マニュアル FPGA 設計ガイド編	A19351J
PFESiP EP-1 Evaluation Board Lite ユーザーズ・マニュアル 技術情報編	このマニュアル

開発ツールに関する資料 (ユーザーズ・マニュアル)

資料名	資料番号	
RX850 Pro (Ver.3.20)(リアルタイム OS)	基礎編	U13773J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッグ編	U17422J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	
ID850QB Ver.3.20 統合デバッグ	操作編	U17964J
RX850 Pro Ver.3.21 リアルタイム OS	基礎編	U18165J
	内部構造編	U18164J
	タスク・デバッグ編	U17422J
RX850V4 Ver.4.22 リアルタイム OS	機能編	U16643J
	タスク・デバッグ編	U16811J
AZ850V4 Ver.4.10 システム・パフォ - マンス・アナライザ	U17093J	

目 次

第 1 章 イン트로ダクション ... 13

- 1.1 PFESiP EP-1 Evaluation Board Lite の概要 ... 13
 - 1.1.1 特 徴 ... 14
 - 1.1.2 PFESiP EP-1 Evaluation Board Lite の外観 ... 16
 - 1.1.3 PFESiP EP-1 Evaluation Board Lite (各部の機能) ... 17
 - 1.1.4 PFESiP EP-1 Evaluation Board Lite の仕様一覧 ... 18
 - 1.1.5 PFESiP EP-1 Evaluation Board Lite の概略ブロック図 ... 19
 - 1.1.6 PFESiP EP-1 Evaluation Board Lite の詳細ブロック図 ... 20
 - 1.1.7 PFESiP/V850EP1 の最高動作周波数の注意事項 ... 22
- 1.2 PFESiP/V850EP1 の概要 ... 23
 - 1.2.1 PFESiP/V850EP1 の機能一覧 ... 24
 - 1.2.2 PFESiP/V850EP1 の内部ブロック図 ... 26
 - 1.2.3 本ボードで使用できる PFESiP/V850EP1 の端子一覧 ... 27

第 2 章 ハードウェアのインストール ... 34

- 2.1 はじめに ... 34
 - 2.1.1 動作モードの設定 ... 34
 - 2.1.2 発振モジュールの取り付け ... 35
- 2.2 電源の接続 ... 36
 - 2.2.1 AC アダプタ (CN13) ... 36
 - 2.2.2 5.0V 電源ターミナル (CN12) ... 36

第 3 章 各スイッチの設定 ... 37

- 3.1 動作モード設定用ディップ・スイッチ ... 37
 - 3.1.1 ディップ・スイッチ (SW3-4 ~ SW3-8) からの動作モード設定 ... 38
 - 3.1.2 SSCG-PLL 動作モード設定用ディップ・スイッチ ... 39
 - 3.1.3 FPGA からの動作モード設定 ... 41
- 3.2 チップ・セレクト信号設定用ディップ・スイッチ ... 43
- 3.3 ジャンパ設定 ... 44
 - 3.3.1 JP1, JP2 (LAN 回路の設定用) ... 44

第 4 章 外部メモリ・アクセスの設定例 ... 45

- 4.1 搭載メモリの仕様 ... 45
 - 4.1.1 外部メモリ ... 45
 - 4.1.2 内部メモリ ... 47
 - 4.1.3 メモリ・マップ ... 48
- 4.2 外部メモリ・アクセスの動作設定 ... 49

4.2.1	PFESiP/V850EP1の起動手順	...	53
-------	---------------------	-----	----

第5章 拡張コネクタの利用方法 ... 57

5.1	コネクタ (CN3, CN4)	...	58
5.2	PFESiP/V850EP1 ポート出力コネクタ (CN1, CN2)	...	59

第6章 エミュレーション用コネクタ ... 62

6.1	N-Wire インタフェース	...	62
-----	----------------	-----	----

第7章 オンボードFPGA ... 64

7.1	FPGAのデフォルト・プログラミング	...	65
7.1.1	PFESiP/V850EP1 デフォルト・データの VerilogHDL ソース	...	66
7.2	FPGAのデフォルト・データ	...	68
7.2.1	FPGA データ生成環境	...	68
7.2.2	ファイル説明	...	68
7.3	FPGA用プッシュ・スイッチ	...	69
7.4	FPGA用DIPスイッチ	...	70
7.5	FPGA用LED	...	71
7.6	FPGA用シリアルROM	...	72
7.7	FPGAと拡張コネクタの接続	...	72
7.8	FPGA 端子接続一覧	...	73

第8章 その他の機能 ... 78

8.1	各種LED	...	78
8.1.1	USB ホスト・ポートLED (LED9, LED10)	...	78
8.1.2	FPGA DONE 用LED (LED11)	...	78
8.1.3	電源LED (LED15)	...	78
8.2	内蔵シリアル・インタフェース (USB 変換回路)	...	79
8.3	外付けLAN インタフェース (LAN9115)	...	80
8.4	USB 機能	...	81
8.4.1	USB ファンクション・コントローラの周辺回路	...	82
8.4.2	USB ホスト・コントローラの周辺回路	...	83
8.4.3	USB ホスト・ポートLED (LED9, LED10)	...	83
8.5	操作スイッチ	...	84
8.5.1	リセット・スイッチ	...	84
8.5.2	割り込みスイッチ	...	85

付録A PFESiP EP-1 Evaluation Board との差異 ... 86

図の目次

図番号	タイトル, ページ
1 - 1	PFESiP EP-1 Evaluation Board Lite (外観図) ... 16
1 - 2	PFESiP EP-1 Evaluation Board Lite (各部の機能) ... 17
1 - 3	全体ブロック図 ... 19
1 - 4	PFESiP EP-1 Evaluation Board Lite の詳細ブロック図 ... 20
4 - 1	外部 ROM から命令 RAM (iLB_RAM) への転送 ... 56
6 - 1	MINICUBE との接続図 (QB-V850MINI) ... 63
7 - 1	FPGA のデフォルト・プログラミング ... 65
7 - 2	FPGA 用プッシュ・スイッチ ... 69
7 - 3	FPGA 用 DIP スイッチ ... 70
7 - 4	FPGA 用 LED 回路 ... 71
7 - 5	シリアル ROM の接続 ... 72
8 - 1	USB ミニ B コネクタ - UART 変換 ... 79
8 - 2	LAN インタフェース回路 ... 80
8 - 3	USB ファンクション・コントローラ周辺回路 ... 82
8 - 4	USB ホスト・コントローラ周辺回路 ... 83
8 - 5	パワーオン・リセット・スイッチ ... 84

表の目次

表番号	タイトル, ページ
1 - 1	PFESiP EP-1 Evaluation Board Lite の仕様一覧 ... 18
1 - 2	PFESiP/V850EP1 の動作条件による最高動作周波数 ... 22
2 - 1	FPGA から設定する動作モード設定端子 ... 34
3 - 1	動作モード設定一覧 ... 37
3 - 2	内蔵ワーク RAM (VSB_RAM) の設定 ... 42
4 - 1	外部メモリー一覧 ... 45
4 - 2	ディップ・スイッチでのモード設定 ... 49
4 - 3	レジスタ設定値一覧 ... 50
5 - 1	簡易コネクタ (汎用 50 ピン) ピン配 ... 58
5 - 2	CN1, CN2 に接続されている PFESiP/V850EP1 ポート ... 59
5 - 3	簡易コネクタ (汎用 50 ピン) ピン配置 ... 60
5 - 4	アナログ端子のジャンパ・ポスト設定 ... 61
6 - 1	N-Wire コネクタ (CN5) ... 62
7 - 1	TOP 直下のファイル説明 ... 68
7 - 2	デフォルト・プログラムでの SW5 の動作 ... 70
7 - 3	デフォルト・プログラムでの LED の動作 ... 71

第1章 イントロダクション

PFESiP EP-1 Evaluation Board Lite は、PFESiP EP-1 シリーズ開発支援用の開発評価ボードで、PFESiP EP-1 シリーズ専用マイクロコントローラ PFESiP/V850EP1 のソフトウェア開発や、オンボード FPGA によるユーザ・ロジック開発・検証に利用できます。

PFESiP/V850EP1 は、高性能 32 ビット RISC 型 CPU コア「V850E2 コア」を内蔵しています。

PFESiP/V850EP1 ベースの PFESiP EP-1 シリーズ製品の基本的な機能を、このボードで評価できます。

PFESiP EP-1 Evaluation Board Lite は、PFESiP EP-1 Evaluation Board の機能を削減してコスト・ダウンを図った導入検討のユーザ向けに開発した開発評価ボードです。

オンボード FPGA には米国 Altera 社の Stratix®II EP2S15F484C5 を採用し、Quartus® II Web Edition を利用できません。

PFESiP EP-1 Evaluation Board と比較して、オンボードの FPGA が小規模なため、多数の信号を必要とするボードの外部拡張、大容量のロジック・セル、内蔵 RAM を必要とする場合は PFESiP EP-1 Evaluation Board を利用してください。

1.1 PFESiP EP-1 Evaluation Board Lite の概要

PFESiP EP-1 Evaluation Board Lite は、PFESiP EP-1 シリーズ開発支援用の開発評価ボードです。

PFESiP EP-1 シリーズ専用マイクロコントローラ PFESiP/V850EP1 のソフトウェア開発、PFESiP EP-1 シリーズの SiP 内部で、PFESiP/V850EP1 とペアをなすユーザ・ロジックを搭載するエンベデッド・アレイ (EA-9HD) の機能を、オンボード FPGA によるユーザ・ロジック開発・検証に使用することにより、PFESiP EP-1 のプロトタイプ環境として利用できます。また、拡張コネクタを利用してユーザ・ボードと接続することで、よりシステム的に評価することができます。また、フラッシュ ROM、SDRAM をオンボード・メモリとして搭載しています。

なお、PFESiP EP-1 Evaluation Board Lite は、本来 SiP 内部で接続される信号を、ボード上で FPGA と接続しているため、実際の SiP 製品の環境と比較して、必ずしも等価な負荷容量とならないことに留意してください。

備考 PFESiP/V850EP1 の機能、仕様は、PFESiP/V850EP1 のユーザーズ・マニュアルを参照してください。

1.1.1 特徴

(1) オンボード・メモリ

PFESiP/V850EP1 の外部バス・インタフェース (MEMC I/F) で直接アクセスが可能なフラッシュ ROM , SDRAM をオンボードに実装し、一般的なメモリ・システムが提供されています。

32 ビット幅のメモリ・システムは利用できません。

オンボード・メモリの種類	容 量	接続ビット幅
フラッシュ ROM	8 M バイト	16 ビット
SDRAM	32 M バイト	16 ビット

(2) オンボード FPGA (Altera™ Stratix II)

FPGA は、米国 Altera 社の Stratix II EP2S15F484C5 を搭載、Altera 社のサイトから無償でダウンロードできる Quartus II Web Edition デザイン・ソフトウェアを利用できます。

この FPGA には PFESiP/V850EP1 の SiP 内部接続バス・インタフェース、NPB マクロ入出力端子のほとんどの信号が接続されています。このオンボード FPGA にて、PFESiP/V850EP1 のペアとなるエンベデッドアレイ等の機能を実現できます。また、拡張コネクタの信号の大半は FPGA 経由で接続されるため、オンボード FPGA にて任意の信号も接続できます。

外部バス・インタフェース (MEMC I/F) 信号は、FPGA には接続されていません。

FPGA のコンフィグレーションが完了したことを示す DONE 信号には LED (赤) が接続され、点灯することでコンフィグレーション開始を示し、消灯することで終了したことを確認することができます。

搭載 FPGA	CB-IC 相当 参考回路規模	Logic Element	RAM 総バイト数	I/O 数
EP2S15F484C5	152K ゲート	15,600	52 K ビット	342 本 ^注

注 EP2S15F484C5 では 342 本の I/O を利用できますが、PFESiP EP-1 Evaluation Board Lite では 271 本のみ使用しています。

注意 PFESiP EP-1 Evaluation Board Lite では、FPGA の BTO 選択に対応していません。

端子互換の上位グレードの FPGA への変更はできません。

(3) 拡張コネクタ

汎用 50 ピン・コネクタを装備しています。

コネクタ	有効信号数	用 途
汎用 50 ピン・ コネクタ	CN1 (40)	PFESiP/V850EP1 内蔵周辺機能入出力用
	CN2 (27)	8 本は A/D コンバータ入力として使用 (ペアとなる GND ピンとともに、16 ピン利用)
	CN3 (40)	オンボード FPGA 入出力 (GPIO) 用
	CN4 (40)	

(4) USB 2.0 FS , UART インタフェース (USB↔シリアル信号変換で対応)

PFESiP/V850EP1 内蔵機能により , 以下の汎用インタフェースが提供されます。

インタフェースの種類	コネクタ	備 考
USB 2.0 FS/LS Host × 2	USB B タイプ (CN6)	2 個口のホスト・コネクタ × 1
USB 2.0 FS Function × 1	USB ミニ B タイプ (CN7)	
USB2.0 対応 (12 M bps) ↔PFESiP/V850EP1 内蔵 UART5	USB ミニ B タイプ (CN8)	ブリッジ IC CP2102 を用いて PFESiP/V850EP1 内蔵 UART5 から USB2.0 に変換

(5) オンボード電源回路

AC アダプタ (5V ・ 2A センタープラス , DC ジャックは EIJ-2 規格) に対応しています。

PFESiP EP-1 Evaluation Board の専用 AC アダプタは使用できません。

オンボードの電源回路により , 必要な 3.3 V, 1.5 V, 1.2 V の電源を供給しています。

(6) 各種動作モード設定

PFESiP/V850EP1 のさまざまな動作モードを , FPGA からの出力で設定できます (デフォルトの FPGA データ・テンプレートを添付) 。

PFESiP/V850EP1 に内蔵されている SSCG-PLL の通信率や変調率はディップ・スイッチから設定できます (動作中の切り替えには対応していません) 。

(7) オンチップ・デバッグ機能

PFESiP/V850EP1 の内蔵 DCU (Debug Control Unit) により , N-Wire インタフェースによるオンチップ・デバッグ機能に対応しています。

本評価ボードはトレース機能をサポートしません。

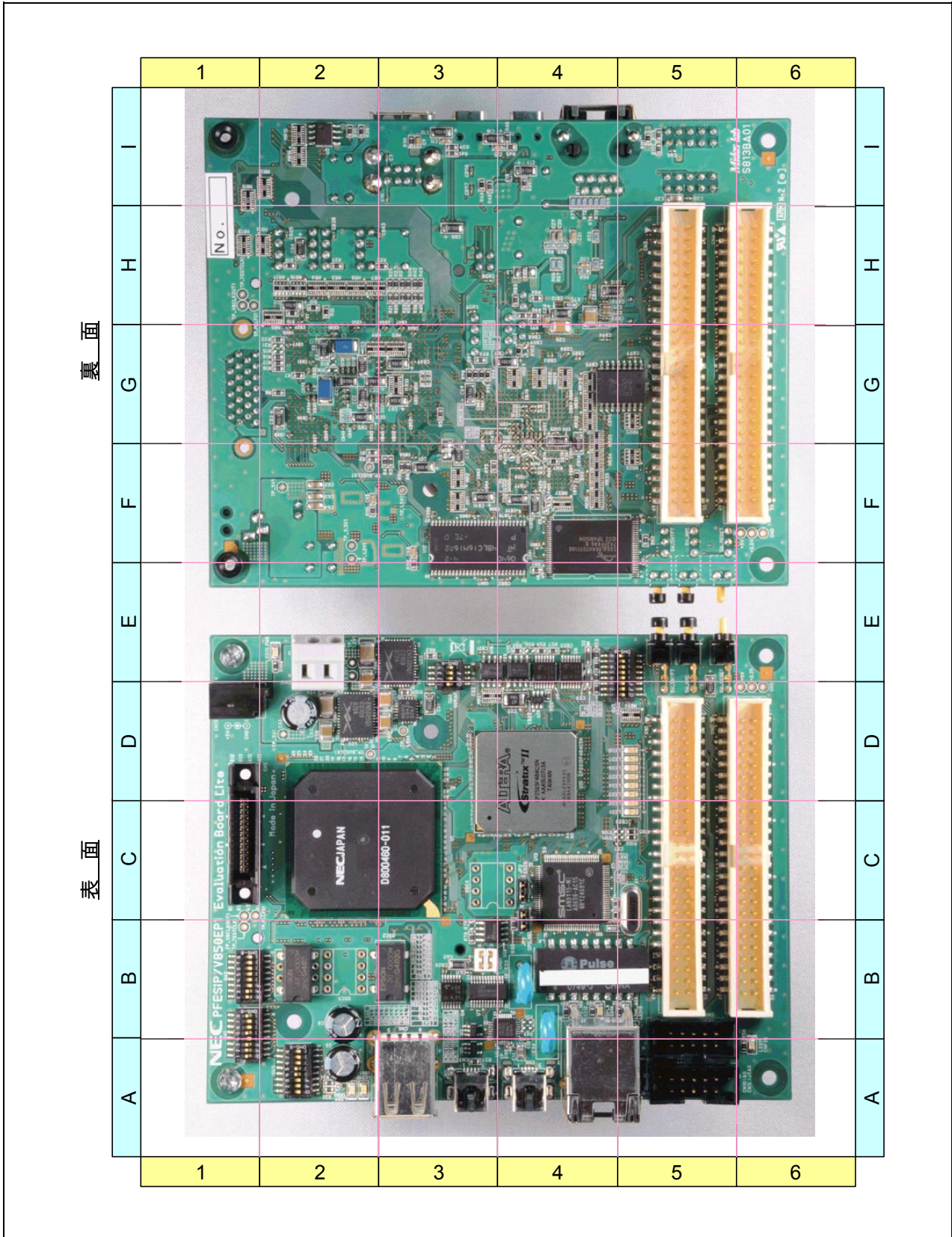
推奨インサーキット・エミュレータは , 弊社製の MINICUBE です。

1.1.2 PFESiP EP-1 Evaluation Board Lite の外観

PFESiP EP-1 Evaluation Board Lite の外観を次に示します。

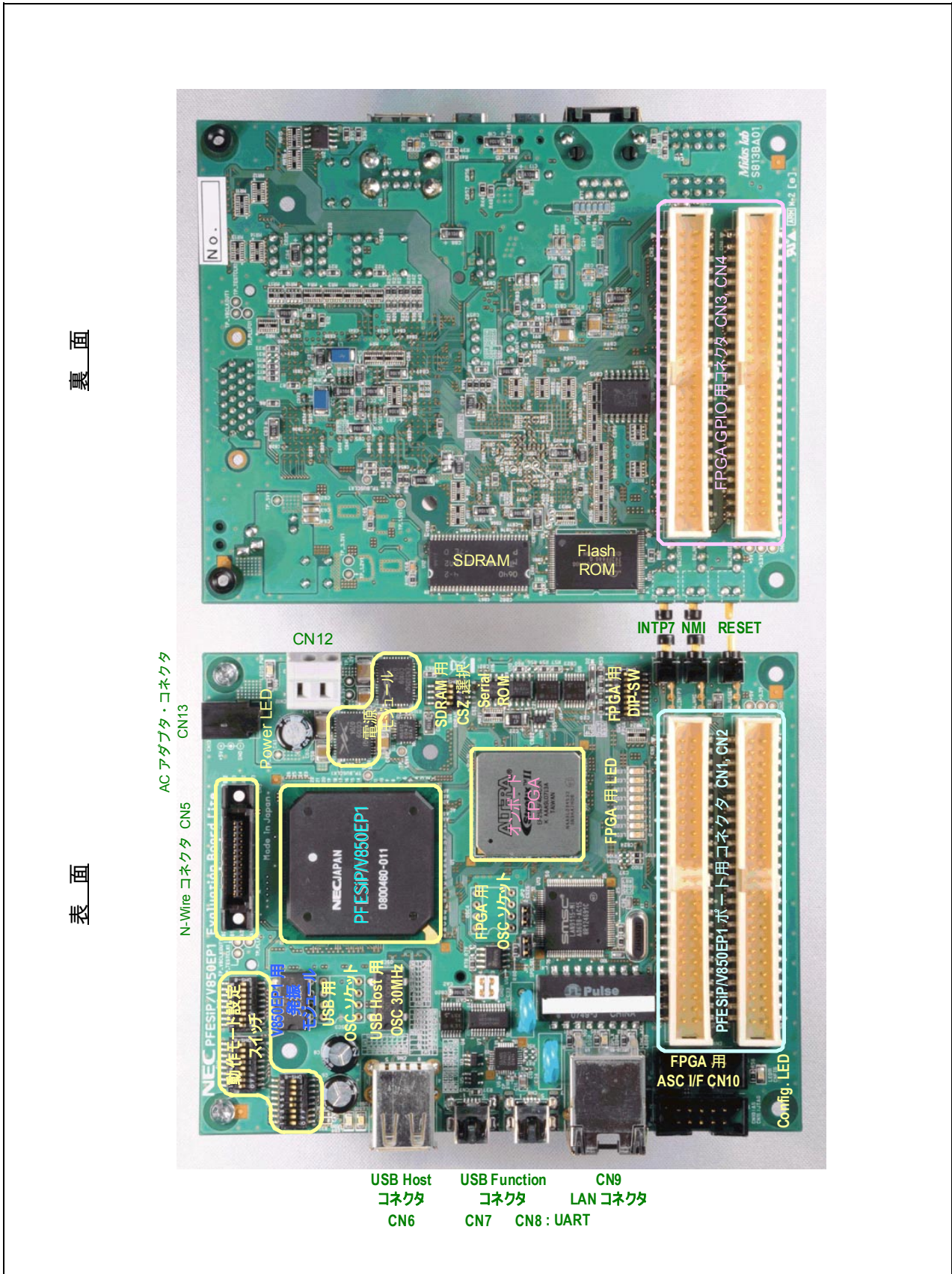
備考 以降のページで、ボード上の位置を特定している場合は、この外観図の座標を示しています。

図1 - 1 PFESiP EP-1 Evaluation Board Lite (外観図)



1.1.3 PFESiP EP-1 Evaluation Board Lite (各部の機能)

図1-2 PFESiP EP-1 Evaluation Board Lite (各部の機能)



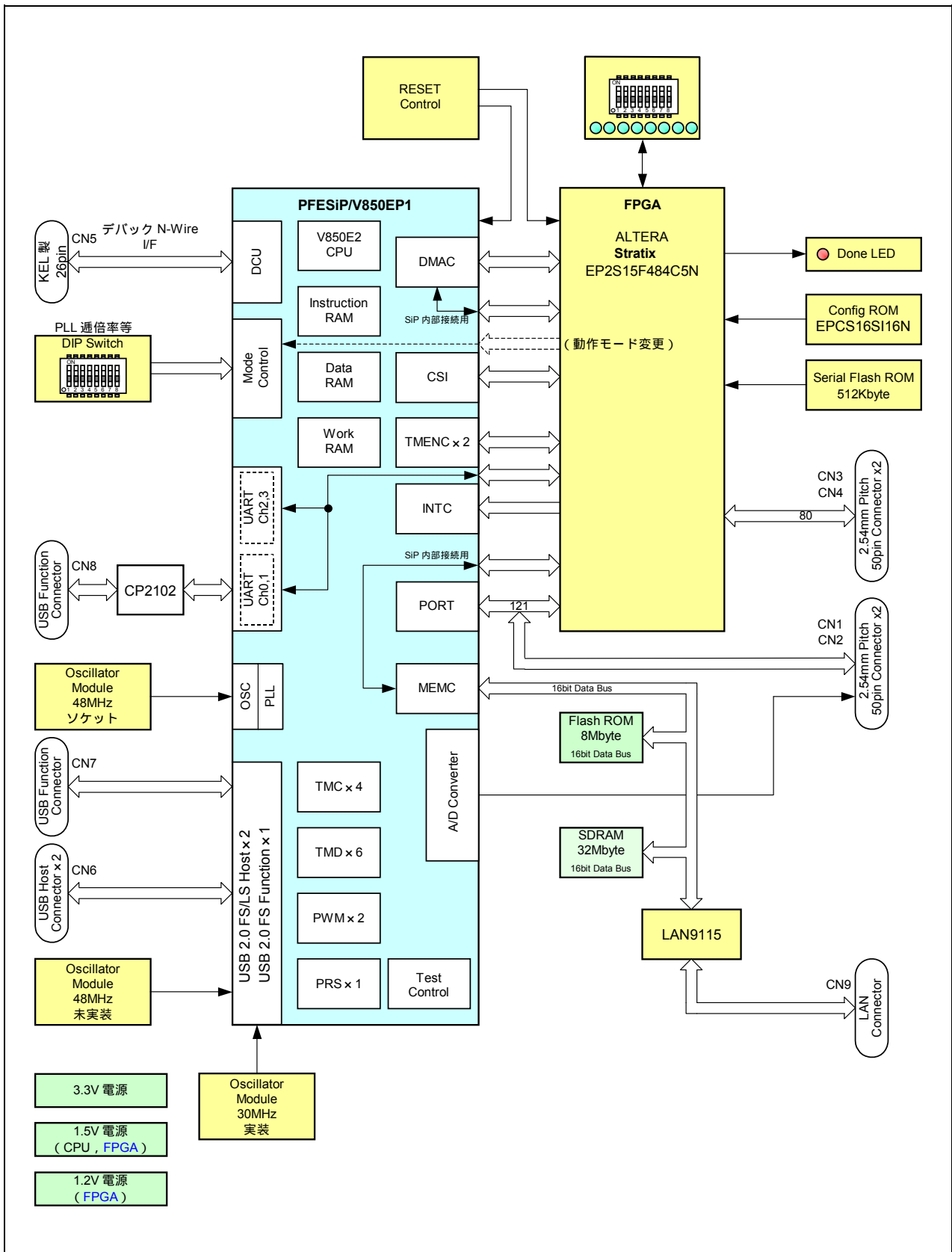
1.1.4 PFESiP EP-1 Evaluation Board Lite の仕様一覧

表 1 - 1 PFESiP EP-1 Evaluation Board Lite の仕様一覧

項 目	仕 様
最高動作周波数	
CPU 動作周波数	200 MHz
内部 VSB バス周波数	100 MHz
外部メモリ・バス	66.7 MHz (C _L = 30 pF)
外部メモリのウエイト設定	条件 : VBCLK = BUSCLK = 66.7 MHz PFESiP/V850EP1 出力遅延 = 最大 11.0 ns 配線遅延 = 5 ns (往復) PFESiP/V850EP1 入力遅延 = 最大 3.8 ns
フラッシュ ROM Spansion (S29JL064H70TFI000H)	アドレス設定ウエイト=0, アイドル・ステート=2, データ・ウエイト=5 アクセス・タイム 70 ns
SDRA MMT48LC16M16A2TG-7E	LTC = 0, C _L = 2, アイドル・ステート=0, ACTIVE Command to R/W Command = 1
搭載メモリと FPGA	
フラッシュ ROM	8 M バイト (CSZ0 固定)
SDRAM	32M バイト (SW4 で CSZ1, CSZ3, CSZ4, CSZ6 から選択)
FPGA	Altera Stratix II EP2S15F484C5N (FPGA 内で CSZ 任意選択)
PFESiP/V850EP1 内蔵メモリ	
内蔵命令 RAM (ROM レス設定可能)	iLB_RAM : 192 K バイト
内蔵データ RAM	dLB_RAM : 32 K バイト
内蔵ワーク RAM (禁止設定可能)	VSB_RAM : 32 K バイト
FPGA 接続メモリ	
シリアル・フラッシュ ROM	512 K バイト (4 M ビット)
コネクタ	
拡張コネクタ	
汎用 50 ピン・コネクタ (CN1, CN2, CN3, CN4)	2.54 mm ピッチ汎用 (50 ピン×4)
N-Wire (CN5) トレース不可	MINICUBE デフォルト (KEL 製コネクタ 26 ピン) コネクタ, マイダス・ラボ RTE-2000-TP 用 RTE-NEC 対応
USB Function Connector (PFESiP/V850EP1 内蔵 UART 接続)	CP2102-GM を用いて UART↔USB 変換
FPGA 用 Active Serial Configuration Interface (CN10)	ByteBlaster™II / USB Blaster™ Download Cable 専用 10 ピン, JTAG は未実装
PFESiP/V850EP1 内蔵 USB 2.0 FS 機能	USB2.0 FS/LS Host × 2, USB2.0 FS Function
動作条件等	
PFESiP/V850EP1 入力周波数	標準 48 MHz (ソケット実装)
電 源	専用の AC アダプタ (UNIFIVE 製 UL110-0520) で CN13 から供給, 電源ターミナル (CN12) から 5V を供給。

1.1.5 PFESiP EP-1 Evaluation Board Lite の概略ブロック図

図1-3 全体ブロック図



1.1.6 PFESiP EP-1 Evaluation Board Liteの詳細ブロック図

図1-4 PFESiP EP-1 Evaluation Board Liteの詳細ブロック図(1/2)

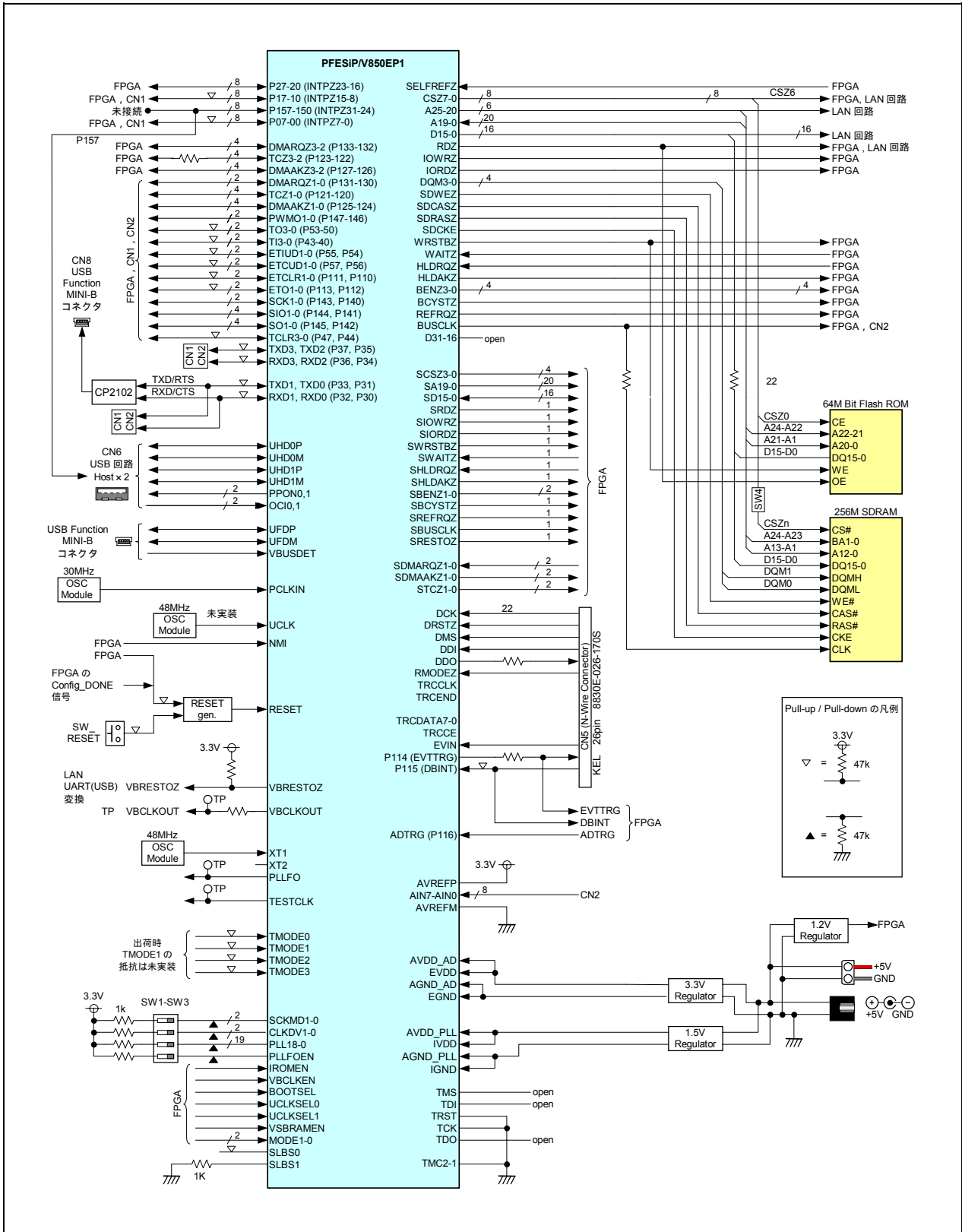
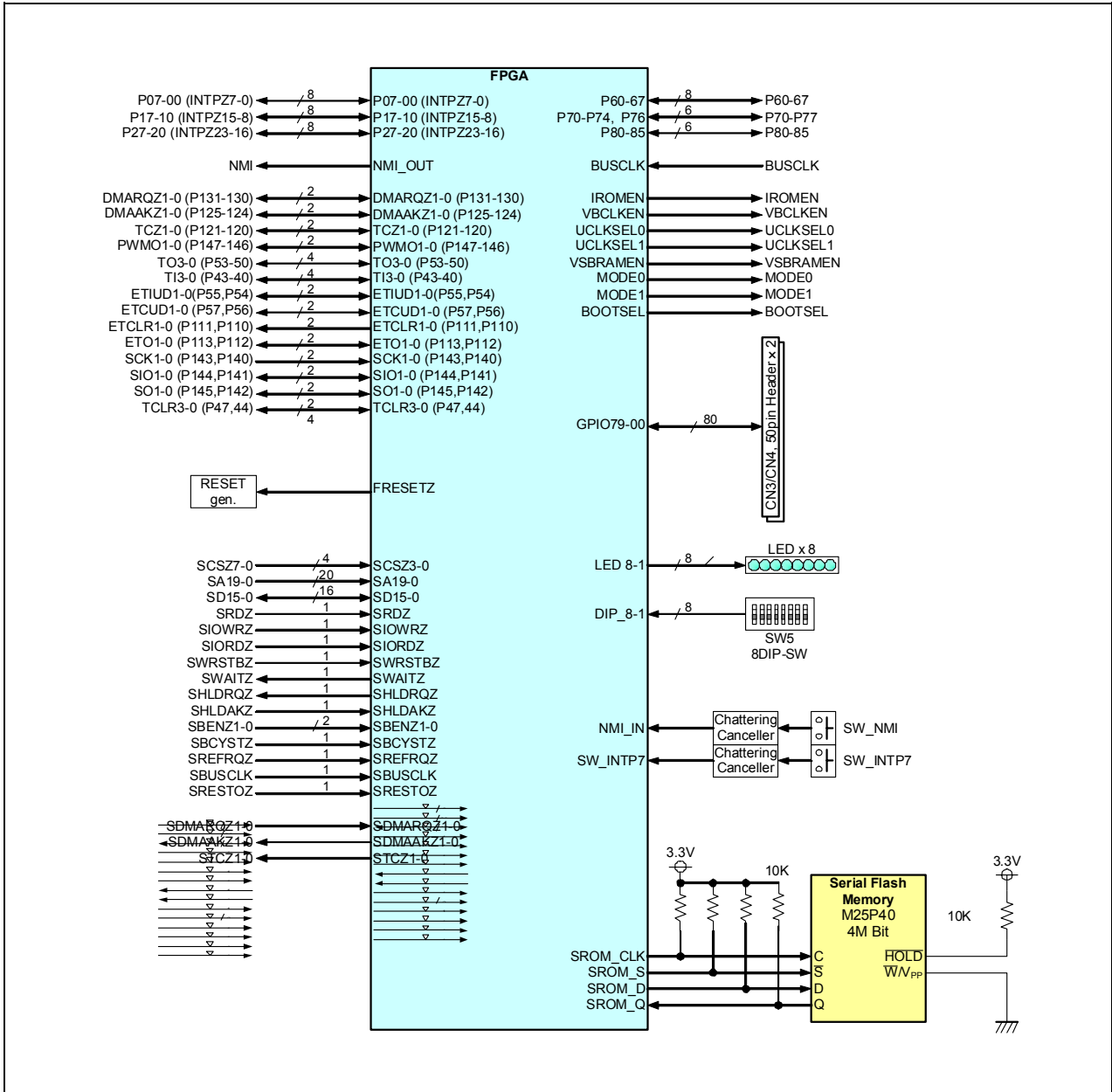


図1 - 4 PFESiP EP-1 Evaluation Board Liteの詳細ブロック図 (2/2)



1.1.7 PFESiP/V850EP1 の最高動作周波数の注意事項

PFESiP/V850EP1 は動作条件によって最高動作周波数が異なります。また CPCLK, VBCLK, BUSCLK は、整数倍の関係にあり、VBCLK は CPCLK の 1/2 以下の条件が加わります。このため、次に示すように設定の組み合わせに制限があります。

表 1 - 2 PFESiP/V850EP1 の動作条件による最高動作周波数

SDRAM , 低速マスク ROM	優先クロック	クロック		
		CPCLK	VBCLK	BUSCLK
なし	CPCLK, VBCLK	200 MHz ^注	100 MHz	100 MHz
あり	CPCLK, VBCLK	200 MHz	100 MHz	50 MHz ^注
	BUSCLK	200 MHz	66.6 MHz	66.6 MHz ^注

注 周波数決定の基準となるクロックです。

注意 最高動作周波数は FPGA の負荷により、設計保証値が必ず実現できるものではありません。

1.2 PFESiP/V850EP1 の概要

PFESiP/V850EP1 は、PFESiP EP-1 シリーズ向けに開発されたマイクロコントローラ機能チップで、V850E2 CPU コアを採用しています。

PFESiP/V850EP1 では、高速プロセスを採用し、CPU コアは 200 MHz (MAX.)、内部バスは 100 MHz (MAX.) で動作します。この CPU コアは、命令キャッシュ、データ・キャッシュを内蔵しています。また周辺機能には、DMA コントローラ、割り込みコントローラ、汎用ポート、タイマ、シリアル・インタフェース、A/D コンバータ、メモリ・コントローラ、USB 2.0 FS (Full-Speed) / LS (Low-Speed) に対応したホスト・コントローラ、USB 2.0 FS (Full-Speed) に対応したファンクション・コントローラを内蔵し、シングルチップ・マイクロコンピュータとしての機能を内蔵しています。

外部メモリには ROM / ページ ROM / SRAM、SDRAM を接続できます。また、命令 RAM とデータ RAM を内蔵し、外部プログラムを命令 RAM に転送して実行することで、高速処理も可能です。

ソフトウェアの応用評価では、内蔵のデバッグ・コントロール・ユニット (DCU) を用い、N-Wire 型インサーキット・エミュレータによるデバッグ、プログラムのダウンロードが可能です。

1.2.1 PFESiP/V850EP1 の機能一覧

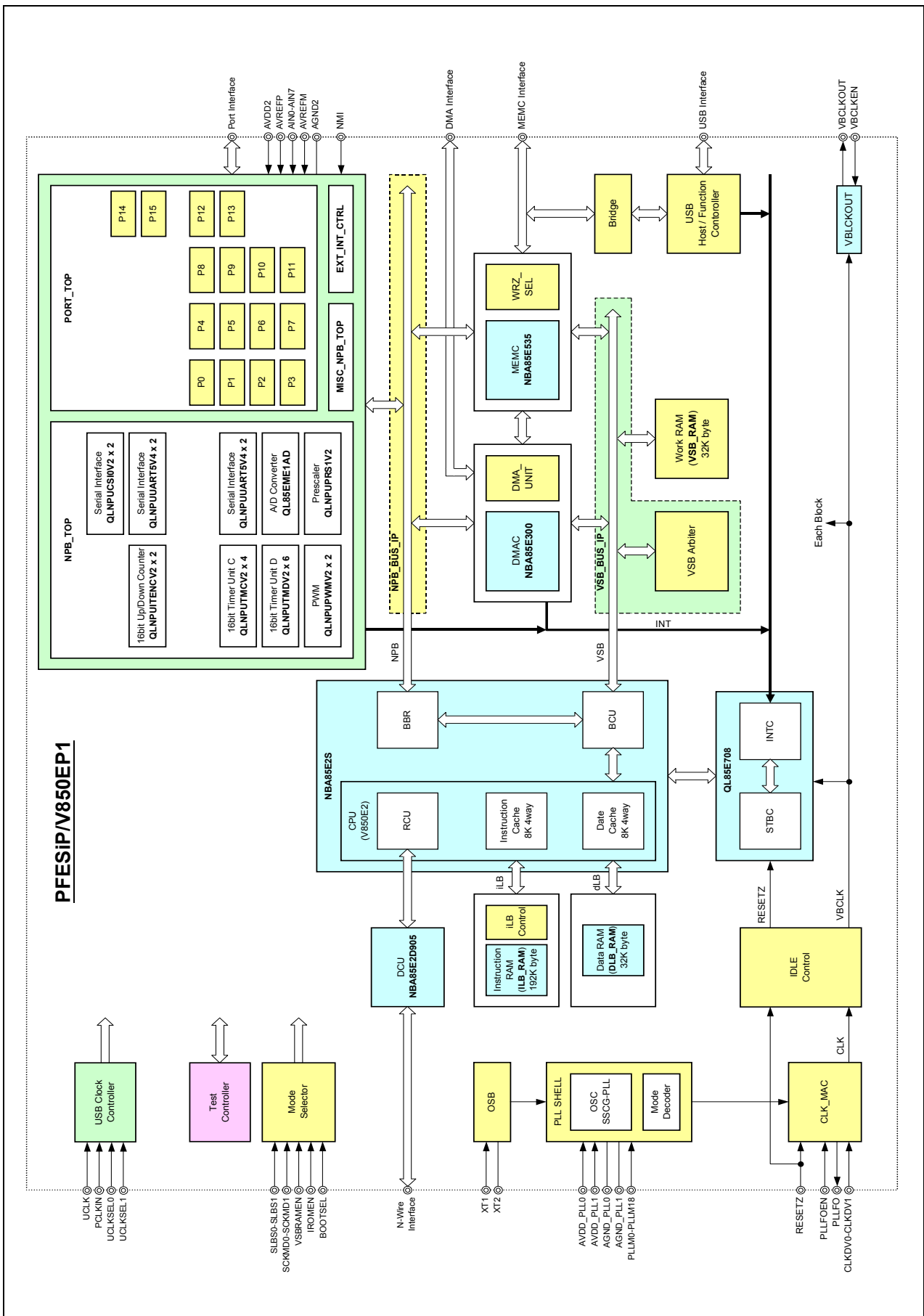
(1/2)

項目	品名	PFESiP/V850EP1
CPU コア		V850E2 CPU コア
最小命令実行時間		5.0 ns (200 MHz 動作時)
汎用レジスタ		32 ビット × 32 本
命令セット		V850E2 命令セット
命令キャッシュ		8 K バイト 4 ウエイ・セット・アソシアティブ命令キャッシュ
データ・キャッシュ		8 K バイト 4 ウエイ・セット・アソシアティブ・データ・キャッシュ
命令 RAM (iLB_RAM)	相互に独立アクセス可能	192 K バイト RAM 構造 (128 ビット・フェッチ・バス)
データ RAM (dLB_RAM)		32 K バイト (CPCLK × 1 クロック・アクセス)
ワーク RAM (VSB_RAM)		32 K バイト (VBCLK × 2 クロック・アクセス)
DMA コントローラ		4 チャンネル DMA コントローラ
メモリ空間, メモリ・アクセス機能		<ul style="list-style-type: none"> 外部 66.7 MHz インタフェース 512 M バイト・リニア・アドレス空間 メモリ・エリア分割機能 プログラマブル・チップ・セレクト機能 : 8 本 プログラマブル・ウエイト機能 アイドル・ステート挿入機能 ページ ROM / ROM / SRAM / SDRAM インタフェース SDRAM 対応領域 : CSZ1, CSZ3, CSZ4, CSZ6 領域
割り込み / 例外		<ul style="list-style-type: none"> ノンマスカブル割り込み (NMI) 1 本 マスカブル割り込み <ul style="list-style-type: none"> ユーザ割り込み 32 本 (外部割り込み) 内部割り込み 56 本 (NPB マクロ : 45 本, DMA : 4 本, USB : 7 本) 8 レベルの優先順位指定可能 ソフトウェア例外 32 要因 例外トラップ 1 要因 有効エッジ選択機能 可変デジタル・ノイズ・フィルタ機能
SiP 専用インタフェース機能		<ul style="list-style-type: none"> SRAM インタフェース <ul style="list-style-type: none"> アドレス空間 : 2 M バイト CSZ1-CSZ7 からレジスタ選択する 4 本の専用チップ・セレクト信号 16 ビット・データ・バス バス・ホールド機能対応 DMA インタフェース <ul style="list-style-type: none"> 4 チャンネルからレジスタ選択する 2 チャンネルのインタフェース 外部割り込み機能 <ul style="list-style-type: none"> 8 本の割り込み信号を SiP 内部接続に優先割り当て
スタンバイ機能		IDLE / HALT モード (IDLE モードは、外部割り込みとリセットで解除可能)

項目	品名	PFESiP/V850EP1	
内蔵周辺機能 (NPB バス接続)			
I/O ポート		CMOS 入出力 : 121 本	
タイマ		16 ビット・タイマ/イベント・カウンタ×4 チャンネル インターバル・タイマ×6 チャンネル 16 ビット 2 相エンコーダ入力用アップ/ダウン・カウンタ/タイマ×2 チャンネル	
PWM ユニット		8 / 9 / 10 / 12 ビット分解能 PWM 出力×2 チャンネル	
シリアル・インタフェース		アシンクロナス・シリアル・インタフェース×4 チャンネル クロック同期式シリアル・インタフェース×2 チャンネル	
USB ホスト・コントローラ		USB 2.0 FS (Full-Speed), LS (Low-Speed) 対応 2 チャンネル Root-Hub 機能内蔵 2 チャンネル・ダウンストリーム・ポート	ホスト・コントローラ, ファンクション・コントローラとも CSZ5 に配置されます。 USB ホスト・コントローラは外部 SDRAM を使用します。
USB ファンクション・コントローラ		USB 2.0 FS (Full-Speed) 対応×1 チャンネル エンド・ポイント数 : 4 個 (Control, Bulk-In, Bulk-Out, Interrupt)	
A/D コンバータ		8 チャンネル 10 ビット 500 KHz A/D コンバータ内蔵 (NPB バス接続)	
オンチップ・デバッグ機能		デバッグ・コントローラ (DCU) 内蔵 ・ラン/ブレーク機能, ・トレース機能, ・イベント機能	
クロック・ライン		外部クロック入力を PLL で逡倍し, クロックを供給 (SSCG 機能搭載) CPU : MAX.200 MHz, バス・クロック : MAX.100 MHz (CPCLK : VBCLK = 1/2, 1/3, 1/4) SDRAM インタフェース : MAX.66.7 MHz (VBCLK : BUSCLK = 1/1, 1/2) クロック・ソース, PLL 設定切り替え端子あり (動作中の切り替え不可)	
電源電圧		端子電源用 : $E_{VDD} = 3.3 \pm 0.3$ V 内部電源用 : $I_{VDD} = 1.5 \pm 0.15$ V	
シリーズ		CB-12M タイプ	

備考 PFESiP EP-1 Evaluation Board Lite では, トレース機能はサポートしていません。

1.2.2 PFESiP/V850EP1 の内部ブロック図



1.2.3 本ボードで使用できる PFESiP/V850EP1 の端子一覧

(1/7)

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称	
P00	INTPZ0	CCC00	-	2	-	INTPZ0/CCC00	50 kΩ Pull-up
P01	INTPZ1	CCC01	-	3	-	INTPZ1/CCC01	50 kΩ Pull-up
P02	INTPZ2	CCC10	-	4	-	INTPZ2/CCC10	50 kΩ Pull-up
P03	INTPZ3	CCC11	-	5	-	INTPZ3/CCC11	50 kΩ Pull-up
P04	INTPZ4	CCC20	-	7	-	INTPZ4/CCC20	50 kΩ Pull-up
P05	INTPZ5	CCC21	-	8	-	INTPZ5/CCC21	50 kΩ Pull-up
P06	INTPZ6	CCC30	-	9	-	INTPZ6/CCC30	50 kΩ Pull-up
P07	INTPZ7	CCC31	-	10	-	INTPZ7/CCC31	50 kΩ Pull-up
P10	INTPZ8	CC00	-	12	-	INTPZ8/CC00	50 kΩ Pull-up
P11	INTPZ9	CC01	-	13	-	INTPZ9/CC01	50 kΩ Pull-up
P12	INTPZ10	CC10	-	14	-	INTPZ10/CC10	50 kΩ Pull-up
P13	INTPZ11	CC11	-	15	-	INTPZ11/CC11	50 kΩ Pull-up
P14	INTPZ12	-	-	17	-	INTPZ12	50 kΩ Pull-up
P15	INTPZ13	-	-	18	-	INTPZ13	50 kΩ Pull-up
P16	INTPZ14	-	-	19	-	INTPZ14	50 kΩ Pull-up
P17	INTPZ15	-	-	20	-	INTPZ15	LAN 回路, 1 kΩ Pull-up
P20	INTPZ16	-		-	-	P20/INTPZ16	
P21	INTPZ17	-		-	-	P21/INTPZ17	
P22	INTPZ18	-		-	-	P22/INTPZ18	
P23	INTPZ19	-		-	-	P23/INTPZ19	
P24	INTPZ20	-		-	-	P24/INTPZ20	
P25	INTPZ21	-		-	-	P25/INTPZ21	
P26	INTPZ22	-		-	-	P26/INTPZ22	
P27	INTPZ23	-		-	-	P27/INTPZ23	
P30	RXD0	-	-	22	-	-	USB 変換回路, 50 kΩ Pull-up
P31	TXD0	-	-	23	-	-	USB 変換回路, 50 kΩ Pull-up
P32	RXD1	-	-	24	-	-	50 kΩ Pull-up, USB 回路
P33	TXD1	-	-	25	-	-	50 kΩ Pull-up, USB 回路
P34	RXD2	-	-	27	-	-	50 kΩ Pull-up
P35	TXD2	-	-	28	-	-	50 kΩ Pull-up
P36	RXD3	-	-	29	-	-	50 kΩ Pull-up
P37	TXD3	-	-	30	-	-	50 kΩ Pull-up
P40	TI0	-	-	32	-	TI0	50 kΩ Pull-up
P41	TI1	-	-	33	-	TI1	50 kΩ Pull-up
P42	TI2	-	-	34	-	TI2	50 kΩ Pull-up
P43	TI3	-	-	35	-	TI3	50 kΩ Pull-up
P44	TCLR0	-	-	37	-	TCLR0	50 kΩ Pull-up
P45	TCLR1	-	-	38	-	TCLR1	50 kΩ Pull-up
P46	TCLR2	-	-	39	-	TCLR2	50 kΩ Pull-up
P47	TCLR3	-	-	40	-	TCLR3	50 kΩ Pull-up

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称	
P50	TO0	-	-	42	-	TO0	50 kΩ Pull-up
P51	TO1	-	-	43	-	TO1	50 kΩ Pull-up
P52	TO2	-	-	44	-	TO2	50 kΩ Pull-up
P53	TO3	-	-	45	-	TO3	50 kΩ Pull-up
P54	ETIUD0	-	-	47	-	ETIUD0	50 kΩ Pull-up
P55	ETIUD1	-	-	48	-	ETIUD1	50 kΩ Pull-up
P56	ETCUD0	-	-	49	-	ETCUD0	50 kΩ Pull-up
P57	ETCUD1	-	-	50	-	ETCUD1	50 kΩ Pull-up
P60	A20	-	-	-	3	P60/A20	Flash ROM
P61	A21	-	-	-	4	P61/A21	Flash ROM
P62	A22	-	-	-	5	P62/A22	Flash ROM
P63	A23	-	-	-	7	P63/A23	SDRAM , Flash ROM
P64	A24	-	-	-	8	P64/A24	SDRAM
P65	A25	-	-	-	9	P65/A25	
P66	A0	-	-	-	10	P66/A0	
P67	A1	-	-	-	12	P67/A1	LAN 回路 , SDRAM , Flash ROM
-	A2	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A3	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A4	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A5	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A6	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A7	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A8	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A9	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A10	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A11	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A12	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A13	-	-	-	-	-	LAN 回路 , SDRAM , Flash ROM
-	A14	-	-	-	-	-	LAN 回路 , Flash ROM
-	A15	-	-	-	-	-	LAN 回路 , Flash ROM
-	A16	-	-	-	-	-	Flash ROM
-	A17	-	-	-	-	-	Flash ROM
-	A18	-	-	-	-	-	Flash ROM
-	A19	-	-	-	-	-	Flash ROM
P70	WAITZ	-	-	-	-	P70/WAITZ	
-	CSZ0	-	-	-	-	-	Flash ROM
P71	CSZ1	-	-	-	-	P71/CSZ1	SW4 (SDRAM)
P72	CSZ2	-	-	-	-	P72/CSZ2	
P73	CSZ3	-	-	-	-	P73/CSZ3	SW4 (SDRAM)
P74	CSZ4	-	-	-	-	P74/CSZ4	SW4 (SDRAM)
P76	CSZ6	-	-	-	-	P76/CSZ6	LAN 回路 (JP2 でオープン可能) , SW4 (SDRAM)

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称	
-	RDZ	-	-	-	-	-	LAN 回路, Flash ROM
-	WRZ0	BENZ0	-	-	-	-	LAN 回路
-	WRZ1	BENZ1	-	-	-	-	LAN 回路
-	WRSTBZ	-	-	-	-	-	Flash ROM
-	BCYSTZ	-	-	-	-	-	
-	BUSCLK	-	-	-	2	BUSCLK	テスト・ピン, SDRAM
-	DQM0	-	-	-	-	-	SDRAM
-	DQM1	-	-	-	-	-	SDRAM
-	SDWEZ	-	-	-	-	-	SDRAM
-	SDCASZ	-	-	-	-	-	SDRAM
-	SDRASZ	-	-	-	-	-	SDRAM
-	SDCKE	-	-	-	-	-	SDRAM
P80	IOWRZ	-	-	-	-	P80/IOWRZ	
P81	IORDZ	-	-	-	-	P81/IORDZ	
P82	HLDAKZ	-	-	-	-	P82/HLDAKZ	
P83	HLDRQZ	-	-	-	-	P83/HLDRQZ	
P84	REFRQZ	-	-	-	-	P84/REFRQZ	
P85	SELFREFZ	-	-	-	-	P85/SELFREFZ	
-	D0	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D1	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D2	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D3	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D4	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D5	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D6	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D7	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D8	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D9	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D10	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D11	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D12	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D13	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D14	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	D15	-	-	-	-	-	LAN 回路, SDRAM, Flash ROM
-	DDI	-	-	-	-	-	N-Wire (CN5)
-	DCK	-	-	-	-	-	N-Wire (CN5)
-	DMS	-	-	-	-	-	N-Wire (CN5)
-	DDO	-	-	-	-	-	N-Wire (CN5)
-	DRSTZ	-	-	-	-	-	N-Wire (CN5)
-	RMODEZ	-	-	-	-	-	N-Wire (CN5)
-	RESETZ	-	-	-	-	-	リセット回路から入力

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称	
-	XT1	-	-	-	-	-	ソケット実装
-	VBCLKOUT	-	-	-	-	-	テスト・ピン
-	PLLFO	-	-	-	-	-	テスト・ピン
-	AVDD_PLL0	-	-	-	-	-	フィルタ分離 1.5 V
-	AVDD_PLL1	-	-	-	-	-	フィルタ分離 1.5 V
-	AGND_PLL0	-	-	-	-	-	フィルタ分離 GND
-	AGND_PLL1	-	-	-	-	-	フィルタ分離 GND
-	EVDD	-	-	-	-	-	3.3 V
-	IVDD	-	-	-	-	-	1.5 V
-	EGND	-	-	-	-	-	GND
-	IGND	-	-	-	-	-	GND
P110	ETCLR0	-	-	-	13	P110/ETCLR0	50 kΩ Pull-up
P111	ETCLR1	-	-	-	14	P111/ETCLR1	50 kΩ Pull-up
P112	ETO0	-	-	-	15	P112/ETO0	50 kΩ Pull-up
P113	ETO1	-	-	-	17	P113/ETO1	50 kΩ Pull-up
P120	TCZ0	-	-	-	18	P120/TCZ0	
P121	TCZ1	-	-	-	19	P121/TCZ1	
P124	DMAAKZ0	-	-	-	20	P124/DMAAKZ0	
P125	DMAAKZ1	-	-	-	21	P125/DMAAKZ1	
P130	DMARQZ0	-	-	-	23	P130/DMARQZ0	
P131	DMARQZ1	-	-	-	24	P131/DMARQZ1	
P140	SCK0	-	-	-	25	P140/SCK0	
P141	SI0	-	-	-	27	P141/SI0	
P142	SO0	-	-	-	28	P142/SO0	
P143	SCK1	-	-	-	29	P143/SCK1	
P144	SI1	-	-	-	30	P144/SI1	
P145	SO1	-	-	-	32	P145/SO1	
P146	PWMO0	-	-	-	33	P146/PWMO0	
P147	PWMO1	-	-	-	34	P147/PWMO1	
-	NMI	-	-	-	-	NMI_OUT	
-	SDMARQZ0	-		-	-	SDMARQZ0	
-	SDMARQZ1	-		-	-	SDMARQZ1	
-	SDMAAKZ0	-		-	-	SDMAAKZ0	
-	SDMAAKZ1	-		-	-	SDMAAKZ1	
-	STCZ0	-		-	-	STCZ0	
-	STCZ1	-		-	-	STCZ1	
-	SCSZ0	-		-	-	SCSZ0	
-	SCSZ1	-		-	-	SCSZ1	
-	SCSZ2	-		-	-	SCSZ2	
-	SCSZ3	-		-	-	SCSZ3	
-	SA0	-		-	-	SA0	
-	SA1	-		-	-	SA1	

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称	
-	SA2	-		-	-	SA2	
-	SA3	-		-	-	SA3	
-	SA4	-		-	-	SA4	
-	SA5	-		-	-	SA5	
-	SA6	-		-	-	SA6	
-	SA7	-		-	-	SA7	
-	SA8	-		-	-	SA8	
-	SA9	-		-	-	SA9	
-	SA10	-		-	-	SA10	
-	SA11	-		-	-	SA11	
-	SA12	-		-	-	SA12	
-	SA13	-		-	-	SA13	
-	SA14	-		-	-	SA14	
-	SA15	-		-	-	SA15	
-	SA16	-		-	-	SA16	
-	SA17	-		-	-	SA17	
-	SA18	-		-	-	SA18	
-	SA19	-		-	-	SA19	
-	SA20	-		-	-	SA20	
-	SD0	-		-	-	SD0	
-	SD1	-		-	-	SD1	
-	SD2	-		-	-	SD2	
-	SD3	-		-	-	SD3	
-	SD4	-		-	-	SD4	
-	SD5	-		-	-	SD5	
-	SD6	-		-	-	SD6	
-	SD7	-		-	-	SD7	
-	SD8	-		-	-	SD8	
-	SD9	-		-	-	SD9	
-	SD10	-		-	-	SD10	
-	SD11	-		-	-	SD11	
-	SD12	-		-	-	SD12	
-	SD13	-		-	-	SD13	
-	SD14	-		-	-	SD14	
-	SD15	-		-	-	SD15	
-	SRDZ	-		-	-	SRDZ	
-	SWRZ0	SBENZ0		-	-	SWRZ0/SBENZ0	
-	SWRZ1	SBENZ1		-	-	SWRZ1/SBENZ1	
-	SIOWRZ	-		-	-	SIOWRZ	
-	SIORDZ	-		-	-	SIORDZ	
-	SWRSTBZ	-		-	-	SWRSTBZ	

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称	
-	SWAITZ	-		-	-	SWAITZ	
-	SHLDRQZ	-		-	-	SHLDRQZ	
-	SHLDAKZ	-		-	-	SHLDAKZ	
-	SBCYSTZ	-		-	-	SBCYSTZ	
-	SBUSCLK	-		-	-	SBUSCLK	
-	SREFRQZ	-		-	-	SREFRQZ	
-	SRESTOZ	-		-	-	SRESTOZ	
-	UCLK	-	-	-	-	-	ソケットのみ (部品未実装)
-	UHD0P	-	-	-	-	-	USB 回路
-	UHD0M	-	-	-	-	-	USB 回路
-	UHD1P	-	-	-	-	-	USB 回路
-	UHD1M	-	-	-	-	-	USB 回路
-	PPON0	-	-	-	-	-	USB 回路
-	PPON1	-	-	-	-	-	USB 回路
-	OCI0	-	-	-	-	-	USB 回路
-	OCI1	-	-	-	-	-	USB 回路
-	UFDP	-	-	-	-	-	USB 回路
-	UFDM	-	-	-	-	-	USB 回路
-	VBUSDET	-	-	-	-	-	USB 回路
-	PCLKIN	-	-	-	-	-	30MHz 固定
-	UCLKSEL0	-	-	-	-	UCLKSEL0	1 k Pull-down 実装 (XT1 選択)
-	UCLKSEL1	-	-	-	-	UCLKSEL1	抵抗未実装 (PCLKIN 選択)
-	AIN0	-	x ^注	-	35	-	
-	AIN1	-	x ^注	-	37	-	
-	AIN2	-	x ^注	-	39	-	
-	AIN3	-	x ^注	-	41	-	
-	AIN4	-	x ^注	-	43	-	
-	AIN5	-	x ^注	-	45	-	
-	AIN6	-	x ^注	-	47	-	
-	AIN7	-	x ^注	-	49	-	
-	TMODE0	-	-	-	-	-	1 kΩ Pull-up
-	TMODE1	-	-	-	-	-	1 kΩ Pull-up (パターンのみ)
-	TMODE2	-	-	-	-	-	1 kΩ Pull-up
-	TMODE3	-	-	-	-	-	1 kΩ Pull-up
-	TESTCLK	-	-	-	-	-	テスト・ピン
-	TMC1	-	-	-	-	-	GND
-	TMC2	-	-	-	-	-	GND
-	TMS	-	-	-	-	-	OPEN
-	TDI	-	-	-	-	-	OPEN
-	TRST	-	-	-	-	-	GND

注意 A/D コンバータのアナログ入力は標準パッケージでは対応していません。

使用できる PFESiP/V850EP1 の端子				50 ピン・コネクタに接続		FPGA に接続	ボード上での周辺回路接続と端子処理	
ポート	機能端子 1	機能端子 2	SiP 内部接続	CN1	CN2	FPGA 端子名称		
-	TCK	-	-	-	-	-	GND	
-	TDO	-	-	-	-	-	OPEN	
-	IROMEN	-	-	-	-	IROMEN		
-	SLBS0	-	-	-	-	-	16 ビット・バスに固定	4.7 kΩ Pull-up
-	SLBS1	-	-	-	-	-		4.7 kΩ Pull-down
-	VBCLKEN	-	-	-	-	VBCLKEN	50 kΩ Pull-down	
-	SCKMD0	-	-	-	-	-	モード設定 (SW3)	
-	SCKMD1	-	-	-	-	-	モード設定 (SW3)	
-	VSBAMEN	-	-	-	-	VSBAMEN	50 kΩ Pull-up	
-	CLKDV0	-	-	-	-	-	モード設定 (SW3)	
-	CLKDV1	-	-	-	-	-	モード設定 (SW3)	
-	BOOTSEL	-	-	-	-	BOOTSEL	50 kΩ Pull-up	
-	MODE0	-	-	-	-	MODE0	50 kΩ Pull-up	
-	MODE1	-	-	-	-	MODE1	50 kΩ Pull-up	
-	PLL0	-	-	-	-	-	モード設定 (SW1)	
-	PLL1	-	-	-	-	-	モード設定 (SW1)	
-	PLL2	-	-	-	-	-	モード設定 (SW1)	
-	PLL3	-	-	-	-	-	モード設定 (SW1)	
-	PLL4	-	-	-	-	-	モード設定 (SW1)	
-	PLL5	-	-	-	-	-	モード設定 (SW1)	
-	PLL6	-	-	-	-	-	モード設定 (SW1)	
-	PLL7	-	-	-	-	-	モード設定 (SW1)	
-	PLL8	-	-	-	-	-	モード設定 (SW2)	
-	PLL9	-	-	-	-	-	モード設定 (SW2)	
-	PLL10	-	-	-	-	-	モード設定 (SW2)	
-	PLL11	-	-	-	-	-	モード設定 (SW2)	
-	PLL12	-	-	-	-	-	モード設定 (SW2)	
-	PLL13	-	-	-	-	-	モード設定 (SW2)	
-	PLL14	-	-	-	-	-	モード設定 (SW2)	
-	PLL15	-	-	-	-	-	モード設定 (SW2)	
-	PLL16	-	-	-	-	-	モード設定 (SW3)	
-	PLL17	-	-	-	-	-	モード設定 (SW3)	
-	PLL18	-	-	-	-	-	モード設定 (SW3)	
-	PLLFOEN	-	-	-	-	-	モード設定 (SW3)	

第2章 ハードウェアのインストール

2.1 はじめに

2.1.1 動作モードの設定

PFESiP EP-1 Evaluation Board Lite には、さまざまな用途で利用していただくために、PFESiP/V850EP1 に対してディップ・スイッチによる設定が必要となります。また、通常は変更の必要性が低い動作モード設定端子は FPGA から変更することができます。

(1) ディップ・スイッチから行う設定項目

PFESiP/V850EP1 のクロック系の動作モード設定には、ディップ・スイッチを設けています。

電源を接続する前に、「第3章 各スイッチの設定」に従って、クロック系の動作モードを設定してください。

(2) FPGA から行う設定項目

通常の利用方法では変更の必要性が低い動作モード設定端子は、必要に応じて FPGA から設定を変更できます。FPGA から定義せずに端子をハイ・インピーダンスとした場合は、表 2-1 のようになります。

表 2-1 FPGA から設定する動作モード設定端子

端子名称	フローティング時の状態	
	設定値	設定内容
UCLKSEL0	0	XT1 select
UCLKSEL1	1	PCLKIN select
IROMEN	0	無効
VBCLKEN	0	出力禁止
VSBRAMEN	1	VSBRAM 有効
BOOTSEL	1	外部 MEMC
MODE0	1	USB ファンクション有効
MODE1	1	USB ホスト有効

2.1.2 発振モジュールの取り付け

(1) OSC1 (PFESiP/V850EP1 用)

位置

図 1 - 1 (外観図) B-2

発振モジュールは、標準で 3.3 V 48 MHz が搭載されています。
IC ソケット構造なので、3.3 V 動作のほかの発振モジュールに変更できます。
最高入力周波数は、50 MHz です。

(2) OSC3 (UCLK 用)

位置

図 1 - 1 (外観図) B-2

発振モジュールは、標準では搭載されていません。
デフォルト設定では OSC1 が選択される設定となっています。
IC ソケット構造なので、3.3 V 動作の発振モジュールをソケット実装できます。

(3) OSC4 (FPGA 用)

位置

図 1 - 1 (外観図) C-3

オンボード大容量 FPGA 用のクロックとして利用できます。
FPGA の EX_CLK に接続されています。
IC ソケット構造なので、3.3 V 動作の発振モジュールをソケット実装できます。

注意 USB で使用する PCLKIN (30 MHz) は、それぞれ OSC2 として実装されています。
ソケットは採用していません。

2.2 電源の接続

PFESiP EP-1 Evaluation Board Lite は、AC アダプタ、電源ターミナルの2種類の電源を利用できます。通常は+5.0 V 単一電源で利用します。動作環境にあわせて、正しく電源を接続してください。

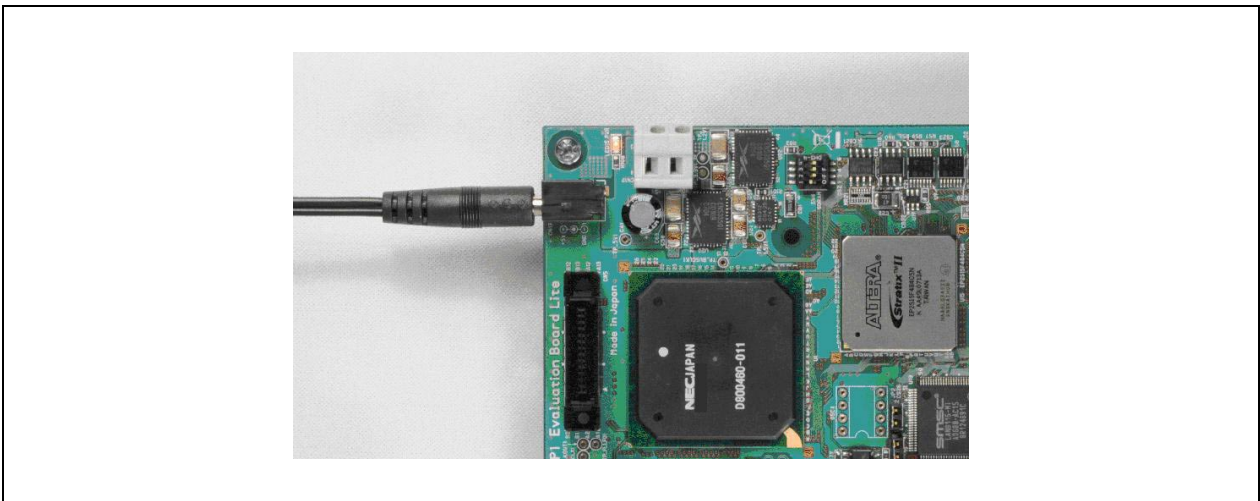
2.2.1 AC アダプタ (CN13)

位置

図 1 - 1 (外観図) D-1

標準添付の AC アダプタの+5.0 V 電源ジャックを CN13 のコネクタに接続します。AC アダプタの仕様は 5V・2A センタ - ・プラス、DC ジャックは EIJ-2 規格です。PFESiP EP-1 Evaluation Board の専用 AC アダプタは使用できません。

ボード上で必要な、3.3 V、1.5 V、1.2 V は、オンボード電源モジュールで生成されます。



- 注意 1. CN12 との併用は禁止です。
- 2. 電源を接続する前に、オンボードの各動作モード設定スイッチを設定してください。

2.2.2 5.0 V 電源ターミナル (CN12)

位置

図 1 - 1 (外観図) E-2

外部電源から+5.0 V を線材を用いて接続します。基板中央寄りの穴に小型のマイナス・ドライバを挿入し、線材を基板の外側から挿入してください。マイナス・ドライバを抜くと線材が固定されます。

ボード上で必要な、3.3 V、1.5 V、1.2 V は、オンボード電源モジュールで生成されます。

- 注意 1. CN13 との併用は禁止です。
- 2. 電源を接続する前に、オンボードの各動作モード設定スイッチを設定してください。

第3章 各スイッチの設定

3.1 動作モード設定用ディップ・スイッチ

位置

図 1 - 1(外観図) A-1, B-1, A-2

SW1, SW2 は、動作モードを設定するディップ・スイッチです。

SW1, SW2 は、PFESiP/V850EP1 内蔵の CPU コアやメモリ・コントローラの動作モードを設定します。

各動作モード設定信号は、FPGA から設定の場合は、ハイ・レベル出力で端子にはハイ・レベルが設定され、ロー・レベル出力で端子はロー・レベルが設定されます。

スイッチから設定する端子の場合、スイッチが OFF の状態ではロー・レベルになり、スイッチ ON の状態でハイ・レベルになります。

表 3 - 1 動作モード設定一覧

DIPSW FPGA	モード設定信号	OFF (0) の状態	ON (1) の状態
固定	SLBS0	起動時のバス幅設定は 16 ビットにボードで固定となっています。	
固定	SLBS1	SLBS <1:0> =01 : 16 ビット	
SW1	PLL7-0	M = 24, n = 100, p = 1 がデフォルト設定 (CPCLK200MHz, VBCLK100MHz, BUSCLK50MHz)	
SW2	PLL15-8		
SW3[3:1]	PLL18-16		
SW3-4	PLLFOEN	PLLFO 端子はロー・レベル出力	PLLFO 端子は PLLFO 出力
SW3-5	CLKDV0	CPCLK に対する VBCLK の分周比設定	
SW3-6	CLKDV1	CLKDV [1:0] = 00 : 設定禁止, 01 : CPCLK/2, 10 : CPCLK/3, 11 : CPCLK/4	
SW3-7	SCKMD0	VBCLK に対する BUSCLK の分周比設定	
		VBCLK/1	VBCLK/2
SW3-8	SCKMD1	通常状態	設定禁止
FPGA	IROMEN	通常状態	
FPGA	VBCLKEN	VBCLKOUT 出力禁止 (ロー・レベル出力)	VBCLKOUT 出力許可
FPGA	UCLKSEL0	USB クロックに XT1, XT2 選択	USB クロックに UCLK 選択
FPGA	UCLKSEL1	USBブリッジ・クロックに XT1, XT2 選択	USBブリッジ・クロックに PCLKIN 選択
FPGA	VSBRAMEN	ワーク RAM (VSB_RAM) 禁止	ワーク RAM (VSB_RAM) 許可
FPGA	MODE0	USB ファンクション機能無効	USB ファンクション機能有効
FPGA	MODE1	USB ホスト機能無効	USB ホスト機能有効
FPGA	BOOTSEL	SCSZ0 からブート (SiP 内部)	CSZ0 からブート (外部バス)

備考 FPGA からの動作モード設定は、通常は必要ありません。

3.1.1 ディップ・スイッチ (SW3-4 ~ SW3-8) からの動作モード設定

(1) PLLFOEN (PLL FO Output Enable) ... SW3-4

内蔵 PLL の FO 出力を PLLFO 端子から出力することができます。IDLE モードでも停止しません。

PLLFOEN にハイ・レベルが入力されている場合のみ PLLFO に FO が出力されます。ロー・レベルが入力されている場合は、デバイス ID が出力されます。

この出力制御は、イネーブル制御構造です。動作中の切り替えはヒゲなどが発生する可能性があります。

SW3-4	PLLFOEN	PLLFO 出力制御
OFF	0	ロー・レベル出力
ON	1	出力許可

(2) CLKDV0, CLKDV1 (VBCLK Divide Control) ... SW3-5, SW3-6

CPCLK に対する VBCLK の分周比設定入力です。

CPCLK = VBCLK のモードには対応していません。

SW3-5, SW3-6 の双方を同時に OFF の状態に設定しないでください。

SW3-6	SW3-5	CLKDV1	CLKDV0	VBCLK の選択
OFF	OFF	0	0	設定禁止
OFF	ON	0	1	CPCLK/2
ON	OFF	1	0	CPCLK/3
ON	ON	1	1	CPCLK/4

(3) SCKMD0, SCKMD1 (BUSCLK Divide Control) ... SW3-7, SW3-8

内部システム・クロック (VBCLK) に対する外部バス・クロック (BUSCLK) の分周比を設定します。

VBCLK の最高動作周波数は 100MHz です。一方外部バス・インタフェースの最高動作周波数は 66.7MHz です。VBCLK を最高動作周波数で利用する場合は、BUSCLK には VBCLK/2 を推奨します。

SW3-8	SW3-7	SCKMD1	SCKMD0	BUSCLK の選択
OFF	OFF	0	0	VBCLK/1
OFF	ON	0	1	VBCLK/2
ON	OFF	1	0	設定禁止
ON	ON	1	1	設定禁止

3.1.2 SSCG-PLL 動作モード設定用ディップ・スイッチ

SSCG-PLL 設定端子は、次のように機能が割り当てられています。

DPSW	端子名	PFESIP/V850EP1 内部信号	機能
SW1-1	PLL0	PLLM0	M カウンタ入力 0
SW1-2	PLL1	PLLM1	M カウンタ入力 1
SW1-3	PLL2	PLLM2	M カウンタ入力 2
SW1-4	PLL3	PLLM3	M カウンタ入力 3
SW1-5	PLL4	PLLM4	M カウンタ入力 4
SW1-6	PLL5	PLLM5	M カウンタ入力 5
SW1-7	PLL6	PLLM6	M カウンタ入力 6
SW1-8	PLL7	PLLN0	M カウンタ入力 0
SW2-1	PLL8	PLLN1	N カウンタ入力 1
SW2-2	PLL9	PLLN2	N カウンタ入力 2
SW2-3	PLL10	PLLP0	P カウンタ入力 0
SW2-4	PLL11	PLLP1	P カウンタ入力 1
SW2-5	PLL12	SSMDL0	SSCG 設定入力
SW2-6	PLL13	SSMDL1	SSCG 設定入力
SW2-7	PLL14	SSADJ0	SSCG 設定入力
SW2-8	PLL15	SSADJ1	SSCG 設定入力
SW3-1	PLL16	SSADJ2	SSCG 設定入力
SW3-2	PLL17	PLLS0	SSCG 設定入力
SW3-3	PLL18	PLLS1	SSCG 設定入力

端子名称	内部信号	機能																																										
PLL0-PLL6	PLLM0-PLLM6	内蔵 PLL の逡倍率の設定入力 $m = \text{PLLM0-PLLM6 の設定値} (0-127) + 1$: 2-128 $n = \text{PLLN0-PLLN2 の設定値} (0-7) + 92 + 1$: 93-100 $p = 2^{\text{PLL0-PLL1 の設定値}}$: 1, 2, 4 逡倍率 = $n / m / p$																																										
PLL7-PLL9	PLLN0-PLLN2																																											
PLL10-PLL11	PLLP0-PLLP1																																											
		<table border="1"> <thead> <tr> <th>項目</th> <th>略号</th> <th>計算式</th> <th>MIN.</th> <th>MAX.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>入力周波数</td> <td>fstd</td> <td>-</td> <td>2.0</td> <td>50.0</td> <td>MHz</td> </tr> <tr> <td>PFD 入力周波数</td> <td>fpdf</td> <td>$f_{pdf} = f_{std} / m$</td> <td>1.0</td> <td>2.1</td> <td>MHz</td> </tr> <tr> <td>VCO 出力周波数</td> <td>fvco</td> <td>$f_{vco} = f_{std} \times n / m$</td> <td>100</td> <td>200</td> <td>MHz</td> </tr> <tr> <td>出力周波数</td> <td>fout</td> <td>$F_{out} = f_{std} \times n / m / p$</td> <td>25</td> <td>200</td> <td>MHz</td> </tr> <tr> <td>入力デューティ</td> <td>lduty</td> <td>-</td> <td>30</td> <td>70</td> <td>%</td> </tr> <tr> <td>逡倍率</td> <td>MULT</td> <td>$MULT = n / m / p$</td> <td>0.182</td> <td>50</td> <td>-</td> </tr> </tbody> </table> <p>PLLM0-PLLM6 がすべてロー、PLLP0-PLLP1 がすべてハイの場合は、双方とも PLL はスルー・モードに設定されます。</p>	項目	略号	計算式	MIN.	MAX.	単位	入力周波数	fstd	-	2.0	50.0	MHz	PFD 入力周波数	fpdf	$f_{pdf} = f_{std} / m$	1.0	2.1	MHz	VCO 出力周波数	fvco	$f_{vco} = f_{std} \times n / m$	100	200	MHz	出力周波数	fout	$F_{out} = f_{std} \times n / m / p$	25	200	MHz	入力デューティ	lduty	-	30	70	%	逡倍率	MULT	$MULT = n / m / p$	0.182	50	-
項目	略号	計算式	MIN.	MAX.	単位																																							
入力周波数	fstd	-	2.0	50.0	MHz																																							
PFD 入力周波数	fpdf	$f_{pdf} = f_{std} / m$	1.0	2.1	MHz																																							
VCO 出力周波数	fvco	$f_{vco} = f_{std} \times n / m$	100	200	MHz																																							
出力周波数	fout	$F_{out} = f_{std} \times n / m / p$	25	200	MHz																																							
入力デューティ	lduty	-	30	70	%																																							
逡倍率	MULT	$MULT = n / m / p$	0.182	50	-																																							
PLL12-PLL13	SSMDL0-SSMDL1	SSCG のモジュレーション範囲の設定入力 <table border="1"> <thead> <tr> <th>SSMDL1</th> <th>SSMDL0</th> <th>変調周期 [kHz]</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>15.00-26.25</td> </tr> <tr> <td>0</td> <td>1</td> <td>25.00-36.75</td> </tr> <tr> <td>1</td> <td>0</td> <td>35.00-48.30</td> </tr> <tr> <td>1</td> <td>1</td> <td>45.00-68.25</td> </tr> </tbody> </table>	SSMDL1	SSMDL0	変調周期 [kHz]	0	0	15.00-26.25	0	1	25.00-36.75	1	0	35.00-48.30	1	1	45.00-68.25																											
SSMDL1	SSMDL0	変調周期 [kHz]																																										
0	0	15.00-26.25																																										
0	1	25.00-36.75																																										
1	0	35.00-48.30																																										
1	1	45.00-68.25																																										
PLL14-PLL16	SSADJ0-SSADJ2	SSCG の周波数拡散モードと、その範囲の設定入力 <table border="1"> <thead> <tr> <th>SSADJ2</th> <th>SSADJ1</th> <th>SSADJ0</th> <th>周波数変調率</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>約 - 0.5%</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>約 - 1.0%</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>約 - 2.0%</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>約 - 3.0%</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>約 - 4.0%</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>約 - 5.0%</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>変調なし</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>変調なし</td> </tr> </tbody> </table>	SSADJ2	SSADJ1	SSADJ0	周波数変調率	0	0	0	約 - 0.5%	0	0	1	約 - 1.0%	0	1	0	約 - 2.0%	0	1	1	約 - 3.0%	1	0	0	約 - 4.0%	1	0	1	約 - 5.0%	1	1	0	変調なし	1	1	1	変調なし						
SSADJ2	SSADJ1	SSADJ0	周波数変調率																																									
0	0	0	約 - 0.5%																																									
0	0	1	約 - 1.0%																																									
0	1	0	約 - 2.0%																																									
0	1	1	約 - 3.0%																																									
1	0	0	約 - 4.0%																																									
1	0	1	約 - 5.0%																																									
1	1	0	変調なし																																									
1	1	1	変調なし																																									
PLL17-PLL18	PLLS0-PLLS1	SSCG の S セクタ入力 <table border="1"> <thead> <tr> <th>PLLS1</th> <th>PLLS0</th> <th>PFD 入力周波数 [MHz]</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1.00 $f_{pdf} < 1.20$</td> </tr> <tr> <td>0</td> <td>1</td> <td>1.20 $f_{pdf} < 1.45$</td> </tr> <tr> <td>1</td> <td>0</td> <td>1.45 $f_{pdf} < 1.70$</td> </tr> <tr> <td>1</td> <td>1</td> <td>1.70 $f_{pdf} < 2.10$</td> </tr> </tbody> </table>	PLLS1	PLLS0	PFD 入力周波数 [MHz]	0	0	1.00 $f_{pdf} < 1.20$	0	1	1.20 $f_{pdf} < 1.45$	1	0	1.45 $f_{pdf} < 1.70$	1	1	1.70 $f_{pdf} < 2.10$																											
PLLS1	PLLS0	PFD 入力周波数 [MHz]																																										
0	0	1.00 $f_{pdf} < 1.20$																																										
0	1	1.20 $f_{pdf} < 1.45$																																										
1	0	1.45 $f_{pdf} < 1.70$																																										
1	1	1.70 $f_{pdf} < 2.10$																																										

3.1.3 FPGA からの動作モード設定

一般的な使用方法では、FPGA からの動作モード設定は特に必要ありません。

これらの変更の必要性が低い動作モード設定端子は、必要に応じて FPGA から設定を変更できます。

(1) VBCLKEN (VBCLK Output Enable) ... FPGA

内部システム・クロック (VBCLK) は、VBCLKOUT 端子から出力することができます。VBCLKEN にハイ・レベルが入力されている場合のみ VBCLKOUT に VBCLK が出力されます。

この出力制御は、イネーブル制御構造です。動作中の切り替えはヒゲなどが発生する可能性があります。

FPGA	VBCLKEN	システム・クロック出力制御
OFF	0	出力禁止 (ロー・レベル出力)
ON	1	出力許可

(2) UCLKSEL0 (USB Clock Select) ... FPGA

UCLK に入力する 48MHz の USB クロック入力 (HCLK48M, FCLK48M) を選択します。

USB のクロックを、UCLK と XT1, XT2 から選択します。

オンボードの発振モジュール (OSC3) は未実装です。

FPGA	UCLKSEL0	USB クロック (HCLK48M, FCLK48M) 選択
0	0	XT1, XT2 入力
1	1	UCLK 入力 (OSC3 の 48MHz を入力)

(3) UCLKSEL1 (USB Clock Select) ... FPGA

PCLKIN に入力する USB クロック入力 (PCLK) を選択します。

入力周波数は、25 MHz から 33 MHz までです。

内部 USB バス・ブリッジのクロックを PCLKIN と XT1, XT2 から選択します。

オンボードの発振モジュール (OSC2) からは、PCLKIN に 30 MHz が入力されています。

FPGA	UCLKSEL1	内部 USB バス・ブリッジ・クロック (PCLK) 選択
0	0	XT1, XT2 入力
1	1	PCLKIN 入力 (OSC2 の 30 MHz 入力)

(4) VSB RAMEN (VSB RAM Enable) ... FPGA

PFESiP/V850EP1 は、VSB バス上に 32K バイト・ワーク RAM (VSB_RAM) を内蔵しています。

このワーク RAM (VSB_RAM) は、VMCSZ2 (VDCSZ2) 領域を使用します。VDCSZ2 (VDCSZ2) の領域に外部メモリを接続する場合は、VSB RAMEN をロー・レベルに設定してください。

表 3 - 2 内蔵ワーク RAM (VSB_RAM) の設定

FPGA	VSB RAMEN	内蔵ワーク RAM (VSB_RAM) の動作	VDCSZ2 (CSZ2) 領域
0	0	内蔵ワーク RAM (VSB_RAM) は無効	外部メモリ
1	1	内蔵ワーク RAM (VSB_RAM) は有効	内蔵ワーク RAM (VSB_RAM)

注意 1. ワーク RAM (VSB_RAM) を使用する場合は、メモリ・コントローラの CSZ2 領域 (外部メモリ) との競合を避けるために、バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0 (BCT0) の ME2 ビットは、必ず 0 に設定してください。

2. ワーク RAM にアクセスした場合は、CSZ2 端子はインアクティブになります。

(5) MODE0, MODE1 (USB Operation Mode) ... FPGA

PFESiP/V850EP1 の動作モードを選択します。

FPGA	FPGA	MODE1	MODE0	動作モード
0	0	0	0	USB 機能無効
0	1	0	1	USB ファンクションのみ有効
1	0	1	0	USB ホストのみ有効
1	1	1	1	USB ホスト / ファンクション有効

(6) BOOTSEL (Boot Select) ... FPGA

ブート領域を SiP 内部 / 外部メモリから選択します。

SiP 内部を選択した場合は、SiP 用チップ・セレクト信号選択レジスタ (SCSS) は 0008H に初期化され、SCSZ0 端子に接続されているメモリの 0000 0000H 番地からブートします。

FPGA	BOOTSEL	ブート領域の選択	SCSS レジスタ初期値
0	0	SiP 内部 SCZ0 に接続されているメモリ	0008H
1	1	外部バス・インタフェースの CSZ0 に接続されているメモリ	0000H

注意 SiP 内部接続用の SCZ0 信号は、他の SiP 内部接続バスと同じく、オンボード FPGA に接続されています。SiP 内部にブート ROM を持つシステムをエミュレーションする場合は、オンボード FPGA にブート ROM を組み込み、SiP 内部バスと接続してください。

3.2 チップ・セレクト信号設定用ディップ・スイッチ

位置

図 1 - 1 (外観図) E-3

SW4 は、オンボードの SDRAM のチップ・セレクト信号を設定するディップ・スイッチです。

スイッチと捺印	対象リソース
SW4 (SDRAM)	SDRAM

PFESiP/V850EP1 の CSZn 信号を、SDRAM に任意に選択できます。

ON にしたチップ・セレクト信号が有効になります (n = 1, 3, 4, 6)。

注意 1つのリソースには、1種類のチップ・セレクト信号しか使用できません。
したがって、1つのディップの中で複数のスイッチを ON にしないでください。

SRAM		
DPSW	ON の状態	OFF の状態
SW4-1	CSZ1 を選択	CSZ1 を非選択
SW4-2	CSZ3 を選択	CSZ3 を非選択
SW4-3	CSZ4 を選択	CSZ4 を非選択
SW4-4	CSZ6 を選択	CSZ6 を非選択

3.3 ジャンパ設定

PFESiP EP-1 Evaluation Board Lite には、2本のジャンパがあります。

利用目的に応じて適切に設定してください。

JPn 位置	用途	設定	
JP1 B-4	LAN 回路のスピード選択	short	10 M bps
		open	100 M bps
JP2 C-4	LAN 回路への CS 割り付け	short	LAN で CSZ6 を使用 (CSZ6 は固定)
		open	LAN を使用しない

3.3.1 JP1, JP2 (LAN 回路の設定用)

位置

図 1 - 1 (外観図) B-4, C-4

オンボード上の LAN9115 を使った回路の動作状態を設定します。

(1) JP1 (SPEED_SEL)

JP1	LAN コントローラのスピード選択	オート・ネゴシエーション
ショート	10 M bps 選択	禁止
オープン	100 M bps 選択	許可

(2) JP2 (CS)

JP2	LAN 回路の CS 割り付け
ショート	LAN で CSZ6 を使用 (CSZ6 以外は利用不可)
オープン	LAN を使用せず, CSZ6 をほかの用途に開放します。

第4章 外部メモリ・アクセスの設定例

オンボードで搭載されているメモリにアクセスするには、チップ・セレクト設定、ウエイト数などの設定が必要です。これらの設定は、プログラムの初期イニシャライズ処理などで行います。たとえば CA850 では、主にスタート・アップ・ルーチンなどで設定します。

備考 この章では、PFESiP EP-1 Evaluation Board Lite 固有のレジスタ設定について説明しています。
一般的なレジスタの設定は、巻頭の参考文献を参考にしてください。

4.1 搭載メモリの仕様

位置

図 1 - 1 (外観図) F-3, F-4

PFESiP EP-1 Evaluation Board Lite には、汎用的に利用される、フラッシュ ROM, SDRAM をオンボードで搭載しています。また PFESiP/V850EP1 内部に命令 RAM (プログラム・フェッチ用), データ RAM (データ用), ワーク RAM (ワーク用) を内蔵しています。

4.1.1 外部メモリ

表 4 - 1 外部メモリー一覧

	フラッシュ ROM	SDRAM16
品名	S29JL064H70TFI000H	MT48LC16M16A2TG-7E
アクセス・タイム	70 ns@100 pF	CL = 2/3, 5.4 ns
容量	8 M バイト	32 M バイト (32 M バイト × 1)
バス・サイズ	16 ビット	16 ビット (16 ビット × 1)
チップ・セレクト領域	CSZ0 固定	CSZ1, CSZ3, CSZ4, CSZ6 から任意

備考 以降の設定例では、

フラッシュ ROM : CSZ0 領域

VSB_RAM : CSZ2 領域

SDRAM : CSZ3 領域

USB : CSZ5 領域

LAN : CSZ6 領域

に設定した場合を例にして説明しています。

(1) フラッシュ ROM

(a) 固定値

項目	対応レジスタ	設定値	備考
チップ領域セレクト	CSC0	サブエリア 00-02	CSZ0 に接続 (命令フェッチ可能) ワーク RAM (VSB_RAM) を利用するためフラッシュ ROM の領域を制限
バス・サイクル・タイプ	BCT0	SRAM, I/O	S29JL064H70TFI000H はページ・モード非対応
アドレス設定ウェイト	ASC	0	
ローカル・バス・サイズ	LBS	16 ビット	PFESiP EP-1 Evaluation Board Lite の最大バス・サイズは 16 ビット

(b) 動作周波数依存

項目	対応レジスタ	BUSCLK			備考
		75 MHz	50 MHz	25 MHz	
データ・ウェイト	DWC0	5	3	1	BUSCLK 周期 × (Tw+1.5) - 11.0-3.8-5 > 25 (@100 pF) BUSCLK 周期 × (Tw+2) - 11.0-3.8-5 > 70 (@100 pF)
アイドル・ステート	BCC	2	1	0	tdF = 25 ns (MAX.) 11.0 + 25 + 2.5 - 1.5 - BUSLCK 周期

備考 1. データ・ウェイトおよびオンページ・データ・ウェイトは、

BUSCLK 周期 × (ウェイト数 + 1.5) - RDZ 遅延時間 (MAX.) - データ入力設定 (MIN.) - 基板遅延 (往復)
が、ROM の対リード・ストロブからのアクセス・タイムより長いことと

BUSCLK 周期 × (ウェイト数 + 2) - アドレス、チップ・セレクト遅延時間 (MAX.) - データ入力設定 (MIN.)
- 基板遅延 (往復)

が、ROM の対アドレス、チップ・セレクトからのアクセス・タイムより長いことが必要です。

2. アイドル・ステートは、

RDZ 遅延時間 (MAX.) + ROM のデータ・フロート (MAX.) + 基板遅延 (片道) - データ出力遅延 (MIN.)
- BUSCLK 周期 (T0 サイクル分)

を越える時間を確保する必要があります。

3. オンボード・フラッシュ ROM 周辺回路は、高電圧印加を行う回路を装備していません。

したがって、次の動作モードのみに対応しています。

モード	CE#	OE#	WE#	RESET#	WP#/ACC	DQ0-DQ15
リード	L	L	H	H	任意	DOUT
スタンバイ	H	任意	任意	H	任意	Hi-Z
出力ディスエーブル	任意	H	H	任意	任意	Hi-Z
ライト	L	H		H	任意	DIN
ハードウェア・リセット/スタンバイ	任意	任意	任意	L	任意	Hi-Z
ブート・ブロック保護	任意	任意	任意	任意	L	任意

4. PFESiP EP-1 Evaluation Board Lite に搭載されているフラッシュ ROM は、ワード・モード固定です。

4.1.2 内部メモリ

	命令 RAM (iLB RAM)	データ RAM (dLB RAM)	ワーク RAM (VSB RAM)
容量	192 Kバイト	32 Kバイト	32 Kバイト
接続バス	iLB	dLB	VSB
バス・サイズ	128 ビット	32 ビット	32 ビット
アクセス・クロック	CPCLK×1 クロック	CPCLK×1 クロック	VBCLK×2 クロック

(1) 内蔵ワーク RAM (VSB_RAM)

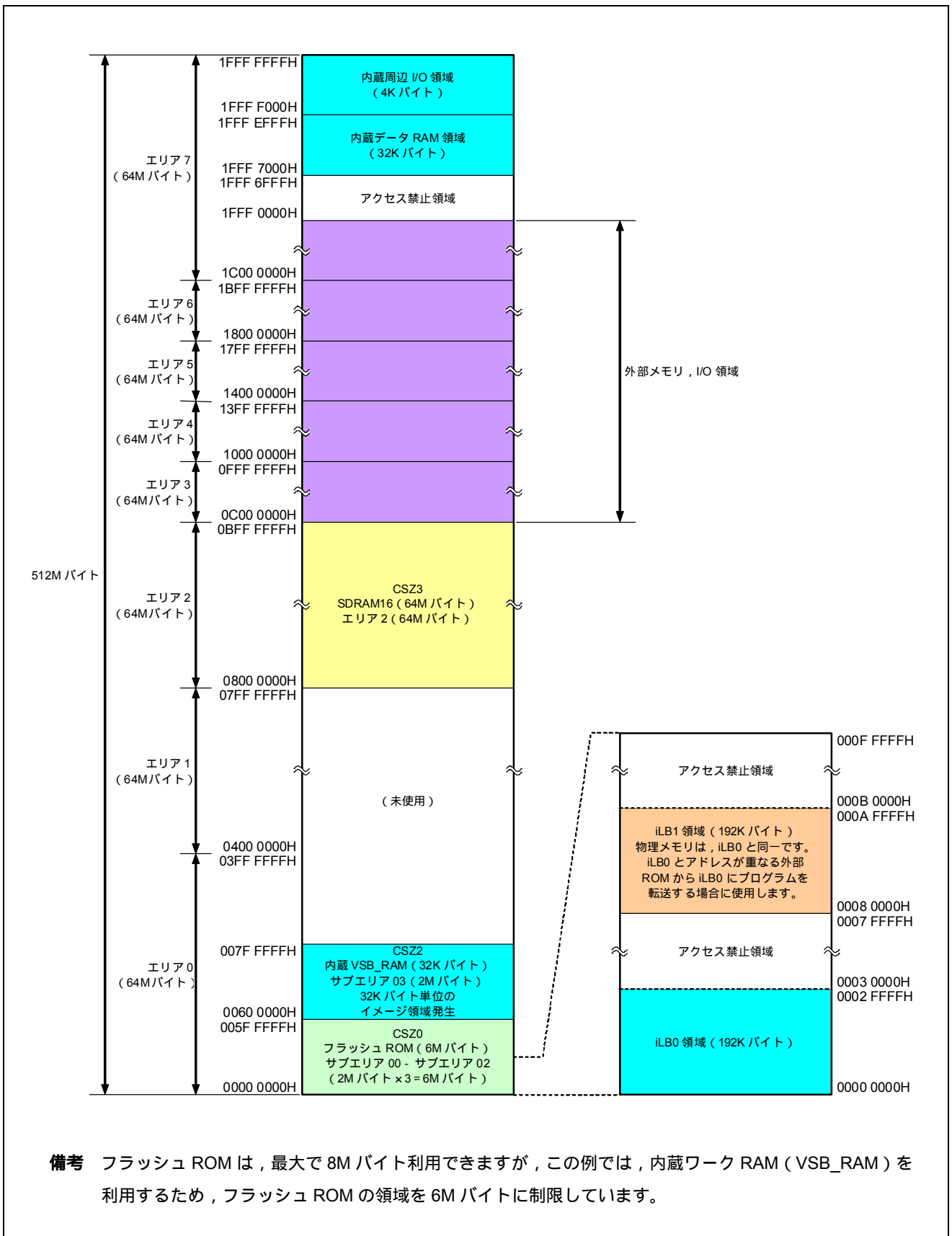
項 目	対応レジスタ	設定値	備 考
チップ領域セレクト	CSC0	サブエリア 03	CSZ2 に接続 (命令フェッチ可能)
バス・サイクル・タイプ	BCT0	動作禁止	メモリ・コントローラの CSZ2 領域の動作禁止

備考 VSB_RAM は、常に VBCLK の 2 クロックでアクセスされます。

(2) NPB ストローブ・ウェイト・コントロール・レジスタ(VSWC)

内部バス動作周波数 (VBCLK)	VSWC の設定値
VBCLK 10.00MHz	0001H
10.00MHz < VBCLK 50.00MHz	0041H
50.00MHz < VBCLK 66.00MHz	0041H
66.00MHz < VBCLK 80.00MHz	0042H
80.00MHz < VBCLK 100.00MHz	0042H

4.1.3 メモリ・マップ



4.2 外部メモリ・アクセスの動作設定

PFESiP/V850EP1 を起動させるためには、次に示すバス・インタフェースに関するモード・レジスタを設定する必要があります。以降の設定例は、次の条件での設定例です。

項目	設定
XT1 入力周波数	48 MHz
CPU のパイプライン用クロック (CPCLK)	200 MHz
内部システム・クロック (VBCLK)	100 MHz
バス・クロック (BUSCLK)	50 MHz

表4-2 ディップ・スイッチでのモード設定

項目	設定内容	設定
PLL の動作モード	SW1-1 ~ SW1-7 : M 値 = 23 (m 値 = 24) SW1-8 ~ SW2-2 : N 値 = 7 (n 値 = 100) SW2-3 ~ SW2-4 : P 値 = 0 (p 値 = 1) 逡倍率 = $n/m/p = 4.1666$ 倍 $48\text{MHz} \times 4.1666 = 200\text{MHz}$	
	SW2-5 ~ SW2-6 : 変調周期 15 kHz SW2-7 ~ SW3-1 : 変調なし SW3-2 ~ SW3-3 : S セレクタ = 2.0 MHz SW3-4 : PLLFO はロー・レベル出力 SW3-5, SW3-6 : VBCLK = CPCLK/2 SW3-7, SW3-8 : BUSCLK = VBCLK/2	

(1) レジスタ設定値一覧

表 4 - 3 レジスタ設定値一覧

アドレス	レジスタ名称	レジスタ略称	設定例
1FFF F060H	チップ領域セレクト制御レジスタ 0	CSC0	4807H
1FFF F062H	チップ領域セレクト制御レジスタ 1	CSC1	0820H
1FFF F06EH	NPB ストローブ・ウエイト・コントロール・レジスタ	VSWC	0042H
1FFF F44CH	ポート 6 モード・コントロール・レジスタ	PMC6	BFH
1FFF F44EH	ポート 7 モード・コントロール・レジスタ	PMC7	49H
1FFF F450H	ポート 8 モード・コントロール・レジスタ	PMC8	初期値利用
1FFF F452H	ポート 9 モード・コントロール・レジスタ	PMC9	初期値利用
1FFF F454H	ポート 10 モード・コントロール・レジスタ	PMC10	初期値利用
1FFF F480H	バス・サイクル・タイプ・コントロール・レジスタ 0	BCT0	B008H
1FFF F482H	バス・サイクル・タイプ・コントロール・レジスタ 1	BCT1	0880H
1FFF F484H	データ・ウエイト・コントロール・レジスタ 0	DWC0	0003H
1FFF F486H	データ・ウエイト・コントロール・レジスタ 1	DWC1	0700H
1FFF F488H	バス・サイクル・コントロール・レジスタ	BCC	0001H
1FFF F48AH	アドレス設定ウエイト制御レジスタ	ASC	0000H
1FFF F48CH	バス・サイクル周期制御レジスタ	BCP	初期値利用
1FFF F48EH	ローカル・バス・サイジング・コントロール・レジスタ	LBS	1861H
1FFF F494H	DMA フライバイ転送ウエイト・コントロール・レジスタ	FWC	初期値利用
1FFF F496H	DMA フライバイ転送アイドル・コントロール・レジスタ	FIC	初期値利用
1FFF F498H	バス・モード・コントロール・レジスタ	BMC	初期値利用
1FFF F49AH	ページ ROM コンフィギュレーション・レジスタ	PRC	初期値利用
1FFF F4A4H	SDRAM コンフィギュレーション・レジスタ 1	SCR1	初期値利用
1FFF F4A6H	SDRAM リフレッシュ・コントロール・レジスタ 1	RFS1	初期値利用
1FFF F4ACH	SDRAM コンフィギュレーション・レジスタ 3	SCR3	2099H
1FFF F4AEH	SDRAM リフレッシュ・コントロール・レジスタ 3	RFS3	800BH
1FFF F4B0H	SDRAM コンフィギュレーション・レジスタ 4	SCR4	初期値利用
1FFF F4B2H	SDRAM リフレッシュ・コントロール・レジスタ 4	RFS4	初期値利用
1FFF F4B8H	SDRAM コンフィギュレーション・レジスタ 6	SCR6	初期値利用
1FFF F4BAH	SDRAM リフレッシュ・コントロール・レジスタ 6	RFS6	初期値利用
1FFF F8B0H	ライト・イネーブル切り替えレジスタ	WREN	初期値利用

(2) ポート 6 モード・コントロール・レジスタ (PMC6)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC6	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60	1FFFF44CH	83H	R/W
設定値	1	0	1	1	1	1	1	1		BFH	
兼用機能	A1	A0	A25	A24	A23	A22	A21	A20			
機能選択	A1	P66	A25	A24	A23	A22	A21	A20			

(3) ポート7モード・コントロール・レジスタ (PMC7)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC7	PMC77	PMC76	PMC75	PMC74	PMC73	PMC72	PMC71	PMC70	1FFFF44EH	01H	R/W
設定値	0	1	0	0	1	0	0	1		49H	
兼用機能機能選択	CSZ7 P77	CSZ6 CSZ6	CSZ5 P75	CSZ4 P74	CSZ3 CSZ3	CSZ2 P72	CSZ1 P71	WAITZ WAITZ			

(4) チップ領域セレクト制御レジスタ0 (CSC0)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSC0	CS 33	CS 32	CS 31	CS 30	CS 23	CS 22	CS 21	CS 20	CS 13	CS 12	CS 11	CS 10	CS 03	CS 02	CS 01	CS 00	1FFFF060H	C231H	R/W
設定値	0	1	0	0	1	0	0	0	0	0	0	0	0	1	1	1		4807H	
CSZn 信号	CSZ3			CSZ2				CSZ1			CSZ0								
選択領域	エリア 2			サブエリア 03				未使用			サブエリア 00-02								
対象	SDRAM			VSB_RAM				未使用			フラッシュ ROM								

(5) チップ領域セレクト制御レジスタ1 (CSC1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSC1	CS 43	CS 42	CS 41	CS 40	CS 53	CS 52	CS 51	CS 50	CS 63	CS 62	CS 61	CS 60	CS 73	CS 72	CS 71	CS 70	1FFFF062H	C231H	R/W	
設定値	0	0	0	0	1	0	0	0	0	0	1	0	0	0	0	0		0820H		
CSZn 信号	CSZ4				CSZ5				CSZ6				CSZ7							
選択領域	未使用				サブエリア 70				エリア 6				未使用							
対象	未使用				USB				LAN				未使用							

(6) バス・サイクル・タイプ・コンフィギュレーション・レジスタ (BCT0)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
BCT0	ME3	0	BT 31	BT 30	ME2	0	0	BT 20	ME1	0	BT 11	BT 10	ME0	0	0	BT 00	1FFFF480H	8888H	R/W	
設定値	1	0	1	1	0	0	0	0	0	0	0	0	1	0	0	0		B008H		
CSZn 信号	CSZ3				CSZ2				CSZ1				CSZ0							
動作	SDRAM				未使用				未使用				SRAM, I/O							
対象	SDRAM				VSB_RAM				未使用				フラッシュ ROM							

(7) バス・サイクル・タイプ・コンフィギュレーション・レジスタ (BCT1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
BCT1	ME7	0	0	BT 70	ME6	0	BT 61	BT 60	ME5	0	0	BT 50	ME4	0	BT 41	BT 40	1FFFF482H	8888H	R/W	
設定値	0	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0		0880H		
CSZn 信号	CSZ7				CSZ6				CSZ5				CSZ4							
動作	未使用				SRAM, I/O				SRAM, I/O				未使用							
対象	未使用				LAN				USB				未使用							

(8) NPB ストロープ・ウェイト・コントロール・レジスタ (VSWC)

内部 NPB のみ利用。

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
VSWC	0	0	0	0	0	0	0	0	SUW L1	SUW L2	0	0	VSW L3	VSW L2	VSW L1	VSW L0	1FFFF06EH	00CFH	R/W	
VSWC	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0		0042H		
動作	データ・セットアップ=1VBCLK								VPSTB=3VBCLK											

(9) データ・ウエイト・コントロール・レジスタ0 (DWC0)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DWC0	0	DW 32	DW 31	DW 30	0	DW 22	DW 21	DW 20	0	DW 12	DW 11	DW 10	0	DW 02	DW 01	DW 00	1FFFF484H	7777H	R/W
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1		0003H	
CSZn 信号	CSZ3				CSZ2				CSZ1				CSZ0						
動作	-				-				0 ウェイト				3 ウェイト						
対象	SDRAM				VSB_RAM				未使用				フラッシュROM						

(10) データ・ウエイト・コントロール・レジスタ1 (DWC1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
DWC1	0	DW 72	DW 71	DW 70	0	DW 62	DW 61	DW 60	0	DW 52	DW 51	DW 50	0	DW 42	DW 41	DW 40	1FFFF486H	7777H	R/W
設定値	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0		0700H	
CSZn 信号	CSZ7				CSZ6				CSZ5				CSZ4						
動作	0 ウェイト				7 ウェイト				0 ウェイト				0 ウェイト						
対象	未使用				LAN				USB				未使用						

(11) バス・サイクル・コントロール・レジスタ (BCC)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BCC	BC 71	BC 70	BC 61	BC 60	BC 51	BC 50	BC 41	BC 40	BC 31	BC 30	BC 21	BC 20	BC 11	BC 10	BC 01	BC 00	1FFFF488H	FFFFH	R/W
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1		0001H	
対象 CS	CSZ7		CSZ6		CSZ5		CSZ4		CSZ3		CSZ2		CSZ1		CSZ0				
動作	0		0		0		0		0		-		0		1				
対象	未使用		LAN		USB		未使用		SDRAM		VSB_RAM		未使用		フラッシュROM				

(12) アドレス設定ウェイト制御レジスタ (ASC)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ASC	AC 71	AC 70	AC 61	AC 60	AC 51	AC 50	AC 41	AC 40	AC 31	AC 30	AC 21	AC 20	AC 11	AC 10	AC 01	AC 00	1FFFF48AH	FFFFH	R/W
設定値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0000H	
対象 CS	CSZ7		CSZ6		CSZ5		CSZ4		CSZ3		CSZ2		CSZ1		CSZ0				
動作	0		0		0		0		-		-		0		0				
対象	未使用		LAN		USB		未使用		SDRAM		VSB_RAM		未使用		フラッシュROM				

(13) ローカル・バス・サイジング・コントロール・レジスタ (LBS)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LBS	LB 71	LB 70	LB 61	LB 60	LB 51	LB 50	LB 41	LB 40	LB 31	LB 30	LB 21	LB 20	LB 11	LB 10	LB 01	LB 00	1FFFF48EH	5555H ^{注1}	R/W
設定値	0	0	0	1	1	0	0	0	0	1	1	0	0	0	0	1		1861H	
対象 CS	CSZ7		CSZ6		CSZ5		CSZ4		CSZ3		CSZ2		CSZ1		CSZ0				
動作	8ビット		16ビット		32ビット		8ビット		16ビット		注2		8ビット		16ビット				
対象	未使用		LAN		USB		未使用		SDRAM		VSB_RAM		未使用		フラッシュROM				

注1. PFEiP EP-1 Evaluation Board Lite では、PFEiP/V850EP1 の SLBS0, SLBS1 がボード上でレベルが固定され、16ビット・バス幅で起動されます。このときの LBS の初期値は 5555H です。また、外部バスでは、32ビット・バス幅は利用できません。

2. VSB_RAM は、LBS レジスタの設定に関係なく、32ビット幅で接続されています。

(14) SDRAM コンフィギュレーション・レジスタ 3 (SCR3)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SCR3	LTC	LTM 2	LTM 1	LTM 0	0	0	0	WCF	BCW 1	BCW 0	SSO 1	SSO 0	RAW 1	RAW 0	SAW 1	SAW 0	1FFFF4ACH	30C0H	R/W
設定値	0	0	1	0	0	0	0	0	1	0	0	1	1	0	0	1		2099H	
動作	通常		CL=2						2ウェイト		16ビット		RAW=13		SAW=9				

(15) SDRAM リフレッシュ・コントロール・レジスタ 3 (RFS3)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RFS3	REN	0	0	0	0	0	RCC 1	RCC 0	0	0	RIN 5	RIN 4	RIN 3	RIN 2	RIN 1	RIN 0	1FFFF4AEH	0000H	R/W
設定値	1	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0		800CH	
動作	許可						Cfac=32						RIN=12						

4.2.1 PFESiP/V850EP1 の起動手順

PFESiP/V850EP1 は、発振安定待ちおよび内蔵PLLのロック待ちを完了すると、リセットが解除され命令フェッチを開始します。

PFESiP/V850EP1 の初期化は、次に示すシーケンスで行ってください。

(1) 内蔵命令 RAM を利用しない場合 (終始外部メモリで命令フェッチ)

リセット解除後、外部メモリの 0000 0000H 番地から命令フェッチを開始します。実行プログラムで、まずは外部バス・アクセス性能に影響する次に示すレジスタを設定してください。

なお、パワーオン状態でのリセット入力によっても、0000 0000H 番地からフェッチを開始します。

- ・ NPB ストローブ・ウェイト・コントロール・レジスタ (VSWC)
内蔵周辺 I/O (NPB) アクセスのウェイト設定
- ・ データ・ウェイト制御レジスタ 0, 1 (DWC0, DWC1)
外部バスのデータ・ウェイト設定
- ・ アドレス設定ウェイト・コントロール・レジスタ (ASC)
外部バスのアドレス・セットアップ・ウェイト設定
- ・ バス・サイクル制御レジスタ (BCC)
外部バスのアイドル・ステート設定

また、必要に応じてチップ領域セレクト制御レジスタ 0, 1 (CSC0, CSC1), バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1), ローカル・バス・サイジング・コントロール・レジスタ (LBS), ページ ROM コンフィギュレーション・レジスタ (PRC) などを設定してください。

操作手順	
	システム・リセット解除後、外部メモリからブート開始
	通常プログラム起動

(2) 内蔵命令 RAM 無効 内蔵命令 RAM 有効:(プログラム実行中に変更)

リセット解除後、外部メモリの 0000 0000H 番地から命令フェッチを開始します。

実行プログラムで、まずは外部バス・アクセス性能に影響する次に示すレジスタを確認 / 設定してください。

命令 RAM (iLB_RAM) は無効になっているため CPU (NBA85E2S) からアクセスすることはできませんが、CPU (NBA85E2S) に接続している DMAC (NBA85E300) は、外部 DMA アドレッシング・コントロール・レジスタ DMXADCn (n = 0-3) 内の DMA 転送先設定を命令 RAM (iLB_RAM) に指定することができます。転送先を命令 RAM (iLB_RAM) に指定した場合、命令 RAM (iLB_RAM) に対して DMA 転送ができます。

この機能を利用して、CPU (NBA85E2S) の起動時には外部メモリから起動し、外部メモリの内容を命令 RAM (iLB_RAM) に転送します。転送終了後、iLB RAM コントロール・レジスタで命令 RAM (iLB_RAM) を有効に設定し、0000 0000H 番地へジャンプすることで、命令 RAM (iLB_RAM) から命令フェッチを開始します。

また、V850E2 アーキテクチャは、データ RAM (dLB_RAM) 領域からのプログラム実行が可能です。外部メモリから命令 RAM (iLB_RAM) への DMA 転送プログラムの実行や、iLB RAM コントロール・レジスタ (ILBEN) での内部命令 RAM (iLB_RAM) の再設定は、データ RAM (dLB_RAM) で実行します。

0000 0000H 番地から命令フェッチする時、iLB RAM コントロール・レジスタの設定を確認することで、命令 RAM (iLB_RAM) ヘダウンロードの前後が判定できます。

- ・ iLB RAM コントロール・レジスタ (ILBEN)
 - 命令 RAM (iLB_RAM) 領域 (iLB0 領域) の確認
- ・ NPB ストローブ・ウエイト・コントロール・レジスタ (VSWC)
 - 内蔵周辺 I/O (NPB) アクセスのウエイト設定
- ・ データ・ウエイト制御レジスタ 0, 1 (DWC0, DWC1)
 - 外部バスのデータ・ウエイト設定
- ・ アドレス設定ウエイト・コントロール・レジスタ (ASC)
 - 外部バスのアドレス・セットアップ・ウエイト設定
- ・ バス・サイクル制御レジスタ (BCC)
 - 外部バスのアイドル・ステート設定

また、必要に応じてチップ領域セレクト制御レジスタ 0, 1 (CSC0, CSC1), バス・サイクル・タイプ・コンフィギュレーション・レジスタ 0, 1 (BCT0, BCT1), ローカル・バス・サイジング・コントロール・レジスタ (LBS), ページ ROM コンフィギュレーション・レジスタ (PRC) などを設定してください。

操作手順	
	システム・リセット解除後，外部 ROM からブート開始
	iLB RAM コントロール・レジスタ (ILBEN) の iLB0E を判定 (iLB0E = 0)
	外部 ROM 内容を命令 RAM (iLB_RAM) に転送するプログラムをデータ RAM (dLB_RAM) 領域に転送
	データ RAM (dLB_RAM) の転送プログラムにジャンプ
	外部メモリの 0000 0000H-0002 FFFFH の内容を，命令 RAM (iLB_RAM) 領域の 0000 000H-0002 FFFFH に DMA 転送
	iLB RAM コントロール・レジスタ (ILBEN) の iLB0E を 1 に設定 (書き込み後，ILBEN レジスタをベリファイ)
	0 番地にジャンプ後，内蔵命令 RAM (iLB_RAM) からブート開始
	iLB RAM コントロール・レジスタ (ILBEN) の iLB0E を判定 (iLB0E = 1)
	通常プログラム起動

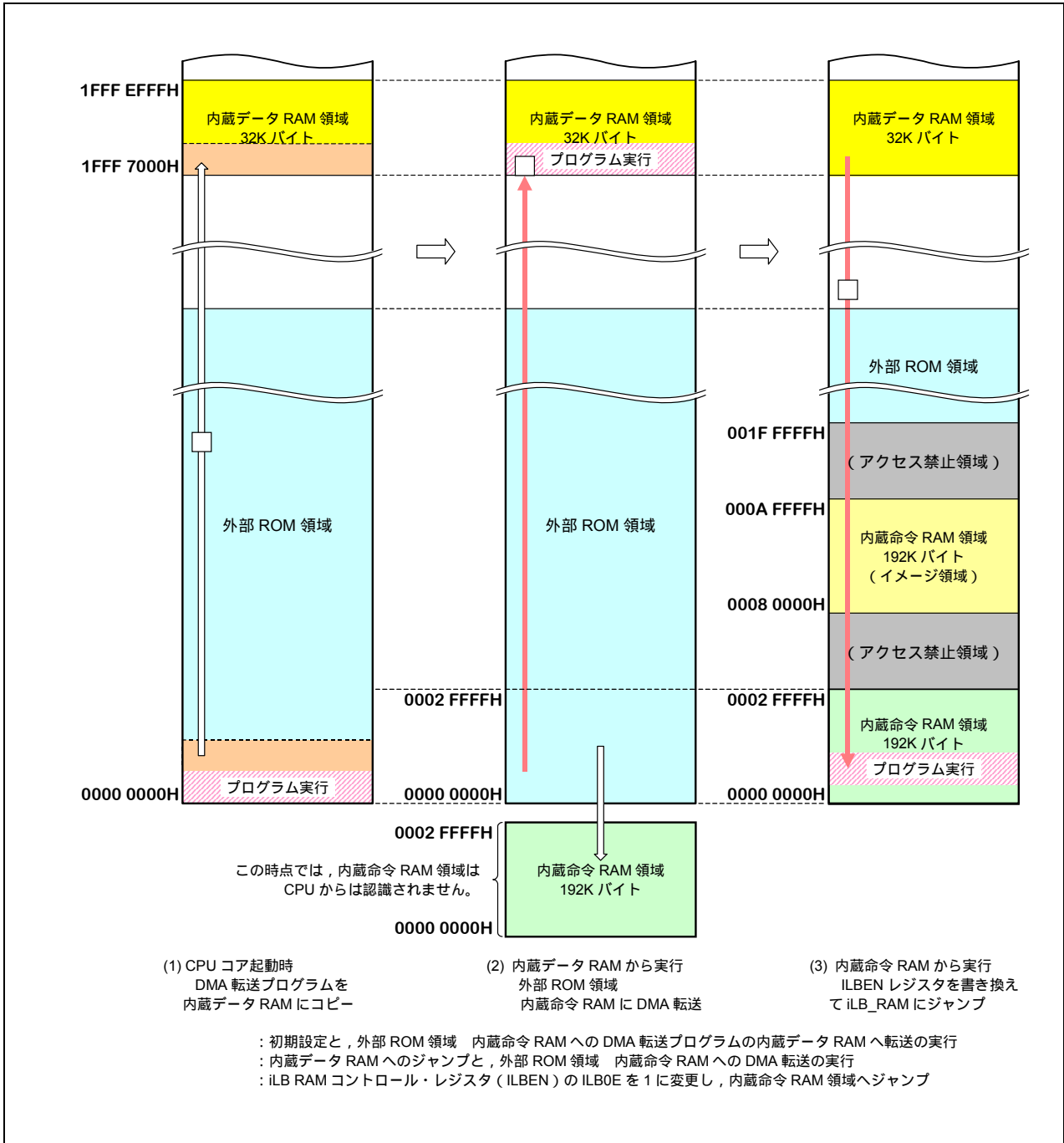
注意 SDRAM コンフィギュレーション・レジスタ 1, 3, 4, 6 (SCR1, SCR3, SCR4, SCR6) の設定は， 処理以降で行ってください。

備考 割り込み禁止 (DI 状態) 中に発生したマスカブル割り込み要求は，保留されています。

マスカブル割り込み要求は，割り込み要求をクリア (割り込み制御レジスタ (xxICn) の xxIFn ビットをクリア (0)) していない，割り込み制御レジスタの xxMKn ビットがセット (1) されていない場合は，割り込み許可状態 (EI 状態) に設定した直後に受け付けられます。ただし，保留される割り込み要求は，同一の割り込み要因に対し 1 つだけであり，同一の割り込み要求が 2 回以上発生していても，受け付けられるのは 1 回のみです。

以下に、外部 ROM の内容を、命令 RAM (iLB_RAM) にコピーして実行する例を示します。

図4 - 1 外部ROMから命令RAM (iLB_RAM) への転送



第5章 拡張コネクタの利用方法

PFESiP EP-1 Evaluation Board Lite には、2種類の拡張コネクタがあります。

CN1 および CN2 には、PFESiP/V850EP1 の汎用ポートの一部が、CN3 および CN4 には、FPGA からの汎用信号（GPIO）が利用できます。

コネクタ形状注	端子数	コネクタ No.	シグナル数	
				小計
汎用 50 ピン・コネクタ	50 × 2 = 100	CN1	PFESiP/V850EP1 I/O 用	40 本
		CN2	PFESiP/V850EP1 I/O 用	27 本
			PFESiP/V850EP1 アナログ入力用	8 本
汎用 50 ピン・コネクタ	50 × 2 = 100	CN3	FPGA 汎用 40 本	40 本
		CN4	FPGA 汎用 40 本	40 本

多数のオンボード FPGA の GPIO が、拡張コネクタに接続されています。

したがってオンボード FPGA により任意の信号をコネクタに接続することができます。ただし、信号線の距離により、動作速度が低下するので注意してください。

5.1 コネクタ (CN3, CN4)

FPGA からの信号を簡単に入出力可能な 50 ピン・ヘッダ×2 を用意しています。

汎用的な 2.54 mm ピッチ×2 列のフラット・ケーブルが利用できます。

このコネクタは、FPGA に組み込んだ回路の確認用端子として利用することができます。電源は GND のみが接続されていますので、外部の回路には別途電源を供給してください。

表 5 - 1 簡易コネクタ (汎用 50 ピン) ピン配

CN3 ピン配置				CN4 ピン配置			
No.	信号名	信号名	No.	No.	信号名	信号名	No.
1	GND	GPIO00	2	1	GND	GPIO40	2
3	GPIO01	GPIO02	4	3	GPIO41	GPIO42	4
5	GPIO03	GND	6	5	GPIO43	GND	6
7	GPIO04	GPIO05	8	7	GPIO44	GPIO45	8
9	GPIO06	GPIO07	10	9	GPIO46	GPIO47	10
11	GND	GPIO08	12	11	GND	GPIO48	12
13	GPIO09	GPIO10	14	13	GPIO49	GPIO50	14
15	GPIO11	GND	16	15	GPIO51	GND	16
17	GPIO12	GPIO13	18	17	GPIO52	GPIO53	18
19	GPIO14	GPIO15	20	19	GPIO54	GPIO55	20
21	GND	GPIO16	22	21	GND	GPIO56	22
23	GPIO17	GPIO18	24	23	GPIO57	GPIO58	24
25	GPIO19	GND	26	25	GPIO59	GND	26
27	GPIO20	GPIO21	28	27	GPIO60	GPIO61	28
29	GPIO22	GPIO23	30	29	GPIO62	GPIO63	30
31	GND	GPIO24	32	31	GND	GPIO64	32
33	GPIO25	GPIO26	34	33	GPIO65	GPIO66	34
35	GPIO27	GND	36	35	GPIO67	GND	36
37	GPIO28	GPIO29	38	37	GPIO68	GPIO69	38
39	GPIO30	GPIO31	40	39	GPIO70	GPIO71	40
41	GND	GPIO32	42	41	GND	GPIO72	42
43	GPIO33	GPIO34	44	43	GPIO73	GPIO74	44
45	GPIO35	GND	46	45	GPIO75	GND	46
47	GPIO36	GPIO37	48	47	GPIO76	GPIO77	48
49	GPIO38	GPIO39	50	49	GPIO78	GPIO79	50

5.2 PFESiP/V850EP1 ポート出力コネクタ (CN1, CN2)

PFESiP/V850EP1 のポート出力用に 50 ピン・ヘッダ×2 が用意されています。
汎用的な 2.54mm ピッチ×2 列のフラット・ケーブルが利用できます。

表 5 - 2 CN1, CN2 に接続されている PFESiP/V850EP1 ポート

ポート名	兼用端子	ポート名	兼用端子
P00-P07	INTPZ0-INTPZ7		BUSCLK
P10-P17	INTPZ8-INTPZ15	P60-P67	A20-A25, A0-A1
P30	RXD0	P110, P111	ETCLR0, ETCLR1
P31	TXD0	P112, P113	ETO0, ETO1
P32	RXD1	P120-P121	TCZ0-TCZ1
P33	TXD1	P124-P125	DMAAKZ0-DMAAKZ1
P34	RXD2	P130-P131	DMARQZ0-DMARQZ1
P35	TXD2	P140	SCK0
P36	RXD3	P141	SI0
P37	TXD3	P142	SO0
P40-P43	TI0-TI3	P143	SCK1
P44-P47	TCLR0-TCLR3	P144	SI1
P50-P53	TO0-TO3	P145	SO1
P54, P55	ETIUD0, ETIUD1	P146-P147	PWMO0-PWMO1
P56, P57	ETCUD0, ETCUD1		AIN0-AIN7

表5-3 簡易コネクタ（汎用50ピン）ピン配置

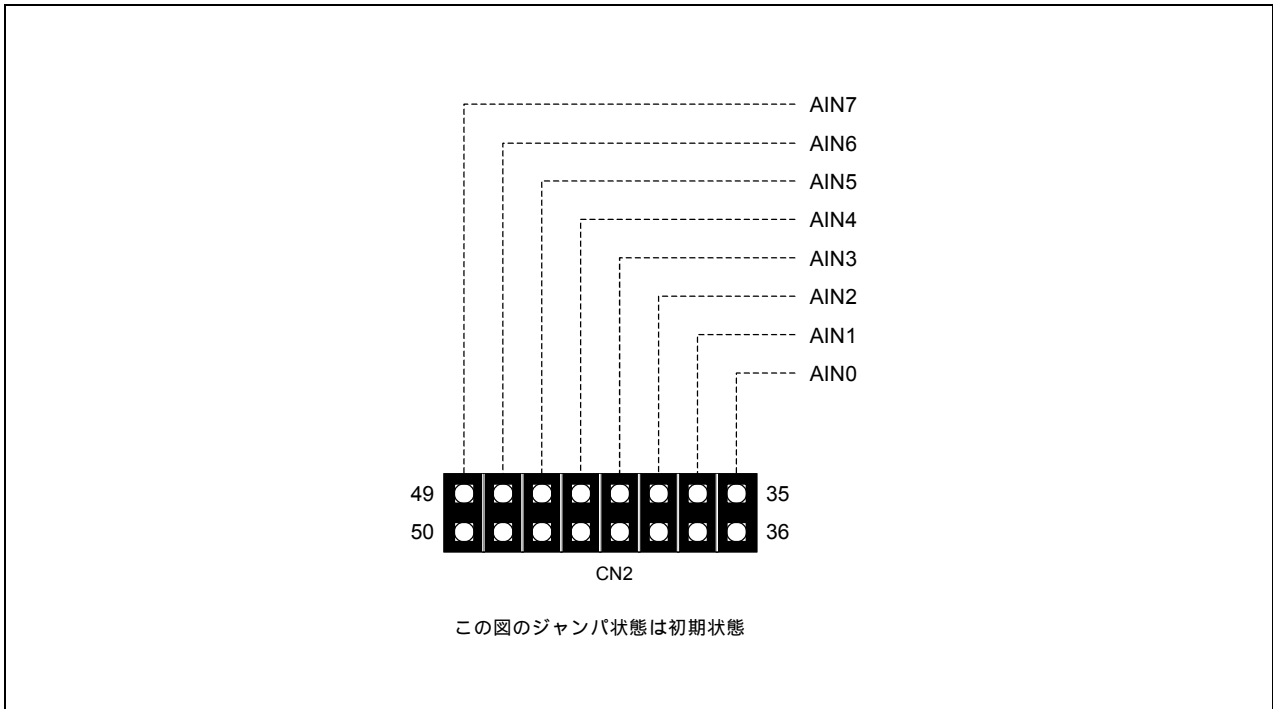
CN1 ピン配置

No.	信号名	信号名	No.
1	GND	P00/INTPZ0/CCC00	2
3	P01/INTPZ1/CCC01	P02/INTPZ2/CCC10	4
5	P03/INTPZ3/CCC11	GND	6
7	P04/INTPZ4/CCC20	P05/INTPZ5/CCC21	8
9	P06/INTPZ6/CCC30	P07/INTPZ7/CCC31	10
11	GND	P10/INTPZ8/CC00	12
13	P11/INTPZ9/CC01	P12/INTPZ10/CC10	14
15	P13/INTPZ11/CC11	GND	16
17	P14/INTPZ12	P15/INTPZ13	18
19	P16/INTPZ14	P17/INTPZ15	20
21	GND	P30/RXD0	22
23	P31/TXD0	P32/RXD1	24
25	P33/TXD1	GND	26
27	P34/RXD2	P35/TXD2	28
29	P36/RXD3	P37/TXD3	30
31	GND	P40/TI0	32
33	P41/TI1	P42/TI2	34
35	P43/TI3	GND	36
37	P44/TCLR0	P45/TCLR1	38
39	P46/TCLR2	P47/TCLR3	40
41	GND	P50/TO0	42
43	P50/TO0	P52/TO2	44
45	P53/TO3	GND	46
47	P54/ETIUD0	P55/ETIUD1	48
49	P56/ETCUD0	P57/ETCUD1	50

CN2 ピン配置

No.	信号名	信号名	No.
1	GND	BUSCLK	2
3	P60/A20	P61/A21	4
5	P62/A22	GND	6
7	P63/A23	P64/A24	8
9	P65/A25	P66/A0	10
11	GND	P67/A1	12
13	P110/ETCLR0	P111/ETCLR1	14
15	P112/ETO0	GND	16
17	P113/ETO1	P120/TCZ0	18
19	P121/TCZ1	P124/DMAAKZ0	20
21	GND	P125/DMAAKZ1	22
23	P130/DMARQZ0	P131/DMARQZ1	24
25	P140/SCK0	GND	26
27	P141/SI0	P142/SO0	28
29	P143/SCK1	P144/SI1	30
31	GND	P145/SO1	32
33	P146/PWMO0	P147/PWMO1	34
35	ANI0	GND	36
37	ANI1	GND	38
39	ANI2	GND	40
41	ANI3	GND	42
43	ANI4	GND	44
45	ANI5	GND	46
47	ANI6	GND	48
49	ANI7	GND	50

表5-4 アナログ端子のジャンパ・ポスト設定



(1) CN2-35 ピン-50 ピン (AIN0-AIN7)

PFESiP/V850EP1 の A/D コンバータの AIN0-AIN5 は、CN2 の 35 ピンから 50 ピンまで GND と信号が対になった形で接続されています。

外部からアナログを入力する場合は、GND とのツイスト・ペア線で、このターミナルに接続してください。

第6章 エミュレーション用コネクタ

6.1 N-Wire インタフェース

位置

図 1 - 1 (外観図) C-1

PFESiP/V850EP1 は、オンチップ・デバッグ機能 (Debug Control Unit : DCU) を内蔵しています。

この DCU と、N-Wire 対応インサーキット・エミュレータを接続するためのコネクタとして、KEL 社の 26 ピン・コネクタ 8830E-026-170S (ストレート) を搭載しています。

PFESiP/V850EP1 に内蔵されている DCU のトレース機能は、使用できません。

インサーキット・エミュレータは、弊社製の MINICUBE (QB-V850MINI) が標準です。

マイダス・ラボ製 RTE-2000-TP, RTE-2000H-TP も利用できます。マイダス・ラボ製 RTE-2000-TP を利用する場合は、接続ケーブルは CBL-J40 です。また RTE-2000H-TP を利用する場合は、接続ケーブルは CBL-KEL26 です。

備考 1. QB-V850MINI に関するドキュメントは、下記の URL から入手できます。

<http://www.necel.com/cgi-bin/nedis/o003.cgi?article=QB-V850MINI>

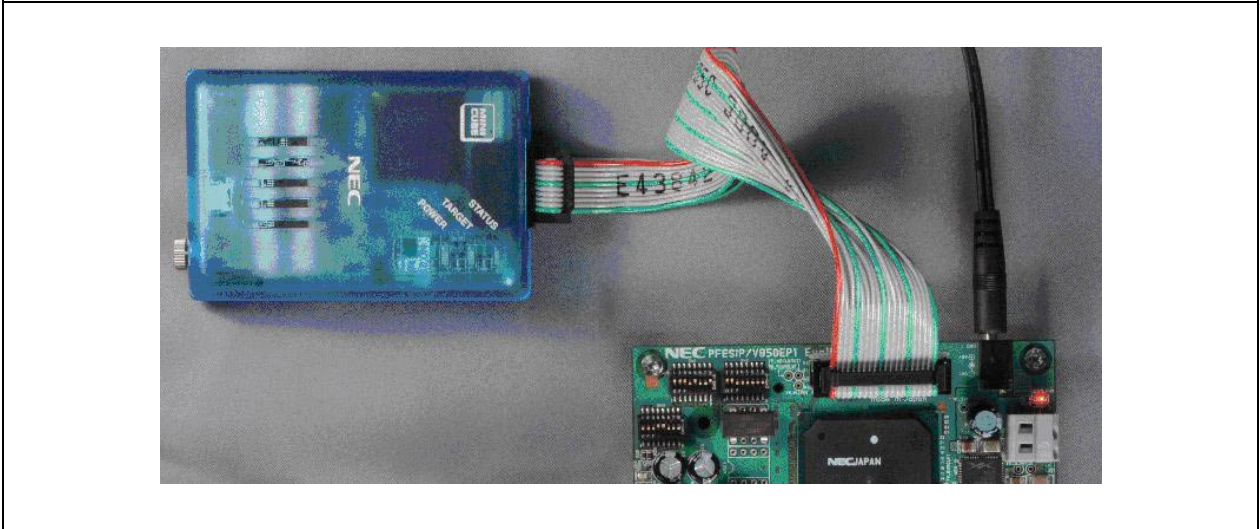
2. QB-V850MINI には、デバッガとして ID850QB が添付されています。

3. RTE-2000-TP, RTE-2000H-TP の使用方法については、株式会社マイダス・ラボの代理店にお問い合わせください。

表 6 - 1 N-Wire コネクタ (CN5)

用途	ピン番号	信号名	信号名	ピン番号	用途
GND に接続	A1	TRCCLK	GND	B1	GND に接続
GND に接続	A2	TRCDATA0	GND	B2	GND に接続
GND に接続	A3	TRCDATA1	GND	B3	GND に接続
GND に接続	A4	TRCDATA2	GND	B4	GND に接続
GND に接続	A5	TRCDATA3	GND	B5	GND に接続
GND に接続	A6	TRCEND	GND	B6	GND に接続
DDI	A7	DDI	GND	B7	GND に接続
DCK	A8	DCK	GND	B8	GND に接続
DMS	A9	DMS	GND	B9	GND に接続
DDO	A10	DDO	GND	B10	GND に接続
DRSTZ	A11	DRSTZ	Reserve	B11	GND に接続
OPEN	A12	Reserve	Reserve	B12	GND に接続
RMODEZ	A13	Reserve	VCCIO	B13	3.3 V に接続

図6 - 1 MINICUBEとの接続図 (QB-V850MINI)



第7章 オンボード FPGA

位置

図 1 - 1 (外観図) D-4

PFESiP EP-1 Evaluation Board Lite は、PFESiP EP-1 シリーズ開発支援用の開発評価ボードです。

PFESiP EP-1 シリーズ専用マイクロコントローラ PFESiP/V850EP1 のソフトウェア開発、PFESiP EP-1 シリーズの SiP 内部で、PFESiP/V850EP1 とペアをなすユーザ・ロジックを搭載するエンベデッド・アレイ (EA-9HD) の機能を、オンボード FPGA によるユーザ・ロジック開発・検証に使用することにより、PFESiP EP-1 のプロトタイプピン環境として利用できます。特に、SiP 内部で接続される SiP 内部接続バスは、すべてオンボード FPGA に接続されています。

また、多数のオンボード FPGA の GPIO が、拡張コネクタに接続されており、オンボード FPGA により任意の信号をコネクタに接続することができます。

FPGA は、Altera 社製 Stratix II ファミリです。標準で EP2S15F484C5 が搭載されます。

FPGA のコンフィギュレーションは、コンフィギュレーション・デバイス (EPCS16) で行い、プログラミングは、Active Serial Programming I/F コネクタ (CN10) に ByteBlaster II または USB Blaster Download Cable を接続して、パーソナル・コンピュータ等から行います。

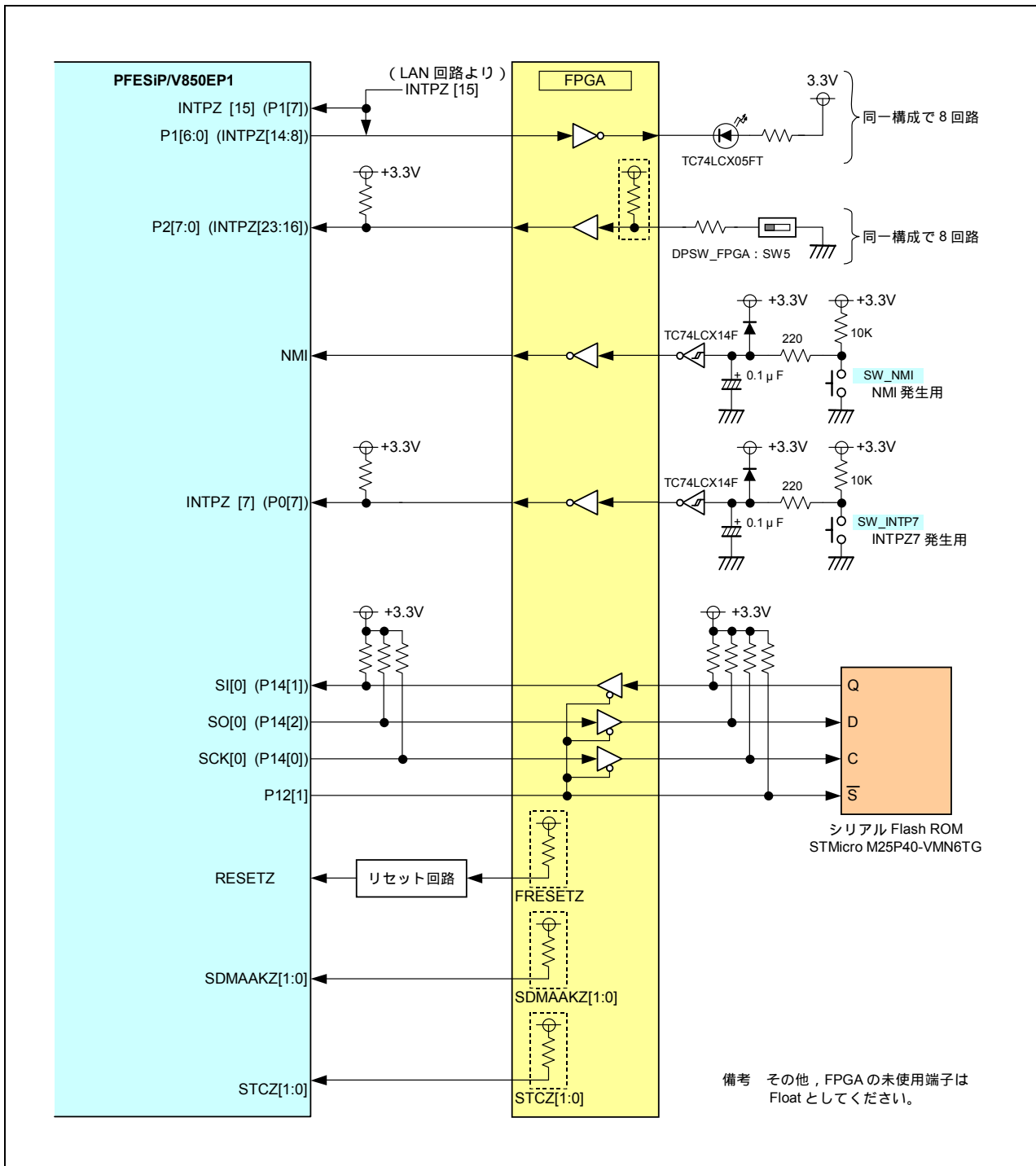
7.1 FPGA のデフォルト・プログラミング

FPGA は ,PFESiP/V850EP1 + ユーザ ASIC(エンベデッドアレイ(EA-9HD))の応用評価を目的としていますが, 出荷時設定は, 最低限の機能のみがプログラミングされています。

P20-P27, P10-P17, NMI, INTPZ7 は, 次のように接続されています。これにより, PFESiP/V850EP1 から FPGA 経由で, LED の点灯, ディップ・スイッチ (FPGA_DPSW : SW5) からのレベル入力が行えます。

また, オンボードのシリアル ROM と, PFESiP/V850EP1 内蔵のクロック同期シリアル・インタフェースのチャネル 0 が接続されています。

図7-1 FPGAのデフォルト・プログラミング



7.1.1 PFESiP/V850EP1 デフォルト・データの VerilogHDL ソース

V850EP1_Lite_Default.v ファイル

(1/2)

```

//-----
//
// Library Name : V850EP1_Lite_Default
// Unit Name : V850EP1_Lite_Default_top
//
//-----

module V850EP1_Lite_Default_top(
    NMI_IN,
    SROM_Q,
    DIP_,
    P12,
    P2,
    SCK,
    SO,
    SW_INTP,
    NMI_OUT,
    SROM_D,
    SROM_CLK,
    SROM_S,
    INTPZ,
    LED,
    P1,
    SI
);

input NMI_IN;
wire NMI_IN;
input SROM_Q;
wire SROM_Q;
input [8:1] DIP_;
wire [8:1] DIP_;
input [1:1] P12;
wire [1:1] P12;
input [7:0] P1;
wire [7:0] P1;
input [0:0] SCK;
wire [0:0] SCK;
input [0:0] SO;
wire [0:0] SO;
input [7:7] SW_INTP;
wire [7:7] SW_INTP;
output NMI_OUT;
wire NMI_OUT;
output SROM_D;
wire SROM_D;
output SROM_CLK;
wire SROM_CLK;
output SROM_S;
wire SROM_S;
output [7:7] INTPZ;
wire [7:7] INTPZ;
output [8:1] LED;
wire [8:1] LED;
output [7:0] P2;
wire [7:0] P2;
output [0:0] SI;
wire [0:0] SI;

```

V850EP1_Lite_Default.v ファイル

(2/2)

```
assign LED[8:1] = ~ (P1[7:0]);

assign P2[7:0] = DIP_[8:1];

assign NMI_OUT = ~ (NMI_IN);

assign INTPZ[7] = ~ (SW_INTP[7]);

assign SROM_CLK = (P12[1] == 1'b0) ? SCK[0] : 1'bz;

assign SROM__S = P12[1];

assign SROM_D = (P12[1] == 1'b0) ? SO[0] : 1'bz;

assign SI[0] = (P12[1] == 1'b0) ? SROM_Q : 1'bz;

endmodule
```

7.2 FPGA のデフォルト・データ

オンボードFPGAのデフォルト・プログラミングについては、Altera社製Quartus IIソフトウェアに対応した設定ファイルが提供されます。

7.2.1 FPGA データ生成環境

FPGAは、Altera社製Stratix IIファミリEP2S15F484C5が、コンフィギュレーション用デバイスにはActive SerialデバイスであるEPCS16が搭載されています。

FPGAデータの生成に必要なツールおよびバージョンは以下になります。

Quartus II	Web Edition 7.2 以上
------------	--------------------

また、FPGAデータ生成の際は、プロジェクト生成時およびDevice and Pin Optionsダイアログにて下記オプションを設定してください。

Target Device	EP2S15F484C5
Configuration Device	EPCS16
General	Enable INIT_DONE output
Unused Pins	As input tri-stated

7.2.2 ファイル説明

TOPディレクトリは、V850EP1_Lite_Defaultです。

主要ファイルのみ、表7-1で説明します。

表7-1 TOP直下のファイル説明

ファイル名	用途
V850EP1_Lite_Default.qpf	QuartusIIのプロジェクト・ファイルです。
V850EP1_Lite_Default.v	デフォルト・データのVerilogHDLソースです。
V850EP1_Lite_Default.qsf	ピン配置情報、デバイス情報および各オプション設定の情報が格納されているファイルです。
V850EP1_Lite_Default.pof	FPGAダウンロード用ROMに書き込むファイルです。

備考 上記ファイルは、新規作成した回路の不具合で動作しなくなることを考慮し、バックアップしておくことを推奨します。

7.3 FPGA用プッシュ・スイッチ

位置

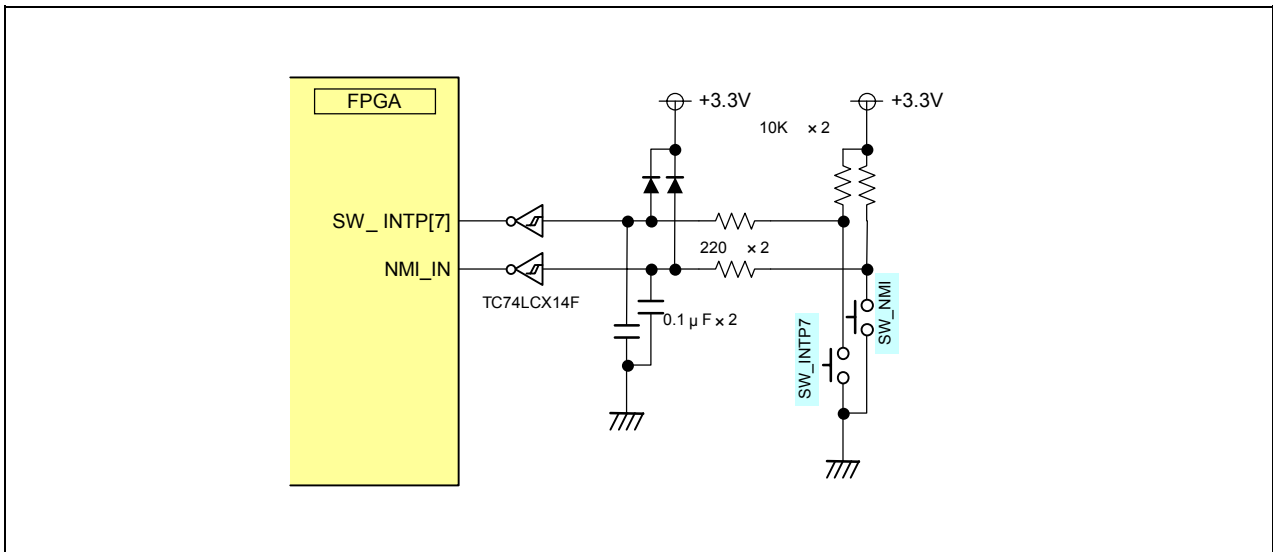
図1-1(外観図) E-5~E-6

FPGAには、チャタリング防止回路を設けた2つのプッシュ・スイッチが接続されています。

FPGAのデフォルト回路として、NMIおよびINTP7にスイッチを接続しています。

パワーオン時に、内部の初期化がチャタリング防止回路の電源立ち上がりより早い場合には、ブート時に割り込み要求フラグがセットされるため、初期化プログラムでは、全割り込み要求フラグをクリアするようにします。

図7-2 FPGA用プッシュ・スイッチ



7.4 FPGA用DIPスイッチ

位置

図1-1(外観図) E-5~D-5

FPGAには、DIPスイッチが接続されています。FPGAの内部接続により任意の信号でDIPスイッチの状態をサンプリング可能です。DIPスイッチが接続されている各端子は、外部でプルアップされており、DIPスイッチがONの状態では、ロー・レベルが入力されます。スイッチONの状態では、ハイ・レベルを出力した場合に大電流が流れるのを防ぐために、1kΩでダンピングしています。

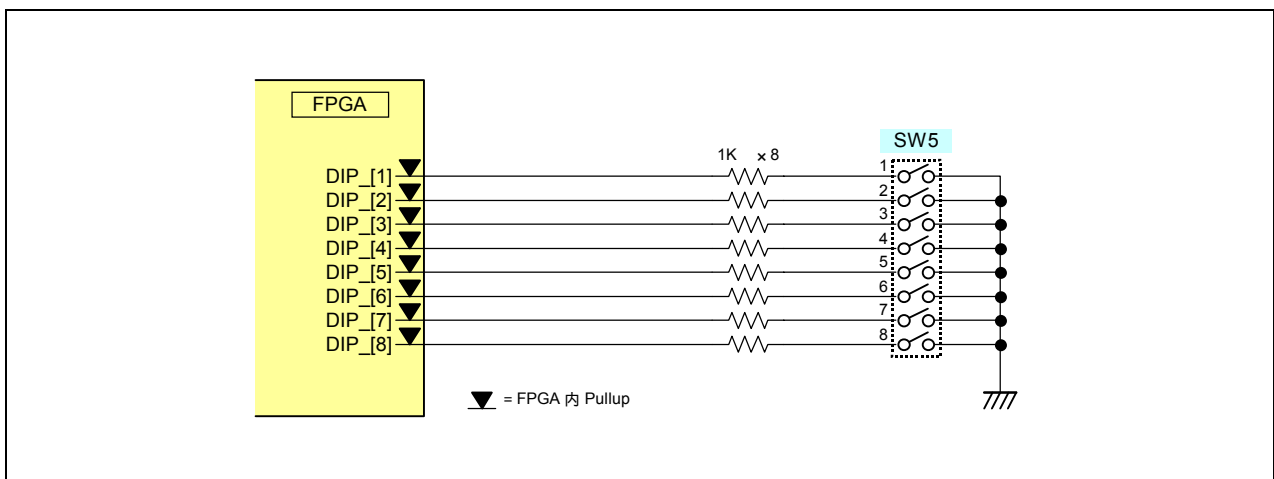
FPGAのデフォルト回路では、PFESiP/V850EP1のポート1(P10-P17)にDIPスイッチを接続しています。

P10-P17の設定をPMC1レジスタでコントロール・モードに設定すると、外部割り込み信号INTPZ8-INTPZ15として機能します。ただし、チャタリング吸収回路はありません。

表7-2 デフォルト・プログラムでのSW5の動作

SW5	P1 (P10-P17 / INTPZ8-INTPZ15)
OFF	FFH
ON	00H

図7-3 FPGA用DIPスイッチ



注意 FPGAのデフォルト・プログラムの場合、絶対にポート1(P1)を出力モードに設定しないでください。

7.5 FPGA用LED

位置

図1-1(外観図) D-5~C-5

FPGAには、LEDが接続されています。FPGAの内部接続により任意の信号でLED(緑)を点灯させることができます。FPGAのLED接続端子出力が"0"の場合にLEDが点灯します。

LED接続端子はプルアップされているため、FPGAがイニシャライズを行っている間は、LEDは点灯しません。

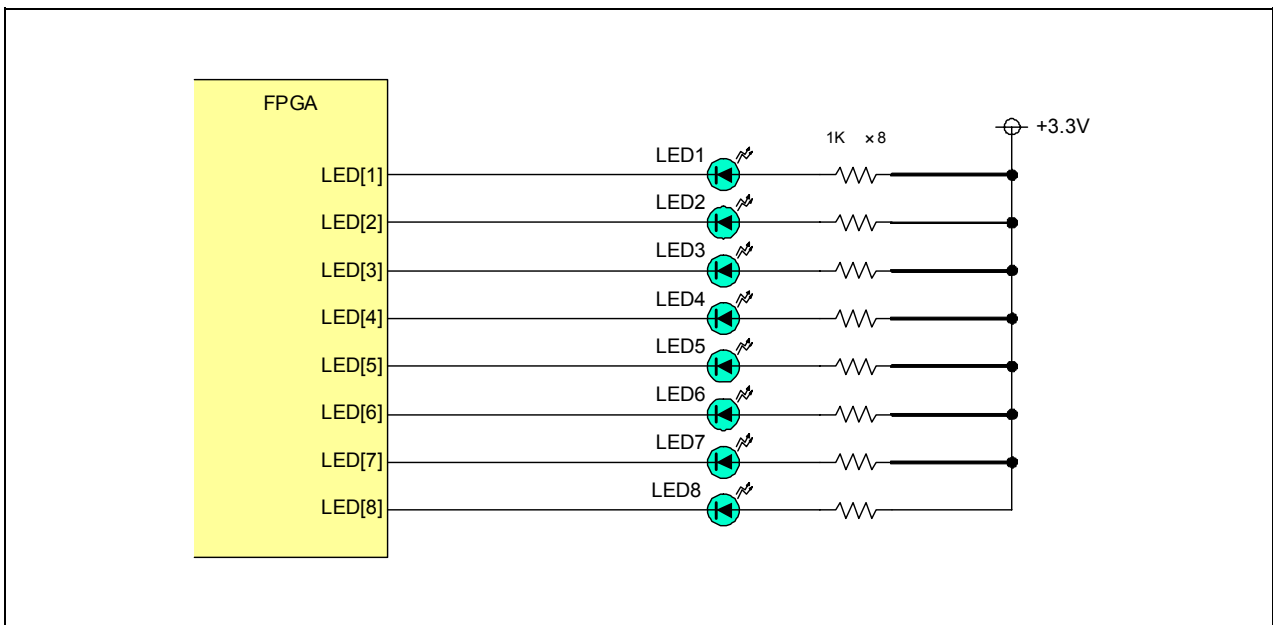
FPGAがデフォルト・プログラミングの状態では、LEDはPFESiP/V850EP1のポート2(P20-P27)がインバートして接続されており、FPGAのイニシャライズが完了すると、LEDは全点灯します。

このLEDを利用する場合は、PM2レジスタで、P20-P27を出力ポートに設定してください。

表7-3 デフォルト・プログラムでのLEDの動作

SW5	P1 (P10-P17 / INTPZ8-INTPZ15)
OFF	FFH
ON	00H

図7-4 FPGA用LED回路



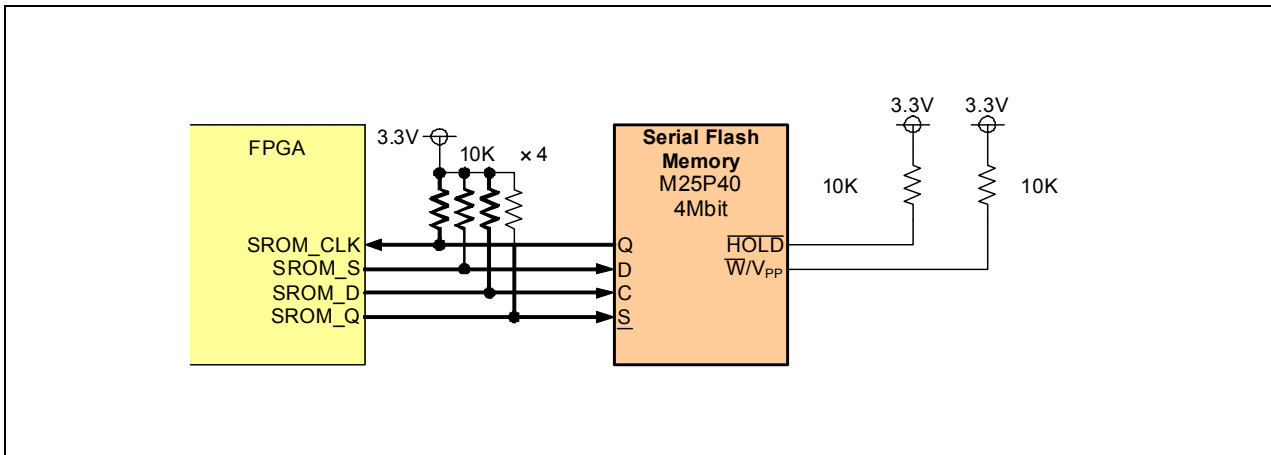
7.6 FPGA用シリアルROM

位置

図1-1(外観図) E-4

シリアルROMを用いた各種アプリケーション用として、FPGAにはSTマイクロエレクトロニクス社の4Mビット・シリアルROM(M25P40)を接続しています。

図7-5 シリアルROMの接続



備考 M25P40の使用方法については、STマイクロエレクトロニクス社にお問い合わせください。

7.7 FPGAと拡張コネクタの接続

FPGAから外部拡張用の汎用信号(GPIO_n: n=0~79)として、拡張コネクタ(汎用50ピン・コネクタ)CN3, CN4に接続されています。

詳細は、7.8 FPGA端子接続一覧を参照してください。

7.8 FPGA 端子接続一覧

信号名の は、グローバル・クロックとして使用する信号です。

(1/5)

FPGA 端子名称 1	FPGA 端子名称 2	FPGA 端子名称 3	FPGA BANK	FPGA Pin No.	FPGA 内部処理	V850EP1 端子名称 1	V850EP1 端子名称 2	V850EP1 端子名称 3	50pin コネクタ (ボート用)	50pin コネクタ (GPIO 用)	その他
P0[0]	INTPZ[0]	CCC0[0]	B5	G3		P0[0]	INTPZ[0]	CCC0[0]	CN1-2		50K Pull-up
P0[1]	INTPZ[1]	CCC0[1]	B5	H3		P0[1]	INTPZ[1]	CCC0[1]	CN1-3		50K Pull-up
P0[2]	INTPZ[2]	CCC1[0]	B5	J3		P0[2]	INTPZ[2]	CCC1[0]	CN1-4		50K Pull-up
P0[3]	INTPZ[3]	CCC1[1]	B5	K3		P0[3]	INTPZ[3]	CCC1[1]	CN1-5		50K Pull-up
P0[4]	INTPZ[4]	CCC2[0]	B5	J2		P0[4]	INTPZ[4]	CCC2[0]	CN1-7		50K Pull-up
P0[5]	INTPZ[5]	CCC2[1]	B5	K2		P0[5]	INTPZ[5]	CCC2[1]	CN1-8		50K Pull-up
P0[6]	INTPZ[6]	CCC3[0]	B5	L2		P0[6]	INTPZ[6]	CCC3[0]	CN1-9		50K Pull-up
P0[7]	INTPZ[7]	CCC3[1]	B5	E3		P0[7]	INTPZ[7]	CCC3[1]	CN1-10		50K Pull-up
P1[0]	INTPZ[8]	CC0[0]	B5	K6		P1[0]	INTPZ[8]	CC0[0]	CN1-12		50K Pull-up
P1[1]	INTPZ[9]	CC0[1]	B5	J7		P1[1]	INTPZ[9]	CC0[1]	CN1-13		50K Pull-up
P1[2]	INTPZ[10]	CC1[0]	B5	L7		P1[2]	INTPZ[10]	CC1[0]	CN1-14		50K Pull-up
P1[3]	INTPZ[11]	CC1[1]	B6	N1		P1[3]	INTPZ[11]	CC1[1]	CN1-15		50K Pull-up
P1[4]	INTPZ[12]		B5	F1		P1[4]	INTPZ[12]		CN1-17		50K Pull-up
P1[5]	INTPZ[13]		B5	G1		P1[5]	INTPZ[13]		CN1-18		50K Pull-up
P1[6]	INTPZ[14]		B5	H1		P1[6]	INTPZ[14]		CN1-19		50K Pull-up
P1[7]	INTPZ[15]		B5	K1		P1[7]	INTPZ[15]		CN1-20		LAN 回路 , 1K Pull-up
P2[0]	INTPZ[16]		B4	B6		P2[0]	INTPZ[16]				
P2[1]	INTPZ[17]		B4	B5		P2[1]	INTPZ[17]				
P2[2]	INTPZ[18]		B4	C5		P2[2]	INTPZ[18]				
P2[3]	INTPZ[19]		B4	D5		P2[3]	INTPZ[19]				
P2[4]	INTPZ[20]		B4	A6		P2[4]	INTPZ[20]				
P2[5]	INTPZ[21]		B4	H7		P2[5]	INTPZ[21]				
P2[6]	INTPZ[22]		B5	J8		P2[6]	INTPZ[22]				
P2[7]	INTPZ[23]		B4	A5		P2[7]	INTPZ[23]				
P4[0]	TI[0]		B5	H4		P4[0]	TI[0]		CN1-32		50K Pull-up
P4[1]	TI[1]		B5	K4		P4[1]	TI[1]		CN1-33		50K Pull-up
P4[2]	TI[2]		B5	F5		P4[2]	TI[2]		CN1-34		50K Pull-up
P4[3]	TI[3]		B5	G5		P4[3]	TI[3]		CN1-35		50K Pull-up
P4[4]	TCLR[0]		B5	H5		P4[4]	TCLR[0]		CN1-37		50K Pull-up
P4[5]	TCLR[1]		B5	J5		P4[5]	TCLR[1]		CN1-38		50K Pull-up
P4[6]	TCLR[2]		B5	K5		P4[6]	TCLR[2]		CN1-39		50K Pull-up
P4[7]	TCLR[3]		B5	G6		P4[7]	TCLR[3]		CN1-40		50K Pull-up
P5[0]	TO[0]		B5	L3		P5[0]	TO[0]		CN1-42		50K Pull-up
P5[1]	TO[1]		B5	E4		P5[1]	TO[1]		CN1-43		50K Pull-up
P5[2]	TO[2]		B5	F4		P5[2]	TO[2]		CN1-44		50K Pull-up
P5[3]	TO[3]		B5	G4		P5[3]	TO[3]		CN1-45		50K Pull-up
P5[4]	ETIUD[0]		B6	R1		P5[4]	ETIUD[0]		CN1-47		50K Pull-up
P5[5]	ETIUD[1]		B6	T1		P5[5]	ETIUD[1]		CN1-48		50K Pull-up
P5[6]	ETCUD[0]		B6	U1		P5[6]	ETCUD[0]		CN1-49		50K Pull-up
P5[7]	ETCUD[1]		B6	V1		P5[7]	ETCUD[1]		CN1-50		50K Pull-up
P6[0]	A[20]		B2	F22		P6[0]	A[20]		CN2-3		FROM
P6[1]	A[21]		B2	F19		P6[1]	A[21]		CN2-4		FROM
P6[2]	A[22]		B2	F20		P6[2]	A[22]		CN2-5		FROM
P6[3]	A[23]		B2	E21		P6[3]	A[23]		CN2-7		SDRAM , FROM
P6[4]	A[24]		B2	E22		P6[4]	A[24]		CN2-8		SDRAM
P6[5]	A[25]		B2	E19		P6[5]	A[25]		CN2-9		
P6[6]	A[0]		B2	E20		P6[6]	A[0]		CN2-10		
P6[7]	A[1]		B2	F21		P6[7]	A[1]		CN2-12		LAN 回路 , SDRAM ,FROM

FPGA 端子名称 1	FPGA 端子名称 2	FPGA 端子名称 3	FPGA BANK	FPGA Pin No.	FPGA 内部処理	V850EP1 端子名称 1	V850EP1 端子名称 2	V850EP1 端子名称 3	50pin コネクタ (ポート用)	50pin コネクタ (GPIO用)	その他
P7[0]	WAITZ		B2	G18		P7[0]	WAITZ				
P7[1]	CSZ[1]		B2	H22		P7[1]	CSZ[1]				SW4-1
P7[2]	CSZ[2]		B2	J18		P7[2]	CSZ[2]				
P7[3]	CSZ[3]		B2	J19		P7[3]	CSZ[3]				SW4-2
P7[4]	CSZ[4]		B2	J20		P7[4]	CSZ[4]				SW4-3
P7[6]	CSZ[6]		B2	K18		P7[6]	CSZ[6]				LAN 回路 ,SW44
BUSCLK			B3	C13			BUSCLK		CN2-2		テスト・ピン , SDRAM
P8[0]	IOWRZ		B2	K20		P8[0]	IOWRZ				
P8[1]	IORDZ		B2	K21		P8[1]	IORDZ				
P8[2]	HLDKZ		B2	K22		P8[2]	HLDKZ				
P8[3]	HLDRQZ		B2	L20		P8[3]	HLDRQZ				
P8[4]	REFRQZ		B2	L21		P8[4]	REFRQZ				
P8[5]	SELFREFZ		B1	N16		P8[5]	SELFREFZ				
P11[0]	ETCLR[0]		B6	W1		P11[0]	ETCLR[0]		CN2-13		50K Pull-up
P11[1]	ETCLR[1]		B6	Y1		P11[1]	ETCLR[1]		CN2-14		50K Pull-up
P11[2]	ETO[0]		B6	N2		P11[2]	ETO[0]		CN2-15		50K Pull-up
P11[3]	ETO[1]		B6	P2		P11[3]	ETO[1]		CN2-17		50K Pull-up
P12[0]	TCZ[0]		B1	T17		P12[0]	TCZ[0]		CN2-18		
P12[1]	TCZ[1]		B1	U17		P12[1]	TCZ[1]		CN2-19		
P12[4]	DMAAKZ[0]		B1	P18		P12[4]	DMAAKZ[0]		CN2-20		
P12[5]	DMAAKZ[1]		B1	P19		P12[5]	DMAAKZ[1]		CN2-21		
P13[0]	DMARQZ[0]		B1	P16		P13[0]	DMARQZ[0]		CN2-23		
P13[1]	DMARQZ[1]		B1	R16		P13[1]	DMARQZ[1]		CN2-24		
P14[0]	SCK[0]		B5	C2		P14[0]	SCK[0]		CN2-25		
P14[1]	SI[0]		B5	D2		P14[1]	SI[0]		CN2-27		
P14[2]	SO[0]		B5	E2		P14[2]	SO[0]		CN2-28		
P14[3]	SCK[1]		B5	F2		P14[3]	SCK[1]		CN2-29		
P14[4]	SI[1]		B5	G2		P14[4]	SI[1]		CN2-30		
P14[5]	SO[1]		B5	H2		P14[5]	SO[1]		CN2-32		
P14[6]	PWMO[0]		B5	J6		P14[6]	PWMO[0]		CN2-33		
P14[7]	PWMO[1]		B5	K7		P14[7]	PWMO[1]		CN2-34		
NMI_OUT			B1	R18			NMI				
SDMARQZ[0]			B4	E6			SDMARQZ[0]				
SDMARQZ[1]			B4	A7			SDMARQZ[1]				
SDMAAKZ[0]			B4	B7	Pull-up		SDMAAKZ[0]				
SDMAAKZ[1]			B4	C7	Pull-up		SDMAAKZ[1]				
STCZ[0]			B4	C6	Pull-up		STCZ[0]				
STCZ[1]			B4	D6	Pull-up		STCZ[1]				
SCSZ[0]			B4	E10			SCSZ[0]				
SCSZ[1]			B4	B11			SCSZ[1]				
SCSZ[2]			B4	C11			SCSZ[2]				
SCSZ[3]			B4	B12			SCSZ[3]				
SA[0]			B3	A17			SA[0]				
SA[1]			B3	B17			SA[1]				
SA[2]			B3	E15			SA[2]				
SA[3]			B3	A16			SA[3]				
SA[4]			B3	B16			SA[4]				
SA[5]			B3	C16			SA[5]				
SA[6]			B3	A15			SA[6]				
SA[7]			B3	B15			SA[7]				
SA[8]			B3	C15			SA[8]				

FPGA 端子名称 1	FPGA 端子名称 2	FPGA 端子名称 3	FPGA BANK	FPGA Pin No.	FPGA 内部処理	V850EP1 端子名称 1	V850EP1 端子名称 2	V850EP1 端子名称 3	50pin コネクタ (ポート用)	50pin コネクタ (GPIO用)	その他
SA[9]			B3	D15			SA[9]				
SA[10]			B3	C14			SA[10]				
SA[11]			B3	D14			SA[11]				
SA[12]			B3	E14			SA[12]				
SA[13]			B4	F9			SA[13]				
SA[14]			B4	G7			SA[14]				
SA[15]			B4	G8			SA[15]				
SA[16]			B4	G9			SA[16]				
SA[17]			B4	C12			SA[17]				
SA[18]			B4	F6			SA[18]				
SA[19]			B4	F7			SA[19]				
SA[20]			B4	F8			SA[20]				
SD[0]			B2	C22			SD[0]				
SD[1]			B3	F13			SD[1]				
SD[2]			B3	F14			SD[2]				
SD[3]			B3	F15			SD[3]				
SD[4]			B3	F16			SD[4]				
SD[5]			B3	G13			SD[5]				
SD[6]			B3	G14			SD[6]				
SD[7]			B3	G15			SD[7]				
SD[8]			B3	G16			SD[8]				
SD[9]			B2	J16			SD[9]				
SD[10]			B2	K16			SD[10]				
SD[11]			B2	L16			SD[11]				
SD[12]			B2	G17			SD[12]				
SD[13]			B2	H17			SD[13]				
SD[14]			B2	J17			SD[14]				
SD[15]			B2	K17			SD[15]				
SRDZ			B2	C21			SRDZ				
SWRZ[0]	SBENZ[0]		B3	B18			SWRZ[0]	SBENZ[0]			
SWRZ[1]	SBENZ[1]		B3	C18			SWRZ[1]	SBENZ[1]			
SIOWRZ			B4	C8			SIOWRZ				
SIORDZ			B4	D8			SIORDZ				
SWRSTBZ			B3	A18			SWRSTBZ				
SWAITZ			B4	E7			SWAITZ				
SHLDRQZ			B4	A8			SHLDRQZ				
SHLDAKZ			B4	B8			SHLDAKZ				
SBCYSTZ			B3	C17			SBCYSTZ				
SBUSCLK			B3	A13			SBUSCLK				
SREFRQZ			B4	E8			SREFRQZ				
SRESTOZ			B4	E9			SRESTOZ				
UCLKSEL[0]			B6	R2			UCLKSEL[0]				
UCLKSEL[1]			B6	T2			UCLKSEL[1]				1K Pull-down
IROMEN			B1	R19			IROMEN				
VBCLKEN			B5	C1			VBCLKEN				50K Pull-down
VSBRAMEN			B2	D22			VSBRAMEN				50K Pull-up
BOOTSEL			B2	D21			BOOTSEL				50K Pull-up
MODE[0]			B5	D1			MODE[0]				50K Pull-up
MODE[1]			B5	E1			MODE[1]				50K Pull-up
FRESETZ			B6	W2							リセット回路へ
NMI_IN			B1	R21							SW_NMI 回路
SW_INTPT[7]			B1	R22							SW_INTPT7 回路

FPGA 端子名称 1	FPGA 端子名称 2	FPGA 端子名称 3	FPGA BANK	FPGA Pin No.	FPGA 内部処理	V850EP1 端子名称 1	V850EP1 端子名称 2	V850EP1 端子名称 3	50pin コネクタ (ポート用)	50pin コネクタ (GPIO用)	その他
SROM_CLK			B1	T18							SROM , 10K Pull-up
SROM_D			B1	T19							SROM , 10K Pull-up
SROM_S			B1	T20							SROM , 10K Pull-up
SROM_Q			B1	T21							SROM , 10K Pull-up
LED[1]			B1	T22							LED1
LED[2]			B1	U18							LED2
LED[3]			B1	U19							LED3
LED[4]			B1	U20							LED4
LED[5]			B1	U21							LED5
LED[6]			B1	U22							LED6
LED[7]			B1	V18							LED7
LED[8]			B1	V19							LED8
DIP_[1]			B1	V21	Pull-up						SW5-1
DIP_[2]			B1	V22	Pull-up						SW5-2
DIP_[3]			B1	W19	Pull-up						SW5-3
DIP_[4]			B1	W20	Pull-up						SW5-4
DIP_[5]			B1	W21	Pull-up						SW5-5
DIP_[6]			B1	W22	Pull-up						SW5-6
DIP_[7]			B1	Y21	Pull-up						SW5-7
DIP_[8]			B1	Y22	Pull-up						SW5-8
EX_CLK			B8	AB13							OSC4 (未実装)
GPIO[0]			B6	Y2						CN3-2	
GPIO[1]			B6	P3						CN3-3	
GPIO[2]			B6	R3						CN3-4	
GPIO[3]			B6	T3						CN3-5	
GPIO[4]			B6	V3						CN3-7	
GPIO[5]			B6	W3						CN3-8	
GPIO[6]			B6	R4						CN3-9	
GPIO[7]			B6	T4						CN3-10	
GPIO[8]			B6	U4						CN3-12	
GPIO[9]			B6	V4						CN3-13	
GPIO[10]			B6	W4						CN3-14	
GPIO[11]			B6	P5						CN3-15	
GPIO[12]			B6	R5						CN3-17	
GPIO[13]			B6	T5						CN3-18	
GPIO[14]			B6	U5						CN3-19	
GPIO[15]			B6	P6						CN3-20	
GPIO[16]			B6	R6						CN3-22	
GPIO[17]			B6	T6						CN3-23	
GPIO[18]			B6	N7						CN3-24	
GPIO[19]			B6	P7						CN3-25	
GPIO[20]			B6	R7						CN3-27	
GPIO[21]			B7	T10						CN3-28	
GPIO[22]			B7	T7						CN3-29	
GPIO[23]			B7	T8						CN3-30	
GPIO[24]			B7	T9						CN3-32	
GPIO[25]			B7	U10						CN3-33	
GPIO[26]			B7	U6						CN3-34	
GPIO[27]			B7	U7						CN3-35	

FPGA 端子名称 1	FPGA 端子名称 2	FPGA 端子名称 3	FPGA BANK	FPGA Pin No.	FPGA 内部処理	V850EP1 端子名称 1	V850EP1 端子名称 2	V850EP1 端子名称 3	50pin コネクタ (ポート用)	50pin コネクタ (GPIO用)	その他
GPIO[28]			B7	U8						CN3-37	
GPIO[29]			B7	U9						CN3-38	
GPIO[30]			B6	R8						CN3-39	
GPIO[31]			B7	R9						CN3-40	
GPIO[32]			B7	Y5						CN3-42	
GPIO[33]			B7	W5						CN3-43	
GPIO[34]			B7	AB5						CN3-44	
GPIO[35]			B7	AA5						CN3-45	
GPIO[36]			B7	Y6						CN3-47	
GPIO[37]			B7	V6						CN3-48	
GPIO[38]			B7	AB6						CN3-49	
GPIO[39]			B7	AA6						CN3-50	
GPIO[40]			B7	Y7						CN4-2	
GPIO[41]			B7	W7						CN4-3	
GPIO[42]			B7	V7						CN4-4	
GPIO[43]			B7	AB7						CN4-5	
GPIO[44]			B7	AA7						CN4-7	
GPIO[45]			B7	Y8						CN4-8	
GPIO[46]			B7	V8						CN4-9	
GPIO[47]			B7	AB8						CN4-10	
GPIO[48]			B7	AA8						CN4-12	
GPIO[49]			B7	Y10						CN4-13	
GPIO[50]			B7	W10						CN4-14	
GPIO[51]			B7	V10						CN4-15	
GPIO[52]			B7	Y11						CN4-17	
GPIO[53]			B7	AA11						CN4-18	
GPIO[54]			B8	T13						CN4-19	
GPIO[55]			B8	T14						CN4-20	
GPIO[56]			B8	T15						CN4-22	
GPIO[57]			B8	U12						CN4-23	
GPIO[58]			B8	U13						CN4-24	
GPIO[59]			B8	U14						CN4-25	
GPIO[60]			B8	U15						CN4-27	
GPIO[61]			B8	AA12						CN4-28	
GPIO[62]			B8	Y12						CN4-29	
GPIO[63]			B8	Y13						CN4-30	
GPIO[64]			B8	W13						CN4-32	
GPIO[65]			B8	V13						CN4-33	
GPIO[66]			B8	Y14						CN4-34	
GPIO[67]			B8	W14						CN4-35	
GPIO[68]			B8	V14						CN4-37	
GPIO[69]			B8	AB15						CN4-38	
GPIO[70]			B8	AA15						CN4-39	
GPIO[71]			B8	Y15						CN4-40	
GPIO[72]			B8	W15						CN4-42	
GPIO[73]			B8	V15						CN4-43	
GPIO[74]			B8	AB16						CN4-44	
GPIO[75]			B8	AA16						CN4-45	
GPIO[76]			B8	Y16						CN4-47	
GPIO[77]			B8	Y17						CN4-48	
GPIO[78]			B8	AB17						CN4-49	
GPIO[79]			B8	AA17						CN4-50	

第8章 その他の機能

8.1 各種 LED

8.1.1 USB ホスト・ポート LED (LED9, LED10)

位置

図 1 - 1 (外観図) A-2

2ポートある USB ホスト・ポートの電源投入を示す LED です。電源が投入されると赤く点灯します。

USB ホスト・ポート	LED No.	座標	コネクタの段
ポート 0	LED9 (USB0) (赤)	A-2	下段
ポート 1	LED10 (USB1) (赤)	A-3	上段

8.1.2 FPGA DONE 用 LED (LED11)

位置

図 1 - 1 (外観図) A-6

LED11 の状態	コンフィグレーション状態
点灯 (赤)	コンフィグレーション中
消灯	コンフィグレーション完了

FPGA のコンフィグレーションを示す LED です。

コンフィグレーション中に赤く点灯します。コンフィグレーションが完了すると消灯します。

8.1.3 電源 LED (LED15)

位置

図 1 - 1 (外観図) E-2

PFESiP EP-1 評価ボードは、通常は+5 V 単一電源を供給して動作させます。

+5 V 電源が給電されると、LED15 が青く点灯します。

LED15 の状態	電源状態
点灯 (青)	電源 ON
消灯	電源 OFF

8.2 内蔵シリアル・インタフェース (USB 変換回路)

位置

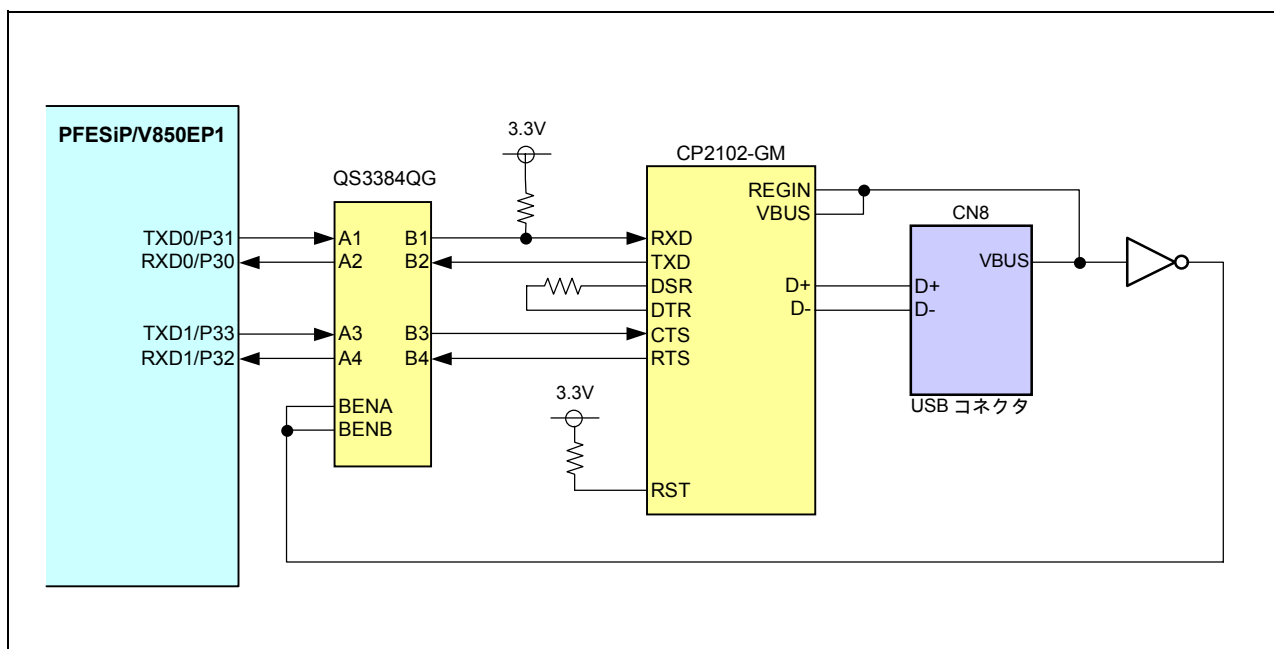
図 1 - 1 (外観図) A-4

PFESiP/V850EP1 の内蔵アシンクロナス・シリアル・インタフェース (UART) は 1 チャンネル分だけ、シリコン・ラボラトリーズ社製の UART, USB ブリッジ IC (CP2102) を用いて USB のミニ B コネクタ (CN8) に変換してボードに実装されます。

CP2102 のドライバはデバイスメーカーのシリコン・ラボラトリーズ社からライセンスフリーで供給されています。下記の同社のサイトから各 OS に対応した最新ドライバをダウンロードすることができます。

http://www.silabs.com/tgwWebApp/public/web_content/products/Microcontrollers/USB/en/mcu_vcp.htm

図8 - 1 USBミニBコネクタ - UART変換



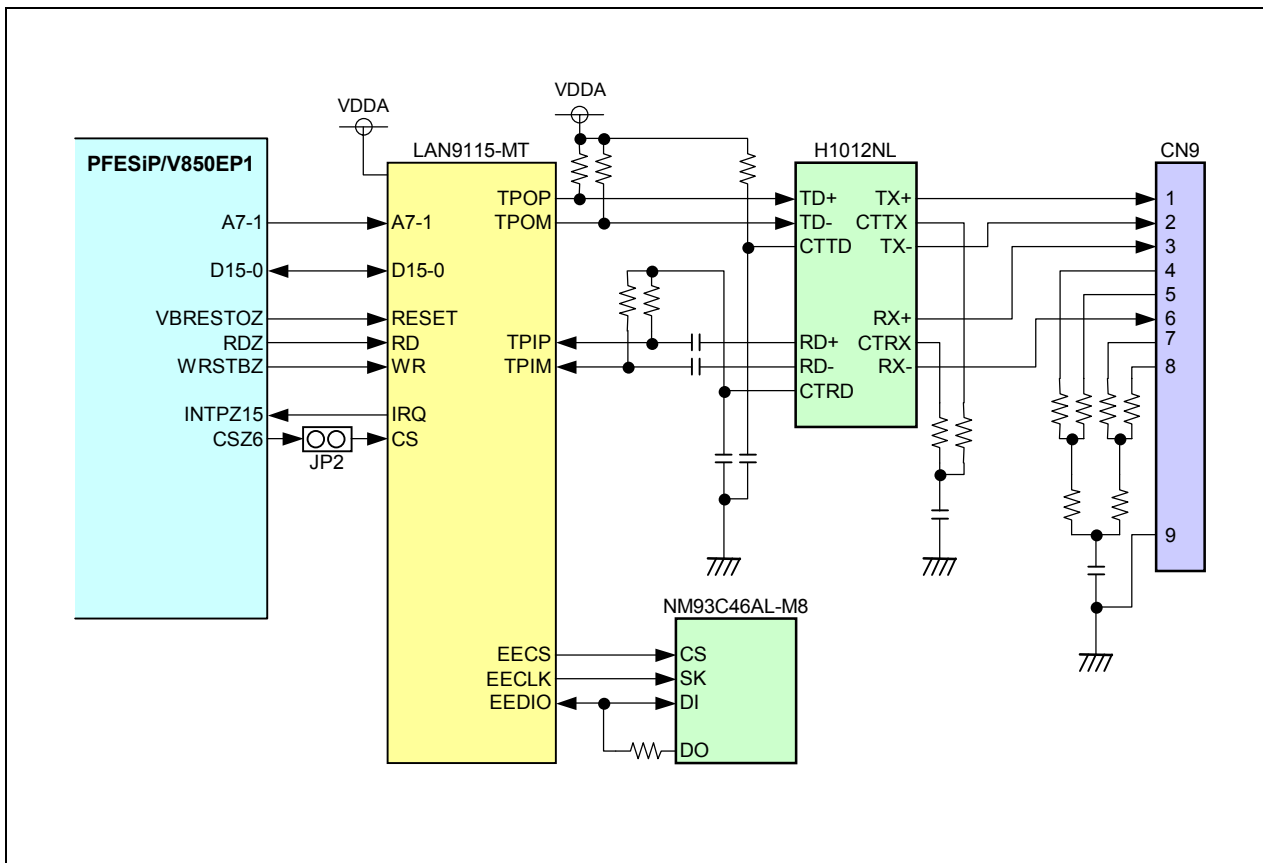
8.3 外付け LAN インタフェース (LAN9115)

位置

図 1 - 1 (外観図) A-4 ~ A-5

PFESiP/V850EP1 内蔵のメモリ・コントローラのバスに SMSC 製の LAN9115 チップ接続し, LAN インタフェースを提供しています。

図8-2 LANインタフェース回路



8.4 USB 機能

PFESiP/V850EP1 は ,Universal Serial Bus Specification に準拠した ,USB ファンクション・コントローラと USB ホスト・コントローラを内蔵しています。

USB ファンクション・コントローラ :

12 M bps (フルスピード) 転送に対応

1 ch アップストリーム・ポート搭載

下記の転送用エンド・ポイントを内蔵

エンド・ポイント名	FIFO サイズ (バイト)	転送タイプ	備 考
EP0	64	Control Read/Write	
EP1	64 × 2	Bulk In	ダブル・バッファ構成
EP2	64 × 2	Bulk Out	ダブル・バッファ構成
EP7	8	Interrupt	

Bulk In/Out データは DMA 転送 (2 クロック転送) 可能

USB ホスト・コントローラ :

12 M bps (フルスピード) と 1.5 M bps (ロースピード) 転送に対応

OHCI (Open Host Controller Interface) 1.0a をサポート

(ただし USB ポートを Disable から Enable へ遷移させる制御に制限あり)

2 ch ルート・ハブ機能を内蔵し, 2 つのダウンストリーム・ポートを搭載

シェアード・メモリとして 8 K バイト内蔵 SRAM と外部 SDRAM を使用

8.4.1 USB ファンクション・コントローラの周辺回路

位置

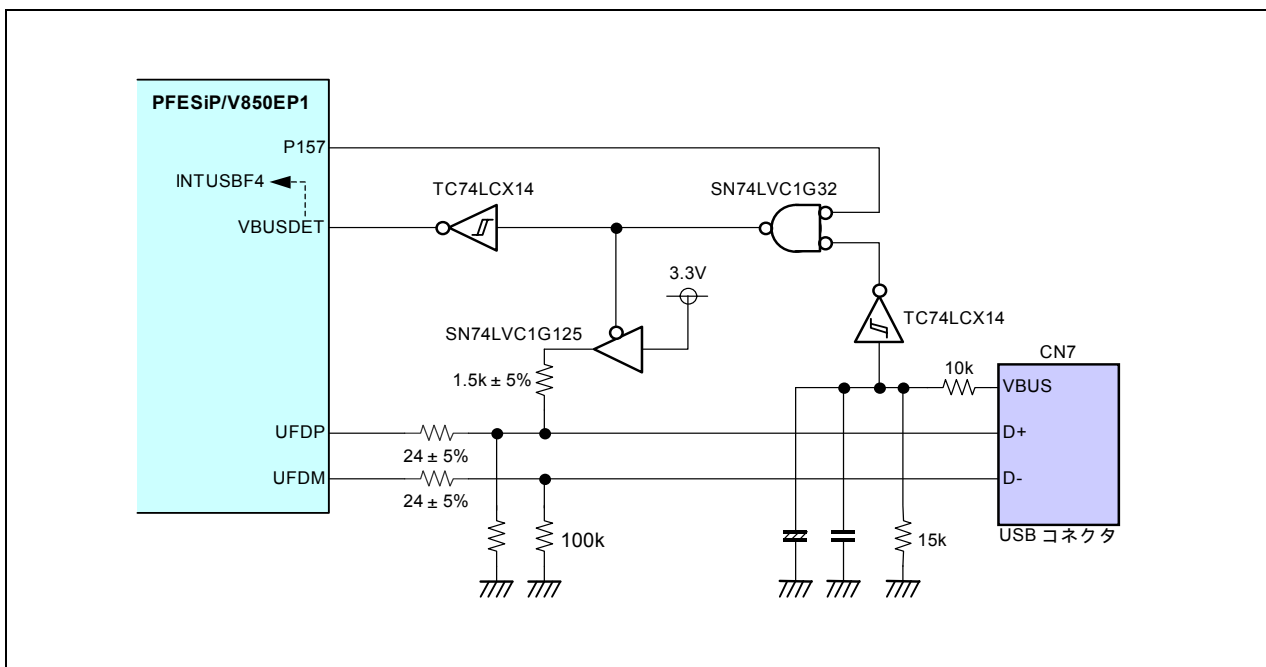
図 1 - 1 (外観図) A-3

PFESiP/V850EP1 の USB ファンクション・コントローラの D+/D-端子 (UFDP, UFDM) 近傍には、 $24 \pm 5\%$ の抵抗を直列に接続しています。また PFESiP/V850EP1 のファンクション・コントローラはフルスピード (FS) ですので、D+端子 (UFDP) は $1.5 \text{ k} \pm 5\%$ で 3.3 V 電源にプルアップしています。

VBUS 検出は、VBUSDET 端子で行います。P157 からロー・レベルを出力している場合のみ、VBUSDET による VBUS 検出ができます。VBUSDET にハイ・レベルが入力されている場合に、D+端子 (UFDP) のプルアップが有効になります。

なお、初期化時または未使用時には、フローティング状態を避けるため、D+/D-端子は 100 k でプルダウンしています。

図8 - 3 USBファンクション・コントローラ周辺回路



8.4.2 USB ホスト・コントローラの周辺回路

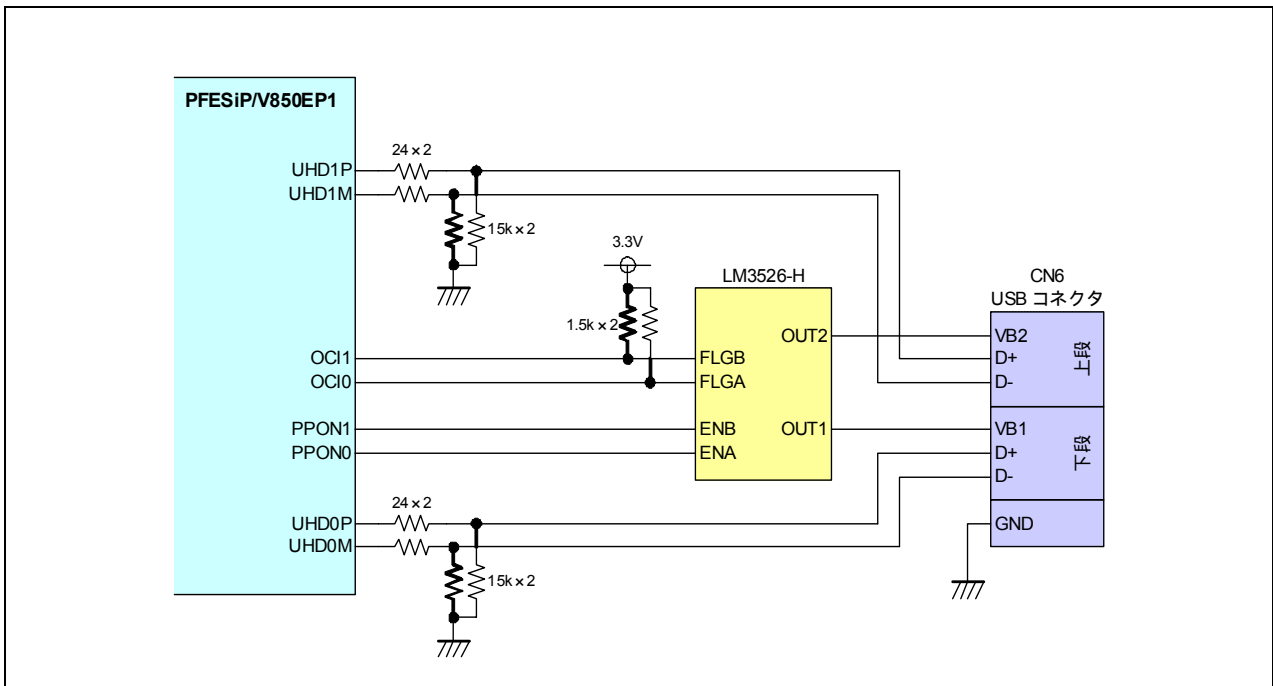
位置

図 1 - 1 (外観図) A-3

PFESiP/V850EP1 の USB ホスト・コントローラの D+/D-端子 (UHD0P, UHD0M, UHD1P, UHD1M) 近傍には , 24 Ω ± 5% の抵抗を直列に接続しています。また , 15 k Ω ± 5% で GND にプルダウンしています。

ホスト・コントローラのパワー・スイッチには , 過電流保護つきデュアル・ポート USB パワー・スイッチ LM3526 を用いています。

図8 - 4 USBホスト・コントローラ周辺回路



8.4.3 USB ホスト・ポート LED (LED9, LED10)

位置

図 1 - 1 (外観図) A-2

2 ポートある USB ホスト・ポートの電源投入を示す LED です。電源が投入されると赤く点灯します。

USB ホスト・ポート	LED No.	座標	コネクタの段
ポート 0	LED9 (USB0) (赤)	A-2	下段
ポート 1	LED10 (USB1) (赤)	A-3	上段

注意 USB ホスト・ポート電源投入時に LED が点灯し , すぐ消灯する現象が発生した場合 , システムにリセットが掛かって場合があります。USB ホスト・ポートに想定以上の負荷容量デバイスが接続され , AC アダプタの供給が間にあっていないため , その際は , AC アダプタの使用を中止し , CN12 のターミナルを使用して外部からの安定化電源による供給を行ってください。想定している負荷は電源供給付きの USB ハブをそれぞれ 1 個接続する程度です。

8.5 操作スイッチ

8.5.1 リセット・スイッチ

位置

図 1 - 1 (外観図) E-6

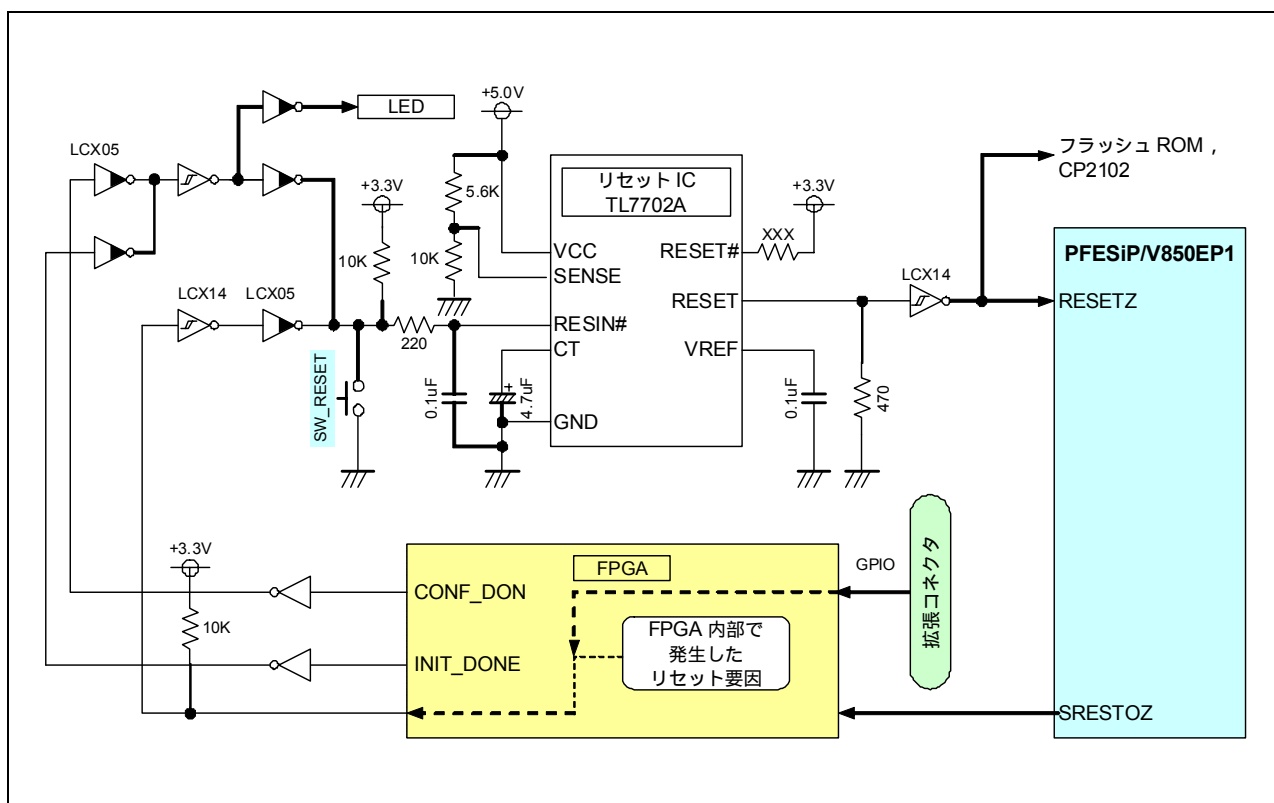
PFESiP/V850EP1 のリセット用途として、SW_RESET (RESETZ) が用意されています。

SW_RESET はモーメンタリ・タイプのトグル・スイッチとして設けられています。発振安定待ち、PLL のロック待ち、およびパイプライン・クリアに必要なリセット機能は、PFESiP/V850EP1 内部に組み込まれています。PFESiP/V850EP1 は、リセット入力解除された時点から、発振安定待ちを開始します。なお、FPGA のコンフィギュレーション中にも、PFESiP/V850EP1 はリセット状態になります。

このリセット信号は、フラッシュ ROM、およびフラッシュ ROM のバンクを管理する CPLD3 にも供給されています。

また、RESETZ はスイッチによる操作の他に、FPGA 経由での操作も可能です。FPGA 経由で操作を行う場合、各スイッチは必ず OFF の状態で使用しなければなりません。

図8-5 パワーオン・リセット・スイッチ



8.5.2 割り込みスイッチ

位置

図 1 - 1 (外観図) E-5

NMI (SW_NMI), INTPZ7 (SW_INTP7) は、基板上にプッシュ・スイッチを設けています。これらはチャタリング防止回路が組み込まれています。

これらのスイッチは、オンボード大容量 FPGA がデフォルト・プログラミングの状態で作動します。

スイッチを押さない状態で、ハイ・レベルが PFESiP/V850EP1 に出力されます。

スイッチを押すと、ロー・レベルが PFESiP/V850EP1 に出力されます。

SW_NMI, SW_INTP7	PFESiP/V850EP1 入力
通常	ハイ・レベル入力
プッシュ	ロー・レベル入力

パワーオン時の内部の初期化が、チャタリング防止回路の電源立ち上がりより早い場合には、ブート時に割り込み要求フラグがセットされるため、初期化プログラムでは、全割り込み要求フラグをクリアするようにしてください。

注意 オンボード FPGA の内容を書き換える際に、NMI, INTPZ7 を使用する場合は、FPGA のデータに NMI, INTPZ7 の処理を加えてください。

付録 A PFESiP EP-1 Evaluation Board との差異

(1/2)

項 目	PFESiP EP-1 Evaluation Board	PFESiP EP-1 Evaluation Board Lite
オンボード・メモリ		
フラッシュ ROM	16M バイト 東芝 TC58FVM7B5BTG65 SW14 で CSZ 任意選択，ブート切り替えあり， SW_FWP でライト・プロテクト選択可能， BUSY 端子制御可能	8M バイト Spansion S29JL064H70TFI000H CSZ0 接続固定，ブート切り替えなし， ライト・イネーブル固定， BUSY 端子制御不可
SRAM	4 M バイト / 2 M バイト (バス幅依存) NEC エレクトロニクス μ PD4416016G5-A15 SW7 で CSZ 任意選択	なし
32 ビット幅接続 SDRAM	64 M バイト MICRON MT48LC16M16A2TG-7E SW6 で CSZ 任意選択	なし
16 ビット幅接続 SDRAM	32 M バイト MICRON MT48LC16M16A2TG-7E SW9 で CSZ 任意選択	32 M バイト MICRON MT48LC16M16A2TG-7E SW4 で CSZ 任意選択
オンボード FPGA 関連		
搭載 FPGA	Xilinx [®] Virtex [®] -4 XC4VLX40FF1148-11 (標準) BTO で，LX60, LX80, LX100, LX160 選択可能	Altera Stratix II EP2S15F484C5 BTO 選択なし
ロジック・セル	41,472	15,600
内蔵 RAM	216 K バイト	52 K バイト
利用可能 GPIO	287 ピン	80 ピン
デザイン・ツール	ISE [®] Foundation	Quartus II Web Edition による開発が可能
FPGA 接続シリアル・ フラッシュ ROM	64 M ビット ST マイクロエレクトロニクス M25P64	4 M ビット ST マイクロエレクトロニクス M25P40
FPGA プログラミング・ コネクタ	Platform Cable USB 用 : CN5	ByteBlaster II / USB Blaster Download Cable 専 用 Active Serial Configuration Interface : CN10 , JTAG (CN11) は未実装
コネクタ		
拡張コネクタ		
システム拡張用	AMP MICTOR 2-767004-5 レセクタブル 152 ピン \times 3 : CN6, CN7, CN9	なし
スタック用	AMP MICTOR 5767017-4 プラグ 152 ピン \times 2 : CN13, CN14	なし
V850EP1 ポート用	汎用 50 ピン \times 2 : CN11, CN12 (80 信号)	汎用 50 ピン \times 2 : CN1, CN2 (アナログ入力含めて 80 信号)
FPGA GPIO 用	汎用 50 ピン \times 2 : CN8, CN10 (80 信号)	汎用 50 ピン \times 2 : CN3, CN4 (80 信号)
アナログ入力 (AIN)	ジャンパ入力 (JP9, JP10, JP11) AIN6 にはオンボード可変抵抗接続	汎用 50 ピン CN2 (35-50) 利用
N-Wire (デバッグ I/F)	マイダス・ラボ RTE-2000-TP 用 RTE-NEC/MICTOR38-2K : CN1 トレース信号 8 本に対応 MINICUBE 接続時は別途 Mictor Adaptor が必要	MINICUBE 対応 KEL 製コネクタ 26 ピン : CN5 トレース不可， マイダス・ラボ RTE-2000-TP 用 RTE-NEC 対応
ROM ケーブル・コネクタ	CN4	なし
SDRAM バス・トレーサ	CN20	なし

(2/2)

項目	PFESiP EP-1 Evaluation Board	PFESiP EP-1 Evaluation Board Lite
USB, LAN, UART 機能		
PFESiP/V850EP1 内蔵 USB 2.0 FS 機能	USB2.0 FS/LS Host × 2 : JUSB_A1 USB2.0 FS Function (標準 B) : JUSB_B1	USB2.0 FS/LS Host × 2 : CN6 USB2.0 FS Function (ミニ B) : CN7
USB 用クロック	UCLK は外部に 48 MHz 実装	ソケットのみ (デフォルトは XT1 選択)
LAN インタフェース	なし	米国 SMSC 社 LAN9115 オンボード LAN コント ローラ利用可能 : CN9 PFESiP/V850EP1 とは外部バス・インタフェ ース接続 (CSZ6 に接続, JP2 で切り離し可能) 割り込みは INTPZ15 を専用に割り当て
PFESiP/V850EP1 内蔵 UART コネクタ	JSIO1, JSIO2 D-Sub 9 ピン・クロス・ケーブル用 × 2	CP2102-GM を用いて UART ↔ USB 変換 USB ミニ B コネクタ : CN8
動作モード設定		
CPU 動作モード設定	ディップ・スイッチ (SW1, SW2)	標準状態に端子レベル設定 (必要に応じて FPGA から変更も可能)
PLL 動作モード設定	ディップ・スイッチ (SW3, SW4, SW5)	ディップ・スイッチ (SW1, SW2, SW3)
クロック設定	ディップ・スイッチ (SW5)	ディップ・スイッチ (SW3)
動作条件等		
電源 (AC アダプタ入力)	専用 AC アダプタで CN21 または CN23 から供給 (他方を外部分配に利用可能) 外部安定化電源接続用コネクタ DC 電源ジャック × 2 (AC アダプタ接続用, 外部分配用)	専用 AC アダプタで CN13 から供給 (外部分配機能なし)
電源 (安定化電源入力)	CN16 (5V) CN17 (3.3V) CN18 (1.5V)	CN12 (5V) のみ 3.3V, 1.5V の個別供給不可
指定 AC アダプタ	UNIFIVE 製 UIA324-05, 5V4A, 240V 対応	UNIFIVE 製 UL110-0520 5V2A, 120V まで
利用電圧	3.3V, 2.5V, 1.8V, 1.5V, 1.2V	3.3V, 1.5V, 1.2V
電流測定機能	電流測定用ジャンパ JP45, JP46 で 3.3V, 1.5V の 電流測定可能	なし

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
