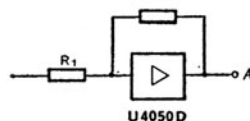




Information Applikation

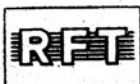


CMOS-
LOGIK-
SCHALT
KREISE



U 4093 D
U 40098 D
U 4050 D
U 40511 D

12



mikroelektronik

Information

Applikation

Heft 12:
CMOS-Logik-IS



veb halbleiterwerk frankfurt (oder)
VEB ZENTRUM FÜR FORSCHUNG
UND TECHNOLOGIE MIKROELEKTRONIK
im veb kombinat mikroelektronik

Autoren: Dipl.-Ing. Klaus Benning

Dipl.-Ing. Bernd Bürger

Redaktion

und Layout: Heinz Schulz

Umschlag: Peter Hoffmann

Redaktions- Heinz Schulz, Vorsitzender

kommission: Dipl.-Ing. Peter Grunow, KDT-Bez.Vorstand

Dipl.-Ing. Dieter Buttgereit

Dipl.-Ing. Egbert Knoppke

Dipl.-Ing. Hermann Dornfeld

Ingenieur Wolfgang Richter

Dipl.-Wirtsch. Wolfgang Matke

Redaktions-Schluß: 1. 11. 1983

Nachdruck, auch auszugsweise, nur mit Genehmigung des Heraus-
gebers!

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers sowie interessierten Technikern im In- und Ausland zu speziellen ausgewählten Erzeugnissen der Halbleiterbauelemente-Industrie der Deutschen Demokratischen Republik. Sie gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion.

Die breite Anwendung der Leistungselektronik, die in Verbindung mit der Mikroelektronik ständig neue Einsatzgebiete erfasst, erfordert eine aktuelle Information über das vorhandene Sortiment und die entsprechende Applikation.

Aus diesem Grunde wird die bestehende Schriftenreihe "Mikroelektronik" durch zusätzliche Hefte "Leistungselektronik" erweitert.

Gültige Unterlagen für den Bezug der Bauelemente sind allein die Erzeugnisstandards oder die im Liefervertrag festgelegten Vereinbarungen. Änderungen der Bauelementeeigenschaften, die dem technischen Fortschritt dienen, behält sich der Hersteller der Bauelemente vor. Für die Patentfreiheit der angegebenen Schaltungsvorschläge wird keine Gewähr übernommen.

Anfragen und Hinweise, die den Inhalt und Bezug der Schriftenreihe betreffen, bitten wir an nachstehende Anschriften zu richten:

DDR-Interessenten:	VEB Zentrum für Forschung und Technologie Mikroelektronik <u>8080 Dresden</u> Karl-Marx-Straße
Interessenten im Ausland:	VEB Halbleiterwerk Frankfurt (Oder) Leitbetrieb im VEB Kombinat Mikroelektronik Außenstelle Leipzig Werbung und Messen
	<u>DDR 7010 Leipzig</u> Messegelände, Halle 17, II. Etage

InhaltsverzeichnisSeite

1.	Einführung	6
2.	Allgemeines zu CMOS-Logik-Schaltkreisen	8
2.1.	Grundprinzip	8
2.2.	Eigenschaften	10
2.3.	Anwendungsmöglichkeiten	11
3.	Beschreibung der Schaltkreise U 4093 D, U 40098 D, U 4050 D und U 40511 D	13
3.1.	Allgemeines	13
3.1.1.	Kompatibilität zu anderen CMOS-Logik-Familien	13
3.1.2.	Eingangsschutzschaltungen	13
3.1.3.	Gehäusebilder	14
3.1.4.	Definition der dynamischen Parameter	14
3.2.	Grenzwerte, Betriebsbedingungen, typische Kennwerte	19
3.2.1.	Allgemeines	19
3.2.2.	Grenzwerte	19
3.2.3.	Betriebsbedingungen	19
3.2.4.	typische Kennwerte	20
3.3.	CMOS-Amateur-Schaltkreise S 4093 D, S 40098 D, S 4050 D und S 40511 D	23
3.4.	Typ-Beschreibung	25
3.4.1.	Schmitt-Trigger-Schaltkreis U 4093 D	25
3.4.2.	Treiber-Schaltkreis U 40098 D	29
3.4.3.	Treiber-Schaltkreis U 4050 D	32
3.4.4.	Dekoder-Schaltkreis U 40511 D	36

	<u>Seite</u>	
4.	Behandlungsvorschriften	41
4.1.	Allgemeine Vorschriften	41
4.2.	Schutz gegen elektrostatische Aufladungen	41
4.3.	Lötvorschriften	43
4.4.	Biegevorschriften	44
5.	Applikationshinweise	45
5.1.	Betriebsspannung	45
5.2.	Stromaufnahme, Verlustleistung	46
5.3.	Gattereingänge, Eingangssignale	48
5.4.	Gatterausgänge, Ausgangssignale	51
5.5.	Parallelschaltung von CMOS-Logik-Gattern	53
5.6.	Betriebsspannungsstützung	53
5.7.	Einsatz bei ungünstigen Betriebsbedingungen	54
5.8.	Prüfung, Messung, Fehlersuche	54
5.9.	Sonstiges	55
6.	Applikationsbeispiele mit den U 4000-Bau- elementen	56
6.1.	Oszillatoren	56
6.2.	Zeitschaltungen	58
6.3.	Schwellwertschalter	64
6.4.	Tastentprellung, Sensortasten	66
6.5.	RS-Flip-Flop, D-Latch	69
6.6.	Flankendetektor	70
6.7.	Interface-Schaltungen	71
6.8.	Ansteuerung von Displays mittels U 40511 D	76
6.9.	Pegelwandlung	80
6.10.	CMOS-Prüfstift	88
7.	Literaturverzeichnis	90

1. Einführung

Ziel der vorliegenden Informationsschrift ist, die vom VEB ZFT Mikroelektronik Dresden im Rahmen der CMOS-Logik-Reihe V 4000 des VEB Kombinat Mikroelektronik entwickelten CMOS-SGT-Logikschaltkreise U 4093 D, U 40098 D, U 4050 D und U 40511 D aus applikativer Sicht vorzustellen. Die Ausführungen gelten außerdem, mit den angegebenen Kennwertabweichungen, auch für die Amateurtypen (Anfallbauelemente) S 4093 D, S 40098 D, S 4050 D und S 40511 D, womit dem Anliegen vieler Elektronikamateure entsprochen wird.

Die Auswahl der angegebenen Kennwerte, Abhängigkeiten derselben von bestimmten Parametern sowie die Schaltungsbeispiele wurden aus der Sicht der Anwender vorgenommen. Für die Kenndaten wurden vorzugsweise nur typische Werte angegeben, die als Mittelwert einer größeren Anzahl gemessener Schaltkreise verschiedener Lose zu verstehen sind; rechtsverbindlich für den Einsatz sind allerdings nur die in den entsprechenden Fachbereichsstandards angegebenen Maximal- bzw. Minimalwerte der Kenndaten. Auf die Angabe der TGL-Werte wurde hier im allgemeinen verzichtet, da durch die relativ starke Betriebsspannungs- und Temperaturabhängigkeit der Kennwerte eine große Anzahl von Kenndaten anzugeben wäre, was möglicherweise nur verwirren würde. Für die Angabe von TGL-Werten wird deshalb auf die Halbleiterinformationen 196 und 197 der Zeitschrift "Radio Fernsehen Elektronik" verwiesen (/19/, /20/). Wurden im Einzelfall Kennwerte dem Fachbereichsstandard entnommen, wurden sie in Klammer gewetzt.

Für die genannten Schaltkreistypen wurden Behandlungsvorschriften und Applikationshinweise angegeben, die, zumindest qualitativ, auch für andere CMOS-Logikschaltkreise allgemein gelten. Diese Vorschriften und Hinweise sollten im Interesse eines effektiven und schaltkreisschonenden Arbeitens unbedingt beachtet werden.

Für die Schaltungsbeispiele kann nicht garantiert werden, daß sie frei von Rechten Dritter sind.

Es ist zu erwarten, daß ab 2. Halbjahr 1984 die CMOS-Logikschaltkreise U 4093 D, U 40098 D, U 4050 D und U 40511 D auch als V-Typen, d. h. für einen Einsatztemperaturbereich von - 25 °C bis + 85 °C angeboten werden.

2. Allgemeines zu CMOS-Logik-Schaltkreisen

2.1. Grundprinzip

Das grundlegende Prinzip der inneren Struktur einer CMOS-Stufe ist die komplementäre Anordnung von je einem P-Kanal- und n-Kanal-MOS-Transistor (siehe Bild 2.1.).

Bild 2.1. Grundschtaltung eines CMOS-Inverters /1/

In jedem der beiden logischen Zustände (High- bzw. Low-Pegel) sperrt einer der beiden Transistoren während der andere leitet; es folgt hieraus eine extrem niedrige Ruhestromaufnahme I_{DD} und damit geringe statische Ruheverlustleistung P_S .

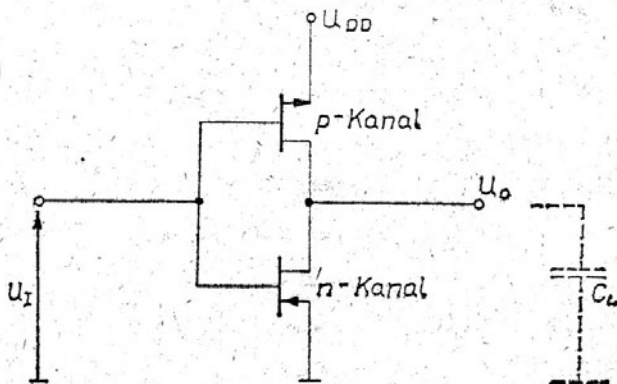


Bild 2.1

Letztere errechnet sich aus der Betriebsspannung U_{DD} und dem Ruhestrom I_{DD} des gesperrten Transistors; für mehrere Stufen bzw. Mehrgatterschaltkreise ist zur Berechnung der Ruhestrom sämtlicher gesperrten Transistoren aller Gatter heranzuziehen. Es gilt für P_S :

$$P_S = U_{DD} \cdot I_{DD}$$

Während des Umschaltvorganges entsteht in jedem der beiden Transistoren ein dynamischer Leistungsverlust P_D , dieser ist proportional zur Betriebsfrequenz f_B und der wirksamen Gesamtkapazität C_G am Ausgang. Für P_D gilt folgende Beziehung:

$$P_D = C_G \cdot U_{DD}^2 \cdot f_B$$

Die Gesamtkapazität eines Gatters ergibt sich aus der Lastkapazität C_L und der parasitären inneren Kapazität des Gatters. Bei Mehrgatter-Schaltkreisen gehen sämtliche betriebenen Gatter in die Leistungsbilanz ein. Für die Gesamtleistung P_G eines Gatters im aktiven Betrieb gilt (bei rein kapazitiver Belastung):

$$P_G = P_S + P_D$$

Die Ausgangsstufen der hier beschriebenen CMOS-Schaltkreise sind gepuffert, d. h. es werden ausgangsseitig zwei Inverter nachgeschaltet. Es wird dadurch bei unverändertem logischen Signal eine wesentliche Verbesserung der Übertragungskennlinie (Schaltverhalten) erreicht; die Gatter schalten nahezu exakt bei der halben Betriebsspannung (siehe Bild 3.7.).

Hieraus resultiert in Verbindung mit dem niedrigen Ausgangswiderstand der Gatter die hohe Störsicherheit dieser CMOS-Logik-Schaltkreise.

2.2. Eigenschaften

CMOS-Logik-Gatter bzw. -Schaltkreise weisen eine Vielzahl vorteilhafter Eigenschaften auf, die im folgenden kurz genannt werden:

- es wird nur 1 Betriebsspannung benötigt
- großer Betriebsspannungsbereich (3 bis 15 V)
- geringe Ruhestromaufnahme (typisch Nanoamperebereich) und damit geringe statische Verlustleistung (typisch Mikrowattbereich)
- hoher statischer und dynamischer Störabstand
- geringe Eingangsrestströme (typisch Picoamperebereich), damit hoher Eingangswiderstand
- niedriger Ausgangswiderstand; in Verbindung mit dem hohen Eingangswiderstand ergibt sich ein sehr hohes, praktisch unbegrenztes fan-out für weitere CMOS-Gatter
- es werden nur geringe Anforderungen an die Qualität der Eingangssignale gestellt (z. B. Anstiegszeit der Signale, Störungen usw.)
- einfacher Systemaufbau möglich, d. h. geringe Anforderungen an Stabilität und Stromergiebigkeit der Versorgungsspannung (relativ geringe Kosten für Stromversorgung), leichte Pegelumsetzung zu anderen Logiksystemen usw.

- bei entsprechender Betriebsspannung besteht (mit Einschränkungen) TTL-Kompatibilität; im Rahmen des Betriebsspannungsbereiches besteht Kompatibilität zu anderen Logikfamilien
- gutes dynamisches Verhalten, d. h. geringe Gatterlaufzeiten, Anstiegs- und Abfallzeiten der Ausgangssignale
- gute Temperaturstabilität der Übertragungskennlinie

Die CMOS-Logik-Schaltkreise U 4093 D, U 40098 D, U 4050 D und U 40511 D werden in einer leistungsfähigen Technologie, der CMOS-SGT-Technologie (Silicon-Gate-Technologie) hergestellt. Hieraus resultiert ein besonders günstiges dynamisches Verhalten, so daß es möglich ist, diese Schaltkreise kapazitiv wesentlich stärker zu belasten als die anderer CMOS-Familien.

Die angegebenen Typen stellen einen relativ hohen Ausgangsstrom von mindestens 1 TTL-Last zur Verfügung. Durch nahezu gleiches dynamisches Verhalten der einzelnen Gatter eines Schaltkreises ergeben sich Vorteile beim Einsatz derselben.

2.3. Anwendungsmöglichkeiten

Mit CMOS-Logik-Schaltkreisen stehen dem Anwender Bauelemente zur Verfügung, die bei gleichen logischen Funktionen wesentlich günstigere Eigenschaften aufweisen als Standard-TTL-Bauelemente, so daß sich für viele Anwendungen neue und wesentlich ökonomischere Lösungen ergeben. Dies gilt in besonderem Maße, wenn entsprechende Forderungen an die Spannungsversorgung (z. B. Batteriebetrieb, Größe des Netztesiles usw.) gestellt werden bzw. die zu verarbeitenden Signale stark gestört sind.

Ein generelles Austauschen von TTL-Gattern durch CMOS-Gatter wird allerdings weder möglich noch sinnvoll sein, im konkreten Anwendungsfall wird jeweils zu prüfen und zu entscheiden sein, welche Logikfamilie der anstehenden Problematik am besten gerecht wird /18/.

Mit CMOS-Gattern lassen sich, wie prinzipiell mit Logikgattern überhaupt, die vielfältigsten Standardschaltungen der Elektronik realisieren, hierzu seien genannt:

- Realisierung logischer Funktionen
- Zeitglieder
- Oszillatoren
- Detektoren
- Dekoder
- Treiber
- Multiplexer
- Interface-Schaltungen zur Ansteuerung von Relais, Triacs, Anzeigen, LED's usw.

Es werden hierzu eine große Zahl von Schaltungsbeispielen, die mit den vorgestellten CMOS-Schaltkreisen realisiert werden können, angegeben.

3. Beschreibung der Schaltkreise U 4093 D, U 40098 D, U 4050 D und U 40511 D

3.1. Allgemeines

3.1.1. Kompatibilität zu anderen CMOS-Logik-Familien

Die Schaltkreise U 4093 D, U 40098 D, U 4050 D und U 40511 D sind leistungsfähige CMOS-Logik-Schaltkreise in gepufferter CMOS-Logik, die mit Schaltkreisen des gleichen Typs anderer Hersteller (z. B. CD 4000 B, HEF 4000 B, MC 14000 B u. a.) unmittelbar ausgetauscht werden können.

3.1.2. Eingangsschutzschaltungen

Sämtliche 4 Schaltkreistypen besitzen integrierte Eingangsschutzschaltungen, die aus verteilten Widerstands-Dioden-Netzwerken bestehen und einen wirksamen Schutz gegen positive Spannungsspitzen an den Gattereingängen gewährleisten. Für den U 4050 D befindet sich diese Eingangsschutzschaltung nur zwischen jeweiligen Eingang und U_{SS} (Masse); hierdurch wird die typepezifische Pegelwandlerfunktion gewährleistet, da die Eingangsspannung unabhängig von der Betriebsspannung ist (siehe Bild 3.1.).

Bei den anderen 3 Typen liegen Schutzdioden sowohl nach Betriebsspannung als auch nach Masse (siehe Bild 3.2.). Durch diese Art Eingangsschutzschaltung wird die zulässige Eingangsspannung auf $U_{DD} + 0,5$ V begrenzt. Die unterschiedlichen Eingangsschutzschaltungen bewirken bei den jeweiligen Schaltkreistypen Unterschiede in der Eingangskapazität.

Eingangsschutzschaltung für den U 4050 D

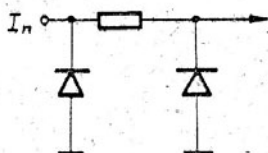
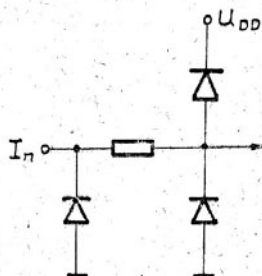


Bild 3.1



Eingangsschutzschaltung für U 4093, U 40098 und U 40511

Bild 3.2

3.1.4. Definition der dynamischen Parameter /18/

Im folgenden werden anhand zweier Darstellungen die dynamischen Parameter, d. h. Gatterlaufzeiten, Anstiegszeit (auch Übergangs- oder Flankenzeit genannt) des Ausgangssignales sowie (für den U 40098 D) die Aktivierungszeit in Abhängigkeit des CS-Signals dargestellt. (siehe Bild 3.5. und 3.6.) Die Darstellung erfolgte für invertierende Gatter (z. B. U 4093 D, U 40098 D).

3.1.5. Gehäusebilder

Die CMOS-Logik-Schaltkreise U 4050 D, U 40098 D und U 40511 D werden in 16poligen DIL-Plast-Standard-Gehäusen (Bauform 21.1.1.2.16 nach TGL 26713), der U 4093 D wird in einem 14poligen DIL-Plast-Standard-Gehäuse (Bauform 21.2.1.2.14 nach TGL 26713) verpackt. (siehe hierzu Bild 3.3. und 3.4.)

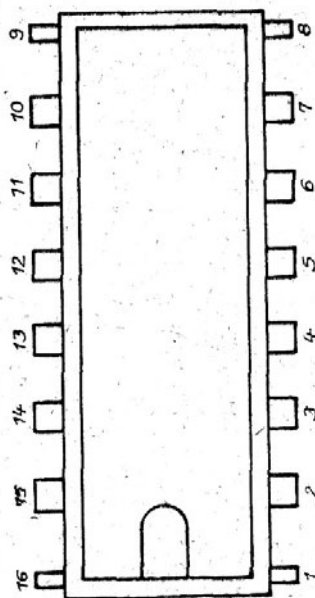
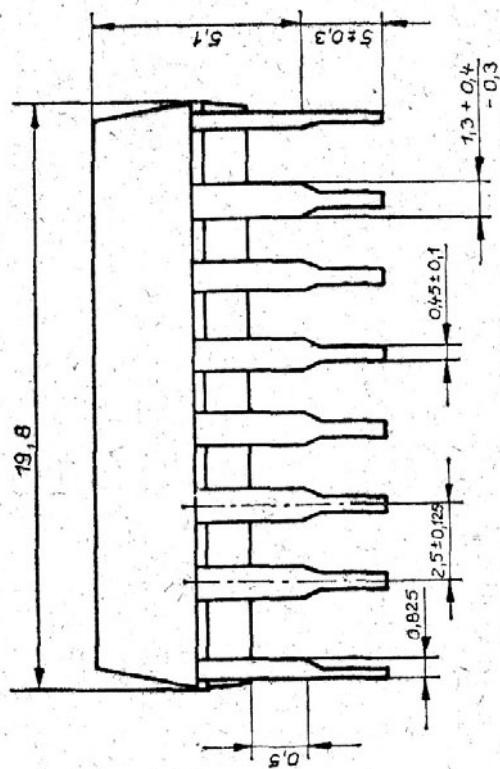
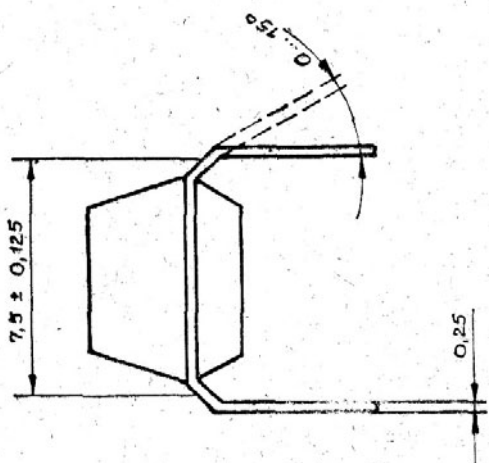


Bild 3.3 Gehäusebild für U 4050 D, U 40098 D und U 40511 D

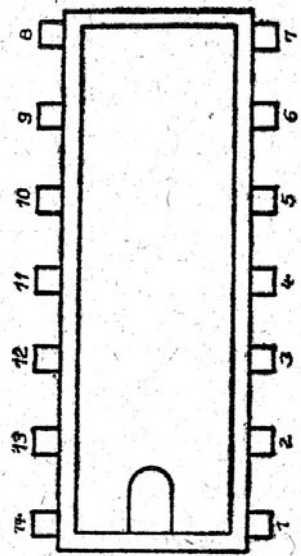
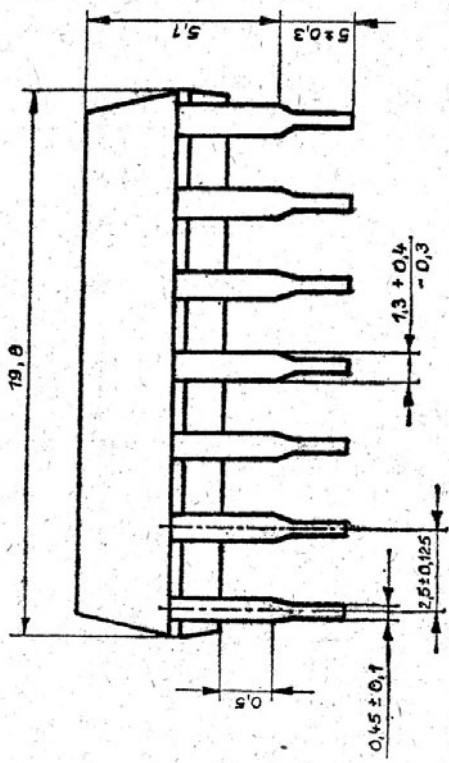
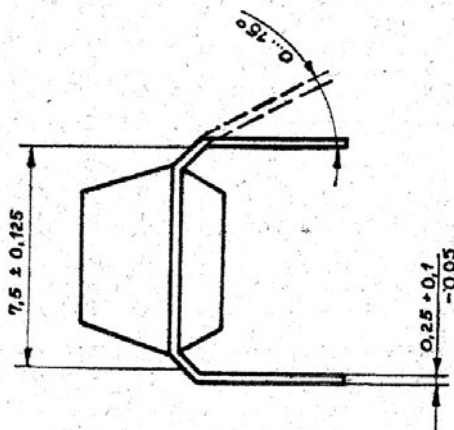


Bild 3.4 Gehäusebild für U 4095 D

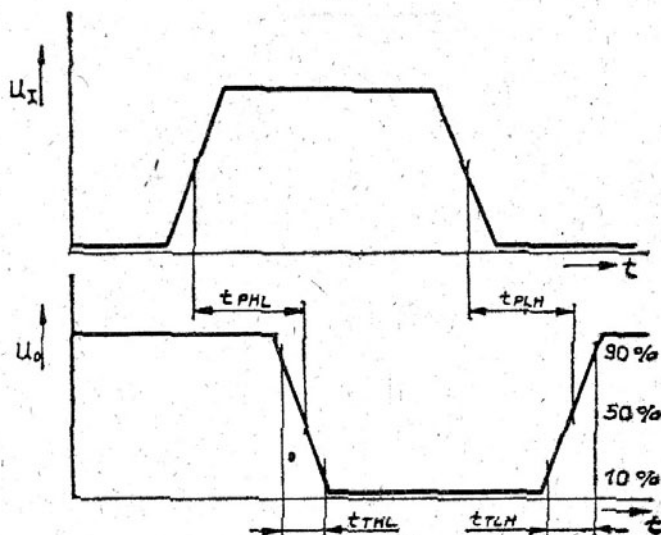


Bild 3.5

Definition der Gatterlauf- und Anstiegszeiten

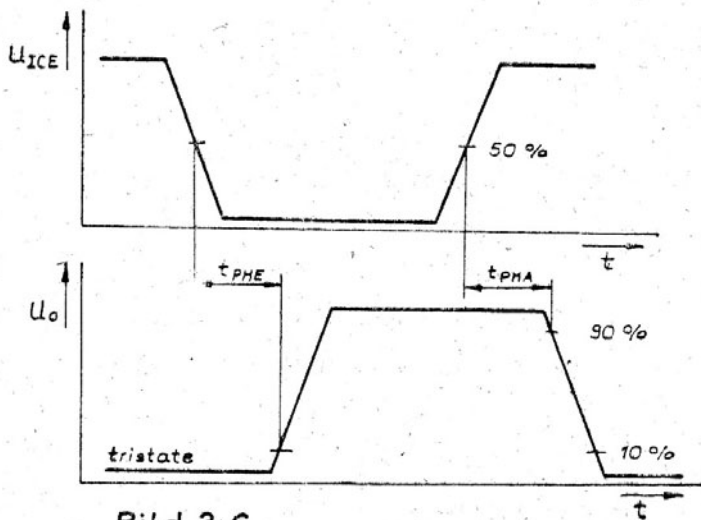
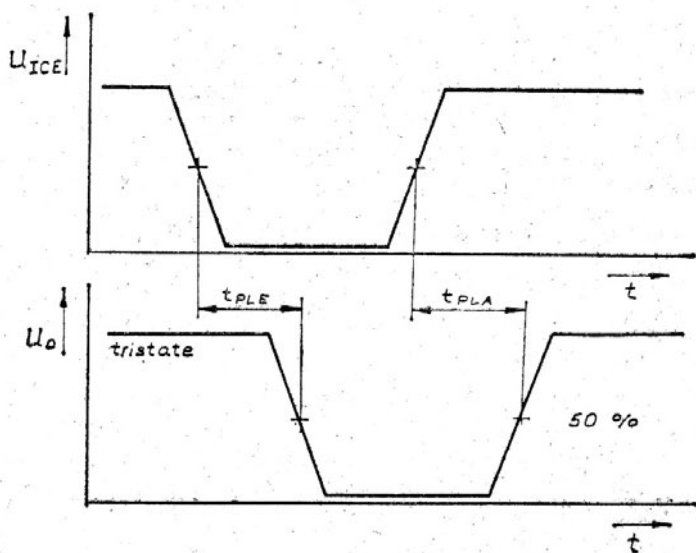


Bild 3.6

Definition der tristate-Zeiten



3.2. Grenzwerte, Betriebsbedingungen, typische Kennwerte

3.2.1. Allgemeines

Grenzwerte und Betriebsbedingungen sind in der Regel für alle 4 Schaltkreistypen gleich, Abweichungen gibt es, funktionsbedingt, für die Eingangssignale des U 4050 D und des U 4093 D. Für den Pegelwandlerschaltkreis U 4050 D beträgt, unabhängig von der Betriebsspannung, die maximale Eingangsspannung $U_{IH} = 18 \text{ V}$. Die Eingangsspannungen für den Schmitt-Trigger-Schaltkreis U 4093 D, d. h. die Triggerschwellen, werden unter Punkt 3.4.1. angegeben. Die angegebenen typ. Kennwerte gelten ebenfalls allgemein; spezielle typspezifische Kennwerte sowie graphische Darstellungen werden bei der Typ-Beschreibung (Punkt 3.4.) mit angegeben.

3.2.2. Grenzwerte

Max. Betriebsspannungsbereich	$U_{DD} = -0,5 \text{ bis } +15 \text{ V}$
Max. Eingangsstrom	$I_I = \pm 10 \text{ mA}$
Max. Gesamtverlustleistung	$P_V = 300 \text{ mW}$
Max. Verlustleistung je Ausgang	$P_{VO} = 100 \text{ mW}$
Max. Lagertemperaturbereich	$\vartheta_{StG} = -55 \text{ bis } +125 \text{ }^\circ\text{C}$

3.2.3. Betriebsbedingungen

Betriebsspannung	$U_{DD} = 3 \text{ bis } 15 \text{ V}$
Eingangsspannung "High"	$U_{IH} = 0,7 \cdot U_{DD} \text{ bis } (U_{DD} + 0,3 \text{ V})$
Eingangsspannung "Low"	$U_{IL} = -0,3 \text{ V bis } 0,3 \cdot U_{DD}$
Umgebungstemperaturbereich	$\vartheta_a = -25 \text{ bis } +70 \text{ }^\circ\text{C}$

3.2.4. Typische Kennwerte /18/ /14/

(Werte gelten für $\vartheta_a = 25^\circ\text{C}$)

Ausgangssignalpegel "High"
(Ausgang nicht beschaltet)

$$U_{OH} = U_{DD} + 0,05 \text{ V}$$

Ausgangssignalpegel "Low"
(Ausgang nicht beschaltet)

$$U_{OL} = 0,05 \text{ V}$$

Ruhestromaufnahme

$$U_{DD} = 15 \text{ V: } I_{DD} \approx 150 \text{ nA}$$

$$U_{DD} = 3 - 5 \text{ V: } I_{DD} < 40 \text{ nA}$$

Ruhestromdrift

($U_{DD} = 15 \text{ V}, \vartheta_a = 25^\circ\text{C}$)

$$\frac{\Delta I_{DD}}{\Delta \vartheta_a} \approx 10 \text{ nA/K}$$

Eingangsreststrom

$$I_{IR} < 1 \mu\text{A}$$

Verlustleistung pro Gatter

($U_{DD} = 15 \text{ V}, f_B = \text{MHz}, C_L = 50 \text{ pF}$)

$$P_V \approx 23 \text{ mW}$$

Eingangskapazität

$$C_I = 2,5 \text{ bis } 4 \text{ pF}$$

Ausgangskapazität

$$C_O < 5 \text{ pF}$$

Temperaturdrift der Ausgangsströme

(I_O ist Bezugsstrom bei der jeweiligen Temperatur)

$$\frac{\Delta I_O}{I_O} = -0,4 \text{ \%/K}$$

Gatterlaufzeit

($U_{DD} = 10 \text{ V}$)

$$t_P = 15 \text{ bis } 60 \text{ ns}$$

Übergangszeit (Flankenzeit)

($U_{DD} = 10 \text{ V}$)

$$t_T = 10 \text{ bis } 15 \text{ ns}$$

Abhängigkeit der dynamischen

Kennwerte von der Umgebungstemperatur (t_0 ist der Kennwert bei der Bezugstemperatur)

$$\frac{\Delta t}{t_0} \approx 0,3 \text{ \%/K}$$

Abhängigkeit der dynamischen

Kennwerte von der Lastkapazität (bei $U_{DD} = 10 \text{ V}$)

$$\Delta t = (0,15 \text{ bis } 0,3) \text{ ns } \Delta C_L / \text{pF}$$

Schaltverhalten, Gatterlaufzeit als Funktion von Betriebs- und Eingangsspannung wurde in Bild 3.7. und 3.8., die Abhängigkeit des Betriebsstromes I_B in Abhängigkeit von der Betriebsfrequenz f_B in Bild 3.9. dargestellt.

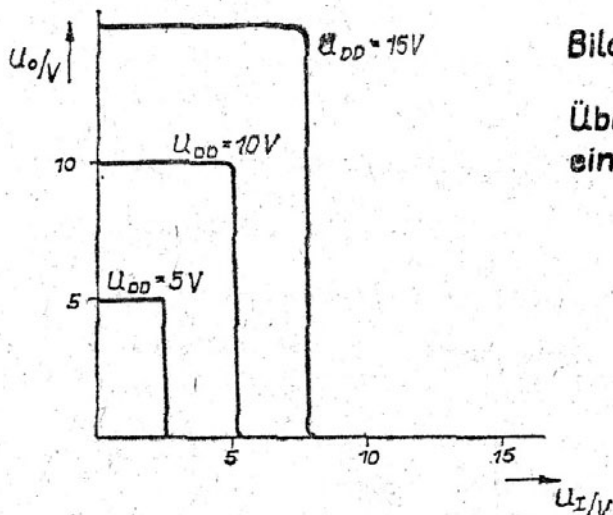


Bild 3.7:
Übergangsfunktion
eines CMOS-Inverters

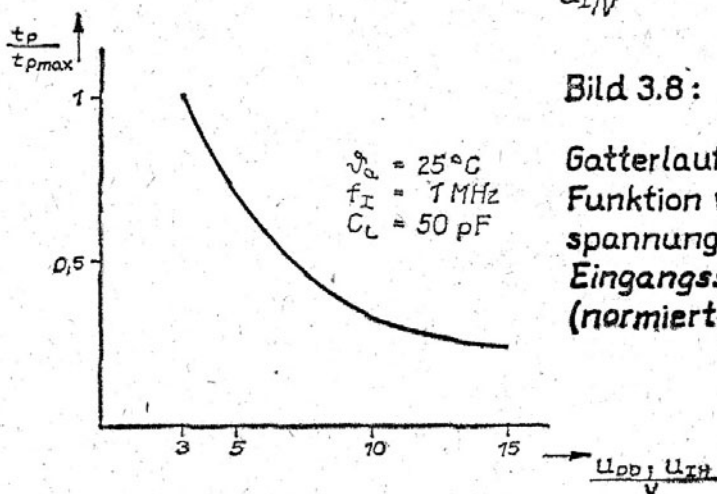


Bild 3.8:
Gatterlaufzeit als
Funktion von Betriebs-
spannung U_{DD} und
Eingangsspannung U_{IH}
(normiert)

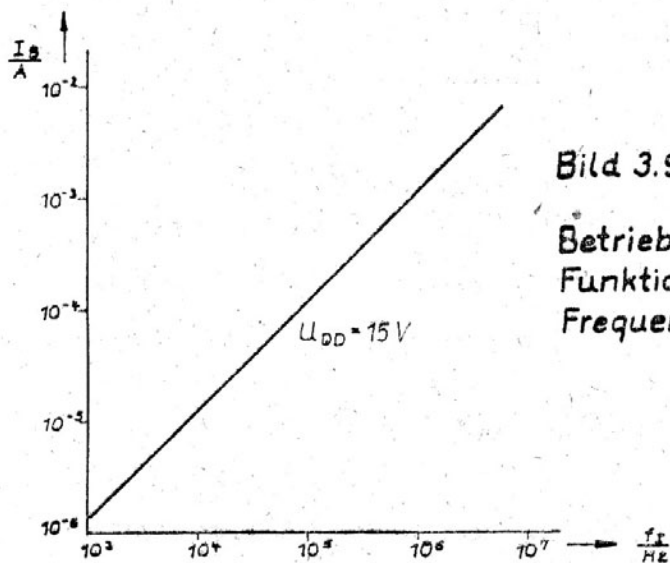


Bild 3.9:

Betriebsstrom I_B als
Funktion der
Frequenz f_B

Im Abhängigkeit der betrachteten Pegelübergänge (d. h. L/H- bzw. H/L-Übergang) der Eingangs- bzw. Ausgangssignale (siehe Bild 3.5. bzw. 3.6.) gibt es bei den dynamischen Kennwerten geringfügige Unterschiede; im Interesse einer übersichtlichen Darstellung wurde jeweils nur 1 Wert angegeben (d. h. $t_{PHL} \approx t_{PLH} \approx t_p$ usw.).

3.3. CMOS-Amateurschaltkreise S 4093 D, S 40098 D, S 4050 D und S 40511 D

Zu den Schaltkreistypen U 4093 D, U 40098 D, U 4050 D und U 40511 D werden auch sogenannte Amateurschaltkreise angeboten, die vor der Typbezeichnung mit S gekennzeichnet sind. Diese Schaltkreise sind Anfalltypen (auch Bastler-Schaltkreise" genannt); es sind geprüfte und voll funktionsfähige Bauelemente, bei denen Abweichungen der Kennwerte von den jeweiligen TGL-typen sowie geringfügige Gehäusemängel zugelassen sind.

Zulässige Kennwertabweichungen sind:

- erhöhte Eingangsrestströme der Gatter bis zu $I_{IR} \leq 1 \mu A$;
Für den S 40098 D gilt dieser Wert auch für den Ausgangsreststrom bei abgeschalteten Ausgangsstufen (tristate),

- erhöhte Ruhestromaufnahme I_{DD} ; für eine Umgebungstemperatur $\vartheta_a = 25^\circ C$ gelten folgende Werte:

• für die Schaltkreise S 4093 D, S 40098 D und S 4050 D darf der maximale Ruhestrom $I_{DD} = 30 \mu A$ (bei einer Betriebsspannung $U_{DD} = 5 V$) bzw. $I_{DD} = 120 \mu A$ (bei $U_{DD} = 15 V$) betragen

• für den S 40511 darf der Ruhestrom einen Wert von $I_{DD} = 150 \mu A$ (bei $U_{DD} = 5 V$) bzw. $I_{DD} = 600 \mu A$ (bei $U_{DD} = 15 V$) haben

- die von den Gattern abgebbaren Ausgangsströme (d. h. Treiberstrom) dürfen sowohl bei High-als auch bei Low-Potential

geringer sein. In folgender Tabelle werden die für eine Umgebungstemperatur $\vartheta_a = 25^\circ\text{C}$ garantierten Mindestwerte angegeben.

	S 4093 D	S 40098 D	S 4050 D	S 40511 D	Bemerkungen
L-Ausgangsstrom I_{OL}	$> 0,4 \text{ mA}$	$> 2,3 \text{ mA}$	$> 2,9 \text{ mA}$	$> 0,51 \text{ mA}$	$U_{DD} = 5 \text{ V},$ $U_{OL} = 0,5 \text{ V}$
	$> 2,8 \text{ mA}$	$> 16 \text{ mA}$	$> 20 \text{ mA}$	$> 3,4 \text{ mA}$	$U_{DD} = 15 \text{ V},$ $U_{OL} = 1,5 \text{ V}$
H-Ausgangsstrom $-I_{OH}$	$> 0,4 \text{ mA}$	$> 1 \text{ mA}$	$> 0,75 \text{ mA}$		$U_{DD} = 5 \text{ V},$ $U_{OH} = 4,5 \text{ V}$
	$> 2,8 \text{ mA}$	$> 8 \text{ mA}$	$> 5 \text{ mA}$		$U_{DD} = 15 \text{ V},$ $U_{OH} = 13,5 \text{ V}$

- Für den Schaltkreis S 40511 wird für einen Ausgangsstrom von $I_O = 20 \text{ mA}$ eine H-Ausgangsspannung von $U_{OH} \approx 3,1 \text{ V}$ (bei $U_{DD} = 5 \text{ V}$) und $U_{OH} \approx 13,5 \text{ V}$ (bei $U_{DD} = 15 \text{ V}$) garantiert,
- es wird keine Garantie für den Eingangskapazitätswert gegeben.

Aufgrund der Auswahlkriterien für Amateurschaltkreise ist eine Angabe typischer Werte für die Kennwertabweichungen sinnlos.

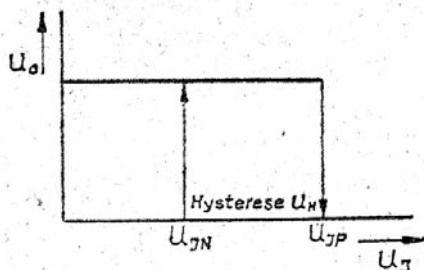
Die anderen Ausführungen einschließlich der hier nicht fixierten Kennwerteinschränkungen gelten auch für die Amateurschaltkreise.

3.4. Typ-Beschreibung

3.4.1. Schmitt-Trigger-Schaltkreis U 4093 D

Der Schaltkreis U 4093 D enthält 4 voneinander unabhängige NAND-Gatter mit je 2 Eingängen, jeder der beiden Eingänge weist Schmitt-Trigger-Verhalten auf, womit eine sehr hohe Störspannungsunempfindlichkeit erreicht wird. Triggerspannungen und Hysterese liegen gatterintern fest und sind betriebsspannungsabhängig. Er kann mit Sicherheit eine TTL-Last treiben.

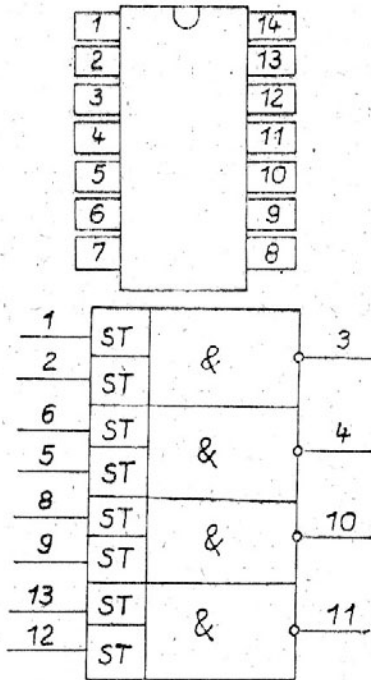
Schaltverhalten eines Schmitt-Triggers mit einem U 4093-Gatter



$$U_H = U_{jP} - U_{jN}$$

Bild 3.10

Der U 4093 D wird in einem 14-poligen DIL-Plastgehäuse hergestellt (siehe Bild 3.4.). Vorteilhafte Einsatzmöglichkeiten des U 4093 D sind: Zeitglieder, Detektoren, Interface-Schaltungen usw.



- 1 Eingang 1 NAND 1 (J11)
- 2 Eingang 2 NAND 1 (J12)
- 3 Ausgang NAND 1 ($\overline{01}$)
- 4 Ausgang NAND 2 ($\overline{02}$)
- 5 Eingang 2 NAND 2 (J22)
- 6 Eingang 1 NAND 2 (J21)
- 7 Masse (U_{SS})
- 8 Eingang 1 NAND 3 (J31)
- 9 Eingang 2 NAND 3 (J32)
- 10 Ausgang NAND 3 ($\overline{03}$)
- 11 Ausgang NAND 4 ($\overline{04}$)
- 12 Eingang 2 NAND 4 (J42)
- 13 Eingang 1 NAND 4 (J41)
- 14 Betriebsspannung (U_{DD})

Bild 3.11

Pinbelegung und Schaltzeichen

Typische Kennwerte /14/, /18/
(Werte gelten für $\vartheta_a = 25^\circ\text{C}$)

Ausgangsstrom "Low":

$$\begin{aligned} U_{DD} = 5\text{ V}, U_{OL} = 0,4\text{ V} & : I_{OL} \approx 3\text{ mA} (0,51\text{ mA}) \\ U_{DD} = 10\text{ V}, U_{OL} = 0,5\text{ V} & : I_{OL} \approx 7\text{ mA} (1,3\text{ mA}) \end{aligned}$$

Ausgangsstrom "High":

$$\begin{aligned} U_{DD} = 5\text{ V}, U_{OH} = 2,5\text{ V} & : -I_{OH} \approx 7\text{ mA} (1,6\text{ mA}) \\ U_{DD} = 10\text{ V}, U_{OH} = 9,5\text{ V} & : -I_{OH} \approx 5\text{ mA} (1,3\text{ mA}) \end{aligned}$$

Ausgangskurzschlußstrom:

$$(U_{DD} = 10\text{ V}) \quad I_{OS} \approx 20\text{ mA}$$

Triggerschwellspannung positiv:

$$U_{IP} = 0,6 U_{DD} \text{ bis } 0,7 U_{DD}$$

Triggerschwellspannung negativ:

$$U_{IN} = 0,25 U_{DD} \text{ bis } 0,35 U_{DD}$$

Hystrese:

$$U_H = 0,25 U_{DD} \text{ bis } 0,3 U_{DD}$$

Drift der Triggerschwellspannung:

$$(U_{DD} = 10\text{ V})$$

$$\frac{\Delta U_I}{\Delta \vartheta_a} \leq 1\text{ mV/K}$$

Gatterlaufzeit bei kapazitiver Belastung:

$$(t_{PHL} \approx t_{PLH})$$

$$U_{DD} = 5\text{ V}$$

$$: t_P \approx 70\text{ ns} + (0,3\text{ ns/pF}) \cdot C_L$$

$$U_{DD} = 10\text{ V}$$

$$: t_P \approx 60\text{ ns} + (0,2\text{ ns/pF}) \cdot C_L$$

Übergangszeit (Flankenzeit) bei kapazitiver Belastung:

$$(t_{THL} \approx t_{TLH})$$

$$U_{DD} = 5\text{ V}$$

$$: t_T \approx 25\text{ ns} + (0,5\text{ ns/pF}) \cdot C_L$$

$$U_{DD} = 10\text{ V}$$

$$: t_T \approx 13\text{ ns} + (0,3\text{ ns/pF}) \cdot C_L$$

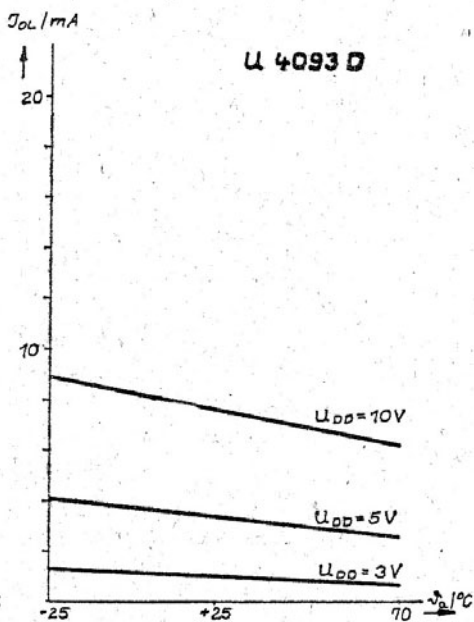
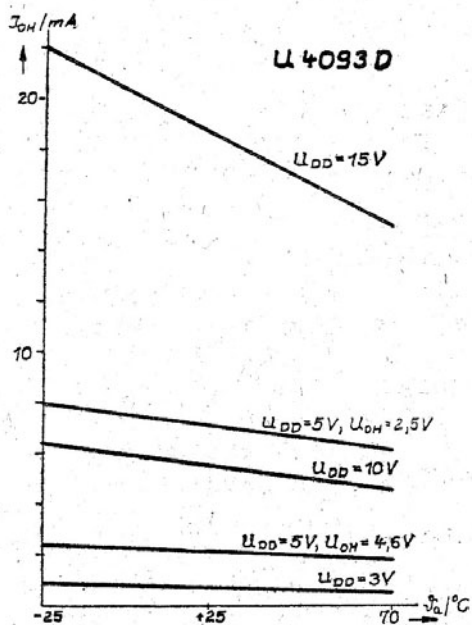


Bild 3.12 Ausgangsstrom als Funktion der Umgebungstemperatur

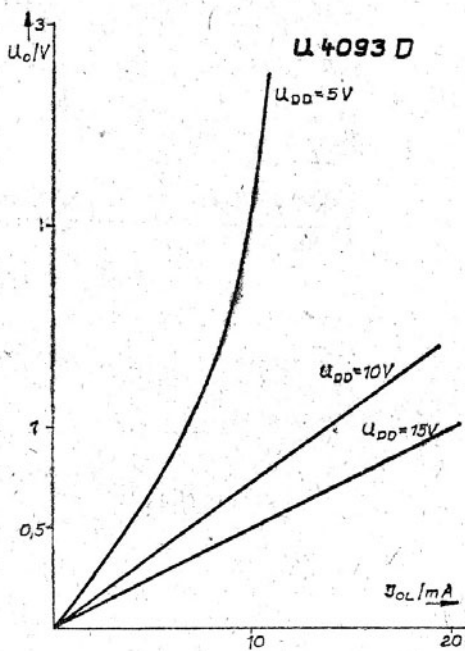
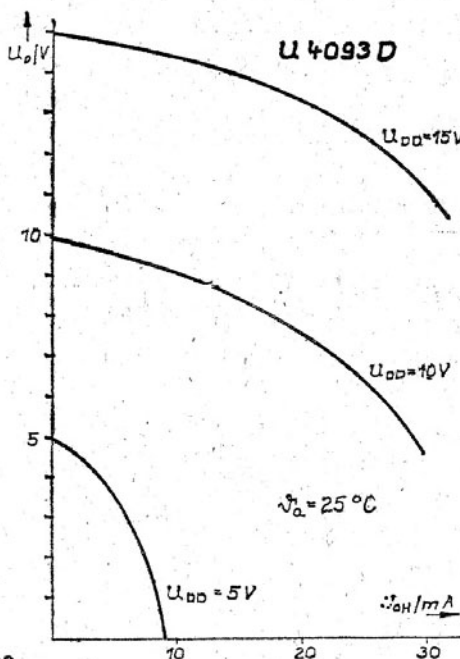


Bild 3.13 Abhängigkeit der Ausgangsspannung vom Ausgangsstrom

3.4.2. Treiber-Schaltkreis U 40098 D

Der Schaltkreis U 40098 D enthält 6 voneinander unabhängige invertierende Treiber, deren Ausgänge durch die Steuereingänge $\overline{CE4}$ bzw. $\overline{CE2}$ abgeschaltet werden können, d. h. hochohmige Ausgänge (tristate-Verhalten). Mittels $\overline{CE2}$ können die Ausgänge $\overline{O5}$ und $\overline{O6}$, mit $\overline{CE4}$ die Ausgänge $\overline{O1}$ bis $\overline{O4}$ abgeschaltet werden, das Abschalten geschieht durch Anlegen des High-Pegels an den Steuereingängen. Jedes der Gatter stellt eine Treiberleistung von typisch 7 TTL-Lasten zur Verfügung.

Der U 40098 D wird in einem 16-poligen DIL-Plastgehäuse (Bild 3.3.) angeboten; er ist ein für Standardschaltungen universell einsetzbarer Schaltkreis. Durch die Möglichkeit der Ausgangsabtrennung ist auch ein Einsatz in Mikrorechnerkonzepten mit tristate-Bus-Systemen sowie in Schaltungen, bei denen die Abtrennung einzelner Gatter erforderlich ist, gegeben. /18/

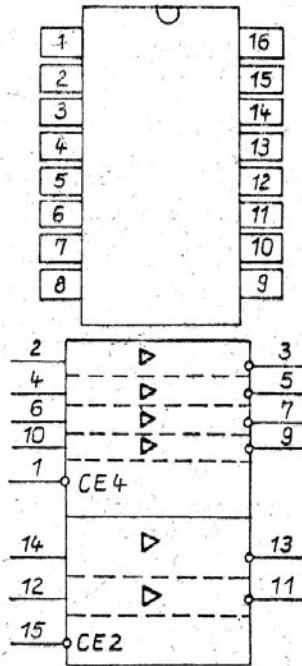
Wahrheitstabelle:

I	\overline{CE}	O
L	L	H
L	H	hochohmig (tristate)
H	L	L
H	H	hochohmig (tristate)

Typische Kennwerte /14/ /18/
(Werte gelten für $\vartheta_a = 25^\circ\text{C}$)

Ausgangsstrom "Low"

$$\begin{array}{ll} U_{DD} = 5 \text{ V}, U_{OL} = 0,4 \text{ V} & : I_{OL} \approx 15 \text{ mA} (2,9 \text{ mA}) \\ U_{DD} = 10 \text{ V}, U_{OL} = 0,5 \text{ V} & : I_{OL} \approx 25 \text{ mA} (10 \text{ mA}) \end{array}$$



- 1 Steuereingang zur Ausgangsabtrennung an den Invertiern 1 bis 4 ($\overline{CE4}$)
- 2 Eingang Inverter 1 ($\overline{J1}$)
- 3 Ausgang Inverter 1 ($\overline{O1}$)
- 4 Eingang Inverter 2 ($\overline{J2}$)
- 5 Ausgang Inverter 2 ($\overline{O2}$)
- 6 Eingang Inverter 3 ($\overline{J3}$)
- 7 Ausgang Inverter 3 ($\overline{O3}$)
- 8 Masse (U_{SS})
- 9 Ausgang Inverter 4 ($\overline{O4}$)
- 10 Eingang Inverter 4 ($\overline{J4}$)
- 11 Ausgang Inverter 6 ($\overline{O6}$)
- 12 Eingang Inverter 6 ($\overline{J6}$)
- 13 Ausgang Inverter 5 ($\overline{O5}$)
- 14 Eingang Inverter 5 ($\overline{J5}$)
- 15 Steuereingang zur Ausgangsabtrennung an den Invertiern 5 und 6 ($\overline{CE2}$)
- 16 Betriebsspannung (U_{DD})

Bild 3.14 Pinbelegung und Schaltzeichen

Ausgangsstrom "High"

$$U_{DD} = 5 \text{ V}, U_{OH} = 4,6 \text{ V} \quad : \quad -I_{OH} \approx 5 \text{ mA} \quad (1,0 \text{ mA})$$

$$U_{DD} = 10 \text{ V}, U_{OH} = 9,5 \text{ V} \quad : \quad -I_{OH} \approx 10 \text{ mA} \quad (3,2 \text{ mA})$$

Ausgangskurzschlußstrom:

$$(U_{DD} = 10)$$

$$I_{OS} \approx 70 \text{ mA}$$

Gatterlaufzeit bei kapazitiver Belastung:

$$(t_{PHL} \approx t_{PLH})$$

$$U_{DD} = 5 \text{ V} \quad : \quad t_P \approx 35 \text{ ns} + (0,4 \text{ ns/pF}) \cdot C_L$$

$$U_{DD} = 10 \text{ V} \quad : \quad t_P \approx 20 \text{ ns} + (0,06 \text{ ns/pF}) \cdot C_L$$

Übergangszeit (Flankenzeit) bei kapazitiver Belastung:

$$(t_{THL} \approx t_{TLH})$$

$$U_{DD} = 5 \text{ V} \quad : \quad t_T \approx 12 \text{ ns} + (0,3 \text{ ns/pF}) \cdot C_L$$

$$U_{DD} = 10 \text{ V} \quad : \quad t_T \approx 6 \text{ ns} + (0,15 \text{ ns/pF}) \cdot C_L$$

Verzögerungszeit für Aktivierung

bzw. Abtrennung des Ausganges:

$$(t_{PHE} \approx t_{PHA} \approx t_{PLE} \approx t_{PLA})$$

$$(U_{DD} = 10 \text{ V}, C_L = 50 \text{ pF}, f_B = 1 \text{ MHz})$$

$$t_P \approx 3,5 \text{ ns}$$

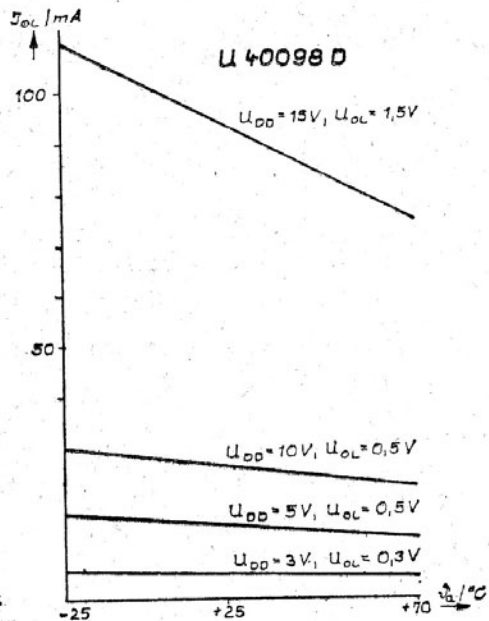
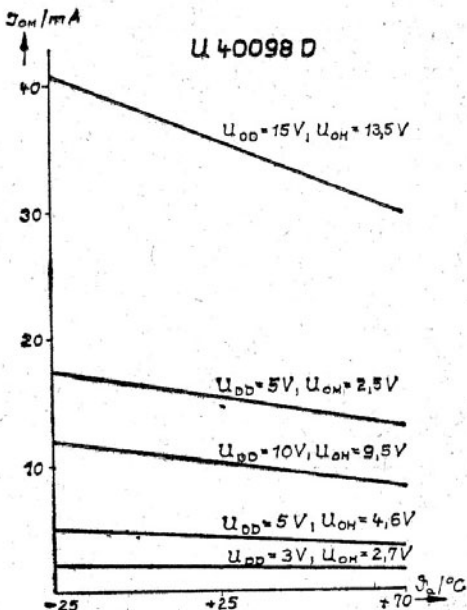


Bild 3.15 Ausgangsstrom als Funktion der Umgebungstemperatur

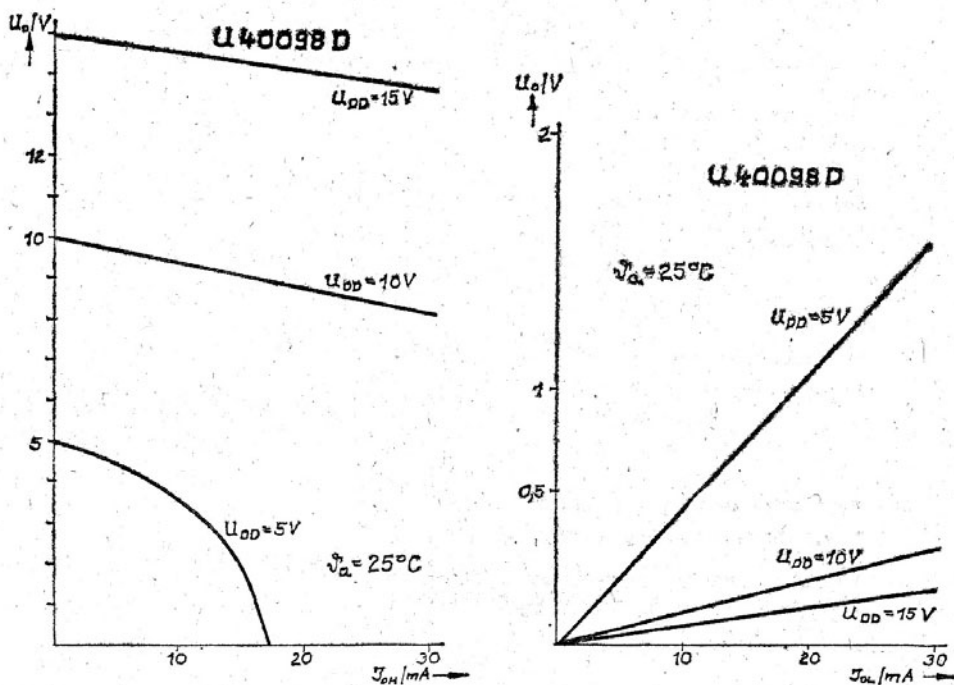


Bild 3.16 Abhängigkeit der Ausgangsspannung vom Ausgangsstrom

3.4.3. Pegelwandler-/Treiber-Schaltkreis U 4050 D

Der Schaltkreis U 4050 D enthält 6 nichtinvertierende, voneinander unabhängige Pegelwandler-/Treibergatter. Es können, unabhängig von der angelegten Betriebsspannung, Eingangsspannungen bis zu 18 V verarbeitet werden. Er zeichnet sich durch einen hohen Treiberstrom von typischen 7 TTL-Lasten aus und wird in einem 16-poligen DIL-Plastgehäuse verpackt (siehe Bild 3.3.).

Der U 4050 D kann in Pegelwandler- und Treiberschaltungen sowie zur Lösung von Interfaceproblemen (z. B. Anpassung an Systeme mit höheren Pegeln) eingesetzt werden.

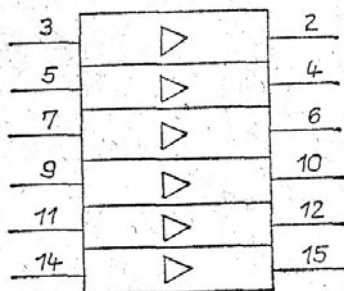
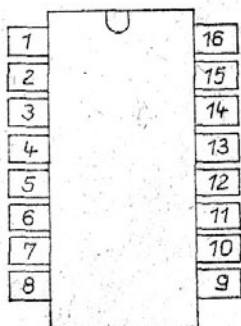


Bild 3.17

Pinbelegung und Schaltzeichen

1	Betriebsspannung	(U _{DD})
2	Ausgang Treiber 1	(O1)
3	Eingang Treiber 1	(J1)
4	Ausgang Treiber 2	(O2)
5	Eingang Treiber 2	(J2)
6	Ausgang Treiber 3	(O3)
7	Eingang Treiber 3	(J3)
8	Masse (U _{SS})	
9	Eingang Treiber 4	(J4)
10	Ausgang Treiber 4	(O4)
11	Eingang Treiber 5	(J5)
12	Ausgang Treiber 5	(O5)
13	nicht belegt (nc)	
14	Eingang Treiber 6	(J6)
15	Ausgang Treiber 6	(O6)
16	nicht belegt (nc)	

Typische Kennwerte /14/ /18/
 (Werte gelten für $\vartheta_a = 25^\circ\text{C}$)

Ausgangsstrom "Low"

$$\begin{aligned} U_{DD} = 5 \text{ V}, U_{OL} = 0,4 \text{ V} & : I_{OL} \approx 9 \text{ mA} (3,2 \text{ mA}) \\ U_{DD} = 10 \text{ V}, U_{OL} = 0,5 \text{ V} & : I_{OL} \approx 17 \text{ mA} (8 \text{ mA}) \end{aligned}$$

Ausgangsstrom "High"

$$\begin{aligned} U_{DD} = 5 \text{ V}, U_{OH} = 4,6 \text{ V} & : -I_{OH} \approx 3 \text{ mA} (0,8 \text{ mA}) \\ U_{DD} = 10 \text{ V}, U_{OH} = 9,5 \text{ V} & : -I_{OH} \approx 6 \text{ mA} (1,8 \text{ mA}) \end{aligned}$$

Ausgangskurzschlußstrom "High":

(bei $U_{DD} = 10$)

$$-I_{OSH} \approx 15 \text{ mA}$$

Ausgangskurzschlußstrom "Low":

(bei $U_{DD} = 10 \text{ V}$)

$$-I_{OSL} \approx 100 \text{ mA}$$

Ruhestrom:

$$I_{DD} \leq 1,5 \text{ } \mu\text{A}$$

Ruhestromdrift:

($\vartheta_a > 25^\circ\text{C}$)

$$\frac{\Delta I_{DD}}{\Delta \vartheta_a} \approx 100 \text{ nA/K}$$

Gatterlaufzeit bei kapazitiver Belastung:

($t_{PHL} \approx t_{PLH}$)

$$U_{DD} = 5 \text{ V}$$

$$: t_p \approx 30 \text{ ns} + (0,2 \text{ ns/pF}) \cdot C_L$$

$$U_{DD} = 10 \text{ V}$$

$$: t_p \approx 12 \text{ ns} + (0,1 \text{ ns/pF}) \cdot C_L$$

Übergangszeit (Flankenzeit) bei

kapazitiver Belastung:

($t_{THL} \approx t_{TLH}$)

$$U_{DD} = 5 \text{ V}$$

$$: t_T \approx 12 \text{ ns} + (0,3 \text{ ns/pF}) \cdot C_L$$

$$U_{DD} = 10 \text{ V}$$

$$: t_T \approx 7 \text{ ns} + (0,2 \text{ ns/pF}) \cdot C_L$$

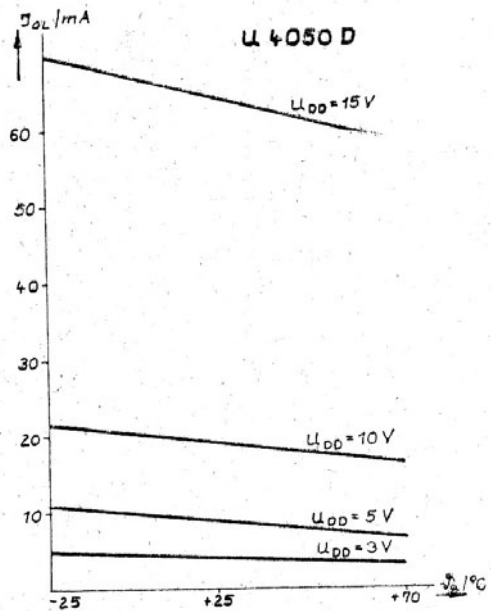
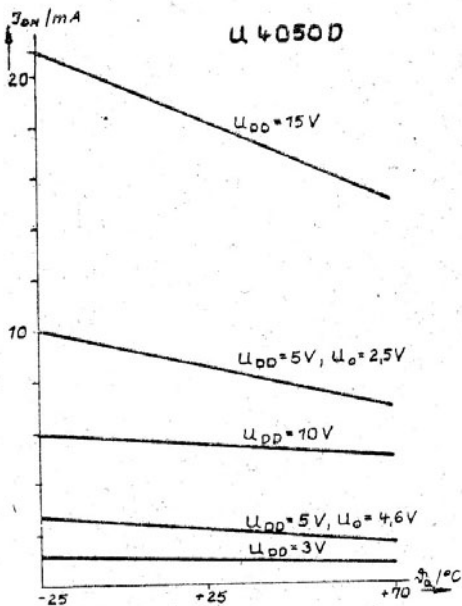


Bild 3.18 Ausgangsstrom als Funktion von der Umgebungstemperatur

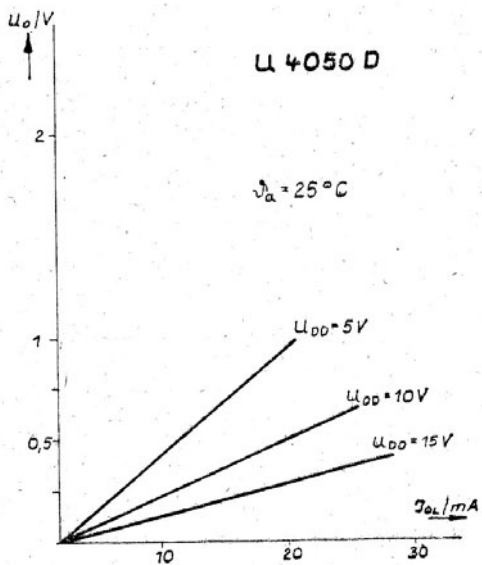
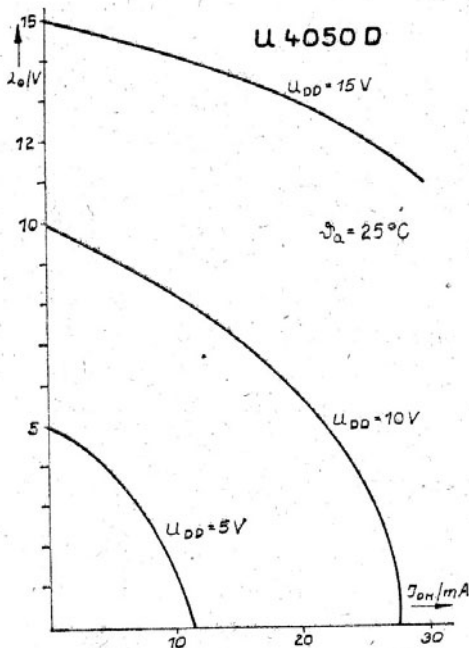


Bild 3.19 Abhängigkeit Ausgangsspannung - Ausgangsstrom (bei High u. Low)

3.4.4. Dekoder-Schaltkreis U 40511 D

Der U 40511 ist ein BCD-zu-7-Segmentdekoder mit der Möglichkeit, das Eingangssignal zwischenspeichern (Eingangslatch). Zwecks Gewährleistung eines hohen Ausgangs-High-Stromes von typisch 20 mA pro Ausgang wurden in den Ausgangsstufen bipolare Treibertransistoren angeordnet. Die anstehende BCD-Zahl wird vom Schaltkreis in vollem Umfang, d. h. in die Zahlen 0 bis 9 und in die Hexadezimalzeichen A, b, C, d, E und F dekodiert.

Es sind 3 Steuereingänge vorhanden, mit denen das Eingangslatch (\overline{LE}) aktiviert werden kann und die gesamte Anzeige hell (\overline{LT}) bzw. dunkelsteuerbar (\overline{BI}) ist, wobei \overline{LT} gegenüber \overline{BI} Priorität hat. Der U 40511 D wird in einem 16-poligen DIL-Plastgehäuse hergestellt (siehe Bild 3.3.).

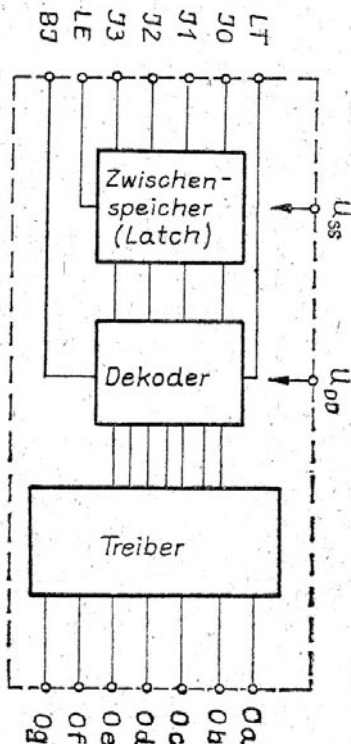
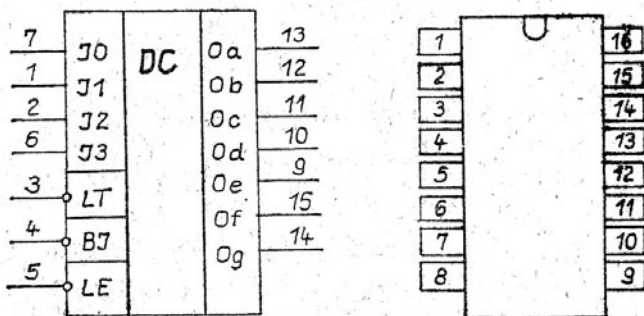


Bild 3.20

Blockschaltbild des U 40511 D

Mit dem U 40511 ist eine direkte Ansteuerung von 7 Segment-Anzeigebauelemente mit gemeinsamer Katode (z. B. VQE 23) möglich, wobei zum Schutz von Schaltkreis und Display in jedem Segment ein Widerstand zur Strombegrenzung vorzusehen ist. Durch die Dekodierung der Pseudotetraden in die Hexadezimalzeichen ist auch in der Rechentechnik (z. B. für die Anzeige von Bussignalen) ein Einsatz günstig.



- 1 Eingang J1
- 2 Eingang J2
- 3 Eingang Lamp Test (\overline{LT})
- 4 Eingang Blanking Input (\overline{BI})
- 5 Eingang Latch Enable (\overline{LE})
- 6 Eingang J3
- 7 Eingang J0
- 8 Masse (U_{SS})
- 9 Ausgang Oe
- 10 Ausgang Od
- 11 Ausgang Oc
- 12 Ausgang Ob
- 13 Ausgang Oa
- 14 Ausgang Og
- 15 Ausgang Of
- 16 Betriebsspannung (U_{DD})

Bild 3.21

Pinbelegung und Schaltzeichen

Wahrheitstafel: siehe Seite

Segmentbezeichnung bei 7 Segmentanzeige:

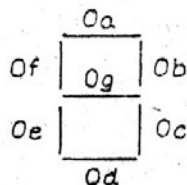


Bild 3.22

Bei dem Arbeiten mit dem Eingangslatch ist nachstehendes zu beachten (dynamische Betriebsbedingungen):

- die an den Eingängen anliegende Information wird mit der L/H-Flanke des \overline{LE} -Steuersignals übernommen,
- die Information muß von 150 ns (bei $U_{DD} = 5$ V) bzw. 70 ns (bei $U_{DD} = 10$ V) vorher bis zum Signal $\overline{LE} = \text{High}$ anliegen,
- vor der L/H-Flanke des \overline{LE} -Signals muß dieses mindestens 400 ns (bei $U_{DD} = 5$ V) bzw. 150 ns (bei $U_{DD} = 10$ V) auf $\overline{LE} = \text{Low}$ liegen.

Tafel: Wahrheitstafel

(Segmentzuordnung s. Bild 3.22)

LE	BI	LP	I3	I2	I1	I0	O1	O2	O3	O4	O5	O6	O7	Display
x	x	L	x	x	x	x	H	H	H	H	H	H	H	8
x	L	H	x	x	x	x	L	L	L	L	L	L	L	aus
L	H	H	L	L	L	L	H	H	H	H	H	H	L	0
L	H	H	L	L	L	H	L	H	H	L	L	L	L	1
L	H	H	L	L	H	L	H	H	L	H	H	L	H	2
L	H	H	L	L	H	H	H	H	H	H	L	L	H	3
L	H	H	L	H	L	L	L	H	H	L	L	H	H	4
L	H	H	L	H	H	L	H	L	H	H	H	H	H	5
L	H	H	L	H	H	H	H	H	H	L	L	L	L	6
L	H	H	H	L	L	L	H	H	H	H	H	H	H	7
L	H	H	H	L	L	H	H	H	H	H	L	H	H	8
L	H	H	H	L	H	H	L	L	H	H	H	H	H	9
L	H	H	H	H	H	H	H	L	L	L	H	H	H	A
H	H	H	x	x	x	x	§	§	§	§	§	§	§	§

x ... ohne Einfluß auf den Ausgang

§ ... abhängig von der Eingangsbelegung während der letzten

LE-LOW/HIGH-Flanke

Typische Kennwerte /14/ /18/
(Werte gelten für $\vartheta_a = 25^\circ\text{C}$)

Ausgangsstrom "Low":

$$\begin{aligned} U_{DD} = 5\text{ V}, U_{OL} = 0,4\text{ V} & : I_{OL} \approx 2\text{ mA} (0,51\text{ mA}) \\ U_{DD} = 10\text{ V}, U_{OL} = 0,5\text{ V} & : I_{OL} \approx 4\text{ mA} (1,3\text{ mA}) \end{aligned}$$

Ausgangsstrom "High":

$$-I_{OH} \approx 20\text{ mA}$$

Ausgangsspannung "High":

$$\begin{aligned} U_{DD} = 5\text{ V}, I_{OH} = -10\text{ mA} & : (U_{OH} = 3,1\text{ V}) \\ U_{DD} = 10\text{ V}, I_{OH} = -25\text{ mA} & : (U_{OH} = 8,3\text{ V}) \end{aligned}$$

Gatterlaufzeit bei kapazitiver Belastung:

($t_{PHL} \approx t_{PLH}$)

$$\begin{aligned} U_{DD} = 5\text{ V} & : t_p \approx 50\text{ ns} + (0,2\text{ ns/pF}) \cdot C_L \\ U_{DD} = 10\text{ V} & : t_p \approx 20\text{ ns} + (0,2\text{ ns/pF}) \cdot C_L \end{aligned}$$

Übergangszeit (Flankenzeit):

($t_{THL} \approx t_{TLH}$)

$$\begin{aligned} U_{DD} = 5\text{ V} & : t_T \approx 330\text{ ns} \\ U_{DD} = 10\text{ V} & : t_T \approx 150\text{ ns} \end{aligned}$$

Laufzeiten für Steuersignale:

($U_{DD} = 10\text{ V}$)

$$\begin{aligned} \overline{LE} & - \text{Laufzeit} & t_{PLE} & \approx 160\text{ ns} \\ \overline{BI} & - \text{Laufzeit} & t_{PBI} & \approx 80\text{ ns} \\ \overline{LT} & - \text{Laufzeit} & t_{PLT} & \approx 65\text{ ns} \end{aligned}$$

4. Behandlungsvorschriften

4.1. Allgemeine Vorschriften /1/, /4/, /21/

- Unbedingte Einhaltung der für Spannungsbereich, Eingangsstrom, Verlustleistung und Temperaturbereich angegebenen Betriebs- und Grenzwerte. In dem Kapitel "Applikationshinweise" (Pkt. 5) wird dabei auf nicht unmittelbar erkennbare Gefährdungsmöglichkeiten hingewiesen.
- Bei Anlegen der Betriebsspannung U_{DD} müssen die Eingänge des CMOS-Logik-Schaltkreises und des Pin U_{SS} (Masse) stets beschaltet sein.
- Logische Eingangssignale dürfen nicht bei abgeschalteter Betriebsspannung U_{DD} angelegt werden.

4.2. Schutz gegen elektrostatische Aufladungen /1/, /9/

CMOS-Schaltkreise sind empfindlich gegen elektrostatische Aufladungen. Seitens des Schaltkreisherstellers wird deshalb in jeden Gattereingang eine Eingangsschutzschaltung, bestehend aus einem Dioden-Widerstand-Netzwerk, integriert, wodurch bei Auftreten von Überspannung selbige je nach Polarität über eine der Dioden nach Masse kurzgeschlossen oder ein definierter Diodendurchbruch mit Strombegrenzung bewirkt wird.

Diese Eingangsschutzschaltungen garantieren jedoch aufgrund ihrer, besonders bei kurzzeitigen Spannungsspitzen, relativ langen Ansprechzeit keinen absolut sicheren Schutz für die CMOS-Schaltkreise, so daß vom Anwender zu fordern ist, die Entstehung elektrostatischer Aufladungen zu verhindern bzw., da eine voll-

ständige Verbindung kaum möglich sein dürfte, durch Schaffung von Potentialgleichheit zwischen den CMOS-Schaltkreisen und allem, was mit diesen in Berührung kommen kann (Werkzeuge, Unterlage, Mensch, Mobilar usw.), eine Auswirkung entstandener elektrostatischer Aufladungen auf die Schaltkreise zu verhindern. Hierzu sollen, ohne Anspruch auf Vollständigkeit, einige Empfehlungen gegeben werden:

- Aufbewahrung und Transport der CMOS-Schaltkreise in der Originalverpackung des Herstellers oder in elektrisch leitenden Behältnissen, z. B. Verwendung leitenden Gummis, käanderförmige Aluminiumpaletten, mit einem für das jeweilige Bauelement richtigen Reihenabstand (d. h. sämtliche Pins des CMOS-Schaltkreises werden kurzgeschlossen), spezielle anti-statische Plasteformteile (Plastestangen) ggf. Faradayscher Käfig usw.
- Vermeidung von Bekleidungsgegenständen (z. B. Arbeitsmäntel) aus synthetischem Material
- Für die Reinigung von CMOS-Schaltkreisen (sowohl der einzelnen Bauelemente als auch der im eingebauten Zustand) keine Pinsel mit Kunststoffborsten verwenden
- Verwendung von LötKolben geringer Leistung (Verzunderungsgefahr, damit Möglichkeit elektrostatischer Aufladung der LötKolbenspitze)
- Der Arbeitsraum sollte eine Mindestluftfeuchte von 30 % haben

- Einrichtung eines entsprechenden Arbeitsplatzes, d. h. leitende und geerdete Arbeitsflächen (z. B. leitender Gummi), Fußböden (Matte) aus leitendem und geerdetem Material, Sitzflächen der Arbeitsstühle aus leitendem Material (kein Plast) und mit Erde verbunden, LötKolben über Trenntrafo betreiben, LötKolbenspitze hochohmig erden.
- Keine Verwendung von Werkzeugen mit Isoliergriffen und eloxierten Griffen (z. B. Zangen, Schraubenzieher)
- Anschlüsse der CMOS-Schaltkreise nicht mit der Hand berühren
- Beim Arbeiten mit CMOS-Schaltkreisen hochohmig geerdetes (Arbeitsschutz!) Metallarmband anlegen (Empfehlung: $250 \text{ k}\Omega \dots 2 \text{ M}\Omega$),
- Anschlüsse von Schaltungen bzw. Leiterplatten bis zum endgültigen Einbau leitend miteinander verbinden,
- Für Erdung gemeinsame Erdleitung verwenden und an Erder anschließen; Nulleiter hierfür nicht verwenden

4.3. Lötvorschriften /22/

- Das Löten an CMOS-Schaltkreisen auf Leiterplatten darf nur von der Leiterseite aus erfolgen
- Um die CMOS-Schaltkreise gegen zu hohe Erwärmung zu schützen, müssen die in TGL 32377 vorgegebenen Lötparameter (Temperatur, Zeit) eingehalten werden. Bei einer Löttemperatur von $240 \text{ }^\circ\text{C}$ darf die Löttdauer max. 10 s betragen

- Ein öfteres Aus- und Einlöten der CMOS-Schaltkreise ist zu vermeiden. Für Versuchsaufbauten sollten Fassungen verwendet werden

4.4. Biegevorschriften /22/

- Zwecks Bestückung ist, unter Einhaltung der in TGL 24951 fixierten Werte, ein einmaliges Richten der Schaltkreisanschlüsse zulässig.
- Es dürfen maximal 2 Biegungen über die Breitseite der Schaltkreisanschlüsse innerhalb eines Winkels bis zu 15° erfolgen.
- Biegungen über die Schmalseite der Anschlüsse sowie Torsionsbeanspruchungen sind nicht zulässig.

5. Applikationshinweise

5.1. Betriebsspannung /21/

Obwohl die untere Betriebsspannungsgrenze bei $U_{DD} = 3 \text{ V}$ liegt, wird im jeweiligen Einsatzfall die Wahl der Betriebsspannung durch ein Optimum zwischen vorgegebener Leistungsaufnahme, Gatterlaufzeit, Anstiegs- und Abfallzeit, erforderlichem Störabstand sowie Kompatibilität zu anderen Schaltungen bzw. Pegeln bestimmt.

Allgemein gilt:

- hohe Betriebsspannung: hoher statischer Störabstand (ca. $0,4 U_{DD}$), gutes dynamisches Verhalten (d. h. geringe Gatterlauf-, Anstiegs-, Abfallzeit), erhöhte Stromaufnahme und Verlustleistung, hoher Ausgangsstrom des CMOS-Gatters (z. B. Treiberstrom) möglich,
- niedrige Betriebsspannung: geringer statischer Störabstand, schlechteres dynamisches Verhalten, geringe Stromaufnahme und Verlustleistung, geringer abgebarer Ausgangsstrom des CMOS-Gatters.

Die Verbesserung der dynamischen Kennwerte erfolgt, bezogen auf die Betriebsspannung, nicht linear. Wie Bild 3.8. zu entnehmen ist, ist die Beeinflussungsmöglichkeit der dynamischen Kennwerte durch eine entsprechend zu wählende Betriebsspannung im unteren Betriebsspannungsbereich wesentlich größer. Die in Bild 3.8. dargestellte prinzipielle Abhängigkeit gilt für Gatterlauf-, Anstiegs- und Abfallzeit sowie die \overline{CE} -Aktivierungszeiten (U 40098 D).

Es ist beim Arbeiten mit CMOS-Schaltkreisen unbedingt auf die richtige Polarität der Betriebsspannung zu achten (Zerstörungsgefahr).

5.2. Stromaufnahme - Verlustleistung /1/ /18/

Die Gesamtverlustleistung P_{Gn} eines CMOS-Schaltkreises setzt sich aus der Summe der statischen und dynamischen Verlustleistungen der n angeschlossenen Einzel-Gatter (P_G) zusammen. Für ein einzeln betriebenes Gatter eines Mehrgatter-Schaltkreises soll die im Gatter umgesetzte Verlustleistung P_G berechnet werden (siehe Bild 5.1.).

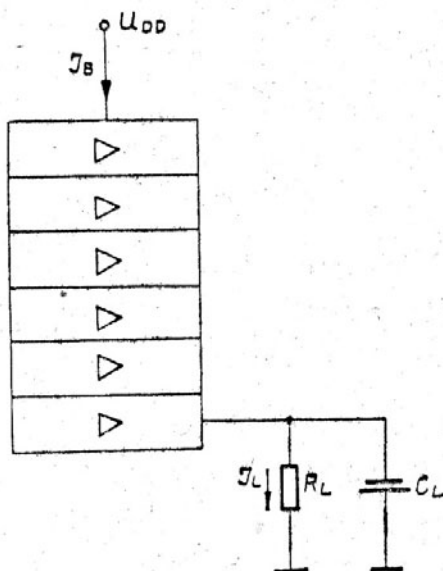


Bild 5.1

Beschaltetes Gatter zur Berechnung der Gatterverlustleistung P_G

Es gilt:

$$I_B \cdot U_{DD} = P_G + I_L^2 \cdot R_L + U_{DD}^2 \cdot f_B \cdot C_L$$

I_B ist hierbei der vom Schaltkreis aufgenommene Betriebsstrom.

Unter Berücksichtigung der maximal zulässigen Verlustleistung (Grenzwert) für jedes Gatter ($P_{VO} = 100 \text{ mW}$) gilt dann:

$$P_G = (I_B \cdot U_{DD} - I_L^2 \cdot R_L - U_{DD}^2 \cdot f_B \cdot C_L) < 100 \text{ mW}$$

Sind mehrere Gatter eines CMOS-Schaltkreises beschaltet, ist außerdem noch der für den gesamten Schaltkreis angegebene Grenzwert ($P_V = 300 \text{ mW}$) zu beachten. Für n Gatter gilt:

$$P_{Gn} = \left[I_B \cdot U_{DD} - \sum_{v=1}^n (I_L^2 \cdot R_L)_v - U_{DD}^2 \sum_{v=1}^n (f_B \cdot C_L)_v \right] < 300 \text{ mW}$$

Die zur Abschätzung der Verlustleistungen benötigten Angaben sind sämtlich bekannt bzw. können durch Messung gewonnen werden.

Forderungen hinsichtlich einer geringen Leistungsaufnahme konzipierter Schaltungen bedingen:

- Wahl einer niedrigen Betriebsspannung
- Unter Beachtung des erforderlichen Störabstandes möglichst niedrige Eingangssignalpegel verwenden
- niedrige Gesamtkapazität
- niedrige Schaltfrequenz
- möglichst geringe Ohmsche Belastung der Gatterausgänge

Dabei ist zu beachten, daß in die Lastkapazitäten auch Eingangskapazitäten der Folgestufen, sowie Leitungskapazitäten eingehen.

5.3. Gattereingänge, Eingangssignale /1/, /4/, /22/

Die zur Ansteuerung der CMOS-Gatter erforderlichen Eingangssignale sind betriebsspannungsabhängig und sollten zwecks Vermeidung von Störungen stets einen definierten logischen Zustand haben. Trotz engtolerierten Schaltens der Gatter bei $1/2 \cdot U_{DD}$ (außer U 4093 D, der bei den Triggerschwellspannungen schaltet), ist der Bereich zwischen max. Low-Eingangsspannung und minimaler High-Eingangsspannung (für die Typen U 4050 D, U 40098 D und U 40511 gilt für diesen Bereich: $0,3 \cdot U_{DD} < U_e \leq 0,7 U_{DD}$) als undefiniert zu betrachten. Das Anlegen einer Eingangsspannung von $1/2 U_{DD}$ ist dabei besonders kritisch. Offene (schwimmende) Gattereingänge sind bei CMOS-Schaltkreisen unbedingt zu vermeiden, da dies zum Schwingen der Gatter und damit durch thermische Überlastung zur Zerstörung führt. Unbenutzte Gattereingänge der CMOS-Schaltkreise sind vor Betriebsspannungszuschaltung an Betriebsspannung, Masse oder andere (angeschlossene) Eingänge zulegen (in letzterem Fall erhöht sich allerdings dabei die wirksame Eingangskapazität).

Sind schaltungsbedingt Eingänge im Betriebszustand teilweise offen, z. B. Einsatz von CMOS-Gattern als Empfänger in tristate-Bus-Systemen, Anschluß an Tastaturen und andere mechanische Schalter, Verwendung von Vorstufen mit abschaltbaren (tristate) Ausgängen (z. B. U 40098 D), Entstehung offener Eingänge durch Abziehen von mit CMOS-Logik-Schaltkreisen bestückten Leiterplatten usw., sind diese Eingänge über einen Widerstand (Empfehlung: $100 \text{ k}\Omega \dots 1 \text{ M}\Omega$) an Betriebsspannung oder Masse zu legen.

CMOS-Logik-Schaltkreise dürfen bei angelegter Betriebsspannung weder auf Fassungen gesteckt noch abgezogen, weder ein- noch ausgelötet werden.

Logische Eingangssignalfolgen dürfen nur angelegt werden, wenn vorher die Betriebsspannung zugeschaltet wurde. Nichtbeachtung kann, bedingt durch die Konzeption der Eingangsschutzschaltung, zu einem zu hohen Eingangsstrom und damit zur Zerstörung des CMOS-Gatters bzw. des CMOS-Schaltkreises führen.

Sollte bei Einsatz von CMOS-Logik-Schaltkreisen in Geräten oder Systemen mit mehreren, voneinander getrennten Betriebsspannungsversorgungen die Möglichkeit bestehen, daß eine dieser Spannungen ausfallen kann, ohne daß in diesem Fall die anderen Spannungen abgeschaltet werden, kann (wie in Bild 5.2. dargestellt) durch entstehenden Kurzschluß das CMOS-Gatter zerstört werden. In Bild 5.2. wurde angenommen, daß U_{DD2} ausfällt, während der Ausgang von Gatter 1 (G 1) noch ein Signal liefert. Über die Diode der Eingangsschutzschaltung des Gatters G 2 kann sich über den geringen Innenwiderstand der Spannungsversorgung U_{DD2} ein niederohmiger Strompfad ausbilden, der das Gatter zerstört.

Empfehlung: Widerstand R zur Begrenzung des Eingangsstromes auf 10 mA (Grenzwert) einfügen.

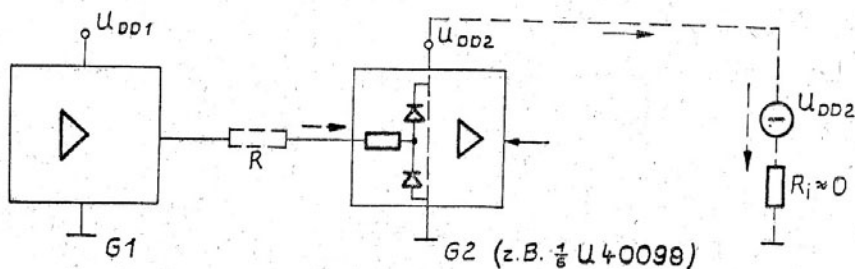


Bild 5.2 Demonstration für Zustandekommen eines niederohmigen Strompfades (über integrierte Eingangsdiode in G 2) bei $U_{DD2} = 0$ und an G 2 anliegendem Eingangssignal.

Bei Verwendung niederohmiger Signalquellen sollte ebenfalls ein Widerstand zur Eingangsstrombegrenzung vorgesehen werden.

Empfehlung: Bei Versuchsaufbauten mit niederohmigen Signalquellen (z. B. Impulsgeneratoren) sollte am Systemeingang ein Vorwiderstand von ca. 1 k Ω vorgesehen werden.

Bei Pegelwandlungen (U 4050 D) ist zu beachten, daß durch die Betriebsspannungsabhängigkeit der Eingangssignale der Störspannungsbereich unsymmetrisch zuungunsten des Low-Eingangsspannungsbereiches wird (Bild 5.3.). Störspannungsspitzen auf der Masseleitung, die sich aufgrund des hohen Störspannungsabstandes im Gatter 1 (G 1) nicht auswirken, können im Gatter 2 (G 2) bereits ein Schalten bewirken.

Eingangsschutzdioden dürfen nicht in die zu konzipierende Schaltung einbezogen werden. (z. B. Gleichrichter, Begrenzer u. ä.) /22/

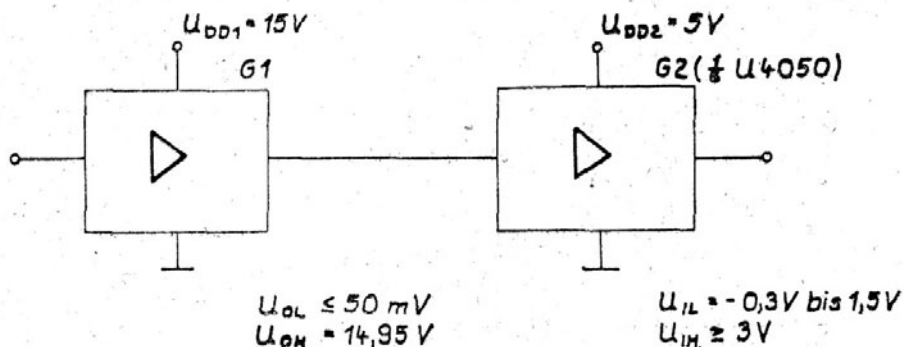


Bild 5.3 Erläuterung des Zustandekommens einer Unsymmetrie (hier des Low-Pegels) bei Pegelwandlerereinsatz

5.4. Gatterausgänge/Ausgangssignale /1/, /4/, /21/

Bedingt durch die Abschaltbarkeit (hochohmig, tristate) der Gatterausgänge des U 40098 D können dessen Ausgänge sowohl mit anderen Ausgängen dieses Typs als auch mit tristate-Ausgängen anderer Schaltkreise zusammenschaltet werden. Bedingung hierfür ist, daß jeweils nur eine der zusammenschalteten Ausgangsstufen sendet, d. h. aktiviert ist. Hierbei sind auch Zeitüberlappungen durch unterschiedliche Laufzeiten sowie möglicherweise auftretende parasitäre Effekte zu beachten.

Wie in Bild 5.4. anhand zweier Ausgangsstufen dargestellt wurde, kann ein gleichzeitiges Aktivieren (Senden) beider Stufen bei unterschiedlichen Ausgangspegeln einen Kurzschluß und somit die Zerstörung der Gatter bewirken.

Die Ausgangssignalpegel von CMOS-Gattern sind abhängig von Betriebsspannung und Ausgangsstrom. Der von dem Gatterausgang abgebbare Ausgangsstrom (Last- bzw. Treiberstrom) steigt mit Betriebsspannungserhöhung und wird im oberen Betriebsspannungsbereich durch die zulässige Verlustleistung begrenzt.

Mit steigendem Ausgangsstrom sinken die Ausgangspegel, so daß es hier bei zu hoher Belastung des Gatterausganges, besonders bei niedrigen Betriebsspannungen zu einer Verringerung des statischen Störabstandes bzw. sogar zu einer Verfälschung der logischen Ausgangssignale kommen kann.

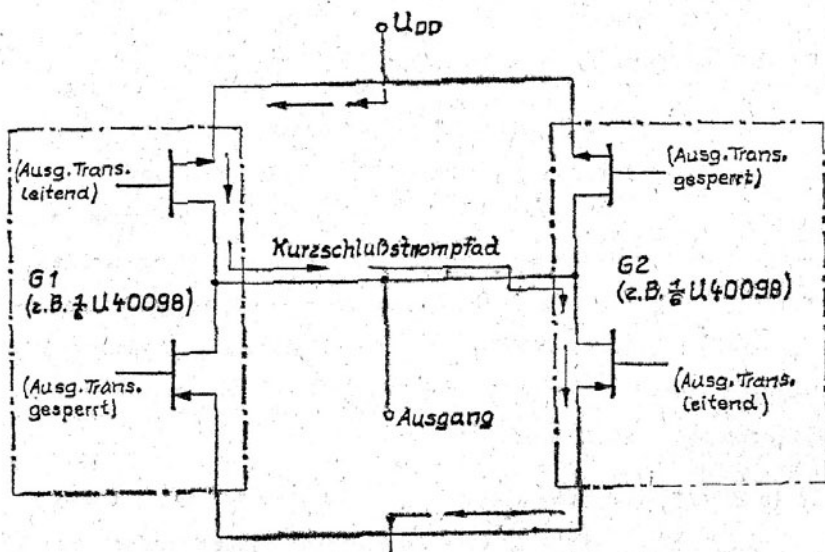


Bild 5.4

Ausbildung eines Kurzschlusses von U_{DD} zu Masse bei Zusammenschalten zweier, unterschiedlich logischer Zustände aufweisender, tristate-Ausgangsstufen bei gleichzeitiger Aktivierung ($\overline{CE} = \text{Low}$) beider Stufen.

5.5. Parallelschaltung von CMOS-Logik-Gattern

Eine Parallelschaltung von CMOS-Gattern zwecks Erhöhung des Ausgangsstromes (Treiberstrom) sollte, auch wenn es sich um Gatter nur eines Schaltkreises handelt, prinzipiell vermieden werden, da seitens des Herstellers keine Garantie für eine derartige Betriebsweise gegeben wird. Ausfälle an CMOS-Schaltkreisen, die aus einer Parallelschaltung von Gattern resultieren, sind allerdings bisher noch nicht bekannt geworden.

5.6. Betriebsspannungsstützung

Trotz des relativ großen Störabstandes und des geringen Leistungsbedarfes der CMOS-Schaltkreise sollte auf eine Stützung der Betriebsspannung nicht verzichtet werden.

Empfehlung: Die Stützkapazität soll etwa den 10fachen Wert der umzuladenden Kapazitäten haben; als Mindestwert sollte für je 10 CMOS-Schaltkreise ein 22 nF-Scheibenkondensator vorgesehen werden.

Bei Batteriestromversorgung ist aufgrund der teilweise sehr hohen Empfindlichkeit der Batterien gegen Stromspitzen, eine Stützung in jedem Fall erforderlich.

Empfehlung: Für je 6 CMOS-Schaltkreise sollte mindestens ein Scheibenkondensator von 100 nF vorgesehen werden.

5.7. Einsatz bei ungünstigen Betriebsbedingungen

Sollen CMOS-Schaltkreise in der Nähe der Grenzen der Betriebsbedingungen betrieben werden, kann sich unter Umständen ein (parasitärer) Thyristoreffekt ausbilden, der über das jeweilige CMOS-Gatter einen Kurzschluß bewirkt und somit durch thermische Überlastung den CMOS-Schaltkreis zerstört. Dieser Effekt wird durch entsprechende Einsatzbedingungen begünstigt, z. B. obere Betriebsspannungsgrenze, starke Störquellen (damit Möglichkeit der Grenzwertüberschreitung), hohe Umgebungstemperatur, hoher Ausgangsstrom usw.

Sind derart ungünstige Einsatzbedingungen vorhanden, bzw. muß mit solchen gerechnet werden, sollte deshalb in die Betriebsspannungszuführung jedes CMOS-Schaltkreises ein Widerstand zur Strombegrenzung geschaltet werden.

Dieser Widerstand verhindert zwar nicht die Ausbildung des Thyristors, schützt jedoch den CMOS-Schaltkreis vor Zerstörung. Eine genaue Dimensionierungsvorschrift für diesen Widerstand kann aufgrund der mannigfaltigen Möglichkeiten der auslösenden Effekte nicht angegeben werden.

Empfehlung: Der Begrenzungswiderstand sollte so groß sein, daß die Stromaufnahme des CMOS-Schaltkreises einen Wert von 170 mA nicht überschreiten kann.

5.8. Prüfung, Messung, Fehlersuche

Hierbei ist auf einen möglichst hohen Eingangswiderstand der Meßgeräte zu achten, um eine Verfälschung der Ausgangssignale durch das Meßgerät selbst zu vermeiden. Dies gilt besonders für das Arbeiten bei geringen Betriebsspannungen.

Vorteilhaft für die Fehlersuche in CMOS-Schaltungen ist die Verwendung eines speziellen Prüfstiftes, der im gesamten Betriebsspannungsbereich einsetzbar ist, selbst eine geringe Stromaufnahme aufweist und offene Eingänge sowie tristate-Verhalten erkennt. Ein Arbeiten mit evtl. vorhandenem TTL-Prüfstift ist auch bei einer Betriebsspannung von $U_{DD} = 5 \text{ V}$ nicht möglich, da die logischen TTL- und CMOS-Pegel nicht gleich sind.

5.9. Sonstiges /3/, /22/

Die Trägerstreifen an den Stirnseiten der CMOS-Schaltkreise dürfen nicht mit anderen, schaltkreisfremden Spannungen in Berührung kommen.

6. Applikationsbeispiele mit den U 4000-Bauelementen

6. Oszillatoren

Mit den CMOS-Logik-Schaltkreisen U 4093 D und U 40098 D ist die bekannte Oszillatorgrundsaltung (siehe Bild 6.11.) realisierbar.

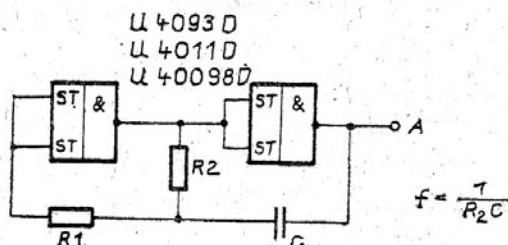


Bild 6.11 Oszillatorgrundsaltung

Diese bekannten Grundsaltungen haben als frequenzbestimmenden Teil das R_2C -Glied. R_1 stellt einen Schutzwiderstand (Strombegrenzung) dar. Auf Grund der schaltkreiseigenen Hysterese beim U 4093 D ist mit diesem Schaltkreis eine Oszillatorschaltung mit nur einem Gatter funktionstüchtig. Bild 6.12. zeigt eine derartige Lösung.

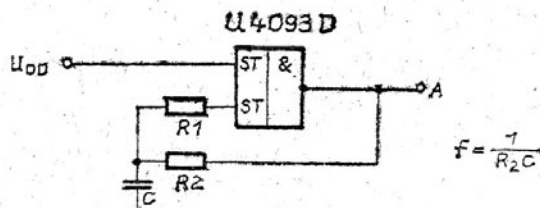


Bild 6.12 Oszillatorgrundsaltung für U 4093 D

Die Schaltung schwingt zwischen der unteren und oberen Trigger-Schwelspannung U_P bzw. U_N . Die Frequenz beträgt

$$f \approx \frac{1}{R_2 C} = \frac{1}{T} \quad 1)$$

$$T = R_2 C \cdot \ln \frac{U_{DD} - U_N}{U_{DD} - U_P} + R_2 C \cdot \ln \frac{U_P}{U_N} \quad 2)$$

Bild 6.13. zeigt diese U 4093 D-spezifische Grundschtung als Oszillator für ungleich Tastverhältnisse. R_2 wird hierbei durch R_{21} und R_{22} ersetzt, wobei die Diode den Entladevorgang über R_{22} gewährleistet. Die Lade- bzw. Entladedauer berechnet sich gemäß 2).

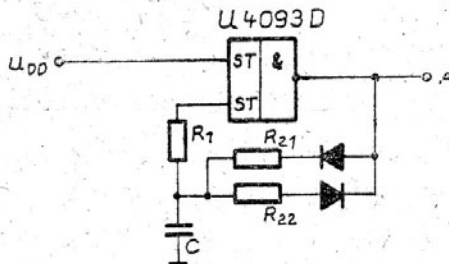


Bild 6.13

Ein Oszillator mit fester Frequenz und regelbarem Tastverhältnis ist in Bild 6.14. dargestellt.

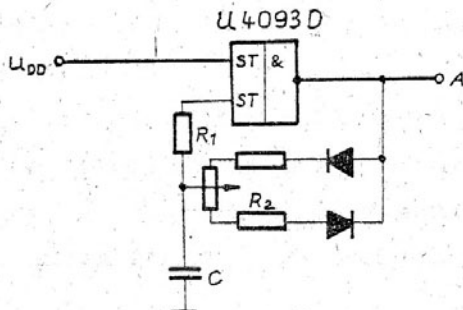


Bild 6.14

Werden Quarzoszillatoren benötigt, so stellt Bild 6.15. eine Möglichkeit aus // dar. Hierbei kommen CMOS-Schaltkreise des Typs U 4001 D des VEB FWE zum Einsatz.

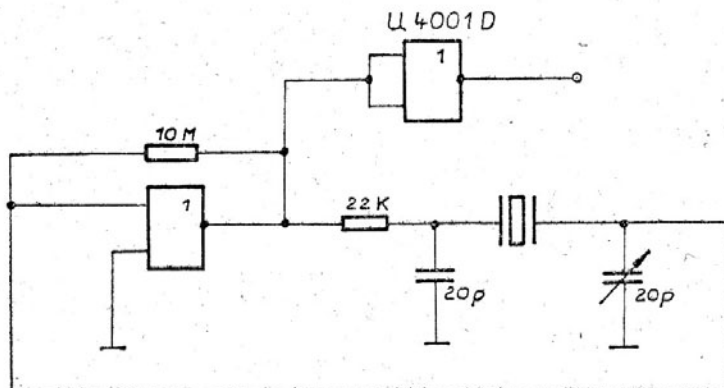


Bild 6.15 Quarzoszillator

6.2. Zeitschaltungen

Unter diesem Abschnitt wird eine Zusammenstellung von Schaltungen gezeigt, mit denen Impulse zeitlich verschoben, verkürzt oder verlängert werden können. Günstig für derartige Schaltungen ist die CMOS-typische Schaltschwelle der Gatter von $1/2 U_{DD}$. Der U 4093 D hat schaltkreisseitig auf Grund der Schmitt-Trigger-Eingänge verschobene Schaltschwellen. Der zeitbestimmende Teil der Schaltungen wird durch das R_2C -Glied bestimmt.

Bild 6.21. zeigt ein Verzögerungsglied. Ist die Spannung über dem Kondensator C gleich der Trigger-Schwellschpannung, schaltet das NAND-ausgangsseitig von High auf Low. Die Zeitverzögerung ist mittels R_2 und C lösbar und genügt der folgenden Beziehung /2/:

$$t_V \approx R_2 C$$

Diese Beziehung ist auch für die folgenden Schaltungen gültig.

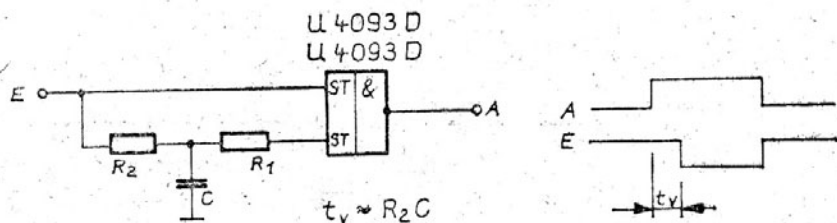


Bild 6.21

Impulsverzögerungsschaltung

Bild 6.22. zeigt ein Verlängerungsglied, d. h. der Ausgangsimpuls wird um t_V gegenüber dem Eingangssignal verlängert. Das Ausgangssignal erscheint hier in gleicher Phasenlage wie das Eingangssignal.

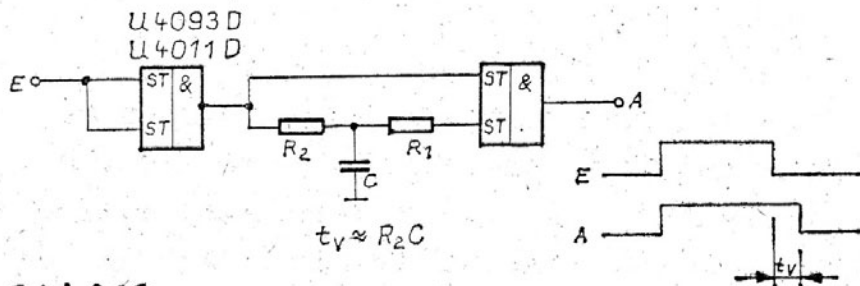


Bild 6.22

Impulsverlängerungsschaltung

Die Bilder 6.23. a und b zeigen Zeitschaltungen, bei denen der Eingangsimpuls über die Zeit t_V verschoben wird.

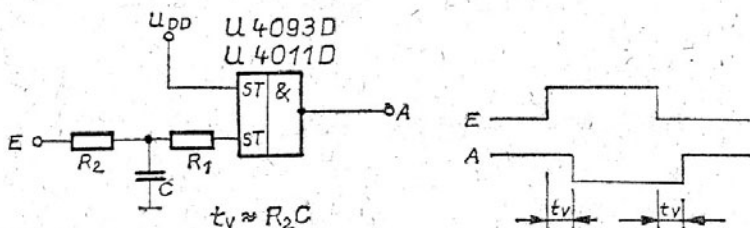


Bild 6.23a

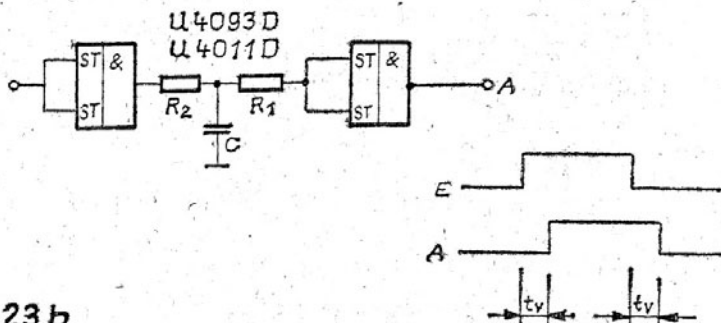


Bild 6.23 b

Impulsverschiebeschaltungen

Eine Schaltung, die das Verzögerungs- und Verlängerungsglied kombiniert, ist in Bild 6.23. a dargestellt. Ein NAND-Eingang liegt fest auf U_{DD} , während die Flanken der Impulse zeitverzögert und verschliffen den zweiten NAND-Eingang steuern. Es tritt hier eine Verschiebung (zeitlich) des Impulses in voller Länge und verdrehter Phasenlage auf. Bild 6.23. b zeigt eine Schaltung gleicher Funktion, wobei das Ausgangssignal phasenrichtig erscheint. Wird in der Schaltung 6.23. a der U 4093 D durch die Schaltkreise U 4050 D oder U 40098 D ersetzt, erfüllt sie die gleiche Funktion.

Eine Impulsverkürzerschaltung zeigt Bild 6.24.

/4/. Die Länge des Ausgangs-Low-Impulses genügt folgender Beziehung:

$$t_A \approx C_T \cdot R_T \cdot \ln 2$$

Impulse der Länge $t_E < t_A$ passieren die Schaltung in ihrer ursprünglichen Länge. Die Diode D erfüllt bezüglich der Eingänge des zweiten Gatters eine Schutzfunktion.

Werden C_T und R_T nicht gegen Masse gelegt, sondern an U_{DD} , so wirkt diese Anordnung auf die High-Impulse. Die Ausgangsimpulslänge berechnet sich wie folgt:

$$t_A \approx C_T \cdot R_T \cdot \ln 2$$

Impulsverkürzerschaltung

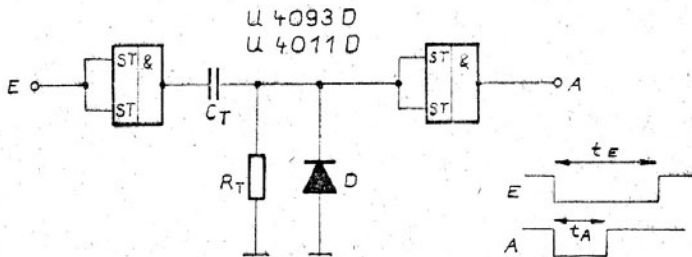


Bild 6.24

In die Gruppe der Zeitschaltungen wurde eine Anordnung zur Frequenzverdopplung /4/ eingeordnet, da sie nach den hier gezeigten Prinzipien arbeitet. Bild 6.25. zeigt diese Schaltung und das dazugehörige Impulsbild.

Die Frequenzverdopplung mit einem Pausentaktverhältnis 1 : 1 erfolgt unter folgenden Bedingungen:

$$t_E \approx 5 \cdot R_1 \cdot C_1$$

$$R_1 = R_2$$

$$C_1 = C_2$$

Die Ausgangsfrequenz genügt dann folgender Gleichung:

$$t_A \approx 2,5 \cdot R_1 \cdot C_1$$

Da der über R_2 C_2 verarbeitete Impuls mit einer zusätzlichen Gatterlaufzeit behaftet ist, empfiehlt es sich für R_1 und R_2 Einstellregler zu verwenden, damit ein Abgleich auf die gewünschte Frequenz erfolgen kann. D_1 und D_2 stellen Schutzmaßnahmen für die Gattereingänge dar.

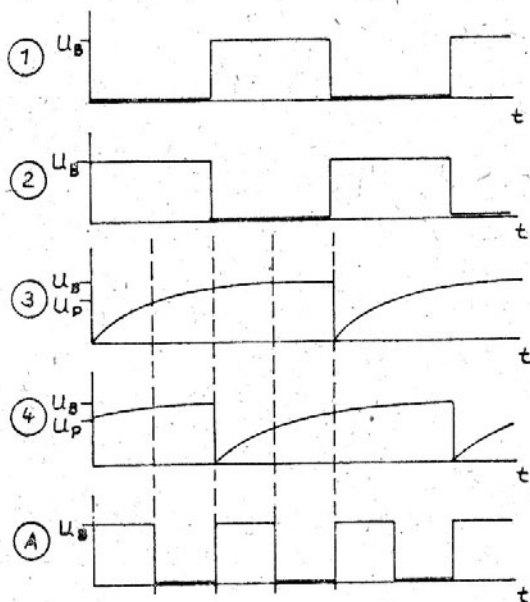
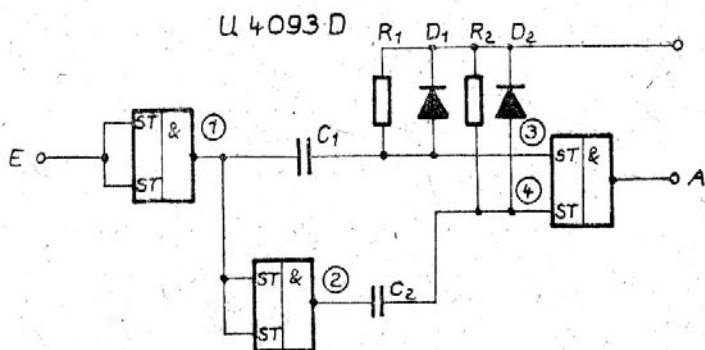
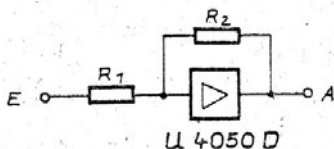


Bild 6.25 Frequenzverdopplerschaltung

6.3. Schwellwertschalter /8/, /4/

Für Einsatzfälle, wo Schwellspannungen außerhalb von $0,5 U_{DD}$ gefordert sind, können mit einem Gatter des U 4050 D und zwei Widerständen solche Schaltungen realisiert werden. Die Widerstände R_1 und R_2 bilden einen durch den Gattereingang belasteten Spannungsteiler. Entsprechend dem Spannungsteiler verändert sich die Spannung am Knotenpunkt vor dem Gattereingang. Erreicht die Spannung am Knotenpunkt die Gatterschaltswelle, so ändert der Ausgang sein Potential. Bild 6.31. zeigt die dazugehörige Schaltung.



$$U_H = 0,5 k U_{DD}$$

$$U_L = (1 - 0,5k) U_{DD}$$

$$k = \frac{R_1 + R_2}{R_1}$$

Bild 6.31 Schwellwertschalter

Die Schwellspannungen ergeben sich wie folgt:

$$U_H = 0,5 K \cdot U_{DD}$$

$$U_L = (1 - 0,5 K) U_{DD} \text{ mit}$$

$$K = \frac{R_1 + R_2}{R_1}$$

Der Rückkopplungsfaktor k bestimmt somit den Hysteresebereich des Schwellwertschalters:

$$U_{\text{Hysteresis}} = (k - 1) U_{DD}$$

Für die Widerstände R_1 und R_2 ist ein Bereich von 5 bis 50 K zweckmäßig. Ist es erforderlich, die Schwellspannungen der

L/H-Flanke und H/L-Flanke verschieden anzulegen, so ist der Widerstand R_2 in zwei parallel liegende Widerstände aufzuteilen, wobei durch Dioden die Wirkung auf die Flanken bestimmt wird. Bild 6.32. zeigt die entsprechende Schaltung. Hier wird der obere Umschaltpunkt U_H durch R_2 und U_L durch R_{22} festgelegt.

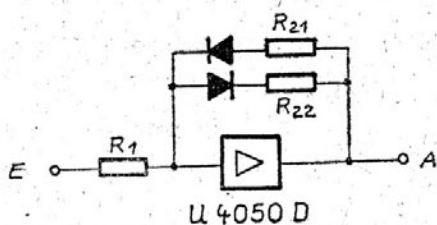


Bild 6.32

Schwellwertschalter für unterschiedliche Schwellwerte

6.4. Tastenentprellung, Sensortasten

Der Einsatz mechanischer Taster in digitalen Systemen kann durch das mechanische Tastenprellen zu Fehlfunktionen der Systeme führen. Deshalb ist es üblich, mechanische Taster in solchen Systemen zu entprellen. Wie Bild 6.41. a/b und 6.42. a/b zeigen, wird den Tasten zu diesem Zweck ein Kondensator parallel geschaltet. Die Zeitkonstante des RC-Gliedes soll zur zuverlässigen Vermeidung des Prellens größer als die ungünstigste Prellzeit sein. Als Richtwert sollen für $C = 0,5 \mu\text{F}$ und für $R = 220 \text{ K}\Omega$ angegeben werden. /4/ Ein nachgeschaltetes CMOS-Gatter (U 4093 D, U 4050 D o. ä.) formt dann saubere Rechteckimpulse auf Grund der definierten Schwellspannung. /1/ /4/

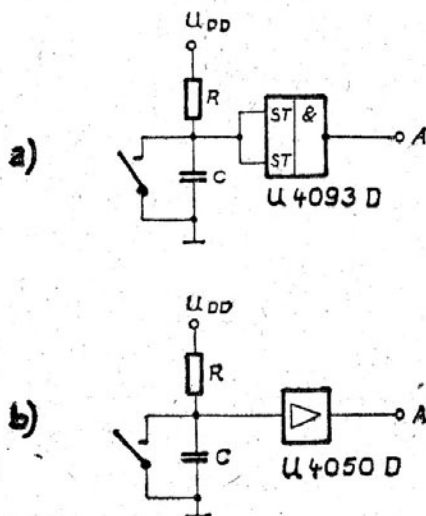


Bild 6.41

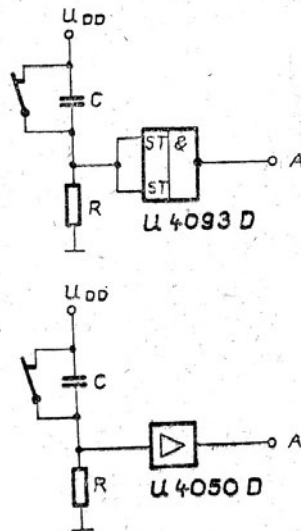


Bild 6.42

Bild 6.43. zeigt eine Entprellschaltung für Wechsler. Benötigt werden dazu ein Gatter U 4050 D und ein Widerstand (ca. $22\text{ k}\Omega$). /4/

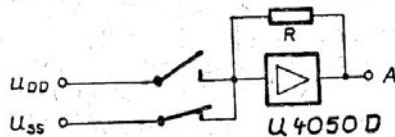
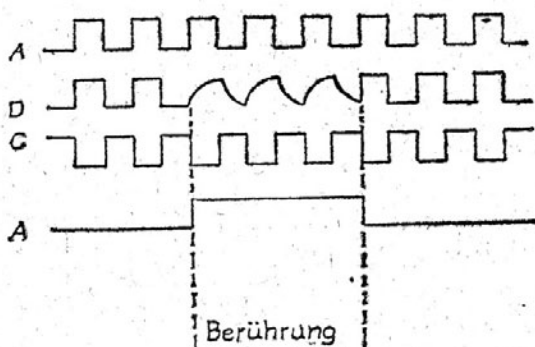
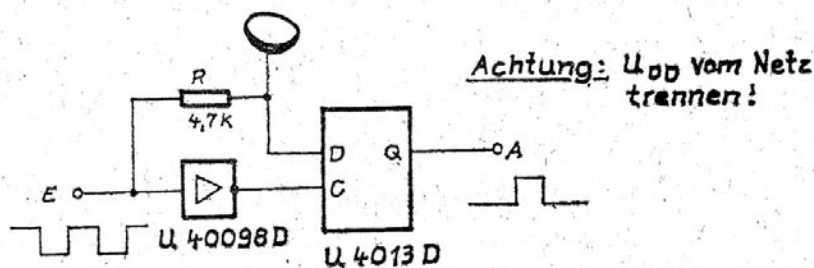


Bild 6.43

Entprellschaltung für Wechsler

Der hohe Eingangswiderstand von CMOS-Bauelementen lässt sich gut für Sensor- und Näherungsschaltungen nutzen. Richtlinien für derartige Schaltungen sind in /4/ gegeben. Es soll an dieser Stelle eine Schaltung vorgestellt werden, die auf Invertern U 40098 D und U 4013 D aufbaut. Die Schaltung nutzt die Körperkapazität von ca 300 pF . Der Inverter verzögert das Tasten um die Zeit t solange, bis der D-Eingang den neuen Wert angenommen hat und sich damit ein Ausgang von "Low" ergibt.

Bild 6.44. zeigt Schaltung und Impulsdiagramm. Die Tastfrequenz bestimmt die Entprellzeiten.



Sensorschaltung

Bild 6.44

Bei Systemen mit mehreren Tasten sollten mittels eines zusätzlichen Inverters Vorkehrungen getroffen werden, daß durch das Berühren des Sensors die Tastquelle (Anstiegs- u. Abfallzeiten) nicht zu sehr belastet werden. Bild 6.45. zeigt einen derartigen Vorsatz.

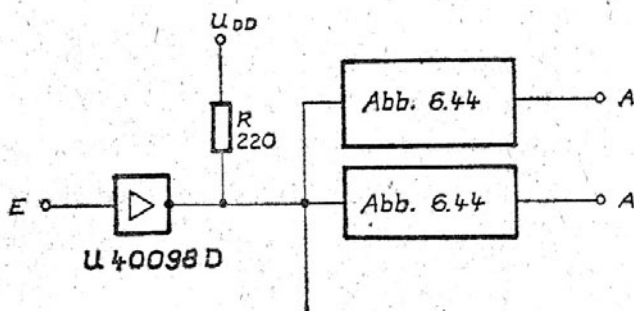


Bild 6.45 Sensorschaltung für mehrere Sensoren

6.5. RS-Flip-Flop, D-Latch

Von allen Flip-Flops ist das RS-Flip-Flop das einfachste. Mit dem U 4093 D ist ein solches Flip-Flop durch 2 Gatter realisierbar. Die zwei Ausgänge der NAND's werden auf je einen Eingang des anderen Gatters rückgeführt. Bild 6.51. zeigt die entsprechende Schaltung. An den Ausgängen der Gatter stehen die Informationen Q und \bar{Q} an. /4/ /17/

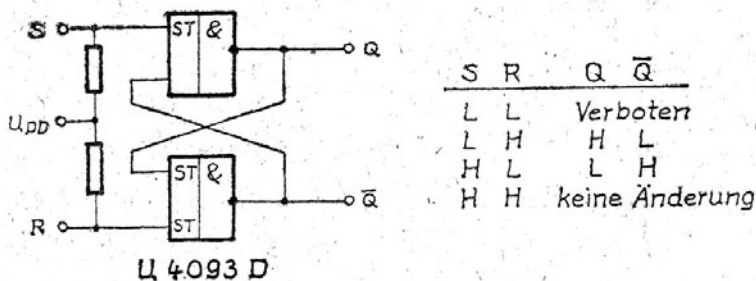


Bild 6.51 RS-Flip-Flop

Das Setzen erfolgt mittels "L"-Signal an S, das Rücksetzen mittels "L"-Signal an R. Die Widerstände R fixieren das RS-Flip-Flop bei offenen Eingängen und sollten etwa $10\Omega \dots 100\text{ K}\Omega$ betragen. Auf die Betriebsspannungsabhängigkeit der Signalübernahmezeit soll an dieser Stelle verwiesen werden. (160 ns ... 40 ns /4/). Mittels 4 Gatter des U 4093 D ist ein D-Flip-Flop mit Freigabeingang realisierbar /4/. "H"-Pegel am F-Eingang gibt das Latch frei, so daß es vom D-Eingang gestellt werden kann.

Die Widerstände R schützen die Gatter vor offenen Eingängen. Die Signalübernahmezeit ist betriebsspannungsabhängig (350 ... 50 ns /4/).

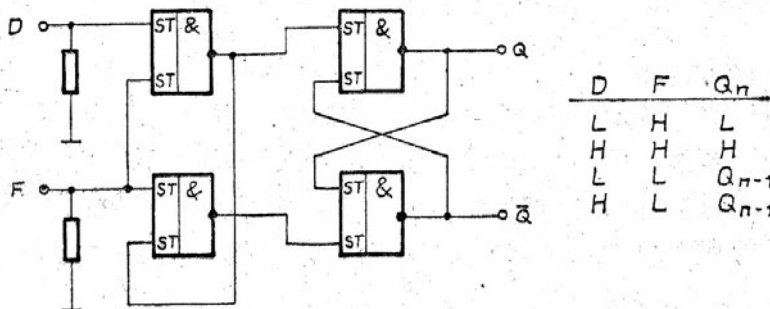


Bild 6.52 D-Flip-Flop

6.6. Flankendetektor

Bild 6.61. zeigt einen Flankendetektor /8/. Der Eingang speist die "Auswertegatter" der Bauelemente U 4093 D, U 4001 D und U 4030 D auf dem einen Weg direkt und auf dem anderen über ein Verzögerungsglied. An den Ausgängen der NAND, NOR und EXOR-Gatter werden Impulse durch die Flanken der Eingangssignale gebildet. Die Zeitkonstante RC muß entsprechend der Eingangsfrequenz bestimmt werden.

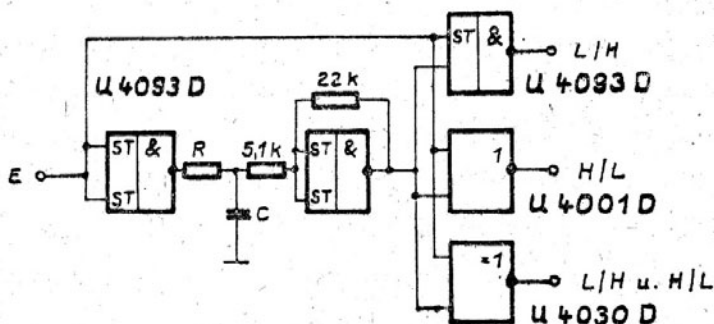


Bild 6.61 Flankendetektor

6.7. Interface-Schaltungen

Interface zur Optoelektronik

Die Ansteuerung von LED's ist gemäß Bild 6.71. über einen Vorwiderstand R_V möglich. // //14/ Der Widerstand R_V begrenzt den Flußstrom der Lumineszenzdiode. Der Vorwiderstand R_V vor der LED wird gemäß nachstehender Gleichung dimensioniert:

$$R_V = \frac{U_{DD} - U_{LED}}{I_L}$$

$$U_{LED} = 1,7 \text{ V}$$

$$I_L = 10 \dots 50 \text{ mA}$$

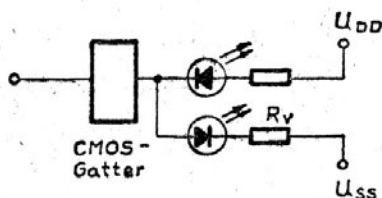


Bild 6.71 LED-Ansteuerung

Vorzugsweise sollten für diese Anwendungen Bauelemente der Typen U 4050 D bzw. U 40098 D zum Einsatz kommen, da sie bzgl. des Ausgangsstromes als Treiberschaltkreise vorgesehen sind. Digitale Lichtempfänger lassen sich mit dem U 4093 D und Fototransistoren aufbauen. Die entsprechende Anordnung zeigt Bild 6.72. Mittels R_A wird der Arbeitspunkt der Schaltung eingestellt. Für $U_{DD} = 5 \dots 15 \text{ V}$ kommen Werte $R_A = 100 \Omega \dots 200 \text{ K}\Omega$ in Betracht. /4/

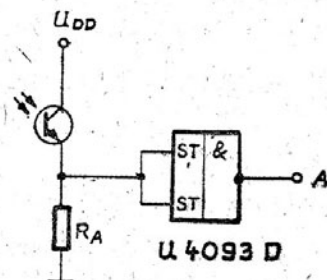


Bild 6.72 Lichtempfänger mit Fototransistor

Die mit den Bildern 6.71. und 6.72. gezeigten Schaltungen lassen sich auch auf die Ansteuerung von Optokopplern übertragen.

Bild 6.73. zeigt eine Beschaltung für Optokoppler.

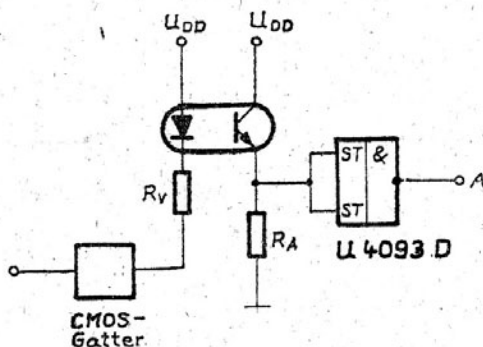


Bild 6.73

So sind z. B. mit den Kopplern MB 123 und MB 125 verschiedene Sensoren realisierbar (Schlitz- bzw. Reflexionssensoren), die in CMOS-Systeme eingebunden werden könnten.

Ansteuerung von Thyristoren

In /2/ und /11/ sind mit dem Schaltkreis 4050 Schaltungen gezeigt, die Thyristor bzw. Triacs ansteuern (Bild 6.74.).

Die Leistungsbauelemente müssen in diesem Einsatzfall sehr empfindlich sein, d. h. die Gateströme dürfen den Milliamperebereich nicht überschreiten, da andernfalls die CMOS-Ausgänge überlastet werden. In /4/ sind Schaltungen mit Thyristoren des Typs ST 103 untersucht worden. Diese Thyristoren haben Zündspannungen U_{GT} von weniger als 3 V. Der Zündstrom I_{CT} beträgt ca. 10 ... 20 mA.

Dies bedingt, daß die Treiberschaltkreise bei Betriebsspannungen von 10 ... 15 V betrieben werden müssen, um den notwendigen Zündstrom aufzubringen. Der Vorwiderstand R_V genügt der folgenden Beziehung:

$$R_V = \frac{U_{OH} - U_{GT}}{I_{GT}}$$

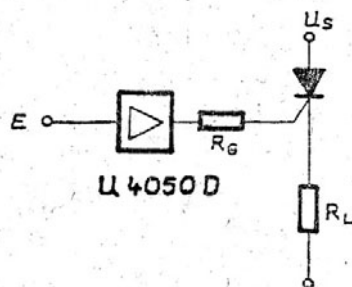


Bild 6.74 Thyristorenansteuerung

Ansteuerung von Relais

Relais finden hauptsächlich Einsatz in den Fällen, wo zwischen der Logik und Peripherie eine galvanische Trennung notwendig ist. In derartigen Einsatzfällen sollten die Treiberschaltkreise U 4050 D und U 40098 D zur Anwendung kommen. Auf jeden Fall sind die zulässige Verlustleistung und die Ausgangsströme beim Einsatz als Relaisstreiber zu beachten. Den Relaiswicklungen ist eine Diode parallel zu schalten. Bild 6.75. zeigt eine derartige Anordnung für Relais mit einer, Bild 6.76. eine Anordnung für Relais mit zwei Wicklungen.

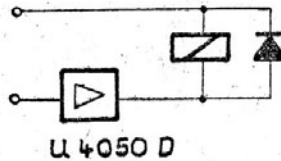


Bild 6.75

Ansteuerung eines Relais mit einer Wicklung

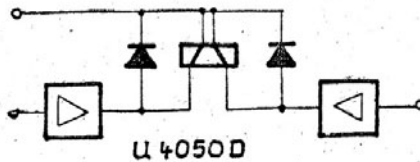


Bild 6.76

Ansteuerung eines Relais mit zwei Wicklungen

Tristate-Bus-Schaltung (Prinzip)

Der U 40098 D kann, bedingt durch die Abtrennbarkeit seiner Ausgangssteuerung, an Tristate-Bus-Systemen als Datensender angeschlossen werden. Für eine 8-Bit-Datenquelle zeigt Bild 6.77. einen solchen Einsatzfall.

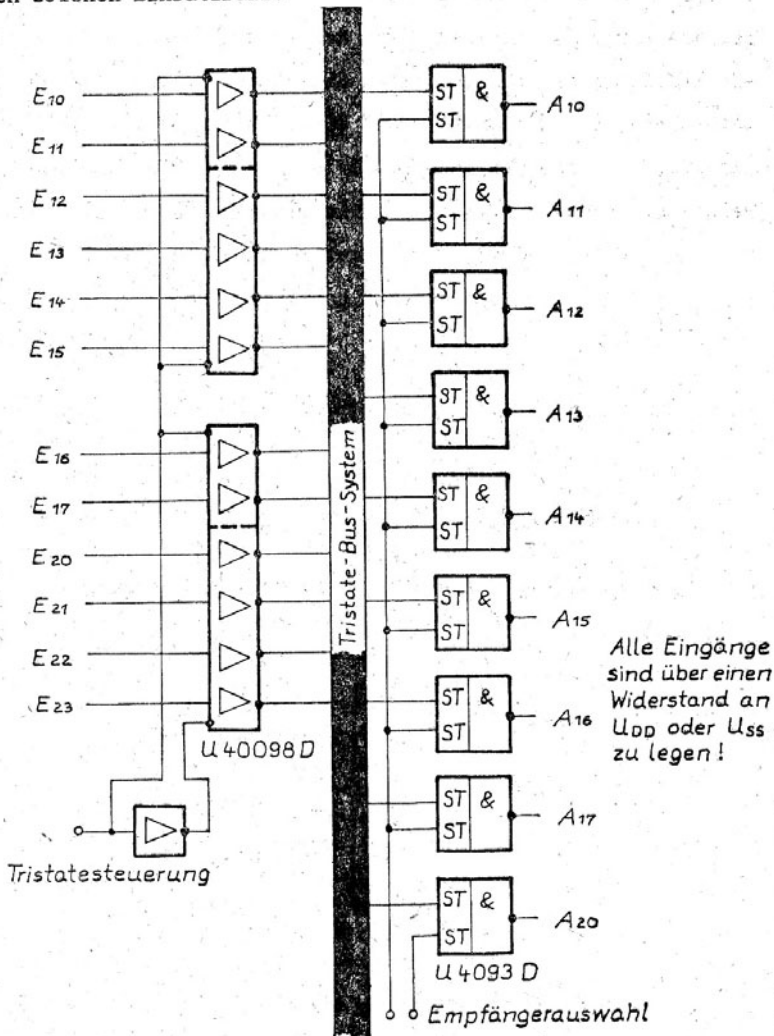


Bild 6.77 8-Bit-Tristate-Bus mit U 40098 D

Es sind hierzu 2 Bauelemente U 40098 D einzusetzen. Für die Dauer der Datenübergabe sind die \overline{CE} -Eingänge auf "Low" zu schalten. Zu beachten ist, daß sämtliche Daten negiert übertragen werden. Ist die Datenausgabe beendet, werden die \overline{CE} -Eingänge auf High geschaltet und die Treibergatter schalten sich in den Tristate-Zustand. Als Datenempfänger an diesem Bus-System können z. B. die Gatter der U 4093 D bzw. U 4050 D verwendet werden. Bei ihnen wäre ein Eingang als Daten-, der andere als Freigabeeingang ("High"-aktiv) zu beschalten. Die Eingänge der Gatter sind über Widerstände an definiertes Potential zu legen, damit die Eingänge nicht offen sind, wenn der Bus hochohmig ist.

6.8. Ansteuerung von Displays mittels des U 40511 D

Für die Ansteuerung von LED 7-Segment-Displays mit gemeinsamer Katode ist der U 40511 D geeignet. Die entsprechende Schaltung zeigt Bild 6.81.

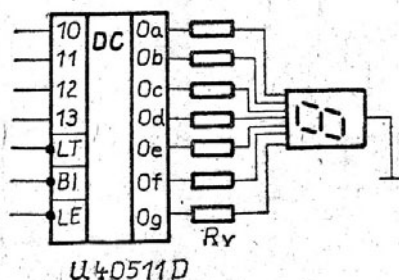


Bild 6.81 Ansteuerung eines 7-Segment-Displays mit gemeinsamer Katode

Die Dimensionierung der benötigten Vorwiderstände je Segment ergibt sich analog Bild 6.7., wobei der Wert von 25 mA für den High-Strom nicht überschritten werden sollte. Hinzuweisen ist bei diesem Bauelement auf die notwendige Beschaltung der Anschlüsse \overline{LE} , \overline{LT} und \overline{BI} . Letztere ergibt sich aus dem konkreten Einsatzfall und der Wahrheitstabelle des Bauelementes. Der U 40511 D enthält einen Eingangszwischenspeicher (Latch). Dieser ist über den Eingang \overline{LE} steuerbar.

Die Zwischenspeicherung der Daten erfolgt mit der L/H-Flanke des \overline{LE} -Steuersignals. Somit können Werte auf der Anzeige unterdrückt werden. Wird die Ansteuerung von LED-Displays mit gemeinsamer Anode notwendig, so sind zwischen Dekoder und Anzeige Gatter des U 40098 D oder Transistoren zu schalten. Bild 6.82. zeigt prinzipiell beide Möglichkeiten.

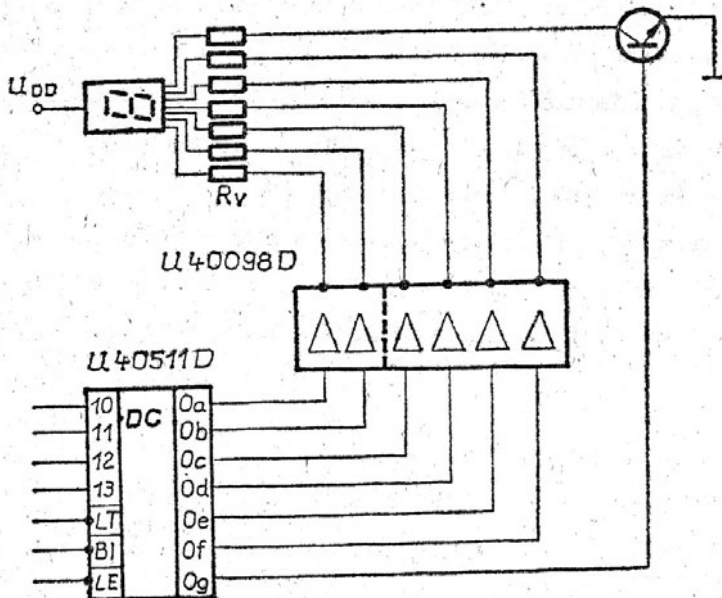


Bild 6.82 Ansteuerung eines 7-Segment-Displays mit gemeinsamer Anode

Der U 40098 D ist im "Low"-Zustand in der Lage, 25 mA Last zu treiben. Über die \overline{CE} -Eingänge kann das Display abgetrennt werden. Eine direkte Ansteuerung von LCD-Displays vom U 40511 D ist nicht möglich, da LCD-Displays eine Wechselspannung für die Polarisierung der Flüssigkristallmoleküle benötigen. Die Ansteuerung solcher Displays wird aber bei Inkaufnahme eines relativ hohen Aufwandes an Schaltkreisen für LCD-Displays mit einem Backplane möglich. Solche Anzeigen sind beispielsweise die FAR 09 A und die FAR 13 A. Bild 6.83. zeigt die zugehörige Schaltung. Der U 40511 D übernimmt die Dekodierung der BCD-Daten. Zwischen Dekoder und Anzeige sind EXOR-Gatter beispielsweise V 4030 D geschaltet. Die zweiten EXOR-Eingänge werden über einen Rechteckoszillator (vgl. Bild 6.12.) gespeist, welcher gleichzeitig das Backplane, also die Rückelektrode des Displays, versorgt. Aus dem Impulsdiagramm ist ersichtlich, daß bei aktivierten Segmentausgang (a ... g = High) die Phasenlage der Signale BP und a₁ um 180° gedreht wird, gegenüber dem Zustand eines nicht-aktivierten Elements. Zwischen den Anschlüssen BP und LCD-Segment tritt dann eine Wechselspannung mit der maximalen Amplitude U_{DD} auf, die die Ansteuerung des LCD-Displays ermöglicht.

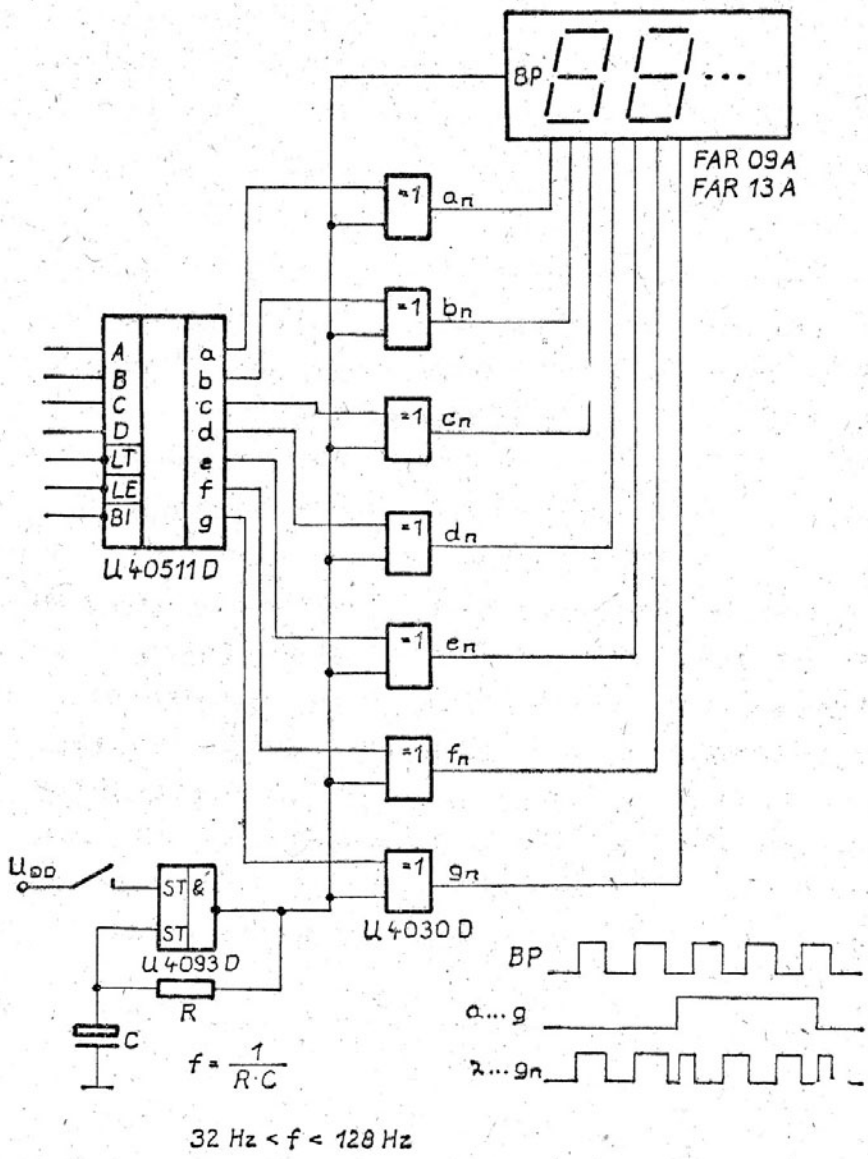


Bild 6.83 LCD-Ansteuerung mittels U 40511 D

Auf die Einhaltung aller Grenzwerte (CMOS-IS, LCD-Anzeige), soll hier nochmals ausdrücklich hingewiesen werden. D. h. die Betriebsspannung U_{DD} darf max. 4 V betragen. Diese Betriebsspannung wird meist durch das LCD bestimmt.

6.9. Pegelwandlung

Der große Betriebsspannungsbereich, geringer Eingangsstrom und geringer Leistungsverbrauch der CMOS-Schaltkreise, ermöglicht eine Zusammenschaltung mit anderen Schaltkreisfamilien in einem System.

CMOS-TTL

Beim Zusammenschalten von TTL zu CMOS (Bild 6.91.) tritt das Problem auf, daß die minimale TTL-High-Spannung kleiner als die minimale CMOS-High-Spannung für den Eingang ist. CMOS benötigt als Minimalwert $0,7 U_{DD}$, TTL liefert aber im ungünstigsten Fall $0,48 U_{DD}$. Diese Differenz wird durch die Verwendung eines externen Widerstandes R ausgeglichen. /2/ /11/

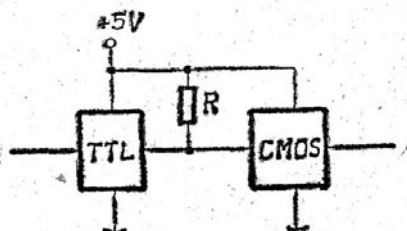


Bild 691 Pegelwandlung TTL - CMOS

Der minimale Widerstandswert R wird durch den maximalen Senkenstrom der TTL-Typen festgelegt, während der Maximalwert durch den TTL-Ausgangsstrom I_{OH} bestimmt wird. Der Widerstand liegt nach der Literatur /2/ /11/ in der Größenordnung von 1,5 ... 4,7 k. Auf Grund der kapazitiven Eingangsimpedanz der CMOS-Typen ist es möglich, mehrere CMOS-Schaltkreise durch einen TTL-Eingang zu steuern.

Zum Schalten von CMOS nach TTL (Bild 6.92.) ist entscheidend, daß der CMOS-Ausgangsstrom ausreichend groß ist und der Low-Pegel max. 0,4 V beträgt. Alle CMOS-Typen haben gleiche Ausgangstreibereigenschaften, die es gestatten, auch im worst-case-Fall 2 Low-Power-TTL-Lasten zu treiben. Für TTL-Lasten höherer Leistung sind gegebenenfalls Puffer vom Typ U 4050 D einzusetzen.

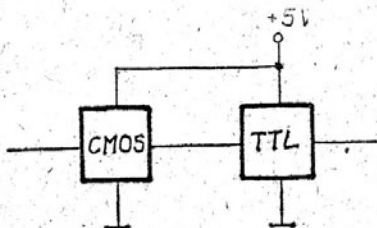


Bild 6.92 Pegelwandlung CMOS - TTL

Werden für die CMOS-Typen höhere Geschwindigkeiten und ein größerer Störabstand gefordert, so ist die Versorgungsspannung für die CMOS-Typen größer als + 5 V zu wählen. Wie Bild 6.93. zeigt, ist ein Widerstand R_x zwischen CMOS-Eingang und CMOS-Betriebsspannung zu schalten. Die Größe von R_x ist abhängig von der Betriebsspannung U_{DD} , die größer + 5 V ist. In [11] werden für $U_{DD} = 10$ V für $R_x = 39$ k angegeben.

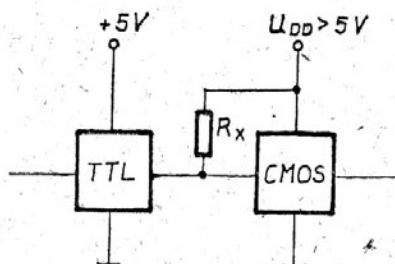


Bild 6.93

Pegelwandlung bei unterschiedlichen Betriebsspannungen zwischen TTL und CMOS

CMOS-Industrielle Logik mit höheren Spannungen

Der Einsatz des U 4050 D ermöglicht eine Wandlung des CMOS-Pegels (Spannungsbereich $0 < U_{DD} < 15$ V) in einen Pegel für industrielle Logik, die häufig mit $U_s = 24$ V arbeitet. Bild 6.94. zeigt eine derartige Schaltung, R_1 dient der Begrenzung des Basisstromes des Transistors.

Zusammenschaltung CMOS-Industrielle Logik

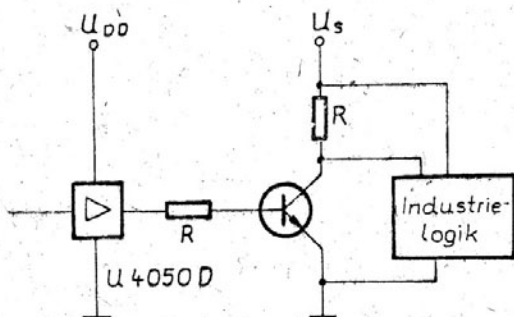


Bild 6.94

Im umgekehrten Betriebsfall muß der Pegel der industriellen Logik in den Bereich der CMOS-Logik herabgesetzt werden. Die Bilder 6.95. und 6.96. zeigen dazu Möglichkeiten. In Bild 6.96. werden die Informationen über einen Widerstandsteiler auf die CMOS-Logik gegeben. Der Kondensator erhöht die Störsicherheit der CMOS-Bauelemente zusätzlich. Die beiden Dioden stellen eine Schutzschaltung dar und begrenzen die Eingangssignale zwischen U_{DD} und U_{SS} . Dieses Widerstandsnetzwerk läßt sich auch für andere Eingangsspannungen dimensionieren, wenn nur sichergestellt wird, daß die Spannung über R_2 dem CMOS-Pegel entspricht, also zwischen U_{DD} und U_{SS} liegt.

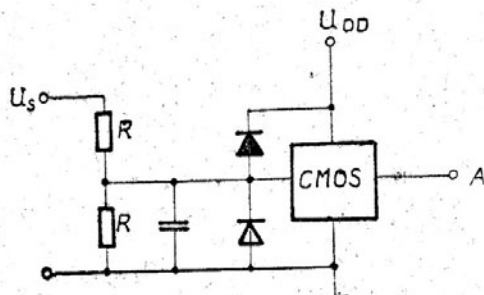


Bild 6.95

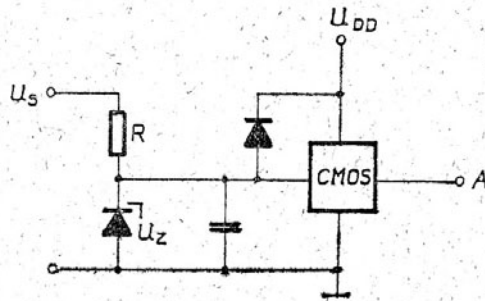


Bild 6.96

Pegelanpassung mittels Widerstandsteiler und Z-Diode

In Bild 6.96. ist eine gleichwertige Schaltung gezeigt, nur das hier die Stabilisierung über eine Z-Diode, deren Z-Spannung dem CMOS-Pegel entsprechen muß, erfolgt. /2/ /11/

CMOS - NMOS

Bild 6.97. zeigt eine Zusammenschaltung von CMOS-Bauelementen mit NMOS-Speichern. Letztere arbeiten mit einer Betriebsspannung von + 5 V. Werden die CMOS-Bausteine mit einer höheren Spannung betrieben, so sind für die Pegelwandlung Treiberbauelemente U 4050 D einzusetzen. Für die Signalüberwachung in der Gegenrichtung, d. h. vom Speicher zu CMOS, genügt eine Verstärkung der Signale durch einen Transistor.

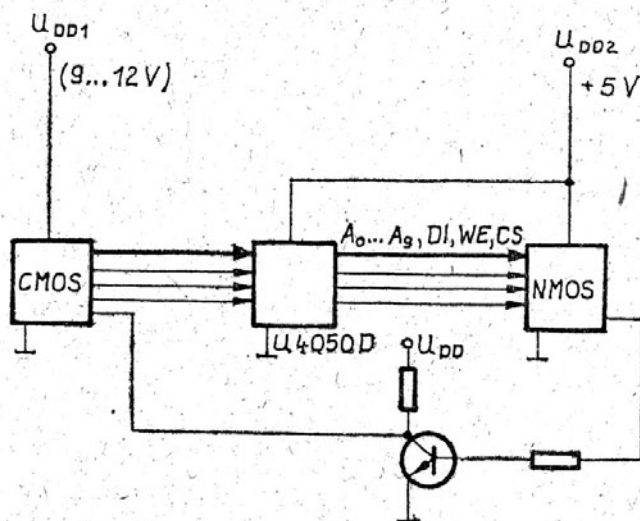


Bild 6.97

Zusammenschaltung CMOS mit NMOS-Speichern bei 2 Betriebsspannungen

Werden nur geringere Ansprüche an die Verarbeitungsgeschwindigkeit gestellt, so kann die Schaltung aus einer gemeinsamen + 5 V-Spannungsquelle gespeist werden (Bild 6.98.). Die Datenübertragung vom NMOS-Speicher zur CMOS-Logik erfolgt ohne Verstärkung. Lediglich der Widerstand R_x bringt den Datenpegel auf die entsprechende Höhe.

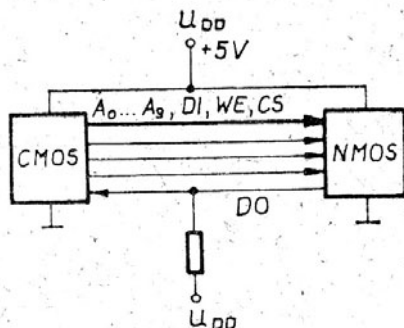


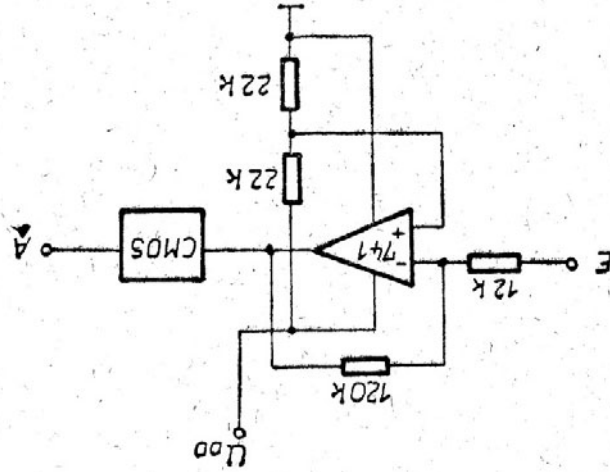
Bild 6.98 Zusammenschaltung CMOS- mit NMOS-Speichern bei einer Betriebsspannung

Operationsverstärker - CMOS

Eine Kopplung von Operationsverstärkern mit CMOS-Bauelementen ist ohne weiteres möglich, wenn die OPV_S mit zwei Betriebsspannungen (+ 15 V, - 15 V) arbeiten. Wie Bild 6.99. (a) zeigt, gelangen die Signale über R_3 strombegrenzt und durch D_1/D_2 im Pegel zwischen U_{DD} und U_{SS} an den CMOS-Eingang.

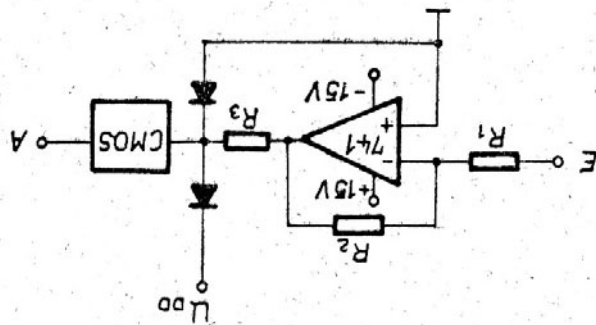
Werden beide Bauelemente von einer gemeinsamen Quelle gespeist, ist die Schaltung 6.99. (b) einzusetzen. Der OPV wird hier zwischen U_{DD} und U_{SS} betrieben, wobei der nichtinvertierende Eingang des Verstärkers über einen Spannungsteiler versorgt wird. /11/

Bild 6.99b



Zusammenschaltung CMOS - Operationsverstärker

Bild 6.99a



6.10. CMOS-Prüfstift

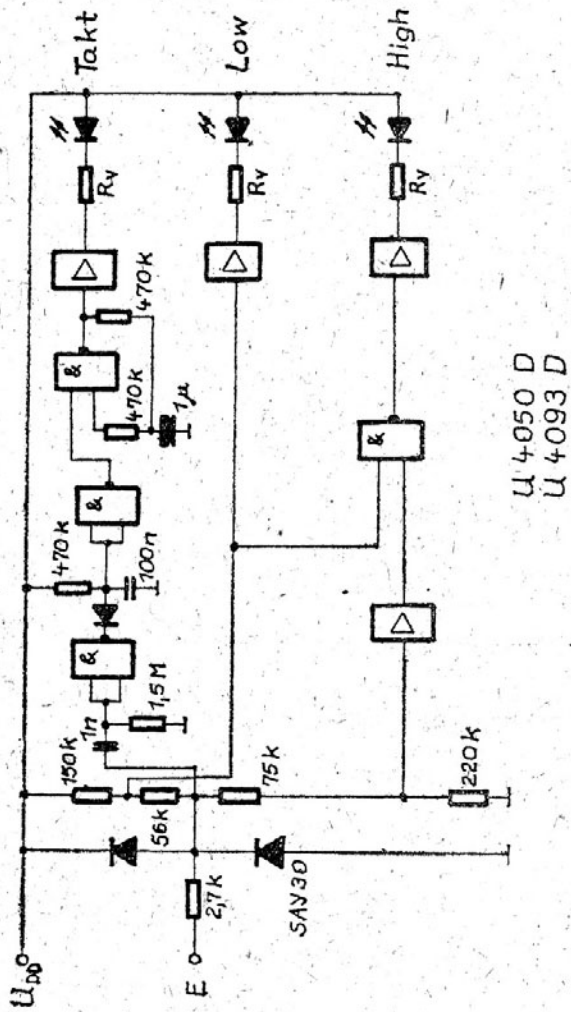
Der vom TTL-Pegel abweichende CMOS-Pegel rechtfertigt in vielen Fällen den Einsatz von speziellen CMOS-Prüfstiften. Bild 6.101. zeigt einen Prüfstift, bei dem Gatter der Schaltkreise U 4093 D und U 4050 D Verwendung finden. /4/

Die Anzeige der logischen Pegel erfolgt über LED's entsprechend der folgenden Tabelle:

Pegel	U_E	Anzeige
Low	$0,0 \dots 0,4 U_B$	gelb
High	$0,6 \dots 1,0 U_B$	rot
unbestimmter Bereich bzw. offener Eingang	$0,4 \dots 0,6 U_B$	keine
Takt	$U_H > 0,6 U_B$	grün blinkt
$f < 10 \text{ MHz}$	$U_L < 0,4 U_B$	mit $f \approx 1 \text{ Hz}$

Wird am Eingang ein Taktsignal erkannt, so wird über ein nachtriggerbares Monoflop ein Oszillator gestartet. Mit dem 1 Hz Blinksignal leuchten entsprechend den Taktanteilen die rote bzw. gelbe LED mit. Die Stromversorgung wird aus der zu untersuchenden Schaltung gewonnen.

Aufgrund der Hysterese der U 4093 D sind diese Prüfstifte in jedem Fall abzugleichen



U 4050 D
 U 4093 D

Bild 6.101

7. Literaturverzeichnis

- /1/ Das CMOS-Kochbuch/Don Lancaster-
Vaterstetten/ IWT-Verlag, 1980
- /2/ Orłowski, P.: Digitale Schaltungen mit CMOS-Schaltkreisen
Düsseldorf 1979
- /3/ Bernstein, H.: CMOS-Schaltbeispiele
Teil 2/Teil 3
1976/1977
- /4/ Walter: Erprobung von CMOS-Schaltkreisen in Standard-
schaltungen, Diplomarbeit an IHS Zittau
- /5/ Siegmann, R.: Ansteuerung von Kleinrelais mit ICs
in: Elektronik 1981, Heft 15, S. 94/ff.
- /6/ Arbeitsplatzanweisung für CMOS-Bauelemente (ZFTM)
- /7/ Allgemeine Bedingungen zum Schutz der CMOS-Bauelemente vor
elektrostatischen Aufladungen (Behandlungsempfehlungen
im ZFTM)
- /8/ Turisky, G.: Schaltungsbeispiele mit CMOS-Schaltkreisen
in: RFE 1978, Heft 9, S. 551 - 562
- /9/ Maier, W.: Die Verarbeitung von elektrostatisch empfind-
lichen Bauelementen
in: Elektronik 1979, Heft 22

- /10/ CMOS-gerechte Arbeitsplätze
in: Funkschau 1982, Heft 2, S. 86
- /11/ Elauford/Eishop: Interface-Schaltungen für CMOS-Bausteine
in: Elektronik 1976, Heft 7, S. 59 - 62
COS/MOS Interfacing Simplified
RCA-Firmenschrift
- /12/ Elauford: Applications of the RCA-CD 4093 B
RCA-Firmenschrift
- /13/ Fachbereichsstandards
- | | |
|-----------|-----------|
| U 4050 D | TGL 38694 |
| U 40098 D | TGL 38691 |
| U 4093 D | TGL 38692 |
| U 40511 D | TGL 38693 |
- /14/ Kenndatenbericht U 4050 D, U 4093 D, U 40098 D
- /15/ Holle, Nöchel: Die COS/MOS-Technik
Elektronik 1971, Heft 4, S. 111 - 116
- /16/ LOCOS-Reihe HEF 4000 B (Valvo-Katalog)
- /17/ Kühn/Schmied: Handbuch Integrierte Schaltkreise
Berlin 1979
- /18/ Knoblich, Sieron: CMOS-Schaltkreise U 4050 D, U 40098 D,
U 4093 D und U 40511 D
Firmenschrift des VEB ZFTM 1)

- /19/ Knoblich, Bürger: Halbleiterinformation 193
Radio - Fernsehen - Elektronik
Berlin 32 (1983) 6, S. 367 - 370
- /20/ Knoblich, Bürger: Halbleiterinformation 194
Berlin 32 (1983) 7, S. 437 - 438
- /21/ Benning, Bürger: Applikationsbericht über CMOS-Logik-
Schaltkreise U 4093 D, U 40098 D,
U 4050 D, U 40511 D
Firmenschrift des VEB ZFTM
- /22/ Einbau-, Löt- und Applikationshinweise für MOS-Bauelemente
Informationsschrift des VEB Funkwerk Erfurt

- 1) Diese Firmenschrift wurde der Redaktion der Zeitschrift
Radio - Fernsehen - Elektronik zwecks Veröffentlichung
angeboten

Informations- und Applikationshefte „MIKROELEKTRONIK“

- Heft 1: A 210 und 211 (6 W und 1 W-Verstärker)
- Heft 2: A 301 (Initiator-IS)
- Heft 3: A 290 (Stereo-Dekoder IS)
- Heft 4: A 202 (Verstärker-IS für Tonbandgerät)
- Heft 5: A 244 und A 281 (AM-Empfänger-IS und AM-FM-ZF-Verst.)
- Heft 6: Importbauelemente RGW (IS)
- Heft 7: A 273 und A 274 (Stereo-Höh.- und Tiefen-Einst.)
- Heft 8: Importbauelemente RGW (Transistoren)
- Heft 9: A 302 (Schwellspannungs-IS) und B 461/B 462G
- Heft 10: A 277 (LED-Ansteuer-IS)
- Heft 11: B 260 (IS für Schaltnetzteile)
- Heft 12: CMOS-Logik IS
- Heft 13: Leistungselektronik 1 (Grundlagen)
- Heft 14: C 520 (3-Digit-Analog/Digitalwandler)
- Heft 15: D 410 und E 412 (Treiber-IS)
- Heft 16: Leistungselektronik 2
- Heft 17: B 555 (Zeitgeber-IS)
- Heft 18: Leistungselektronik 3 (Leist.-Transistoren DDR)
- Heft 19: Leistungselektronik 4 (Import-Bauelemente)
- Heft 20: Übersicht Bauelemente: HFO 1984

In Vorbereitung:

- Bipolare Operationsverstärker
- Zuverlässigkeit IS
- A 225 D (FM-ZF-Verstärker IS)
- Leistungselektronik 5 (Schalt-Transistoren und Schnelle Dioden)
- A 2030 D (16 W NF Verstärker IS)
- Interface IS
- B 303 D - B 306 D
- Druckwandler

Die Hefte 1 bis 10 und 11 bis 20 sind vergriffen.

Einzelhefte der Nummern 12, 17, 19 und 20 sind noch vorrätig.

Schriftliche Bestellungen für Versand nur an:

KAMMER der TECHNIK
Bezirksvorstand Frankfurt (Oder)
1200 Frankfurt (Oder), Ebertusstraße 2

Direktverkauf:

Informationszentrum HFO
1200 Frankfurt (Oder), Karl-Marx-Straße 32



veb halbleiterwerk frankfurt/oder
leitbetrieb im veb kombinat mikroelektronik



KAMMER DER TECHNIK
Vorstand des Bezirksverbandes
Frankfurt (Oder), Ebertusstraße 2

Beratungs- und Informationsstelle

Mikroelektronik „BIS“ Bezirk Frankfurt (Oder)

Aufgaben:

- Kundenberatung zum rationellen Einsatz der Mikroelektronik
- Mitarbeit bei der schnellen Überführung elektronischer Lösungsvarianten in der Industrie
- Erfassung und Speicherung von Informationen über Lösungsvarianten und Wirkprinzipien der Elektronik, einschließlich Soft-Ware-Dokumentation
- Aus- und Weiterbildung auf dem Gebiet der Mikroelektronik durch Bildungsmaßnahmen des Bezirksverbandes der Kammer der Technik Frankfurt (Oder)

Ausführliche Informationen nach Anmeldung:

Beratungs- und Informationsstelle Mikroelektronik
1200 Frankfurt (Oder)
Ernst-Thälmann-Straße 37 · Telefon 32 71 71

EVP 4,00 M