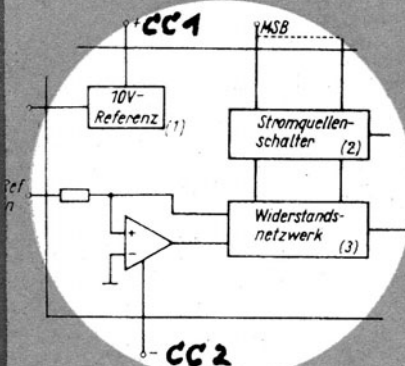




Information Applikation

**D/A
Wandler-
Familie**



C 565 D

31



mikroelektronik

Information Applikation

HEFT 31:

D/A-Wandler-Familie

C 565 D



veb halbleiterwerk frankfurt/oder
im veb kombinat mikroelektronik



KAMMER DER TECHNIK
Bezirksvorstand Frankfurt/O.

Autor: Dipl.-Ing. Henning Z i n k e

Redaktion und
Layout: Heinz S c h u l z

Redaktions-
Kommission: Heinz S c h u l z (Vorsitzender)
Dipl.-Ing. Peter G r u n o w , KDT-BV
Dipl.-Ing. Dieter B u t t g e r e i t
Ingenieur Lothar F r i e d r i c h
Ingenieur Gerd H i l l e b r a n d
Dipl.-Ing. Hermann D o r n f e l d
Dipl.-Wirtsch. Wolfgang M a t t k e

Redaktions-Schluß: 31.1.1986

Nachdruck, auch auszugsweise, nur mit Genehmigung des
Herausgebers !

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers sowie interessierten Technikers im In- und Ausland zu speziellen ausgewählten Erzeugnissen der Halbleiterbauelemente - Industrie der Deutschen Demokratischen Republik. Sie gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeiten zur Produktion.

Gültige Unterlagen für den Bezug von in den Schaltungen beschriebenen Bauelementen sind allein die Typstandards, die gültigen Kenndatenblätter oder die im Liefervertrag selbst fixierten Vereinbarungen. Änderungen der Bauelementeeigenschaften, die dem technischen Fortschritt dienen, behält sich der Halbleiterbauelemente - Hersteller vor.

Für die Patentfreiheit der angegebenen Schaltungsvorschläge wird keine Gewähr übernommen. Anfragen und Hinweise, die sich auf Inhalt und Bezug dieser Schrift beziehen, bitten wir an nachstehende Anschriften zu richten:

DDR-Interessenten:

Kammer der Technik
Bezirksvorstand Frankfurt(Oder)
1200 Frankfurt(Oder)
Ebertusstraße 2

Interessenten
im Ausland:

VEB Halbleiterwerk Frankfurt(Oder)
im VEB Kombinat Mikroelektronik
Außenstelle Leipzig
Werbung und Messen
DDR 7010 Leipzig
Messegelände, Halle 17, II.Etage, Kopfbau

1.	Einleitung	6
2.	Prinzipien der D/A-Wandlung	7
2.1.	Serielle Umwandlungsverfahren	7
2.2.	Parallele Umsetzverfahren	7
2.1.1.	D/A-Wandler mit gestuften Widerständen	8
2.2.2.	D/A-Wandler mit R-2R- Netzwerken	11
2.2.3.	BCD- D/A- Wandler	12
2.2.4.	D/A-Wandler mit bipolarer Ausgangsspannung	14
2.2.5.	Multiplizierende D/A-Wandler	15
2.3.	Indirekte D/A-Umsetzverfahren	16
3.	Kenngrößen und Fehler bei D/A-Wandlern	17
3.1.	Genauigkeit	17
3.2.	Stabilität	20
3.3.	Geschwindigkeit	20
4.	Testmöglichkeiten für D/A-Wandler	23
4.1.	Test der statischen Parameter	23
4.2.	Test der dynamischen Parameter	29
5.	Aufbau und Funktion der D/A-Wandlerfamilie C 565 D, C 5650 D und C 5658 D	33
5.1.	Prinzipieller Aufbau der D/A-Wandler	33
5.2.	Referenzspannungsquelle	35
5.3.	TTL - Eingangsstufen	37
5.4.	Regelspannungsverstärker	38
5.5.	Präzisionsstromquellen	40
6.	Parameter und Abhängigkeiten des C 565 D, C 5650 D und C 5658 D	42
-	Grenzwerte	
-	Betriebsbedingungen	
-	Statische und dynamische Kennwerte	
-	Abhängigkeiten	

7.	Applikative Hinweise zum Einsatz der D/A-Wandlerbauelemente C 565 D, C 5650 D und C 5658 D	50
8.	Applikationsbeispiele	51
8.1.	C 565 D - 12 Bit - DAC- mit interner Referenz und unipolarer Ausgangsspannung	52
8.2.	C 5650 D - 10 Bit - DAC- mit externer Referenz und bipolarer Ausgangsspannung	52
8.3.	C 5658 D - 8 Bit - DAC mit ungepuffertem Analogausgang	56
8.4.	2 - Digit - BCD - D/A-Wandler mit $U_{out} = 0 \dots + 9,9 \text{ V}$	56
8.5.	2 1/2 - Digit - BCD-Netzteil mit $U_{out} = 0 \dots + 29,9 \text{ V}$	59
8.6.	4 - Digit - BCD- D/A-Wandler mit $U_{out} = 0 \dots \pm 9,999 \text{ V}$	59
8.7.	Digital steuerbare Stromquelle	65
8.8.	μP - Kopplung für D/A-Wandler	65
8.9.	Maximalwertspeicher	67
8.10.	Programmierbarer Grenzwertmelder	69
8.11.	Schneller 12 - Bit - A/D-Wandler	69
8.12.	14 - Bit - D/A-Wandler mit C 565 D	73
8.13.	Digitaler Signalabschwächer	75
8.14.	Digitaler Multiplizierer mit Analogausgang	78
8.15.	Digitaler Funktionsgenerator	80
9.	Literaturverzeichnis	82
10.	Anhang: Importbauelemente CSSR	84

1. Einleitung

Die rasche Entwicklungen der Industrie ist durch den zunehmenden Einfluß der Mikroelektronik gekennzeichnet. Vor allem wird die Signalverarbeitung in analogen Systemen in zunehmenden Maße durch die Digitaltechnik beeinflusst. Das ergibt sich besonders durch die schnelle Entwicklung und Verbreitung der Mikroprozessortechnik.

Das Zusammenwirken von analogen und digitalen Signalen innerhalb eines Systems bedarf daher geeigneter Schnittstellen. Diese Schnittstellen, sowohl von der Analog- zur Digitalperipherie, als auch umgekehrt, können zum jetzigen, internationalen Stand der Technik in den meisten Fällen mit integrierten Bausteinen realisiert werden.

Mit der Entwicklung und Bereitstellung der Digital/Analog-Wandler-Familie C 565 D steht jetzt auch in der DDR der erste monolithische D/A-Wandler der Industrie zur Verfügung.

Der vorliegende Beitrag befaßt sich mit einigen allgemeinen Grundlagen von D/A-Wandlern sowie dem Aufbau, Eigenschaften und ausführlichen Applikationen der D/A-Wandler C 565 D, C 5650 D und C 5658 D.

2. Prinzipien der D/A-Wandlung

D/A-Wandler setzen ein digitales Steuerwort in eine analoge Ausgangsgröße (Spannung oder Strom) um. Dafür gilt folgende Übertragungsfunktion:

$$U_A = U_R \cdot X$$

U_A = Ausgangsspannung
 U_R = Referenzspannung
 X = anliegender digitaler Eingangskode

Der digitale Eingangskode besteht aus einer Anzahl n Bits, die binär gewichtet sind / 1 /.

Das höchstwertige Bit der zusammengesetzten Dualzahl wird als MSB (most significant bit) und das niederwertigste Bit als LSB (least significant bit) bezeichnet.

Für die Umsetzung von digitalen Signalen in analoge Signale gibt es verschiedene Verfahren. Abhängig von der Art, in der das digitale Signal an den Eingang eines D/A-Wandlers angelegt wird, unterscheidet man in parallele- und serielle - D/A-Wandler.

2.1. Serielles Umsetzverfahren

Das serielle Verfahren ist sehr einfach. Der D/A-Wandler besitzt nur einen Daten- und einen Takteingang. An den Dateneingang werden die Datenbits nacheinander angelegt, welche durch den Takt synchronisiert sind. Dadurch ergeben sich durch die sequentielle Abarbeitung des anliegenden Datenwortes große Verarbeitungszeiten. Trotz des einfachen Aufbaus kommen serielle D/A-Wandler, infolge der großen Verarbeitungszeiten sowie durch den Einsatz von Mikroprozessoren mit ihren datenbusorientierten Systemen, kaum zur Anwendung.

2.2. Parallele Umsetzverfahren

Beim Parallel - D/A-Wandler werden alle Bits des umzusetzenden Kodewortes parallel angelegt. Der Wandler muß also genauso viele Umsetzgruppen besitzen wie das angelegte Kodewort Bits hat. Der Vorteil eines parallelen Umsetzers ist die Möglichkeit in sehr kurzer Zeit die Umwandlung des Digitalwortes in eine entsprechende Analoggröße vorzunehmen.

Die Umsetzgeschwindigkeit wird bestimmt durch die elektronischen Schalter, parasitäre Reaktanzen sowie die maximale Geschwindigkeit des Summations - OPV's.

Die Wandlungszeit ist stark abhängig von der Verarbeitungsbreite des D/A-Wandlers. International sind bei 8 Bit - Genauigkeit Arbeitsfrequenzen bis 250 MHz möglich.

2.2.1. D/A-Wandler mit gestuften Widerständen

Das Funktionsprinzip eines D/A-Wandlers mit gestuften Widerständen ist im Bild 1 verdeutlicht.

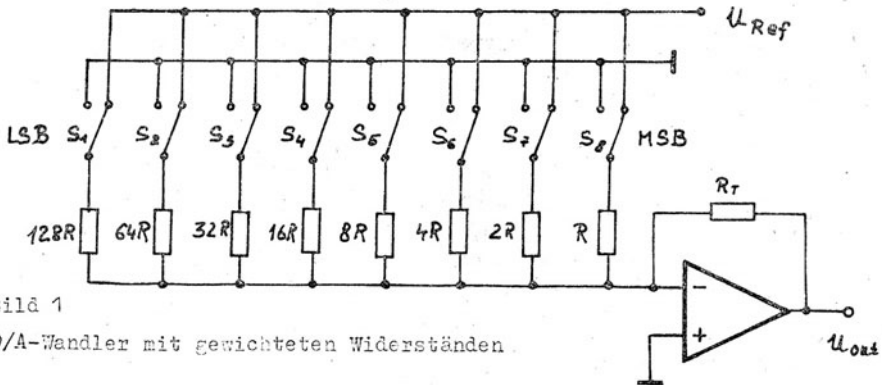


Bild 1

D/A-Wandler mit gewichteten Widerständen.

Das Verfahren mit gestuften Widerständen erfordert für jedes Bit einen Präzisionswiderstand von unterschiedlicher Größe. Der Widerstandsbereich ist äquivalent der Anzahl von Bits des Kodewortes. Das bedeutet, daß der Widerstandsbereich um so größer wird, je breiter das Datenwort wird.

Für einen 12 Bit D/A-Wandler ändern sich die Widerstandswerte in Verhältnis 1 : 4096, d.h. bei einem Widerstand des MSB von 5 kOhm ergibt sich ein Wert von 20,48 M Ohm für das LSB.

Der Vorteil dieses Verfahrens ist der einfache Aufbau und die große Umwandlungsgeschwindigkeit.

Dem gegenüber steht der große Bereich der Präzisionswiderstände. Dieser Nachteil kann verringert werden wenn die gestuften Widerstände (bzw. Ströme) in Gruppen zusammengefaßt werden.

Die Gruppenströme werden danach entsprechend ihrer Wertigkeit zusammengefaßt. Im Bild 2 ist ein 8 Bit D/A-Wandler dargestellt. Die Dimensionierung des Stromteilers ist sehr einfach zu bestimmen. Der Strom der niederwertigen Vierergruppe beim reinen Binärwandler muß 16 : 1 geteilt werden. Daraus ergibt sich dann die Stufung aller Bits von 1 : 2 : 4 : 8 : 16 : 32 : 64 : 128 : 256.

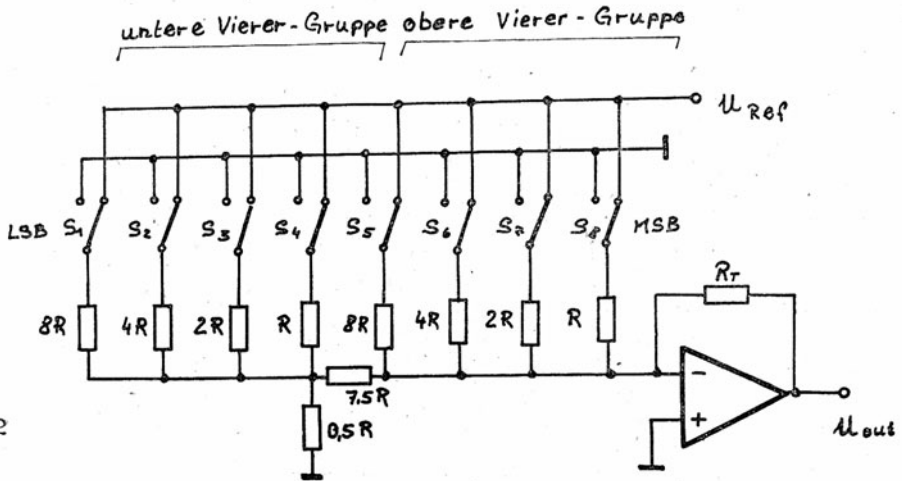


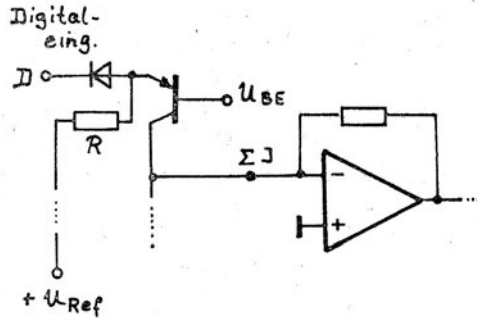
Bild 2

8 Bit D/A-Wandler mit 2 Gruppen von gewichteten Widerständen

So wird jeder der Schalter des D/A-Wandlers durch ein Bit des anliegenden Datenwortes betätigt. Ist das Signal „H“ so wird der Schalter geschlossen, bei „L“ entsprechend geöffnet. Die von einer Referenzspannung aus geschalteten Ströme werden in dem Stromknoten eines Summations- OPV addiert. Der OPV transformiert entsprechend den Strom mit dem Widerstand R_T in eine Spannung.

Für die Realisierung des elektronischen Schalters gibt es zwei Ausführungsmöglichkeiten.

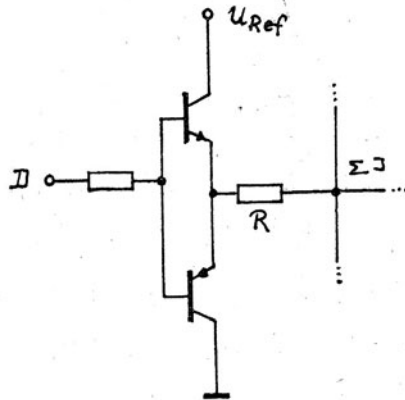
Zum einen erfolgt die Umschaltung nach dem Prinzip der Stromverteilung und zum anderen durch zwei in Reihe geschaltete Transistoren (Bild 3a u. b) / 9/ .



3a Elektronischer Schalter mit einem Transistor

Im Bild 3 a wird der Strom einmal über den Transistor zur Sammelleitung geführt. Dabei muß am Dateneingang ein „ H “ - Signal sein, sodaß die Diode gesperrt ist. Bei „ L “ ist die Diode leitend und der Transistor ist stromlos. Man spricht somit von einer Stromverteilung.

5 BCD - D/A-Wandler



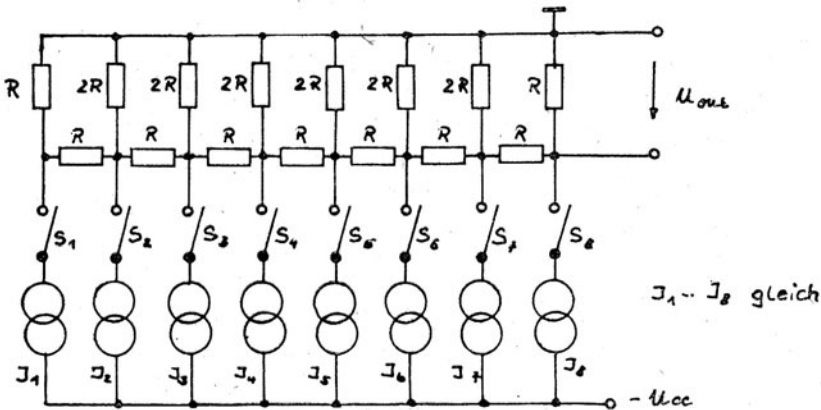
3b Elektronischer Schalter mit zwei in Reihe geschalteter Transistoren

Die zweite Ausführungsvariante des elektronischen Schalters wird im Bild 3 b verdeutlicht. Sie ist unter dem Ausdruck „ Verstärker mit aktiver Last “ bekannt.

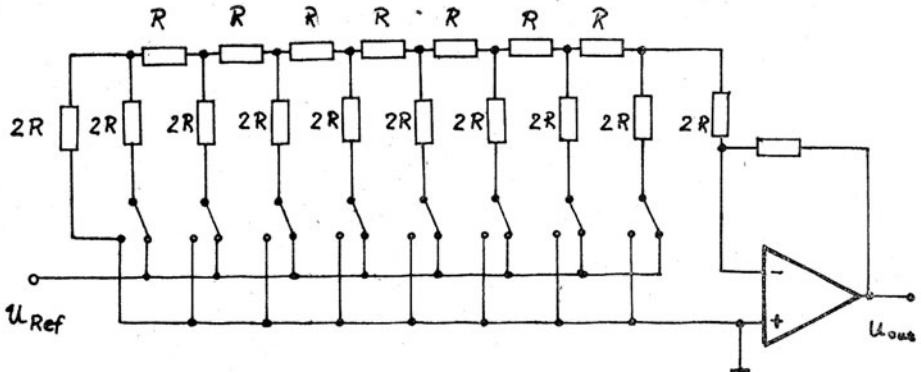
2.2.2. D/A-Wandler mit R - 2R Netzwerken

Die Arbeitsweise von D/A-Wandlern mit einem R - 2R - Netzwerk basiert auf der binären Stromteilung über Parallelwiderständen. Die Summierung der Ströme erfolgt mit einem Addierverstärker. Der Vorteil dieses Schaltungsprinzipes ist, daß nur zwei Widerstandswerte erforderlich sind. Sie stehen im Verhältnis 1 : 2. Dabei kommt es nicht auf den Absolutwert der Widerstände, sondern nur auf die relativen Toleranzen der Widerstände untereinander an. Diese Tatsache erweist sich vor allem für die integrierte Schaltungstechnik als sehr vorteilhaft.

Im Bild 4 a und b sind die beiden Ausführungsvarianten eines R - 2R- D/A-Wandlers dargestellt.



4a 8 Bit DAC mit R-2R-Netzwerk und geschalteten Strömen



4b 8 Bit DAC mit R-2R- Netzwerk und geschalteten Spannungen

Die D/A-Wandler mit geschalteten Stromquellen (Bild 4 a) findet ihre Anwendung vor allem in der Bipolartechnologie während die geschaltete Referenzspannung (Bild 4 b) vorrangig; in der CMOS - Technik Verwendung findet.

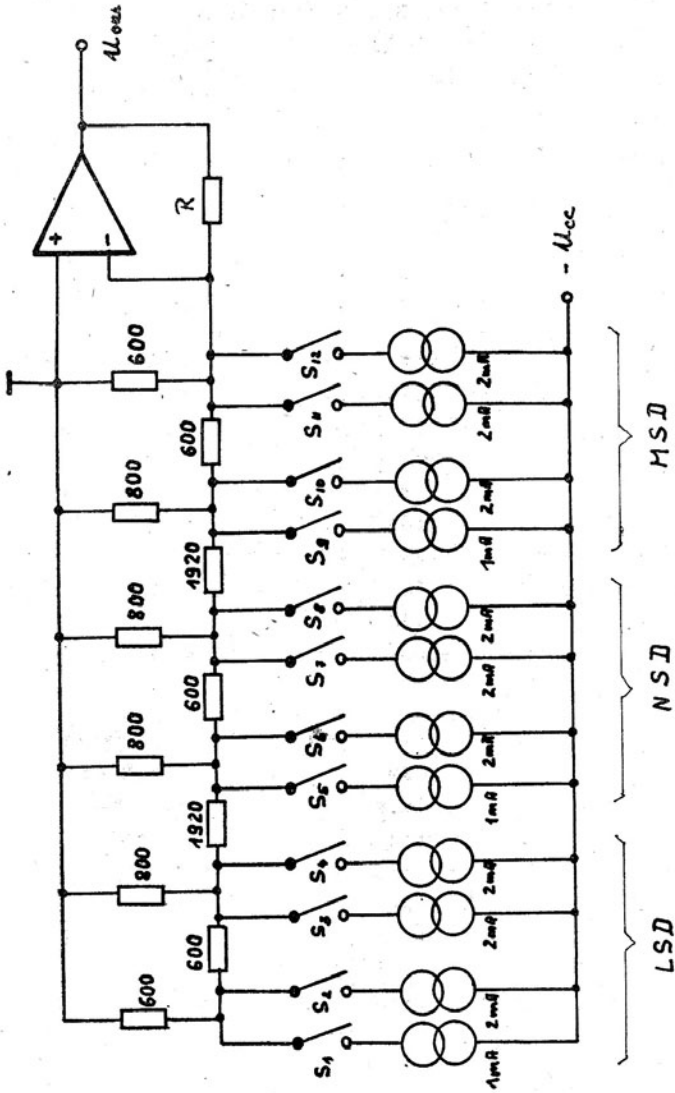
2.2.3. BCD - D/A-Wandler

Bisher wurden die D/A-Wandler mit binärer Wichtung gesprochen. Die Anwendung von BCD - D/A-Wandlern in einigen Bereichen der Meß- sowie BMSR - Technik sollte jedoch nicht übersehen werden. Bei diesen Kode werden die Ziffern eines Zahlenwortes (= einer Vierergruppe) binär kodiert. Die Stufung zwischen zwei Vierergruppen ist jedoch beim BCD - Kode $10 : 1$.

Die Realisierung eines BCD - D/A- Wandlers könnte prinzipiell wie im Bild 2 dargestellt, erfolgen. Dabei muß die Wichtung der Vierergruppen statt $16 : 1$, dann $10 : 1$ betragen.

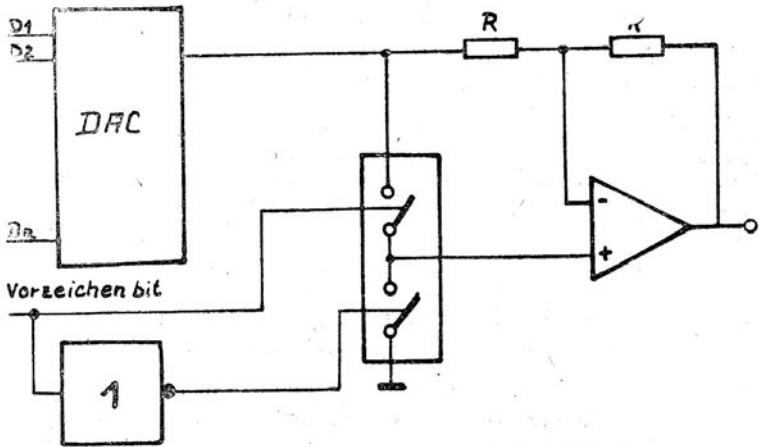
Ein andere Variante eines 3 Dekaden - BCD - DAU zeigt Bild 5 /9/.

Das Netzwerk ist so dimensioniert, daß sich zwischen jedem Knotenpunkt $K_1 \dots K_6$ und Masse ein Ersatzwiderstand von R (z.B. im angegebenen Beispiel für die Präzisionswiderstände) ergibt. Der Vorteil dieser Schaltungsanordnung ist, daß nur ein kleiner Bereich für die Präzisionswiderstände benötigt wird. Weiterhin werden jedoch Konstantstromquellen mit einem Stromverhältnis von $2 : 1$ benötigt. Für die Konstantstromquellen sind nur die relativen Abweichungen zueinander von Interesse. Der Absolutwert wird in den meisten Fällen mit einem externen Regelverstärker dem „ Normwert “ angeglichen.

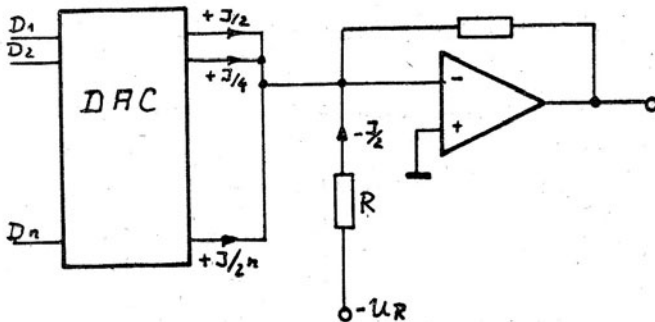


2.2.4. D/A-Wandler mit bipolarer Ausgangsspannung

Der Einsatz von D/A-Wandlern mit bipolarer Ausgangsspannung ist oft dann erforderlich wenn er zur A/D-Wandlung benötigt wird. Die bipolare Ausgangsspannung beträgt dann meistens $U_{\text{out}} = 0 \dots \pm 5 \text{ V}$ oder $U_{\text{out}} = 0 \dots \pm 10 \text{ V}$. Zwei Schaltungsvarianten zur Erzeugung eines bipolaren Ausgangssignals zeigen Bild 6 a und 6 b.



6a Bipolare Ausgangsspannung mit Vorzeichenbit



6b Bipolare Ausgangsspannung mit versetzten Dualcode

Die Schaltung nach Bild 6 a gilt für einen D/A-Wandler bei dem das Vorzeichenbit direkt zur Umsteuerung der Polarität verwendet wird. Der OPV arbeitet jenach Schalterstellung als invertierender ($V_u = -1$) oder nichtinvertierender Verstärker ($V_u = +1$).

Im Beispiel nach Bild 6 b arbeitet der D/A-Wandler im bipolaren Betrieb. Dabei wird mit dem versetzten Dual/Kode gearbeitet. Dem Summationspunkt muß der Strom $-I/2$ zusätzlich zugeführt werden. Der Strom $+I/2$ ist dabei der Strom, der in den Summationspunkt fließt, wenn das höchstwertigste Bit (MSB) eingeschaltet ist. MSB - Bit ein bedeutet, daß die Ausgangsspannung dann 0 V ist. Mit den restlichen Bits wird dann die Auflösung und Genauigkeit in jeweils einer Richtung (Positiv oder negative Spannung) bestimmt.

2.2.5. Multiplizierende D/A-Wandler

Die Übertragungsfunktion eines D/A-Wandlers wird mit

$$U_A = U_R \cdot X$$

bezeichnet. Bisher wurde die Spannung U_R stets als Konstante (Referenz) betrachtet. Wird diese Größe auch variabel gestaltet, so kann man die Ausgangsspannung mit zwei einstellbare Größen beeinflussen. Diese Wandler werden multiplizierende D/A-Wandler genannt. Sie gestatten die Multiplikation einer analogen Größe (durch U_R) mit einer digitalen Größe (dargestellt durch das Digitalwort X). Das Produkt liegt am Ausgang des D/A-Wandlers in analoger Form (Strom oder Spannung) vor.

Je nach anliegenden Eingangssignalen wird in

- Einquadranten - Multiplizierer (U_R und X sind unipolar)
- Zweiquadranten - Multiplizierer (U_R oder X unipolar, die andere Größe ist bipolar)
- Vierquadranten - Multiplizierer (U_R und X sind bipolar)

unterschieden.

Der multiplizierende D/A-Wandler ist neben der echten D/A-Wandlung ein weit verbreiteter Anwendungsbereich.

Das sind zum Beispiel im NF-Bereich vor allem die digital steuerbaren Dämpfungssteller. Sie gibt es mit binär- oder logarithmisch gewichteter Steuerkennlinie.

Ein weiteres Anwendungsgebiet des multiplizierenden DAU's sind die „Gleitkomma - D/A-Wandler“.

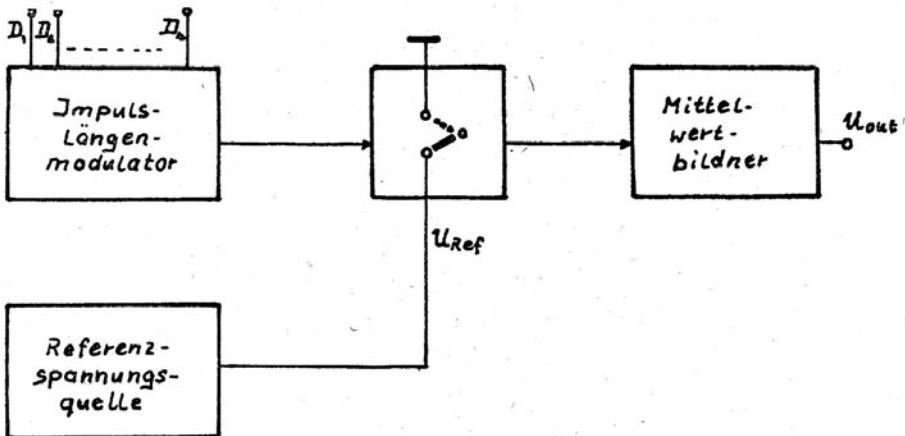
Eine ausführliche Darstellung ist in /11/ gegeben.

2.3. Indirekte D/A-Umsetzverfahren

Ein weiteres Grundprinzip der D/A-Umsetzung ist der integrierende D/A-Wandler /13/. Es ist eine D/A-Umwandlung, die Zwischengröße, eine Pulszahl oder Pulsdauer besitzt. Diese Wandler lassen sich unter Verwendung von vorrangig digitaler Schaltungstechnik aufbauen. Die analoge, meist kritische Schaltungstechnik (Drift-, Offset-, TK-Einflüssen) beschränkt sich auf ein Minimum. Das Schaltungsprinzip ermöglicht es den D/A-Wandler mit BCD - als auch mit Binärwichtung auszulegen. Das Grundprinzip zeigt Bild 7.

Das Digitalwort wird in einem Modulator in eine Zwischengröße (Tastverhältnis) umgewandelt. Über einen Analogschalter wird eine Referenzspannung, abhängig vom modulierten Digitalsignal, auf eine mittelwertbildende Schaltungsanordnung geschaltet. Die Mittelwertbildung erfolgt über einen Integrator (OPV) oder einen Tiefpaß. Eine entsprechend praktische Realisierung dieses Verfahrens zeigt /14/.

Ergänzend soll das Prinzip des aktiven Stromteilers mit geschalteten Stromquellen /15/ und die transformatorischen D/A-Wandler genannt werden.



7 Prinzip eines integrierenden (indirekten) D/A-Wandlers

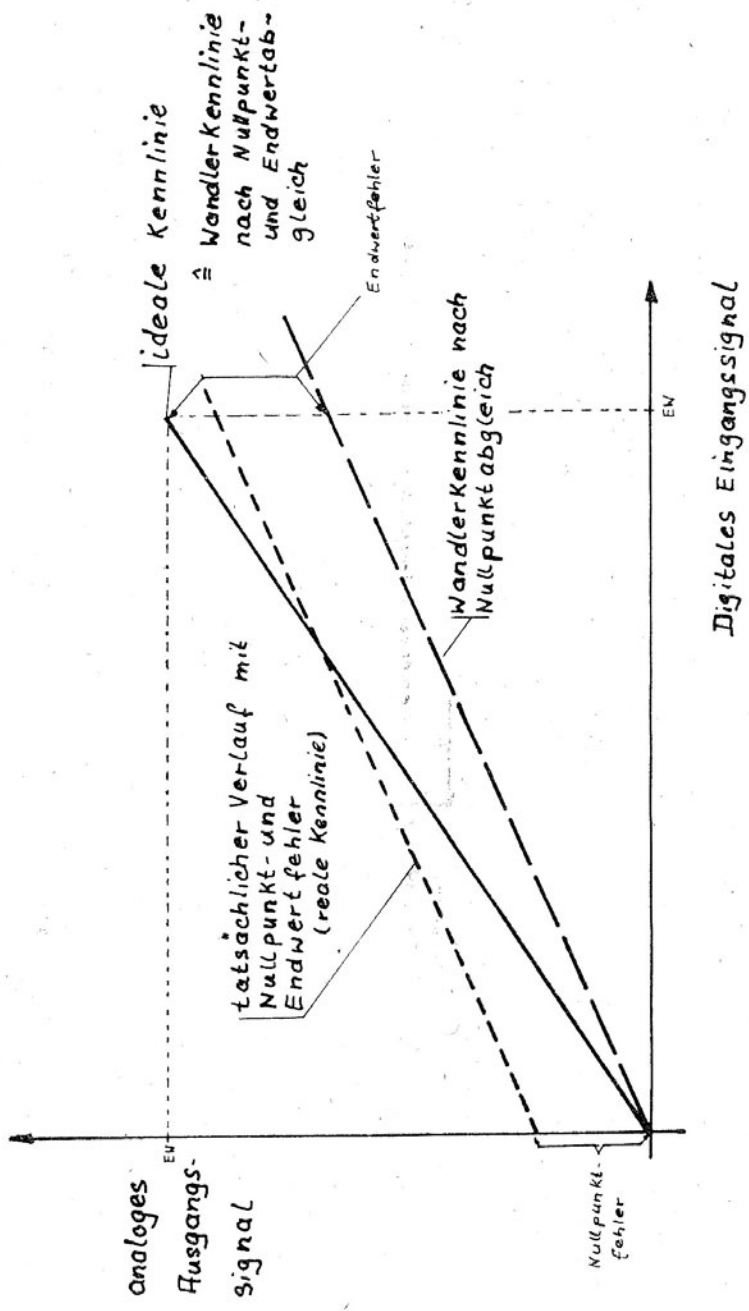
3. Kenngrößen und Fehler bei D/A-Wandlern

Die wichtigsten Eigenschaften eines D/A-Wandlers werden im wesentlichen durch die drei Faktoren Genauigkeit-, Stabilität und Geschwindigkeit gekennzeichnet. Eine ausführliche Darstellung ist in /1/ und /5/ zu finden.

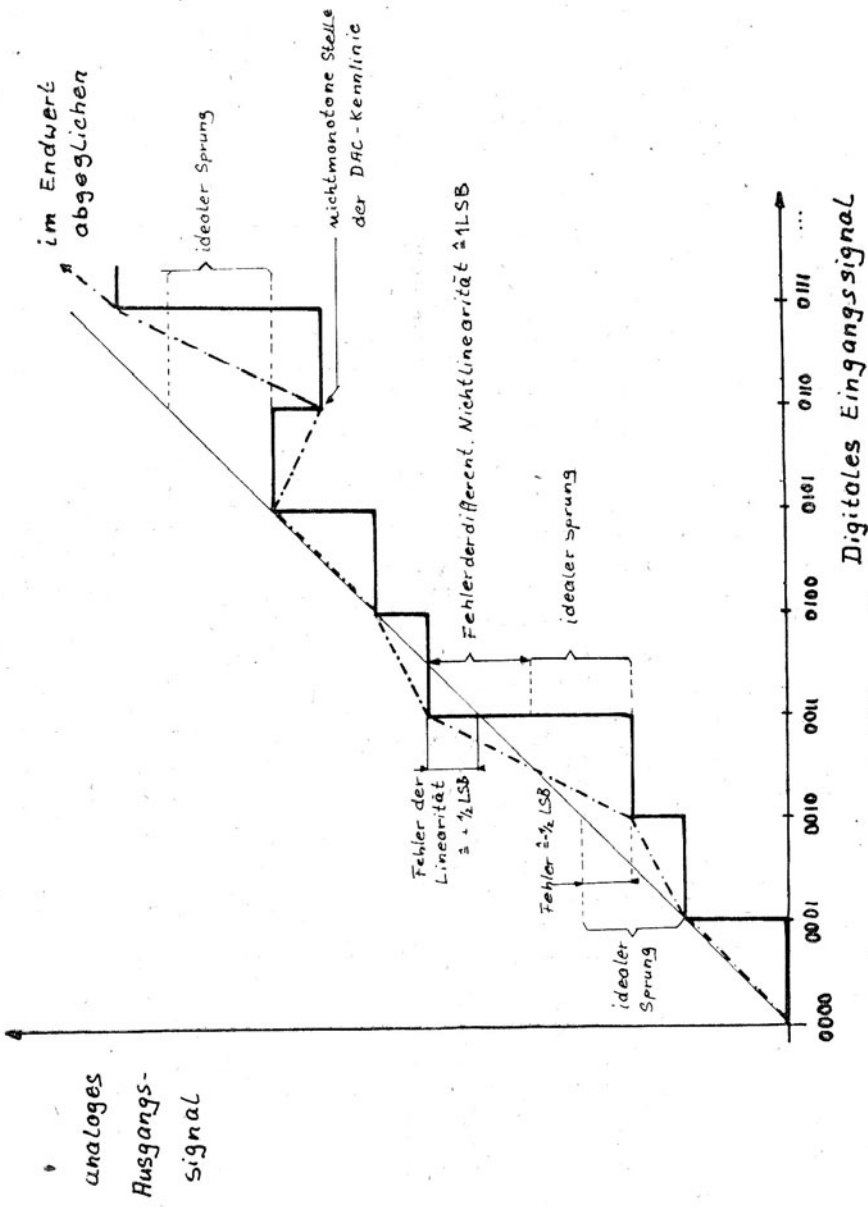
3.1. Genauigkeit

Bisher wurden die D/A-Wandler stets als Umsetzer mit einer idealen Kennlinie betrachtet. Eine ideale Kennlinie kann es jedoch in der Praxis nicht geben, da alle Bauelemente des Wandlers bestimmte Fehler besitzen. Das sind die Toleranzen der Widerstände des R - 2R - Netzwerkes, Innenwiderstände der Stromquellen und Referenzspannungsquellen sowie der Einfluß der Sperr- und Durchlaßwiderstände der Strom- bzw. Spannungsquellenschalter. Somit treten in der Praxis bestimmte Abweichungen von der idealen Übertragungskennlinie eines D/A-Wandlers auf. Im Bild 8 werden die Fehlergrößen Unipolaroffset- und Endwertabweichung, sowie die Beseitigung dieser durch den Abgleich des Wandlers dargestellt.

- Als Unipolaroffsetfehler wird der Fehler bezeichnet, der am Ausgang des DAU's bei angelegtem digitalen Eingangskode „L L L L...L“, ungleich von 0 ist (Parallelverschiebung der Ausgangskennlinie).
- Der Endwertfehler (bzw. Verstärkungsfehler) bezeichnet die Abweichung des Ausgangssignales bei angelegtem Eingangskode „H H H H... H“ (Drehung der Ausgangskennlinie im Nullpunkt) vom idealen Endwert.
- Die entscheidende Größe, die auf die Genauigkeit eines D/A-Wandlers Einfluß hat, ist die Linearität. Sie kann in die integrale - und differentielle Nichtlinearität unterteilt werden.



8 Nullpunkt- und Endwertfehler eines D/A-Wandlers



9 Linearitäts-, differentieller Nichtlinearitäts- und Monotoniefehler eines D/A-Wandlers

- Die differentielle Nichtlinearität (DNL) beschreibt den Fehler an einer beliebigen Stelle des Ausgangssignals bezogen auf die ideale Kennlinie, hervorgerufen durch die Änderung von einem ISB.
- Im Gegensatz zur differentiellen Nichtlinearität beschreibt die integrale Nichtlinearität (F_L) den absoluten Fehler des Ausgangssignals zur idealen Kennlinie (Bild 9),
- Die Monotonie charakterisiert die Übertragungskennlinie eines D/A-Wandlers. Ein monotoner Wandler liegt dann vor, wenn die differentielle Nichtlinearität ≤ 1 ISB ist.

3.2. Stabilität

Zur Beurteilung der Stabilität der Bauelemente werden die Abhängigkeit von der Temperatur, von der Betriebsspannung und das Langzeitverhalten herangezogen. Dabei sind die wesentlichen Parameter eines D/A-Wandlers, wie Linearität (Genauigkeit), Endwert und Offset ausschlaggebend für die Stabilität eines D/A-Wandlers

- Für das Temperaturverhalten können folgende Kenngrößen angegeben werden
 - Nullpunktdrift (TK des Nullpunktes) in ppm/K
 - Verstärkungsdrift (TK des Endwertes) in ppm/K
- Die Betriebsspannungsabhängigkeit des Ausgangssignals eines D/A-Wandlers wird in der Regel mit mV/V bzw. μ A/V , jeweils auf den Skalenendwert bezogen, angegeben,

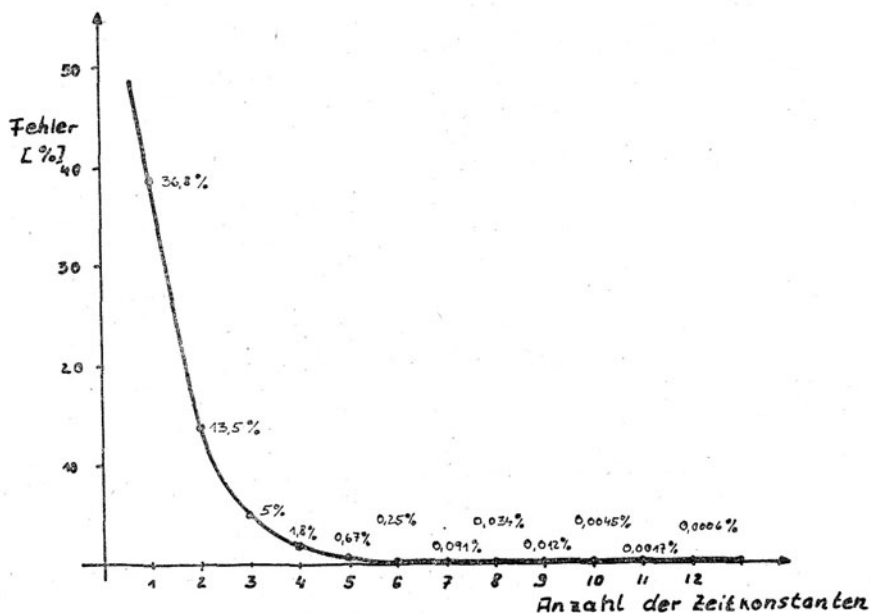
3.3. Geschwindigkeit

Die Einschwingzeit (oder auch Setzzeit genannt) ist die wichtigste dynamische Kenngröße eines D/A-Wandlers. Mit der Einschwingzeit wird die Zeit bezeichnet, die vom Anlegen des digitalen Eingangssignals bis zu dem Zeitpunkt, in dem das analoge Ausgangssignal seinen Endwert von $\pm 1/2$ ISB erreicht hat, vergeht (Bild 17).

Für die Einschwingzeit können zwei Einschaltsprungfunktionen genannt werden

- Änderung aller Bits des Datenworten von „ L " nach „ H " bzw. umgekehrt.
- Änderung des Ausgangshubes um 1 ISB an der Stelle MSB \leftrightarrow (MSB - 1 ISB). Dabei wird das Datenwort „ H L L L L ... L " nach „ L H H H H ... H " bzw. umgekehrt geschaltet.

Die Einschwingzeit wird in den meisten Fällen für eine Fehlergrenze von $\pm 1/2$ ISB der Genauigkeit des Wandlers angegeben. Im Bild 10 wird einmal der Einschwingzeitfehler des D/A-Wandlers in Abhängigkeit der Zeitkonstanten dargestellt.

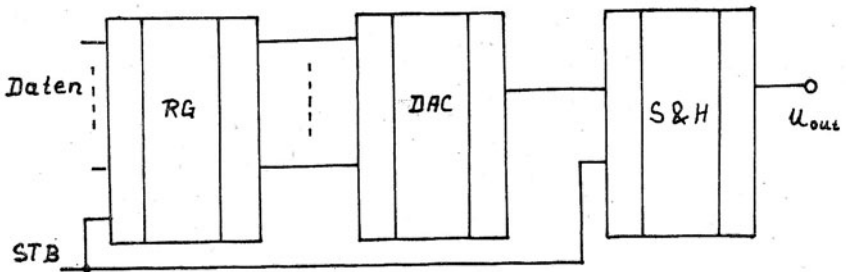
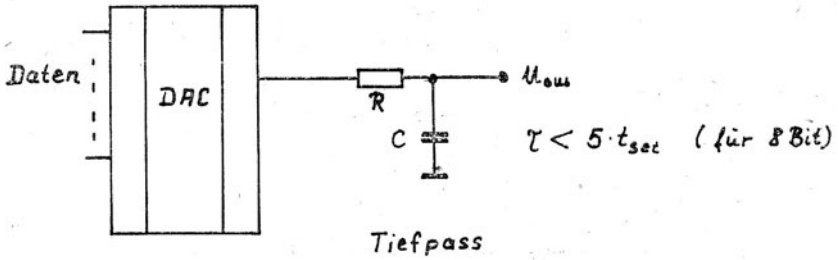
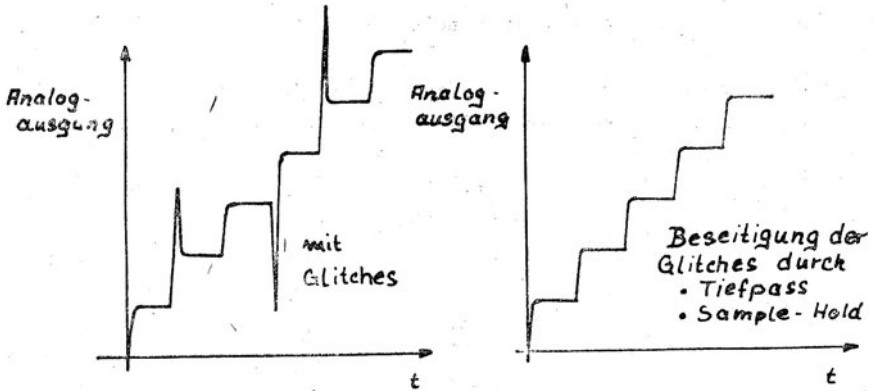


10 Einschwingzeitfehler eines D/A-Wandlers in Abhängigkeit der Anzahl der Zeitkonstanten

Die Glitch - Freiheit ist keine Kenngröße eines D/A-Wandlers, bezeichnet aber in gewissem Maße die „Güte“.

Glitches - sind Störnadeln im Ausgangssignal eines DAC's (Bild 11). Sie entstehen durch unterschiedliche Ein- und Ausschaltzeiten der einzelnen Strom- oder Spannungsquellenschalter.

Es existieren somit positive und negative Störnadeln. Die Beseitigung solcher Glitches kann mit einem Tiefpass oder mit einem nachgeschalteten S & H - Baustein beseitigt werden.



11 D/A-Wandler - Ausgangssignal mit Glitches und deren Beseitigungsmöglichkeiten

4. Testmöglichkeiten für D/A-Wandler

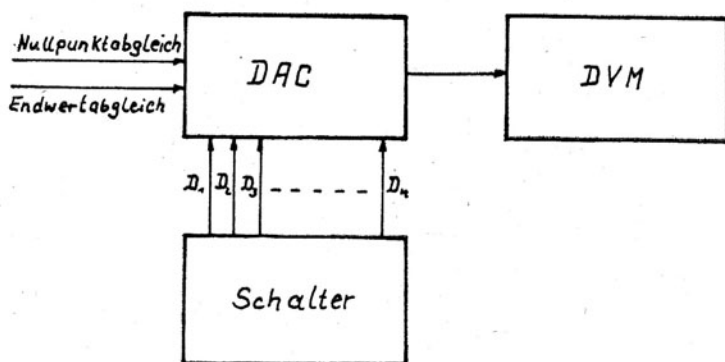
Die Möglichkeiten zum Testen von D/A-Wandlern sind sehr vielfältig, da sie sich nach der Genauigkeit (Auflösung) und Geschwindigkeit im einzelnen unterscheiden.

Es wird deshalb auf die prinzipiellen Prüfmethode eingegangen. Eine ausführliche Darstellung der Testvarianten von D/A-Wandlern ist in /1/ enthalten.

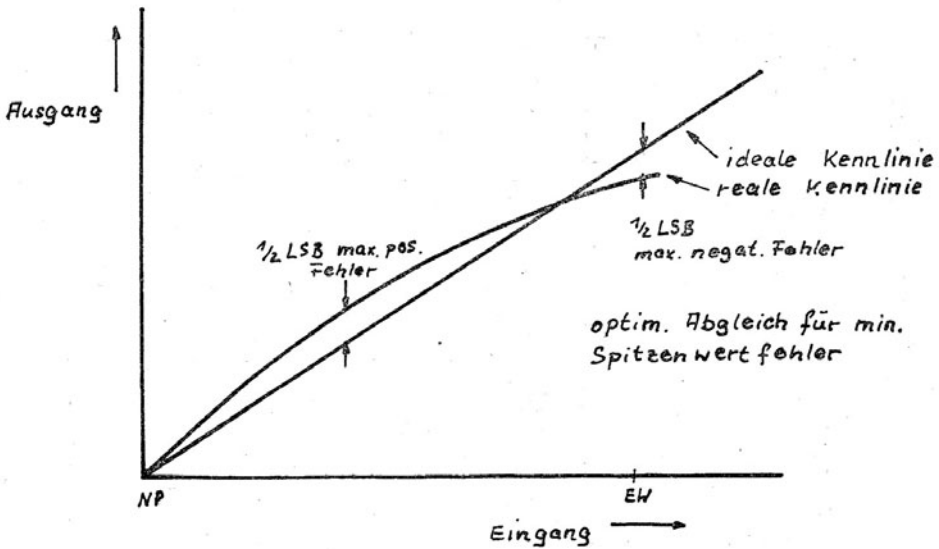
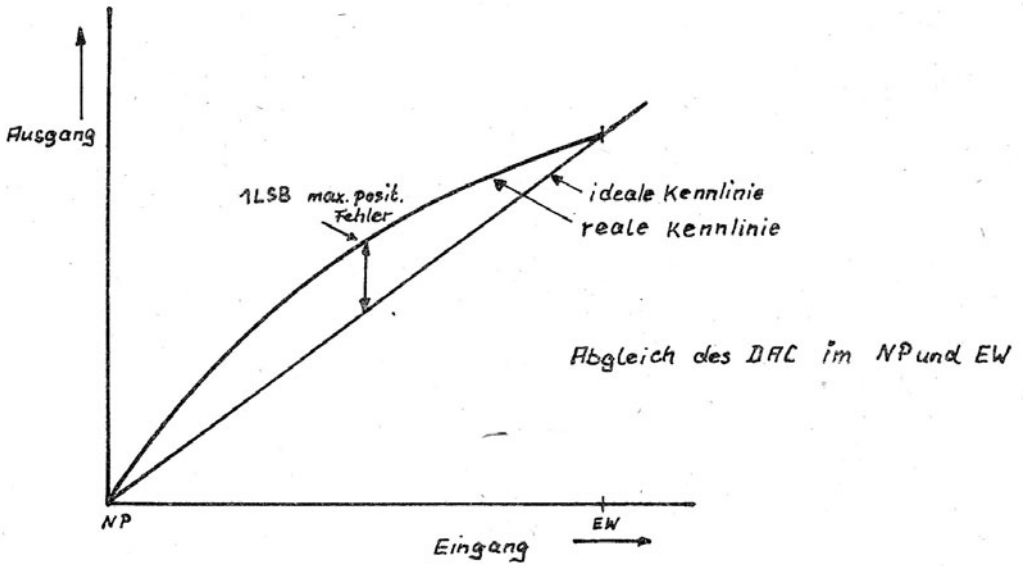
4.1. Test der statischen Parameter

Bei den statischen Parametern wie Stromaufnahme, Offsetdrift, Betriebsspannungsabhängigkeit usw. spielt die Linearität eines D/A-Wandlers die dominierende Rolle. Für das Testen der differentiellen- und integralen Nichtlinearität gibt es eine große Anzahl von Verfahren. Nachfolgend werden einige Möglichkeiten dargestellt:

- Die einfachste jedoch zeitaufwendigste Form ist in Bild 12 dargestellt



12 Einfachste Variante des D/A-Wandlerstestes

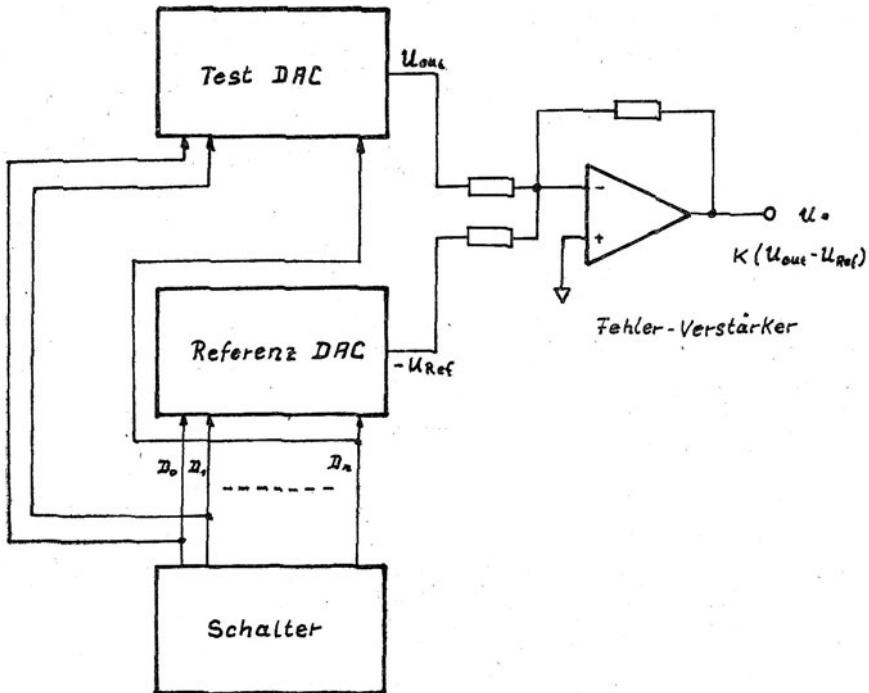


Dabei wird der D/A-Wandler an ein DVM angeschlossen sowie im Nullpunkt und Endwert abgeglichen. Danach wird jede Bit-Kombination angelegt und der theoretische (errechnete) Wert mit dem des DVM - Meßwertes verglichen. Das bedeutet für einen 12 Bit DAC: 4095 Meßwerte.

Prinzipiell sollte der Wandler im Offset und Endwert abgeglichen werden. Wird eine optimierte Übertragungskennlinie (minimaler Spitzenwertfehler) des D/A-Wandler gefordert, so kann ein Abgleich nach Bild 13 vorgenommen werden.

Dabei sollte jedoch die Kennlinie mehrmals gemessen werden, um ein entsprechendes Ergebnis zu erreichen.

- Eine weit effektivere Variante der Prüfung der Linearität zeigt Bild 14



14 Verbesserte Variante des D/A-Wandlertestes

Dort wird der zu prüfende D/A-Wandler mit einem „ Referenz-D/A-Wandler " parallel geschaltet (Digitaleingänge).

Der Referenz - DAC besitzt ein allgemeines eine etwa 4 Bit höhere Genauigkeit um das Prüfergebnis nicht zu beeinträchtigen.

Die Ausgänge beider DAU's arbeiten auf einen Summations- OPV der die beiden Ausgangsströme mit einem Rückführwiderstand in eine Ausgangsspannung wandelt. Diese Spannung gibt sofort die Fehlerspannung des zu prüfenden DAC's an.

Die Einstellung der Bits erfolgt mit einem Schalternetzwerk.

- Im Bild 15 wird eine der beiden meist verwendeten Prüfverfahren für D/A-Wandler gezeigt.

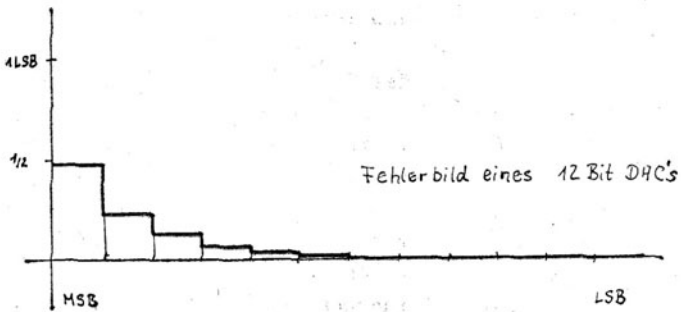
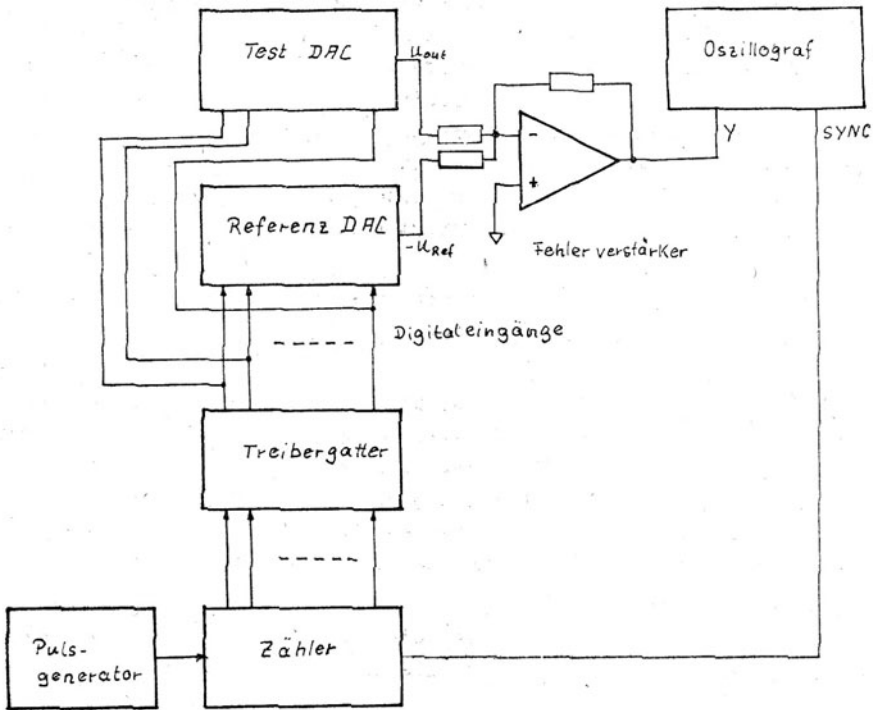
Die Bit-scan-Methode arbeitet so, daß der Fehler des D/A-Wandlers nur an jedem Bit des Wandlers gemessen wird. Das bedeutet bei einem 12 Bit-Wandler, daß 12 Meßwerte ermittelt werden. Aus den Fehlern bei jedem Bit wird die Linearität berechnet. Dabei darf die Summe aller Fehler den Wert von einem LSB nicht überschreiten, wenn die gesamte Linearität des Wandlers besser als 1 LSB betragen soll.

- Im gegensatz zur Bit-scan-Methode wird bei der Zählermethode . (Bild 16) die gesamte Kennlinie geprüft.

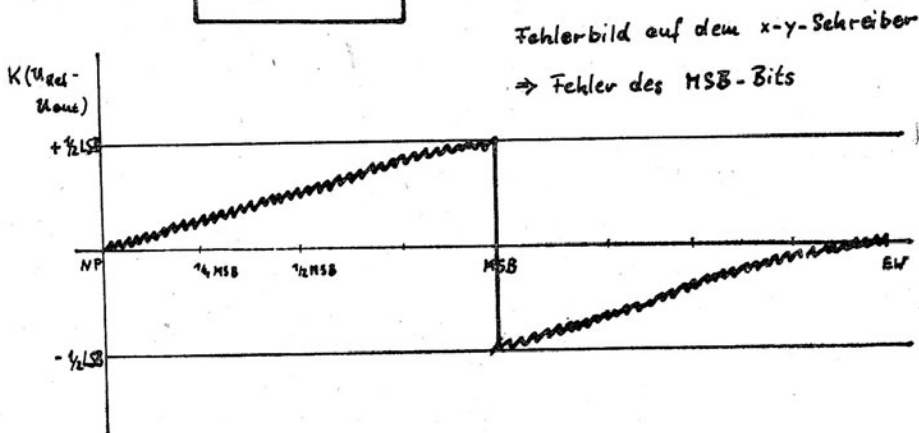
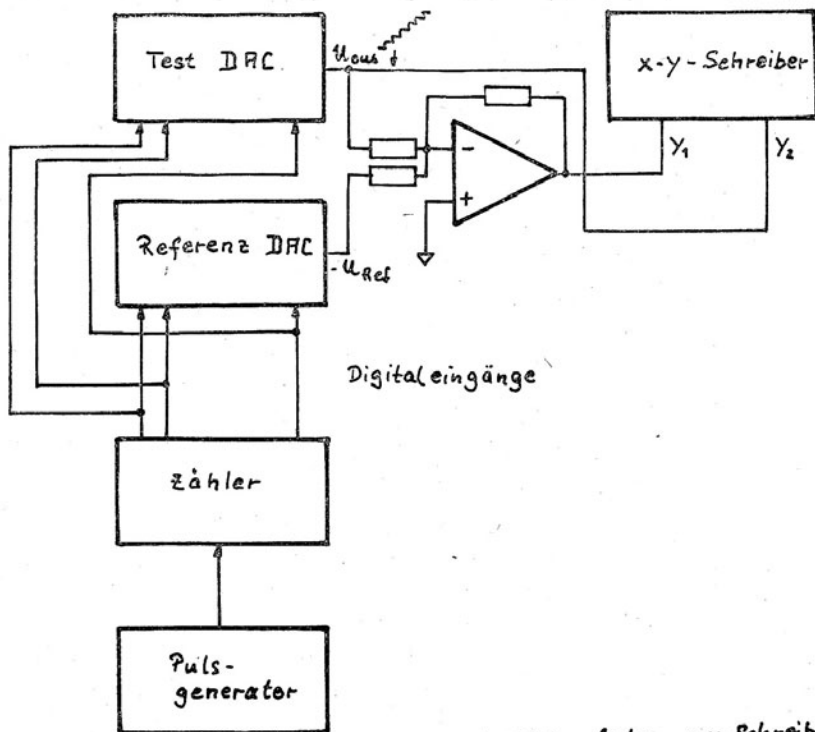
Der Zähler steuert mit allen Bit Kombinationen den Referenz- und Test DAC. Die Fehlerspannung am Ausgang kann dann einem schnellen x - y - Schreiber zugeführt werden. Aus der geschriebenen Fehler-Kurve können dann sehr leicht die entsprechenden Fehler analysiert werden.

Gleichfalls kann natürlich das Fehlersignal auch einem meßwertspeicherdem Digitalvoltmeter oder Oszillografen angeschaltet werden. Beim Oszillografen ist bei hochauflösenden D/A-Wandlern keine exakte Fehlerbestimmung der Gesamtkennlinie möglich.

Diese Variante eignet sich zum schnellen Suchen von Fehlern in einem kleinen Kennlinienabschnitt. Der Zähler wird dabei durch eine entsprechende Steuerung mit einer Start- und Stoppadresse versehen. Danach kann der D/A-Wandler zwischen diesen beiden Punkten genau analysiert werden. Vor allem an den Übergängen (z.B. MSB zu MSB-1) ist diese Methode sehr nützlich.



15 DAC - Test nach der Bit-scan-Methode



16 DAC - Test nach der Zähler - Methode

4.2. Test der dynamischen Parameter

Bei den dynamischen Parametern eines D/A-Wandlers ist die Kenntnis der Einschwingzeit (Setzzeit) von besonderer Bedeutung. Die Messung der Einschwingzeit (siehe auch 3.3.) ist bei höher-auflösenden D/A-Wandlern besonders schwierig.

Im folgenden werden drei Varianten zur Messung der Einschwingzeit vorgestellt.

- In der ersten Variante (Bild 17) wird der zu prüfende D/A-Wandler an einen Pulsgenerator geschaltet

Der Spannungsausgang des DAC liegt an einem Eingang eines sehr schnellen Komparators. Am anderen Komparatoreingang ist eine variable Referenz geschaltet.

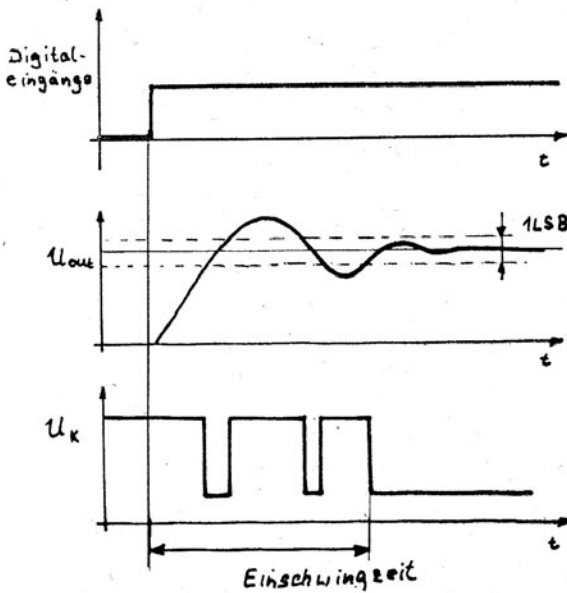
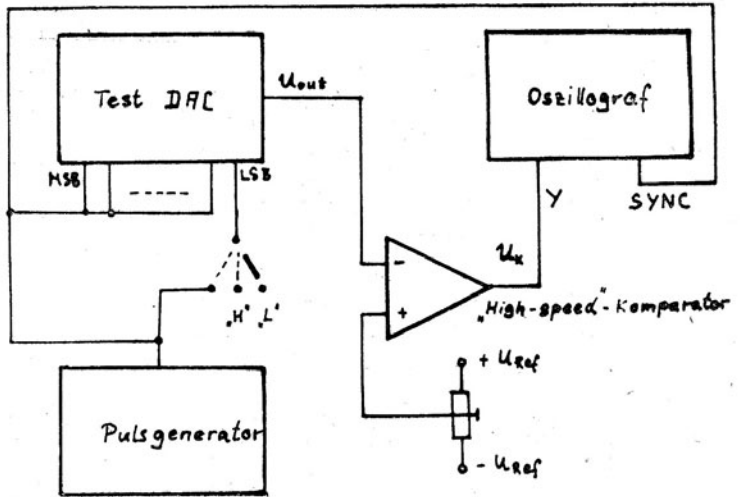
Mit dem LSB-Bit, das auf „ L " oder „ H " geschaltet wird und der variablen Referenz wird die „ Schwelle " von $\pm 1/2$ LSB eingestellt. Ist das erfolgt, wird das LSB - Bit zu den restlichen Bits geschaltet und die Einschwingzeit kann mit einem schnellen Oszillografen gemessen werden.

- Mit der zweiten Schaltungsanordnung (Bild 18) wird auch die Einschwingzeit zwischen Nullpunkt (Digitaleingänge L L L...L) und Endwert (D = H H H... H) gemessen.

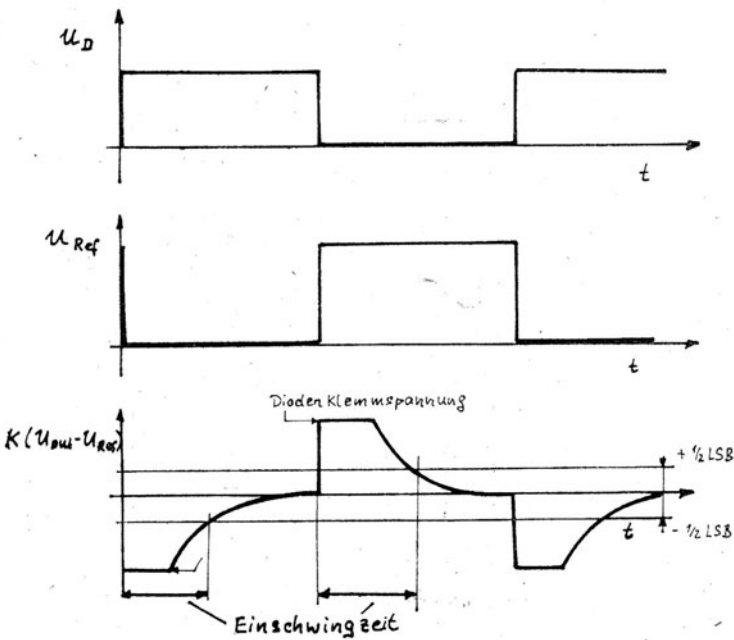
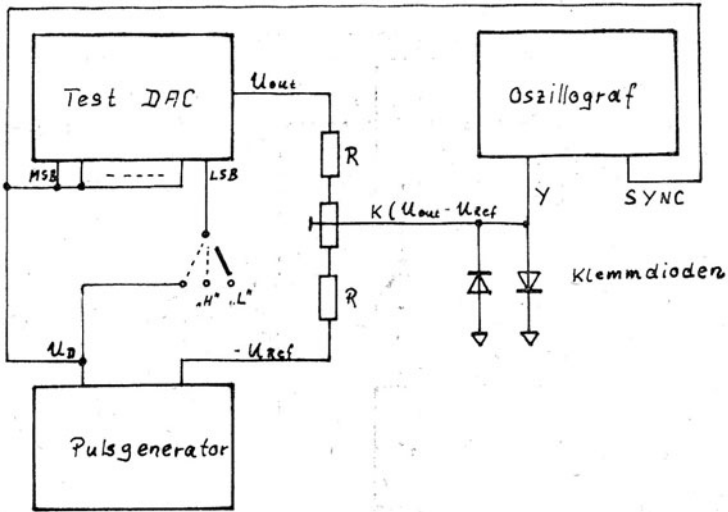
Hierbei fehlt jedoch der Komparator. An dessen Stelle muß ein geeigneter Pulsgenerator (große Anstiegsgeschwindigkeit und absolut-gerades Dach der Ausgangsimpulse) verwendet werden. Die Summation beider Signale wird über Widerstände vorgenommen. Das Ausgangssignal ist auf einem schnellen Oszillografen auszuwerten.

- In der letzten Schaltung (Bild 19) wird die Möglichkeit gezeigt, die Einschwingzeit an der Stelle $MSB \leftrightarrow MSB-1$ zu messen.

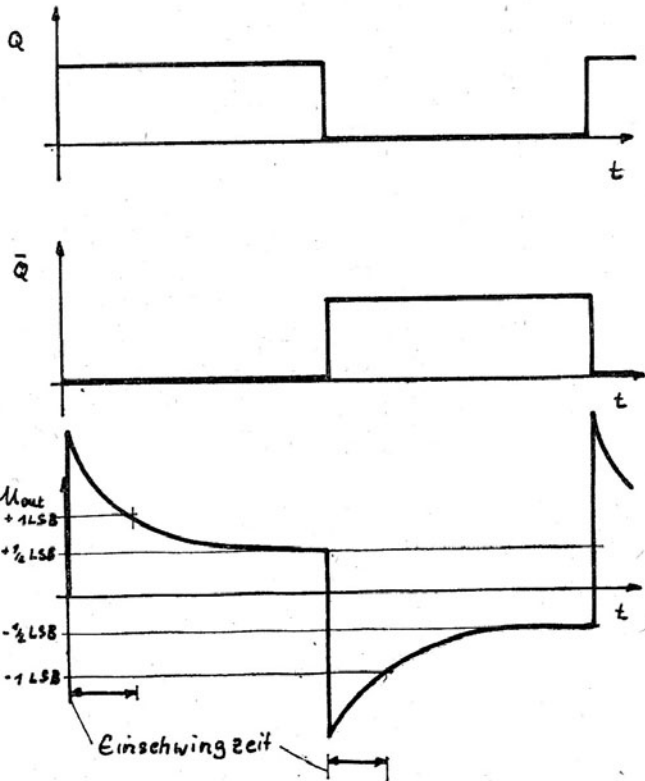
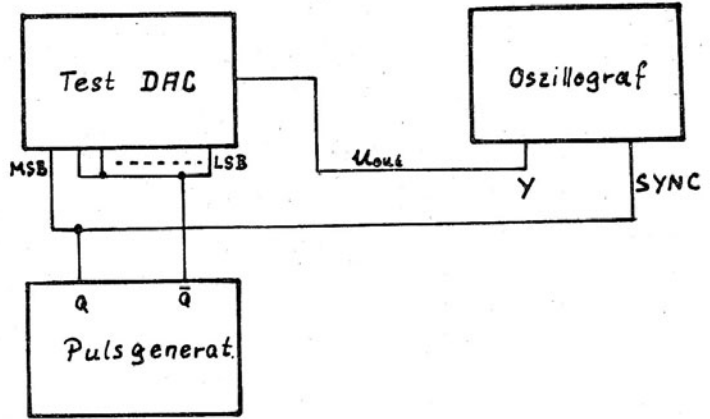
Der Pulsgenerator besitzt einen nichtinvertierenden (Q) und einen invertierenden (\bar{Q}) Ausgang. Der Q-Ausgang wird an das MSB-Bit und der \bar{Q} - Ausgang an die restlichen Bits geschaltet. Das Ausgangssignal des D/A-Wandlers kann dann sofort auf den Oszillografen geschaltet werden. Die Messung der Einschwingzeit an der Stelle $MSB \leftrightarrow MSB-1$ gibt jedoch nur die Zeit von einem 1-LSB-Sprung an. Sie repräsentiert also nicht die wahren dynamischen Eigenschaften des DAC's. Auf eine Messung der „vollständigen Einschwingzeit " (von Null zum Endwert bzw. umgekehrt) sollte nicht verzichtet werden.



17 Einschwingzeitmessung für Nullpunkt Endwert
(LL...L ↔ HH ... H)



13 Einschwingzeitmessung mit virtueller Masse



5. Aufbau und Funktion der D/A-Wandlerfamilie C 565 D, C 5650 D und C 5658 D

Der D/A-Wandlerschaltkreis C 565 D ist ein schneller DAU mit 12 Bit Genauigkeit (0,012 %).

Die Schaltkreise C 5650 D / C 5658 D sind D/A-Wandler mit 12 Bit Auflösung und 10/8 Bit Genauigkeit. Alle DAC's arbeiten im direkten Parallelbetrieb.

Sie enthalten alle wesentlichen Baugruppen eines funktionsfähigen D/A-Wandlers. Die DAC's zeichnen sich durch einen hohen Integrationsgrad und geringen Leistungsverbrauch aus.

Sie bestehen entsprechend ihrer Genauigkeit aus einem Präzisionswiderstandsnetzwerk, schnellen bipolaren Stromschaltern einer Referenzspannungsquelle und anderen Schaltungseinheiten.

Der Linearitätsfehler (integraler) des C 565 D und des C 5650 D, sowie die Offset- und Endwerte werden abgeglichen.

Die Linearitätsfehler dieser Bauelemente sind kleiner $\pm 1/2$ LSB bei $\vartheta_a = 25^\circ\text{C}$ und im Temperaturbereich von $\vartheta_a = 0 \dots +70^\circ\text{C}$ kleiner $\pm 3/4$ LSB vom Endwert.

Die Eingänge der Wandler sind TTL- und + 5 V CMOS - kompatibel und „ H " aktiv. Die nicht benutzten Eingänge der C 5650 D/ C 5658 D sind somit auf Masse zu schalten.

Der C 565 D kann im Betriebsspannungsbereich von $\pm 15 \text{ V} \pm 10 \%$ sowie $\pm 12 \text{ V} \pm 5 \%$ überall dort zur Anwendung kommen, wo derzeit herkömmliche Hybrid- und Einkarten-DAC's eingesetzt sind.

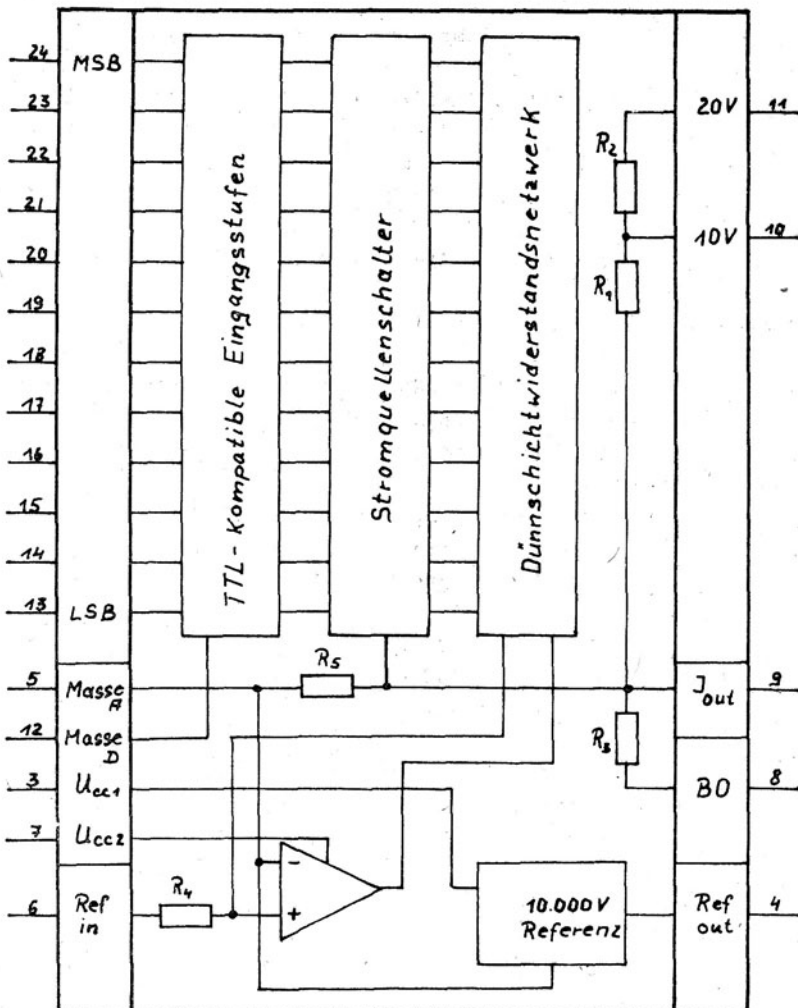
5.1. Prinzipieller Aufbau der D/A-Wandler

Im Bild 20 sind die wichtigsten Baugruppen und die Anschlußbelegung der D/A-Wandler dargestellt.

Dazu gehören

- die Referenzspannungsquelle die durch ein Lasertrimmverfahren auf 1 % Genauigkeit abgeglichen wird
- die Referenzstromquelle
- die TTL-kompatiblen Eingangsstufen
- der Eingangs - Regelspannungs - OPV
- das gestufte Präzisionswiderstandsnetzwerk, das in drei Vierergruppen unterteilt ist

- die Stromquellentransistoren die entsprechend des Widerstandsnetzwerkes in ihren Emitterflächen skaliert sind
- die schnellen Stromquellenschalter
- die integrierten Ausgangswiderstände $R_1 + R_2$ des Wandlers, die als Rückkopplungswiderstände für einen nachgeschalteten Operationsverstärker dienen
- sowie ein Widerstand (R_3) der zur Umschaltung vom Unipolar- in den Bipolarbetrieb verwendet wird



20 Blockschaltbild und Anschlußbelegung der D/A-Wandlerfamilie C 565 D

5.2. 10 V Referenzspannungsquelle

Zur Erzeugung der stabilen Referenzspannung wird beim C 565 D eine Referenzspannungsquelle mit vergrabener Zenerdiode verwendet (Bild 21).

Der Temperaturkoeffizient der Zenerdiode wird in dieser Schaltungsanordnung mit einer Spannung von entgegengesetztem Temperaturkoeffizient überlagert.

Damit entsteht eine, von der Temperatur unabhängige, stabile Referenzspannung.

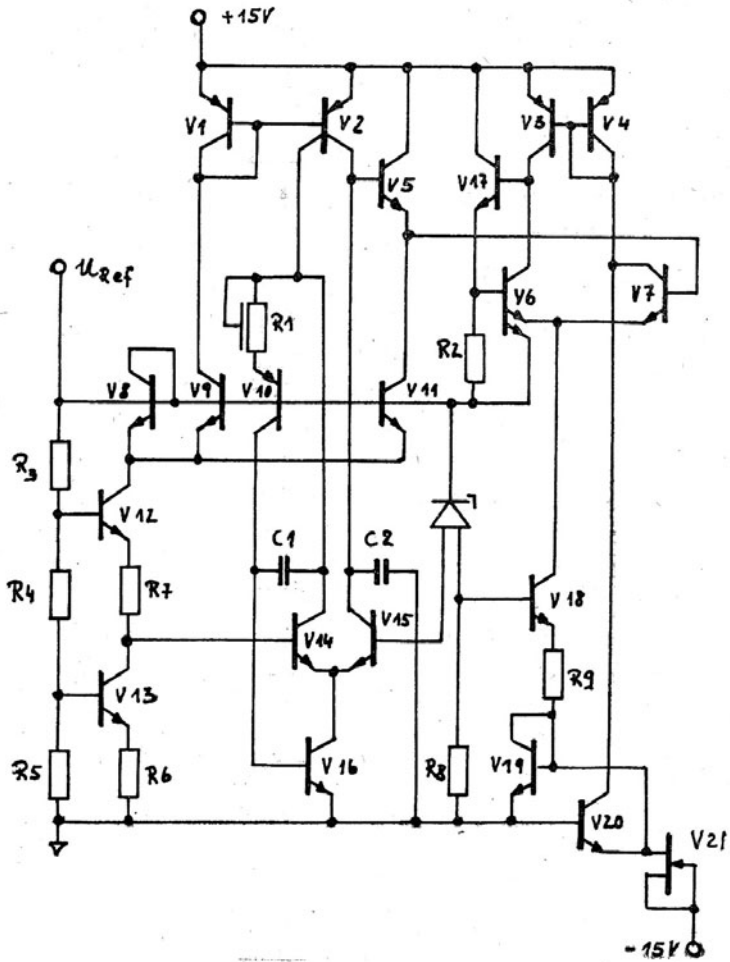
Die Zenerdiode liegt mit der einen Anode am Eingang des OPV's (V 15, V 14). Die andere Seite des OPV's wird vom Steuerkreis, der als Kompensationsspannungsquelle ausgelegt ist, beschaltet. Der Steuerkreis besteht aus zwei in Reihe geschalteten Transistoren (V 12, V 13).

Diese Transistoren arbeiten auf die Emitterwiderstände R 6 und R 7.

Mit den Widerständen R 6 und R 7 wird der TK-Abgleich der Referenzspannung vorgenommen.

Der Rückkopplungskreis des OPV's hält die Eingänge stets auf gleichem Potential, so daß die Ausgangsspannung immer die Summe aus Z-Diodenspannung U_D und der am nichtinvertierenden Eingang (V 14) stehenden Spannung ist.

Die Anlaufschaltung wird mit dem Sperrschicht-FET V 21 realisiert. Zur Bereitstellung einer stromergiebigsten Referenzspannung dient eine Stromquelle, die in Anhängigkeit der Durchbruchspannung der Z-Diode über V 15 gesteuert wird (V 3, V 4, V 6, V 7, V 15, V 18, R 9). Der Differenzverstärker (V 6, V 7) regelt in dieser Schaltung alle Schwankungen so aus, daß ein Ausgangsstrom von $I_{outmin} = 1,5 \text{ mA}$ gesichert wird.

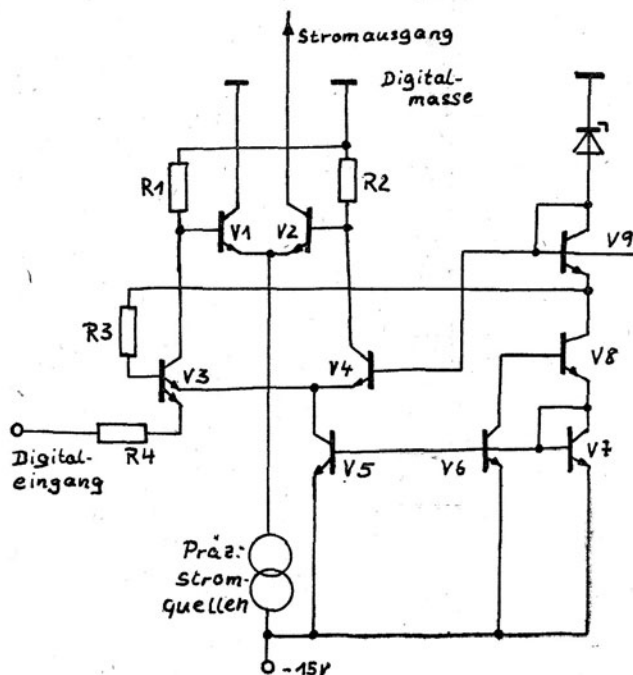


21 Referenzspannungsquelle

5.3. TTL - Eingangsstufen

Die Eingangsstufen arbeiten mit positiver Logik. Sie können mit TTL-, LS-TTL- und + 5 V - CMOS - Schaltkreisen angesteuert werden (Bild 22).

Das Eingangssignal wirkt auf den Multiemittertransistor V 3 des Eingangsdifferenzverstärker (V 3, V 4). Dieser steuert dann über R 1 und R 2 den schnellen Bipolar-Stromschalter (V 1, V 2). Der Strom vom Widerstandsnetzwerk wird somit entweder auf Masse oder auf den Ausgang des D/A-Wandlers geschaltet.

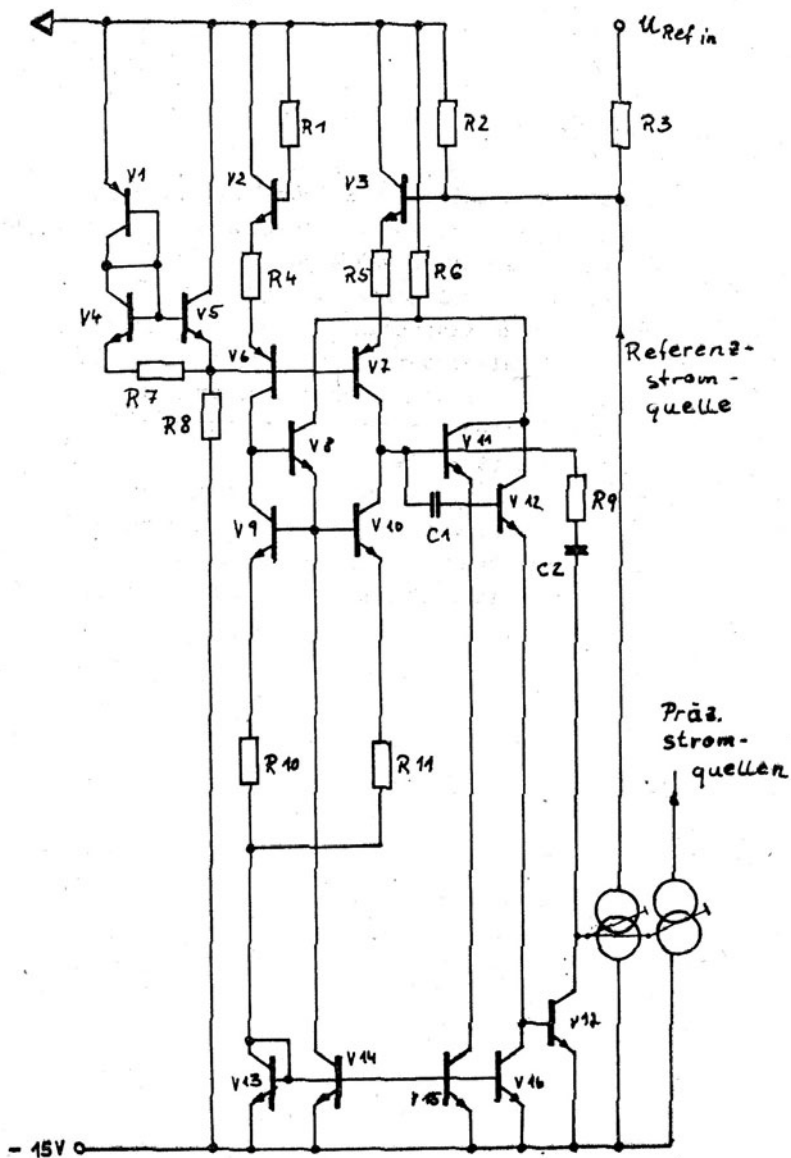


5.4. Regelspannungsverstärker

Der Regelverstärker wird im D/A-Wandler zur Ausregelung von Stromschwankungen des Ausgangsstromes (z.B. thermische Einflüsse) gegenüber der Stabilität der Referenzspannung verwendet (Bild 23).

Damit der D/A-Wandler vor allem im multiplizierenden Betrieb eine hohe Umsetzzeit besitzt muß der Regelspannungs - OPV eine große „slewe rate“ besitzen. Der Regelverstärker entspricht von seiner Grundsaltung dem OPV MAA 741. Hervorzuheben gegenüber dem MAA 741 ist seine höhere Bandbreite, die durch eine optimierte Frequenzgangkompensation realisiert wurde.

Das Referenzspannungseingangssignal liegt über den getrimmten Eingangswiderstand R 3 (nominell 20 kOhm) am Regelspannungsverstärker an. Dieser Eingangswiderstand muß bei Verwendung einer externen Referenzspannung (z.B. im multiplizierenden Betrieb) berücksichtigt werden.



5.5. Präzisionsstromquellen

Das Kernstück des D/A-Wandlers sind die 12 Präzisionsstromquellen und das getrimmte Widerstandsnetzwerk. Die 12 Stromquellen des D/A-Wandlers werden durch die Transistoren V 2 - V 15 und den Widerstandsnetzwerk R 2 - R 26 gebildet. V 1 und R 1 bilden die Referenzstromquelle. Das Schaltungsprinzip zeigt Bild 24.

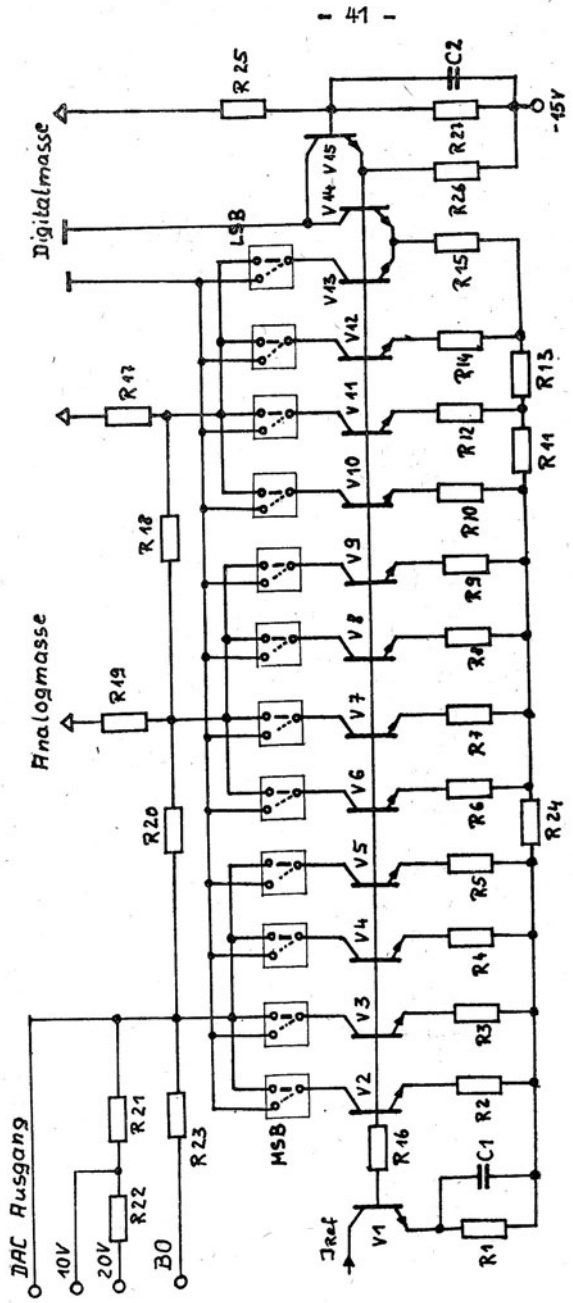
Bei der D/A-Wandlerfamilie C 565 D ist das Widerstandsnetzwerk in drei Vierergruppen aufgeteilt. Die Verknüpfung dieser 3 Vierergruppen erfolgt über die Widerstände R 17 bis R 20 nach den Stromquellenschaltern. Die Wichtung der Vierergruppen ist binär und entspricht dem Verhältnis 1 : 16 : 256 .

Damit die Stromdichte in den Stromquellentransistoren (Emitterstromdichte) möglichst gleich ist, sind die Emitterflächen im Verhältnis 1 : 2 : 4 : 8 abgestuft.

Die Emitterflächen der höchstwertigen Vierergruppe sind zu den Emitterflächen der niederwertigen Vierergruppe nochmals in Verhältnis 1 : 2 abgestuft. Mit dieser Abstufung wird über alle Basis-Emitterstrecken eine annähernd gleiche U_{BE} erzeugt. Diese ist besonders für die Stabilität der Linearität im Temperaturbereich notwendig.

Die Größe des Referenzstromes entspricht der Hälfte des Ausgangsstromes des MSB-Bits. Am Stromausgang sind die getrimmten Widerstände (R 21, R 22) zur Erzeugung einer Spannung (mittels externen OPV) angeschlossen.

Desweiteren befindet sich der Widerstand R 23 (zur Bildung eines bipolaren Ausgangssignals) am Stromausgang.



24 Präzisionsstromquellen

6. Parameter und Abhängigkeiten des C 565 D, C 5650 D und C 5658 D

Die zusammengestellten Parameter sind Auszüge aus der TGL 43 159 sowie aus den Informationsblättern C 565 D, C 565 D1, C 5650 D und C 5658 D.

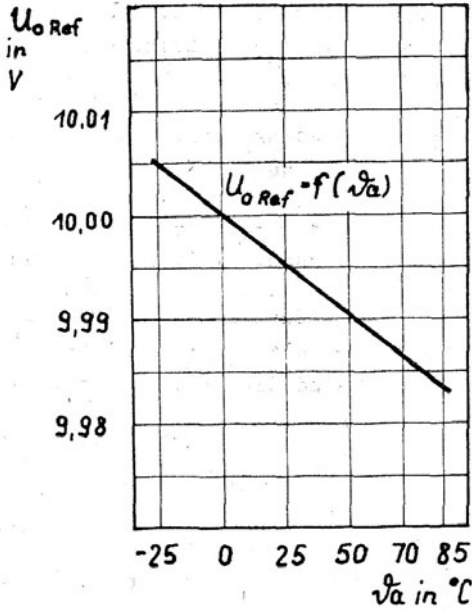
Die in der Tabelle 1 dargestellten Grenzwerte sind maximal zulässige Höchstwerte. Eine Überschreitung dieser Grenzwerte kann zur Zerstörung der Bauelemente führen.

Tabelle 2 enthält die Betriebsbedingungen, die die Funktion und die Kenndaten der Bauelemente sichern.

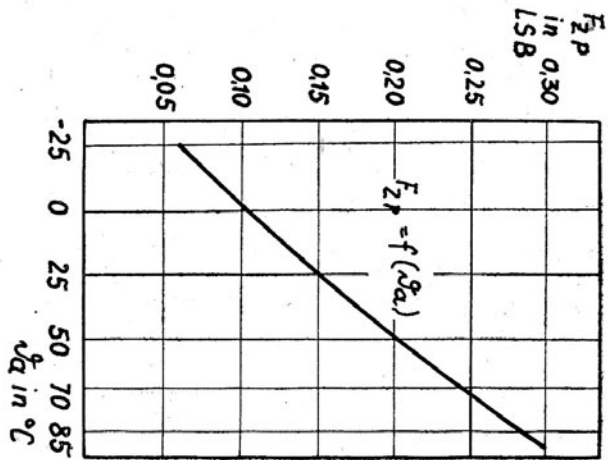
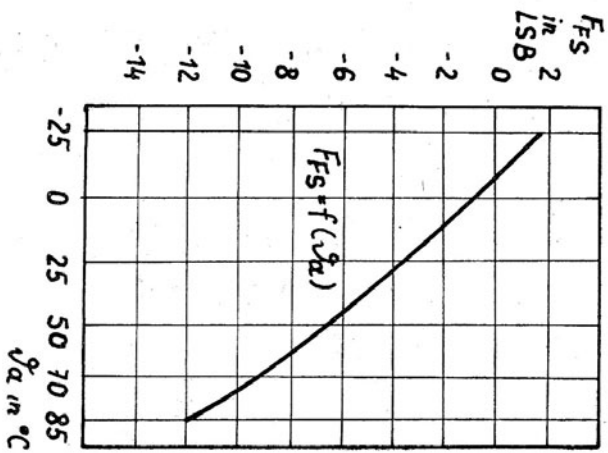
In den Tabellen 3 bis 5 sind die statischen und dynamischen Garantie- und Informationswerte in zusammengefaßter Form dargestellt.

Die Abhängigkeiten die danach folgen stellen eine Auswahl aus den Informationsblättern der D/A-Wandlerbauelemente dar.

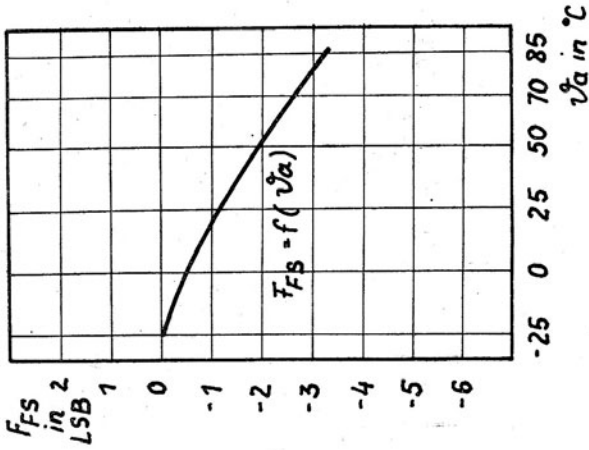
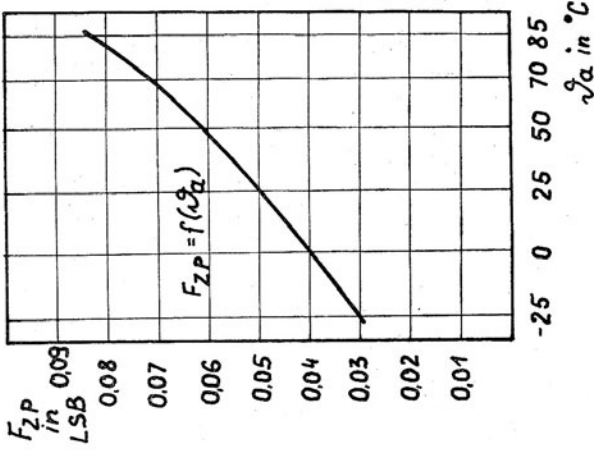
Ausführlichere Informationen sind diesen zu entnehmen.



25 Temperaturdrift der Referenz Ausgangsspannung des C 565D/C 5650D



26 Nullpunkt- und Endwerttariff des C 565 D



27 Nullpunkt- und Endwertdrift des C 5650 D

Tabelle 1

Grenzwerte:

Kenngröße	Kurzzeichen	min.	max.	Einheit
pos. Betriebsspannung	U_{CC1}	0	18	V
neg. Betriebsspannung	U_{CC2}	-18	0	V
Ausgangsspannung	U_9	-3	12	V
Spannung am Referenzeingang	U_6	-12	12	V
Bipolaroffseteingang u. Rückkopplungswiderstand 10 V - Bereich	U_8 U_{10}			
Spannung am Rückkopplungswiderstand 20 V - Bereich	U_{11}	-24	24	V
Spannung an den digitalen Eingängen	$U_{13...24}$	-1	7	V
Betriebstemperatur	θ_a	0	70	$^{\circ}\text{C}$

Tabelle 2

Betriebsbedingungen:

pos. Betriebsspannung	U_{CC1}	11,4	16,5	V
neg. Betriebsspannung	U_{CC2}	-16,5	-11,4	V
Low-Eingangsspegel	U_{IL}	0	0,8	V
High-Eingangsspegel	U_{IH}	2	5,5	V
Ausgangsspannung	U_9	-1,5	10	V
Referenzausgangsspannung	U_6	0,5	12	V

Tabelle 2

Kennwerte: C 565 D, C 565 D1, C 565 D und C 5658 D, gültig für $U_{CC1} = -U_{CC2} = 15 \text{ V} \pm 0,75 \text{ V}$ und $\theta_a = 25^\circ\text{C} - 5\text{K}$, falls nicht anders angegeben

Kenngröße	angegeben				Einstell- bedingungen	Maßein- heit
	C 565D, $\bar{x} - 2\bar{s}$	C 565D1, \bar{x}	C 5650 D, $\bar{x} + 2\bar{s}$	C 5658 D, $\bar{x} + 2\bar{s}$		
pos.Stromauf- nahme	1,50	1,95	2,40	1,60	2	4,20
neg.Stromauf- nahme	-17,6	-14	-12,8	-16,8	-14	-12,0
H-Eingang- ströme	152	193	256	108	150	192
L-Eingang- ströme	40	53	72	27	40	61
Ausgangsstrom	1,68	2	2,32	1,67	2,25	2,70
Referenz- ausgangs- spannung	9,984	9,995	10,008	9,48	10,20	10,51

$I_{ORef} = 0$ bzw.
 $I_{ORef} = 1,5 \text{ mA} \pm 2,5 \% \text{ V}$

Kenngröße	C 565D, C 565D1		C 5650 D		C 5658 D		Einstell.- bedingungen	Maß- einheit			
	X - 25	X + 25	X - 25	X	X + 25	X - 25			X + 25		
Unipolaroffset	F _{UO}	0,56	0,80	0,96	0,15	0,20	0,01	0,02	0,02	U _{I13..24} = U _{IL}	ISB
Bipolaroffset	F _{BO}	-5,1	1,25	3,8	-25	-8	-12	2	2	U _{I13..24} = U _{IL}	ISB
Endwertfehler unipolar	F _{FS}	-12,8	-4	7,6	-3	-1,3	-25	2	5	U _{I13..24} = U _{IH}	ISB
Nullpunkt- fehler bipolar	F _{ZP}	0,10	0,15	0,30	0,02	0,05	-0,2	0,1	0,3	U _{I13..23} = U _{IL} , U _{I24} = U _{IH}	ISB
Linearitäts- fehler mit interner Referenz	F _L	0,20 0,55	0,35 0,70	0,50 0,95	0,10	0,30	0,10	0,25	0,42	U _{CC1} = -U _{CC2} = 11,4 ± 1 %	C565D ISB C565D1
Differenzielle Nichtlinearität	F _D	0,30 1,0	0,45 0,80	0,60 1,40	0,20	0,40	0,20	0,50	0,65	U _{CC1} = -U _{CC2} = 11,4 ± 1 %	V V565D ISB C565D1
Referenzeingangs- widerstand	F _{Ref}	17,5	20	23	17	20	17	20	23		kOhm
Bipolaroffset- eingangswiderstand	F _{Bip}	14,5	17	20	14	16	9,5	10,5	11,5		
Wanderausgangs- widerstand	F _{Out}	6	7	8,5	6	7	6	7	8		
Setzzeit	t _s	200	250	300	180	200	120	150	180		

Tabelle 4

Temperaturkoeffizient im Temperaturbereich $T_a = 0 \dots 70^\circ\text{C}$

Kenngröße	C 565D/C565 D1/C5650D	C 5658 D	Maßeinheit typ
	typ.	typ.	
Temperaturkoeffizient (TK) des Linearitätsfehlers	0,2	± 1	ppm/k
TK der differentiellen nichtlinearität	0,6	± 2	ppm/k
TK des Unipolaroffsets	10	± 1	ppm/k
TK des Bipolaroffsets	-0,1	± 55	ppm/k
TK des Nullpunktfehlers (Bipolar)	0,5	± 1	ppm/k
TK der Referenzausgangsspannung	-20	± 110	ppm/k
TK des Endwertfehlers	-30	± 150	ppm/k
TK des Ausgangsstrom	200	- 400	nA/k

Tabelle 5

Betriebsspannungsunterdrückung im Betriebsspannungsbereich von 11,4 V bis 16,5 V

Betriebsspannungsunterdrückung d. Linearitätsfehlers	0,3	± 2	ppm/V
- der differentiellen nichtlinearität	2	± 4	ppm/V
- des Nullpunktfehlers	1,5	± 3	ppm/V
- des Unipolaroffset	1	1	ppm/V
- des Bipolaroffset	5	± 300	ppm/V
- des Endwertfehlers	-60	± 250	ppm/V
- der Referenzausgangsspannung	-15	± 500	ppm/V
- des Ausgangsstromes	150	± 1000	nA/V

Anmerkung: Alle ppm-Angaben beziehen sich auf den Endwert von 10 V
(1 ppm = 10 μV)

7. Applikative Hinweise zum Einsatz der D/A-Wandlerbauelemente C 565 D, C 565 D1, C 5650 D, C 5658 D

- Die Betriebsspannungen U_{CC1} und U_{CC2} sind jeweils mit einem Elektrolytkondensator ($22\mu\text{F} / 25\text{V}$) und einem Scheibenkondensator (22nF) gegen Masse abzublocken.
- Die Referenzmasse ist im Interesse einer hohen Genauigkeit des Wandlers möglichst dicht am Bauelement mit der Bezugsmasse zu verbinden.

Prinzipiell ist bei Wandlern mit geringeren Anforderungen an die Genauigkeit (z.B. C 5658 D) eine andere Führung von Referenzmasse (Analogmasse) und Bezugsmasse (Digitalmasse) möglich.

- Im Unipolarbetrieb des Wandlers kann der Bipolaroffseteingang zum Unipolaroffsetabgleich verwendet werden. Der Offsetabgleich (unipolar oder bipolar) erfolgt immer vor dem Endwertabgleich. Als Einstellregler sollten zugunsten der Einstellsicherheit Regler mit Spindel verwendet werden.
- Die D/A-Wandlerbaureihe C 565 D besitzt als analoges Ausgangssignal einen Strom $I_{\text{out}} = 0 \dots -2\text{ mA}$ im Unipolarbetrieb und $I_{\text{out}} = 0 \dots \pm 1\text{ mA}$ im Bipolarbetrieb. Für eine ungepufferte Ausgangsspannung (ohne externen OPV) können für den Unipolarbereich $U_0 = 0 \dots -1,5\text{ V}$ und den Bipolarbereich $U_0 = 0 \dots \pm 1\text{ V}$ bei entsprechender Widerstandsbeschaltung erreicht werden.
- Mit einem externen OPV können unter Verwendung der internen Widerstände im gepufferten Betrieb folgende Ausgangsspannungsbereiche eingestellt werden.

- $0 \dots + 5\text{ V}$
- $0 \dots + 10\text{ V}$
- $0 \dots + 20\text{ V}$
- $0 \dots \pm 2,5\text{ V}$
- $0 \dots \pm 5\text{ V}$
- $0 \dots \pm 10\text{ V}$

Die Umsetzungsgeschwindigkeit (Einschwingzeit) des D/A-Wandlers hängt dann ausschließlich von dynamischen Eigenschaften des externen OPV ab.

- Der multiplizierende Betrieb des D/A-Wandlers ist in einem Referenzspannungsbereich von $U_{Ref} = +1,5 \dots +12 \text{ V}$ möglich, wobei jedoch im gesamten Bereich außer beim C 5658 D die angegebene Linearität des jeweiligen Wandlertypen nicht mehr garantiert wird. Bei der Verwendung zeitlich schnell veränderlicher Referenzeingangsspannungssignale, (z.B. bei digitalen Funktionstellern) ist die Anstiegsgeschwindigkeit des internen Regelspannungs - OPV (slew-rate von $S \approx 15 \text{ V}/\mu\text{s}$) zu berücksichtigen. Die externe Referenzspannung wird mit einem typischen Referenzspannungseingangswiderstand von 20 kOhm belastet.
- Beim Einsatz des D/A-Wandlers in sehr schnellen Systemen (D/A-Wandler mit Stromausgang) ist darauf zu achten, daß die einzelnen Bits jedes Datenwortes möglichst zeitgleich angelegt werden. Dieser Forderung ist durch geeignete Mittel (getaktete Torschaltungen oder Register) nachzukommen, da das Ausgangssignal durch unterschiedliches Schalten der Bits durch Glitches (Störnadeln) gestört ist (siehe Bild 10).
- Die Eingänge und Ausgänge der D/A-Wandler sind vor externen elektrostatischen Aufladungen zu schützen.

8. Applikationsbeispiele

Die im folgenden Kapitel enthaltenen Applikationsbeispiele stellen eine Auswahl aus dem großen Einsatzgebiet der D/A-Wandler (DAC) dar. Für alle angegebenen Applikationen lassen sich unter Berücksichtigung der wandlertypabhängigen Dimensionierung für den Nullpunkt und Endwertabgleich beliebige BE der C 565 er-Reihe einsetzen. Es wird in den nachfolgenden Beispielen jedoch immer nur ein Typ eingesetzt.

8.1. C 565 D - 12 Bit - DAC mit interner Referenz und unipolarer Ausgangsspannung

Im ersten Beispiel (Bild 28) wird der C 565 D als D/A-Wandler mit 12 Bit Genauigkeit und Auflösung eingesetzt. Er liefert je nach Beschaltung des OPV's eine unipolare Ausgangsspannung von:

- 0 ... + 5 V Pin 11 verbunden mit Pin 9, Pin 10 am Ausgang des OPV's
- 0 ... + 10 V Pin 10 am Ausgang des OPV's
- 0 ... + 20 V Pin 11 am Ausgang des OPV's

Der Offsetabgleich wird mit dem Regler R_1 über den Spannungsteiler (100 kOhm/ 100 Ohm) am Bipolaroffseteingang (Pin 8) vorgenommen. Der sich anschließende Endwertabgleich auf eine der gewählten Ausgangsspannungsvarianten erfolgt mit dem Regler R_2 . Für beide Einstellregler sollten für eine gute Einstellbarkeit Regler mit niedrigem TK und Spindel verwendet werden.

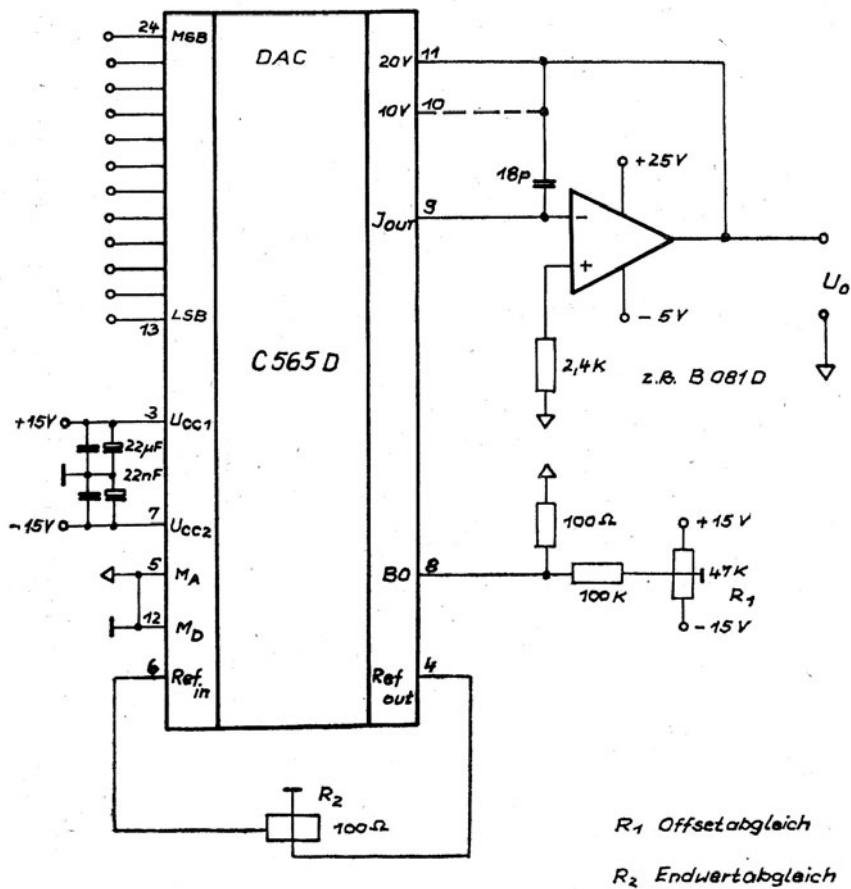
Für die Langzeitstabilität des Endwertes ist die Güte der verwendeten Widerstände und Einstellregler ausschlaggebend.

8.2. C 5650 D - 10 Bit - DAC mit externer Referenz und bipolarer Ausgangsspannung.

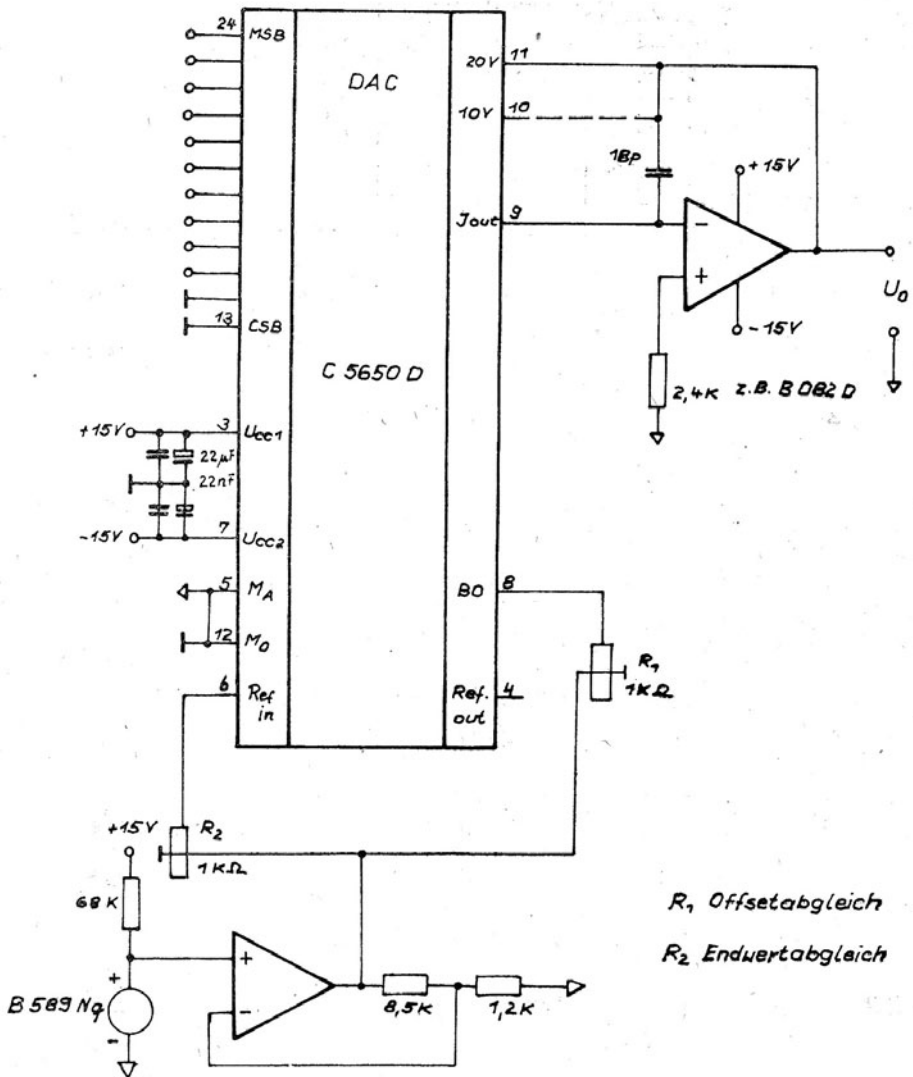
Der C 5650 D arbeitet in Bild 29 in der Standardschaltung für einen D/A-Wandler mit bipolarer Ausgangsspannung.

Die Referenzspannung für den D/A-Wandler wird extern erzeugt. Diese Variante kann dann zum Einsatz kommen, wenn der TK der internen Referenz nicht ausreicht. Im angegebenen Beispiel wird ein Referenzelement B 589 Nq (TK \leq 10 ppm) verwendet. Für den notwendigen Ausgangs OPV und dem OPV zur Referenzspannungserzeugung kann vorteilhaft der Doppel - OPV B 082 D verwendet werden. Die bipolaren Ausgangsspannungsbereiche werden durch folgende Beschaltung realisiert:

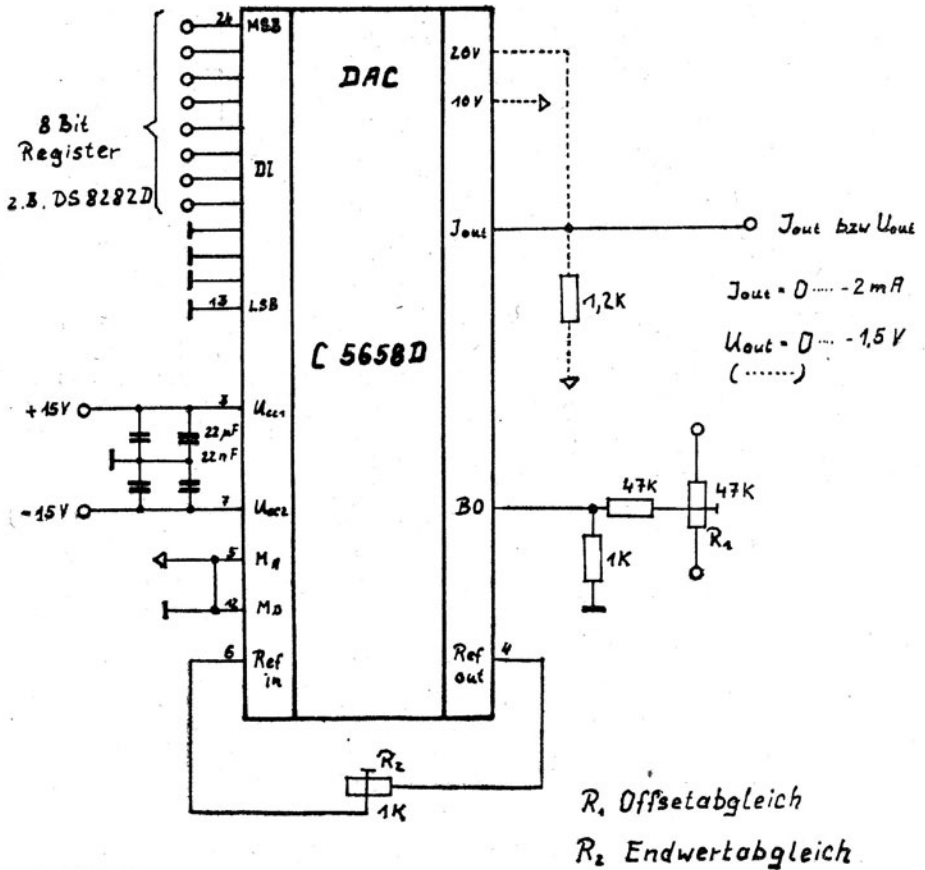
- 0 ... \pm 2,5 V Pin 11 verbunden mit Pin 9, Pin 10 am Ausgang des OPV's
- 0 ... \pm 5 V Pin 10 am Ausgang des OPV's
- 0 ... \pm 10 V Pin 11 am Ausgang des OPV's



28 C 565 D- 12 Bit-DAC mit interner Referenz und unipolarer Ausgangsspannung



29 C 5650 D- 10Bit -DAC mit externer Referenz und bipolarer Ausgangsspannung



30 C 5658 D - 8 Bit- DAC mit Stromausgang und ungepufferter Ausgangsspannung

Der Offset- und Endwertabgleich erfolgt mit den Einstellreglern R_1 und R_2 . Beide Regler sollten im Interesse einer guten Einstellbarkeit für den Abgleich des Wandlers Spindelcharakteristik besitzen.

Der Kondensator zwischen Eingang und Ausgang des Ausgangsspannungs-OPV sollte einen Wert von $C \geq 12$ pF besitzen (Frequenzgangkompensation). Für die OPV's der Bifet - Reihe B 080 D erwies sich ein Wert von 18 pF als optimal.

8.3. C 5658 D - 8 Bit - DAC mit ungepufferten Analogausgang

Besonders zur schnellen D/A-Wandlung ist das Ausschuchen eines geeigneten Ausgangs-OPV problematisch. Um dennoch die guten dynamischen Eigenschaften des C 5658 D (typ. Einschwingzeit $t_{set} \approx 150$ ns) zu nutzen muß auf den OPV (falls kein entsprechender Typ zur Verfügung steht) verzichtet werden.

In der Standardbeschaltung für einen D/A-Wandler mit Strom als analoge Ausgangsgröße und eine ungepufferte Ausgangsspannung ist im Bild 30 der C 5658 D eingesetzt.

Zur Vermeidung von Glitches werden die Eingangsdaten in einem Register zwischengespeichert.

8.4. 2 Digit - BCD - D/A - Wandler mit $U_A = 0 \dots +9,9$ V

D/A-Wandler mit dezimalen Eingangskode (BCD-Kode) sind besonders sinnvoll in Verbindung mit Anlagen wie etwa digital programmierbare Stromversorgungen. Da die C 565 D'er - Familie einen binären Eingangskode besitzt gibt es mehrere Möglichkeiten der Realisierung eines BCD - D/A-Wandlers

- Der BCD - Kode wird über einen BCD-Binär-Wandler (EPROM oder Zähler) in das Binärsignal umgewandelt und dann dem D/A-Wandler zugeführt.

- Mehrere binäre D/A-Wandler werden verwendet. Dabei kommt von jedem DAC nur eine Vierergruppe, die eine Dekade des BCD-Wandlers bildet, zur Anwendung.
Die Wichtung zwischen den Vierergruppen erfolgt entweder durch den Ausgangsstrom oder die Referenzeingangsspannung

Im Bild 31 ist die Schaltungsvariante eines 2 - Dekaden - BCD - Wandler dargestellt.

Als D/A-Wandler werden 2 BE des C 5658 D verwendet. Im ersten D/A-Wandler werden die höchstwertigen 4 Bit und eine Referenzspannung von 10 V verwendet.

Für das MSB - Bit ergibt sich somit ein Ausgangsstrom von -1 mA (entspricht auch der Binäranwendung). Der 2. D/A-Wandler muß jedoch für das MSB - Bit einen Strom von $-1 \text{ mA} / 10 = -0,1 \text{ mA}$ liefern. Das bedeutet:

- bei Verwendung der 4 höchstwertigen Bit der 2. Vierergruppe ist eine Referenzspannung von 1 V oder
- bei Verwendung des $1/8$ MSB - Bit als höchstes Bit der 2. Vierergruppe ist eine Referenzspannung,
von $U_{\text{Ref}} = 8 \text{ V}$ notwendig
($1/8 \text{ MSB - Bit} \hat{=} -1 \text{ mA} / 8 = -0,125 \text{ mA}$)

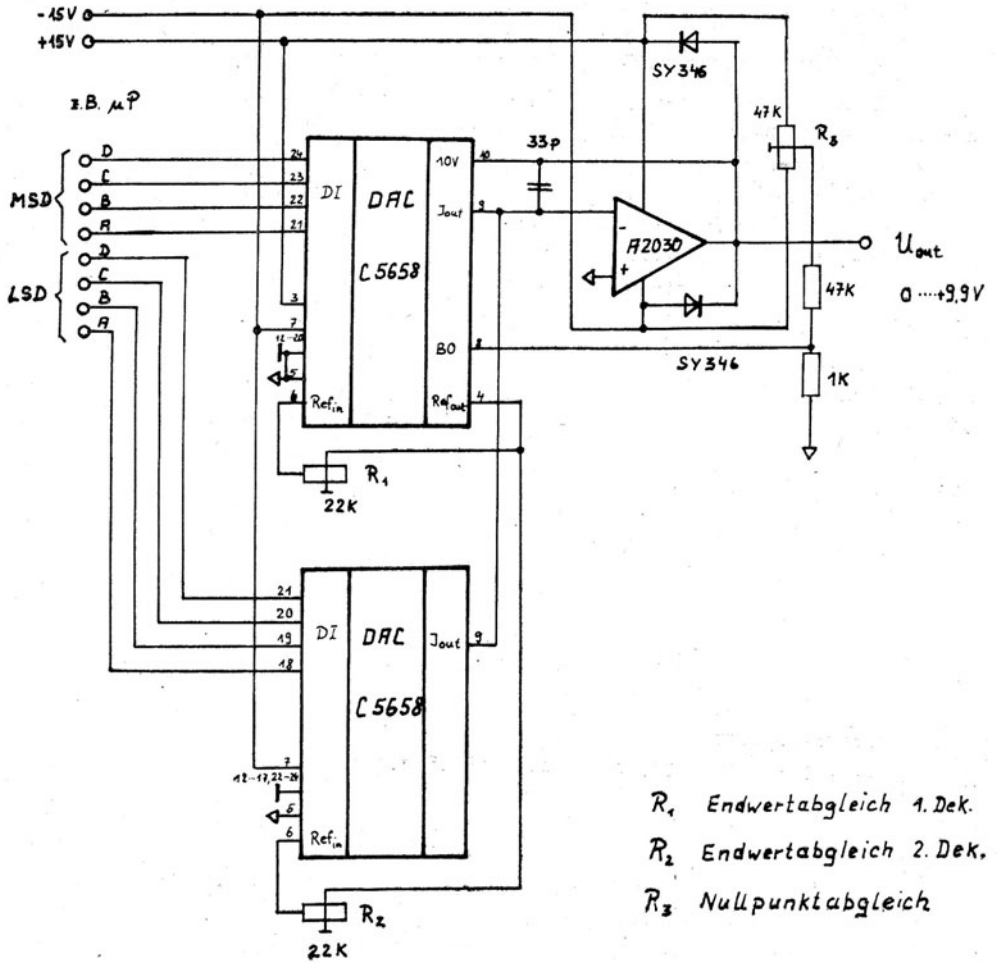
Der zweiten Variante wird der Vorrang gegeben (einfachere Referenzspannungserzeugung für den DAC).

Somit sind beide Vierergruppen in ihrem analogen Ausgangssignal im Verhältnis 1 : 10 gewichtet.

Als Ausgangs-OPV wurde der A 2030 eingesetzt, um einen größeren Ausgangsstrom zu liefern.

Der Abgleich des D/A-Wandlers wird mit den Reglern $R_1 \dots R_3$ vorgenommen, wobei zuerst mit R_3 (Digitaleingänge alle L) die Ausgangsspannung auf 0 V eingestellt wird. Danach wird mit R_1 (Digitaleingänge = H L L H L L L L) $U_{\text{out}} \Rightarrow 9 \text{ V}$ und anschließend mit R_2 (H L L H H L L H) auf $U_{\text{out}} \Rightarrow 9,9 \text{ V}$ abgeglichen.

Eine erweiterte Variante der BCD - Wandlung zeigt das nächste Beispiel.



R₁ Endwertabgleich 1. Dek.
 R₂ Endwertabgleich 2. Dek.
 R₃ Nullpunktgleich

8.5. 2 1/2 - Digit - BCD - Netzteil mit einer Ausgangsspannung von $U_{out} = 0 \dots 29,9$ V und einem Strom von $I_{max} = 1,5$ A

Die Schaltung des digitalen Netzteils ist im Bild 32 dargestellt. Es werden dazu 3 DAC's vom Typ C 5658 D benötigt. Die Genauigkeit (Linearität) eines 8 Bit D/A-Wandlers überschreitet zwar leicht die notwendige Anforderung ist jedoch für diesen Anwendungsfall ohne Bedeutung. Wird jedoch ein Fehler von $F \leq 0,06$ V innerhalb des Spannungsbereichs $U_{out} = 0 \dots +29,9$ V gefordert, so muß für den Wandler in der höchstwertigen Vierergruppe (MSD) ein C 5650 D eingesetzt werden.

Die drei D/A-Wandler C 5658 D erzeugen mit dem OPV B 081 D eine BCD-gewichtete Ausgangsspannung. Diese wird dem Spannungsregler-IC B 3170 D der als Leistungssteller arbeitet, zugeführt.

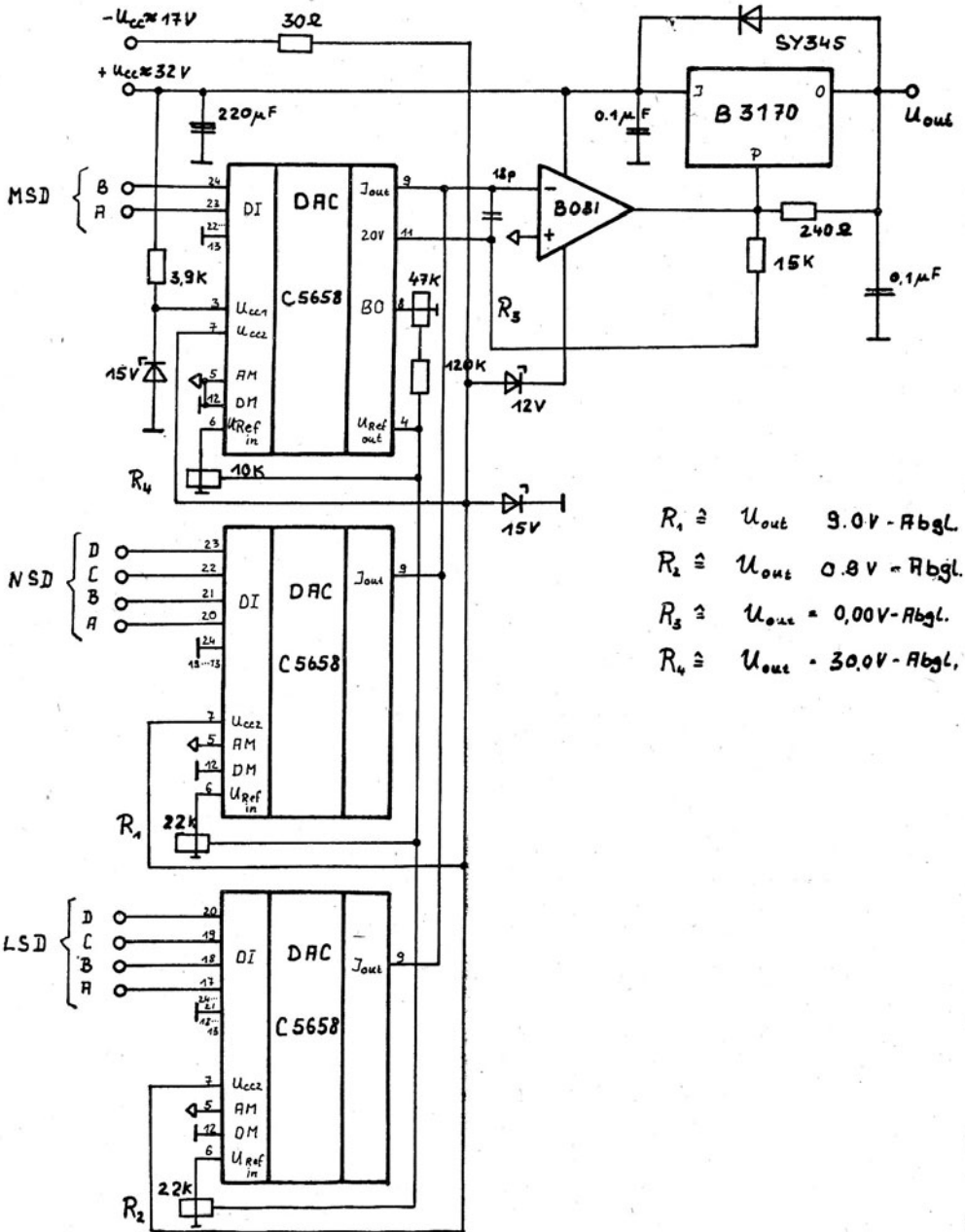
Mit dem B 3170 D steht somit eine kurzschlußfeste Spannung am Ausgang bereit. Der Abgleich verläuft prinzipiell wie beim 2 - Digit - BCD - Wandler (8.4.).

1. Nullpunktgleich mit R_3 (LL LLLL LLLL) $U_{out} = 0,0$ V
2. Endwert 1. Dekade mit R_4 (HH LLLL LLLL) $U_{out} = 30,0$ V
3. Endwert 2. Dekade mit R_1 (LL HLLH LLLL) $U_{out} = 9,0$ V
4. Endwert 3. Dekade mit R_2 (LL LLLL HLLH) $U_{out} = 0,9$ V

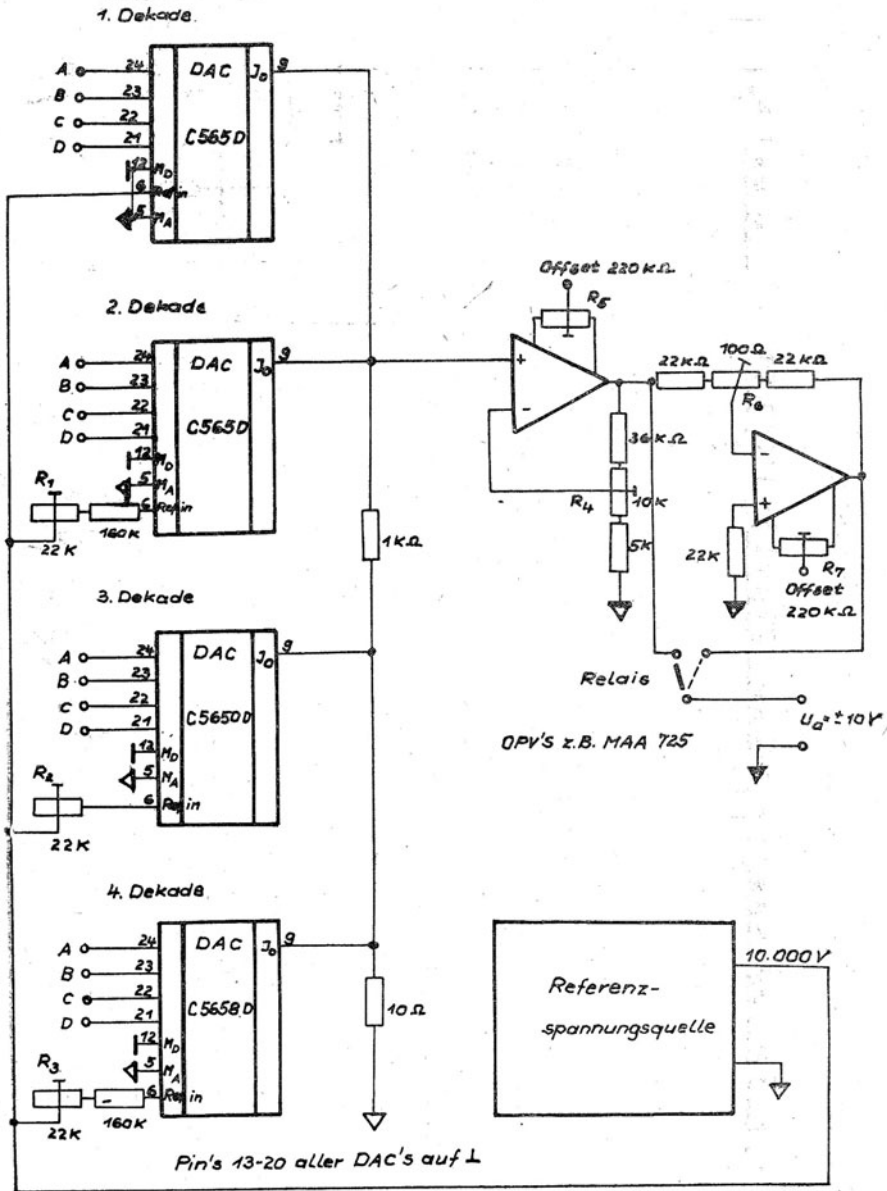
Nach einer Kontrolle von 1. und 2. ist das Netzteil abgeglichen und einsatzbereit.

8.6. 4 - Digit - BCD - D/A-Wandler für Präzisionsanwendung

Als Grenze für den Einsatz von C 565 D - DAC's in BCD - Wandlern muß die 4 - Digit - Klasse festgelegt werden. Die Schaltung nach Bild 33 ist ein solcher Wandler. Die Wichtung der Vierergruppen wird hier durch das Verhältnis der Referenzspannung (1 : 10 der 1.- und 2.- sowie 3.- und 4. Vierergruppe) realisiert. Zwischen den beiden Vierergruppenpaaren erfolgt eine Ausgangsstromwichtung von 1 : 100.



- $R_1 \hat{=} U_{out} \quad 9.0V - R_{b3L}$
- $R_2 \hat{=} U_{out} \quad 0.8V - R_{b3L}$
- $R_3 \hat{=} U_{out} = 0.00V - R_{b3L}$
- $R_4 \hat{=} U_{out} = 30.0V - R_{b3L}$



33 4. Digit - BCD - D/A-Wandler $U_{out} = 0 \dots \pm 9,999 \text{ V}$

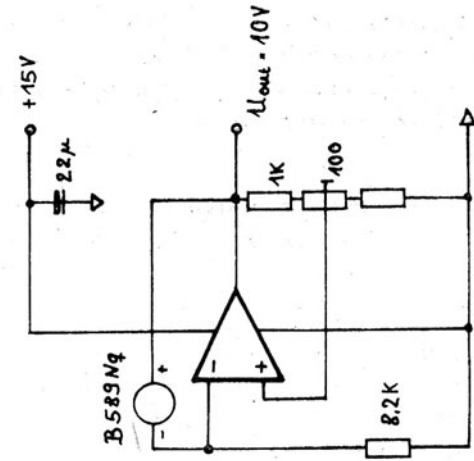
Diese Variante wurde gewählt (trotz ungünstigeren Referenzspannungsbereich) um die Linearitätsfehler der C 565 D minimal zu halten. Das kann dann nur erfolgen, wenn sich die 4 Ansteuerbits einer BCD - Stelle in einer Vierergruppe befinden.

Die Referenzspannung wurde extern in einem Thermostaten erzeugt um dadurch einen minimalen TK zu erreichen /16/ (Bild 34).

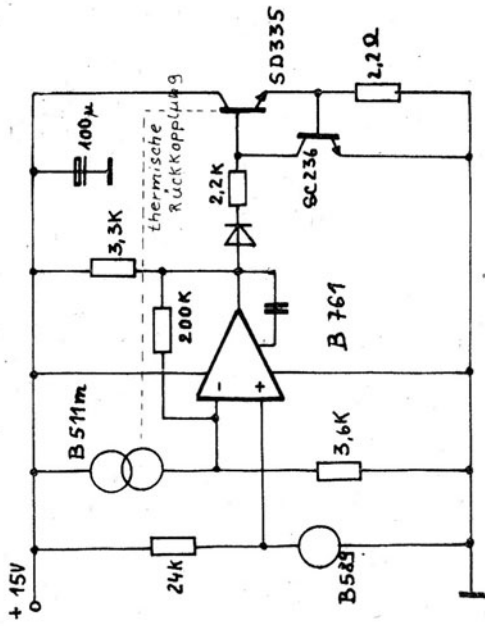
Die Spannung am Ausgang des BCD - DAC's wird mit einem Präzisions OPV (z.B. MAA 725) auf einen Endwert von +9999 V verstärkt. Ein zweiter OPV gleichen Typs invertiert dieses Signal nochmals. Mittels eines Relais steht dann eine bipolare Ausgangsspannung von $U_{out} = 0 \dots \pm 9,999 \text{ V}$ am Ausgang bereit.

Der Abgleich des Wandlers (erst Nullpunkt, danach die Endwerte) sollte sehr sorgfältig erfolgen um die Grenzen der Bauelemente voll auszuschöpfen. Die absolute Genauigkeit des abgeglichenen D/A-Wandlers beträgt $\pm 0,8 \text{ mV}$ bei einer Temperatur von $25^{\circ}\text{C} \pm 5 \text{ K}$. Die Fehler können weiter elementiert werden ($F \leq \pm 0,3 \dots 0,5 \text{ mV}$), wenn die Strom-Spannungswandlung nicht wie in der angegebenen Schaltung (Bild 33) mit Widerständen, sondern mit getrennten OPV's vorgenommen wird (Bild 35). Ursache dafür ist der Einfluß des nichtunendlich-großen Innenwiderstandes der Stromquellen des C 565 D, der durch die OPV - Beschaltung (I - U - Wandlung) stark verkleinert wird.

Es muß jedoch berücksichtigt werden (bei $F \leq 0,3 \text{ mV}$ und 10 V Ausgangsspannung), daß die Offset- und Temperaturdrift der OPV's eingehen und entsprechende Bauelemente eingesetzt werden müssen (z.B. MAA 725).



MAR 725
Referenzquelle



Thermostat

34 10 V Präzisionsreferenzspannung

8.7. Digital - steuerbare Stromquelle

Die digitale Steuerung einer Spannung als analoge Ausgangsgröße kommt am häufigsten zur Anwendung.

In einigen Anwendungen ist jedoch gerade der Strom, als steuerbare Größe, von Bedeutung.

In den Bildern 36 (a und b) sind entsprechende Varianten von Spannungs- Stromwandlern dargestellt.

Die Schnittstelle zum D/A-Wandler ist nur prinzipiell gezeigt. Eine entsprechende Dimensionierung kann nach Abschnitt 8.1. ... 8.3. vorgenommen werden (Nullpunkt- und Endwertabgleich).

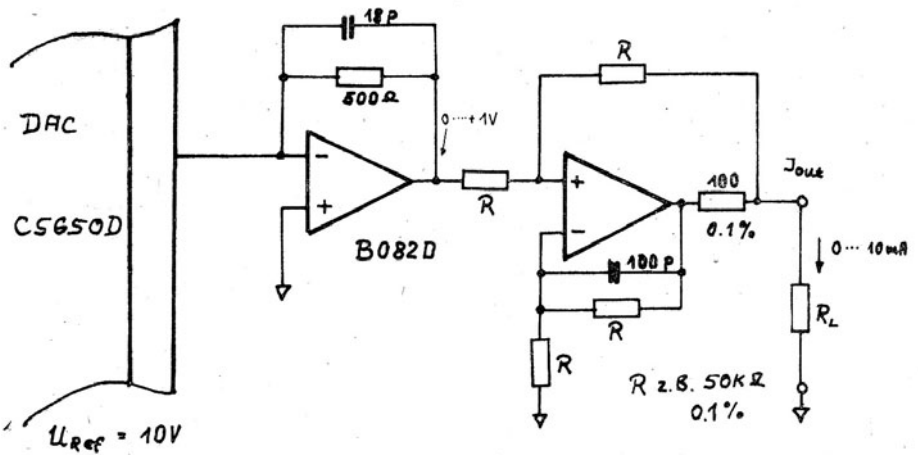
8.8. μ P - Kopplung für D/A-Wandler

Jeder D/A-Wandler kann mit einem Latch oder einem parallel ladbaren Register an den Systembus eines Mikrocomputers angeschlossen werden. Der typische Systembus eines Mikrocomputers (Bus- Ausgänge) läßt sich in drei Gruppen aufteilen: den Datenbus, den Adreßbus und Steuerbus.

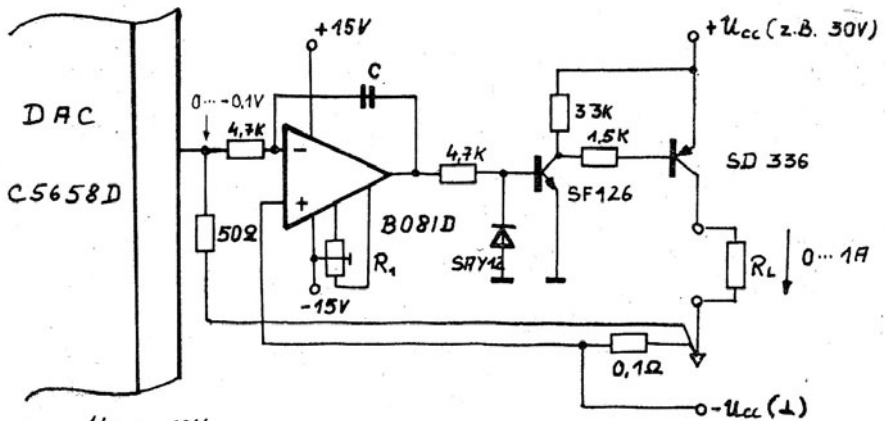
Wenn die Auflösung des D/A-Wandlers kleiner oder gleich der Datenbreite des Mikroprozessors ist, können die Datenleitungen direkt verbunden werden (z.B. C 5658 D am Datenbus des U 880).

Ist die Auflösung des DAC's größer (z.B. C 565 D am Datenbus des U 880 oder U 8820), so müssen die Daten in zwei Schritten übertragen werden. Dabei werden in der Regel zuerst die höherwertigen Bits, danach die restlichen, niederwertigen Bits übertragen (Optimierung der Einschwingzeit).

Eine ausführliche Abhandlung dieser Problematik ist in /2/ enthalten.



36a Digital - programmierbare Stromquelle $I_{out} = 0 \dots 10 \text{ mA}$



R_1 Offset
 R_2 Endwert (Referenzsp.)
 C Frequenz komp. (z.B. 1nF)

36b Digital - programmierbare Stromquelle $I_{out} = 0 \dots 1 \text{ A}$

8.9. Maximalwertspeicher

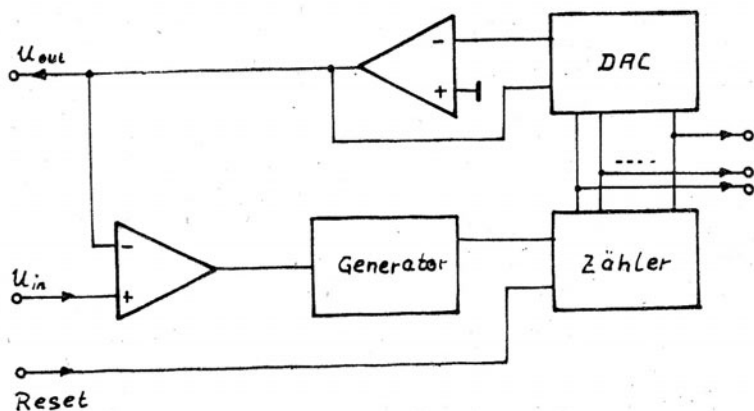
Die Extremwertspeicherung eines analogen Spannungsverlaufes ist für viele technische Anwendungen ein großes Problem. Das gilt vor allem für die elektrische Messung von mechanischen Größen (Kraft und Dehnung) oder der Temperatur.

Die allgemein bekannten analogen Spitzen Spannungsspeicher (Sample-and - hold - Schaltungen) besitzen Nachteile die bei einigen Anwendungen diese Verfahren ausschließen.

- geringe Linearität in einem großen Spannungsbereich
- geringe Speicherzeitkonstante

Der digitale Extremwertspeicher beseitigt in den meisten Fällen diese Nachteile.

Das Prinzip (Bild 37) ist sehr einfach und gleicht dem eines A/D-Wandlers nach dem Kompensationsprinzip.



37 Blockschaltbild eines digitalen Maximalwertspeichers

Die digitale Baugruppe besteht aus einem freischwingendem Oszillator (Schmitt-Trigger-Gatter V 4093) der einen 8-Bit-Binärzähler V 4520 D über ein Tor ansteuert. Die Taste T aktiviert die gesamte Schaltung (Taste geschlossen) nach einem Rücksetzen (Taste offen). Ist die Eingangsspannung (U_{in}) kleiner als die Ausgangsspannung (U_{out} der Spannung die vom Zählerzustand und dem DAC(C 5650 D) erzeugt wird) so gibt der Komparator ein „ H “ Signal ab. Dieser schaltet über die beiden Gatter des V 4093 D das Tor am Binärzähler auf.

Der Zähler erhöht seinen Zählerzustand solange bis über dem D/A-Wandler mit dem Ausgangsspannung - OPV die $U_{in} < U_{out}$ wird. Dann schaltet der Komparator auf „ L “ und sperrt das Tor am Binärzähler. Der maximale Wert bleibt solange stehen bis $U_{in} > U_{out}$ wird. Danach schaltet der Komparator wieder auf „ H “ und die Ausgangsspannung erhöht sich wieder.

Wird für den Binärzähler (zählt vorwärts) ein Rückwärts-Zähler verwendet (z.B. 2 x V 4029) und die Komparatoreingänge vertauscht, so arbeitet die Schaltung als Minimalwertspeicher.

Die Einstellregler R 1 und R 2 gleichen die Schaltung im Nullpunkt und Endwert ab.

8.10. Programmierbarer Grenzwertmelder

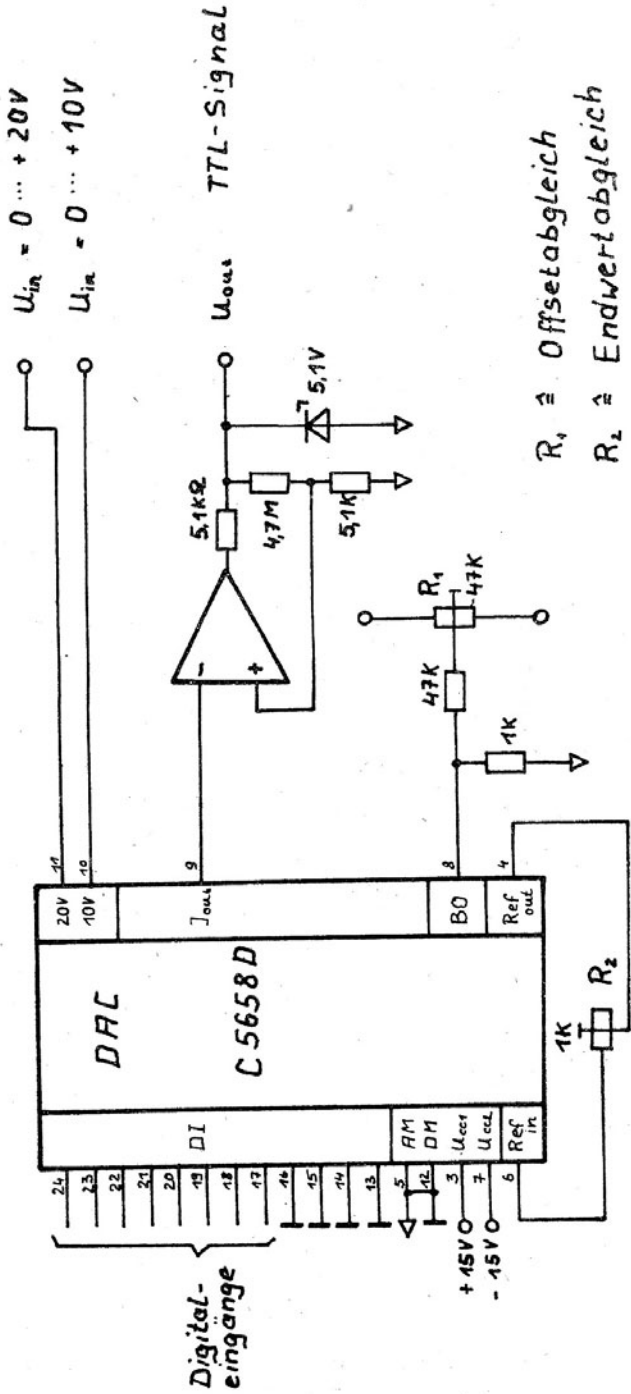
Grenzwertüberschreitungen in verschiedenen, größeren Überwachungssystemen (z.B. Temperatur) lassen sich effektiv mit Mikroprozessoren verarbeiten. Um die Anlagen optimal zu nutzen, müssen sich die Grenzwerte auch digital programmieren lassen. Eine diesen Anwendungsfällen genügende D/A-Wandler-Schnittstelle zeigt Bild 39.

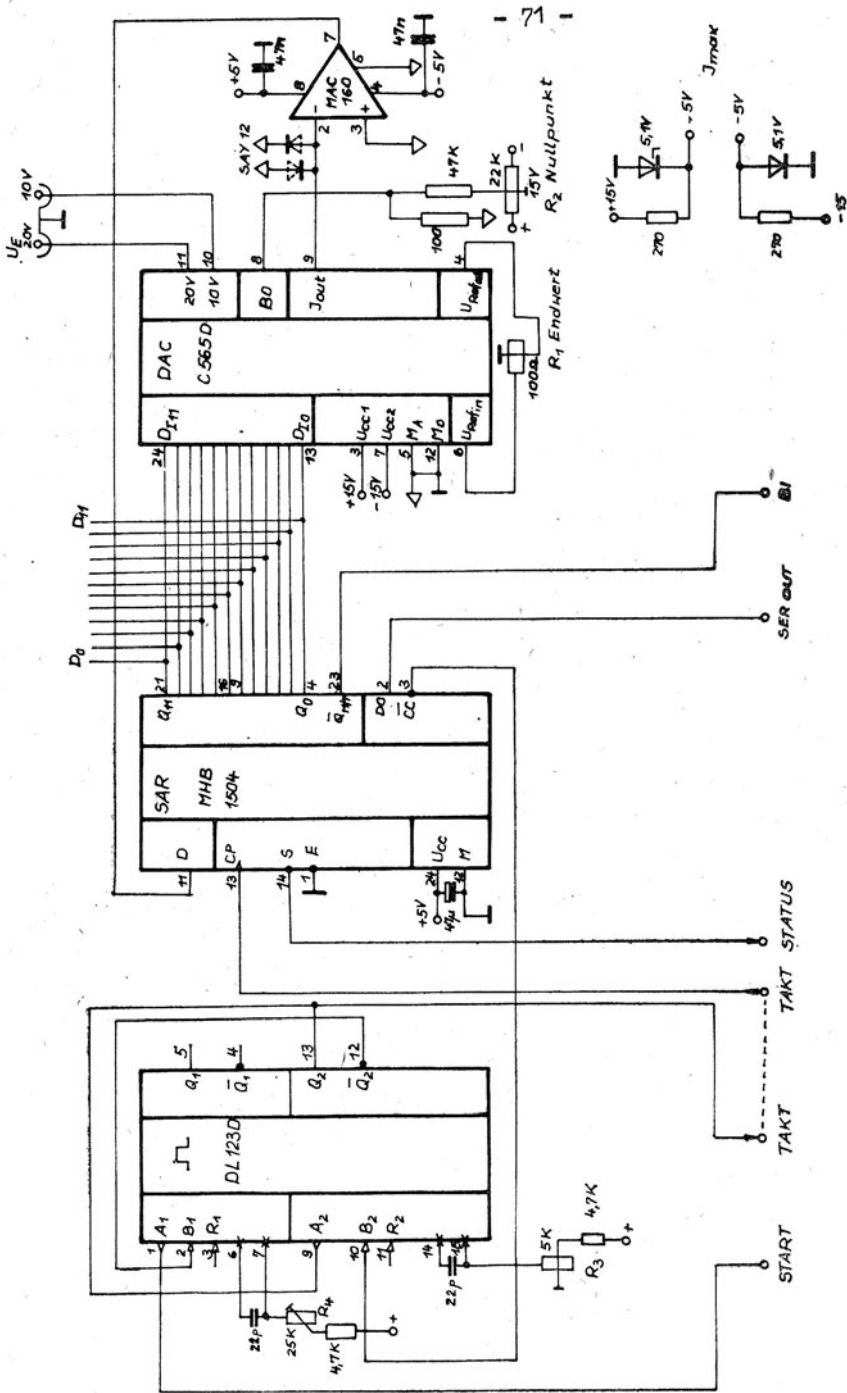
Der Eingangsspannungsbereich ist im angegebenen Beispiel $U_{in} = 0 \dots + 10/20$ V. Als Ausgangssignal steht ein TTL- oder + 5 V - CMOS - Pegel zur weiteren Verarbeitung zur Verfügung.

Der Offset- und Endwertabgleich wird durch R_1 und R_2 gewährleistet.

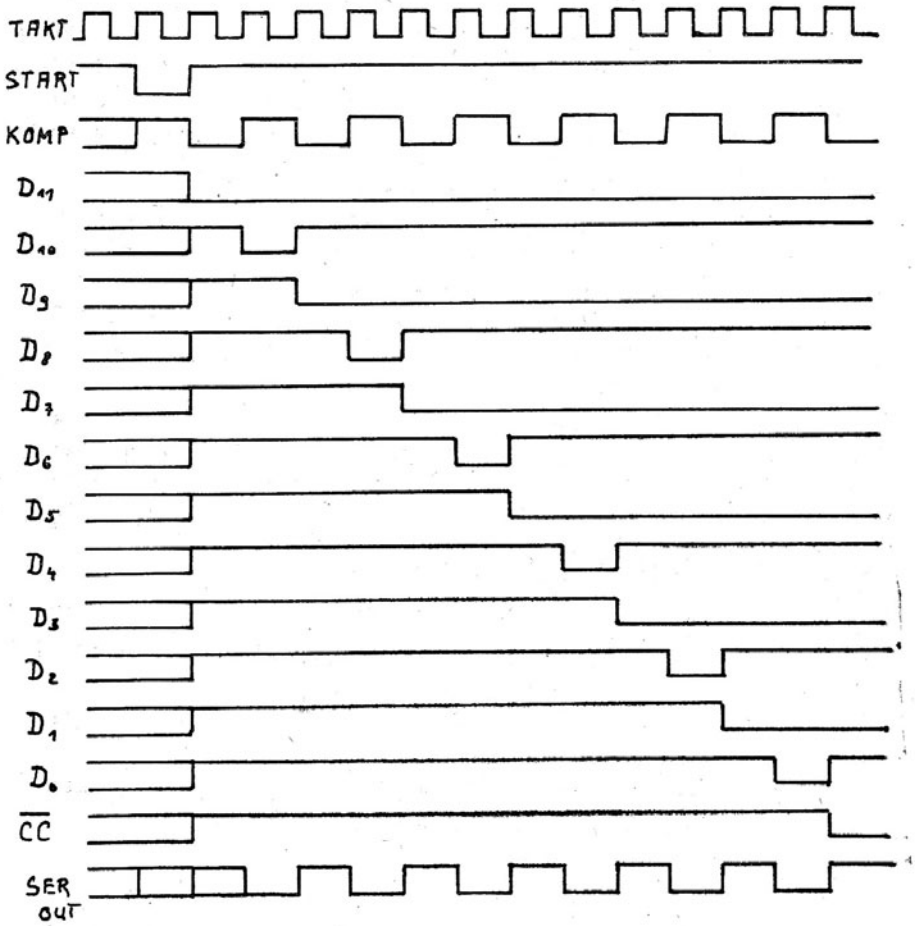
8.11. Schneller 12 Bit - A/D-Wandler

Für die Realisierung von A/D-Wandlern gibt es derzeit eine große Anzahl von Verfahren. Bei schnellen A/D-Wandlern mit mittlerer - und hoher Auflösung (8 - 12 Bit) hat sich das „ Wandlungsverfahren mit sukzessiver Approximation “ durchgesetzt.





40 12 Bit A/D-Wandler



Das Prinzip beruht auf einer schrittweisen Annäherung des rückgewandelten Digitalwertes an die Eingangsspannung. Die verwendete Schrittweite ist variabel und wird von Stufe zu Stufe um die Hälfte verringert.

Der erste Impuls setzt alle Registerbits zurück. Mit dem zweiten Impuls wird das MSB eingeschaltet. Die am Ausgang des DAC entstandene Spannung wird mit dem Eingangssignal verglichen und je nach Ergebnis (größer oder kleiner) wird das Bit im Register gesetzt oder zurückgesetzt.

Mit dem 3. Impuls wird das MSB/2 - Bit gesetzt und in gleicher Weise wie das MSB - Bit verarbeitet. Dieser Vorgang wiederholt sich bis alle Bits des Registers abgearbeitet sind.

In der DDR derzeit verfügbare A/D-Wandler sind C 570 D und C 571 D, die nach diesem Verfahren arbeiten. Sie besitzen eine Genauigkeit von 8 - und 10 Bit.

Im Bild 40 wird ein schneller A/D-Wandler gezeigt der eine Auflösung von 12 Bit besitzt. Die beiden Eingangsspannungsbereiche von $U_E = 0 \dots + 10$ bzw. $0 \dots + 20$ V sind frei wählbar.

Der Takt kann extern oder durch die IS DL 123 D dem SAR (Sukzessives-Approximations-Register) zugeführt werden.

Der Nullpunkt (- und Endwertabgleich des A/D-Wandlers wird mit den Spindelreglern R_2 und R_1 vorgenommen.

Mit R_3 und R_4 kann die Umsetzgeschwindigkeit des ADC optimiert werden.

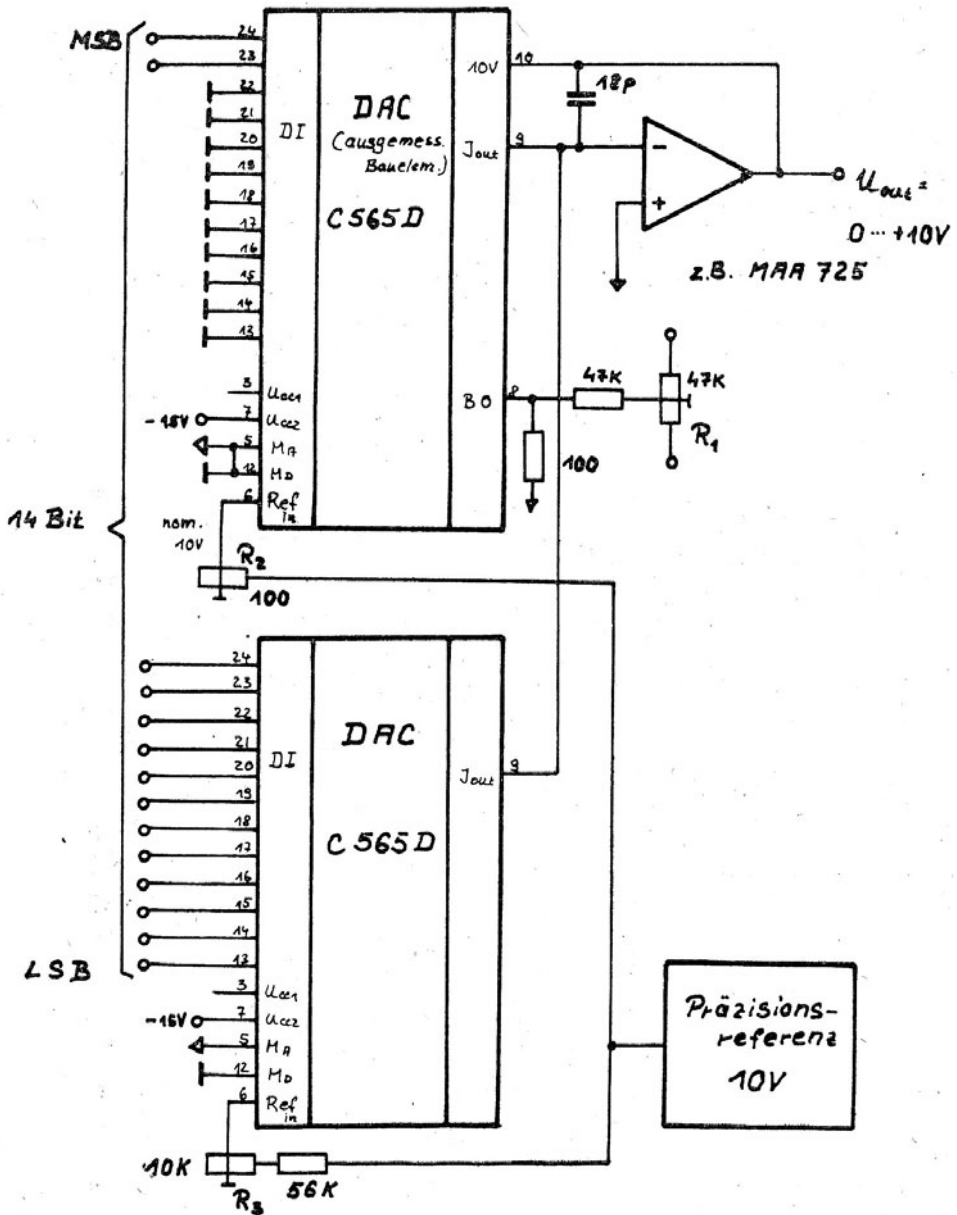
Der zeitliche Ablauf mit den entsprechenden Ausgangssignalen (z.B. Status) zeigt Bild 41.

8.12. 14 - Bit - D/A-Wandler mit C 565 D

Die Grundgenauigkeit (Linearität) des C 565 D beträgt bei

$\vartheta_a = 25^\circ\text{C}$, $F_L = \pm 1/2$ LSB. Im eingeeengten Temperaturbereich und ausgemessenen Bauelementen kann jedoch mit dem C 565 D ein 14 - Bit-D/A-Wandler realisiert werden. Dabei muß natürlich zuerst nur von 14 - Bit-Monotonie gesprochen werden.

Die dazu optimale Schaltungsanordnung zeigt Bild 42.



Der höchstwertige (ausgemessene) C 565 D arbeitet nur mit den beiden höchstwertigen Bits, und liefert somit das MSB-Bit und das MSB/2 - Bit des 14 Bit - D/A-Wandlers. Die Referenzspannung wird von einer Präzisionsquelle geliefert und beträgt 10 V.

Der „niederwertige“ C 565 D liefert die restlichen 12 Bit zum 14 Bit DAC. Der Ausgangsstrom beträgt 1/4 von dem des ersten DAC's und wird über die entsprechend niedrigere Referenzspannung eingestellt.

Der Abgleich des Gesamtwandlers vollzieht sich in drei Stufen

1. Nullpunktgleich mit R_1 , alle Bits " L " $U_{out} = 0 V$
2. Endwertgleich des höchstwertigen DAC's mit R_2 , Bits des 1. DAC's „ H " Bits des 2. DAC's = „ L " $U_{out} = 7,5005 V$
3. Gesamtgleich mit R_3 , alle Bits „H " $U_{out} = 10.0000 V$

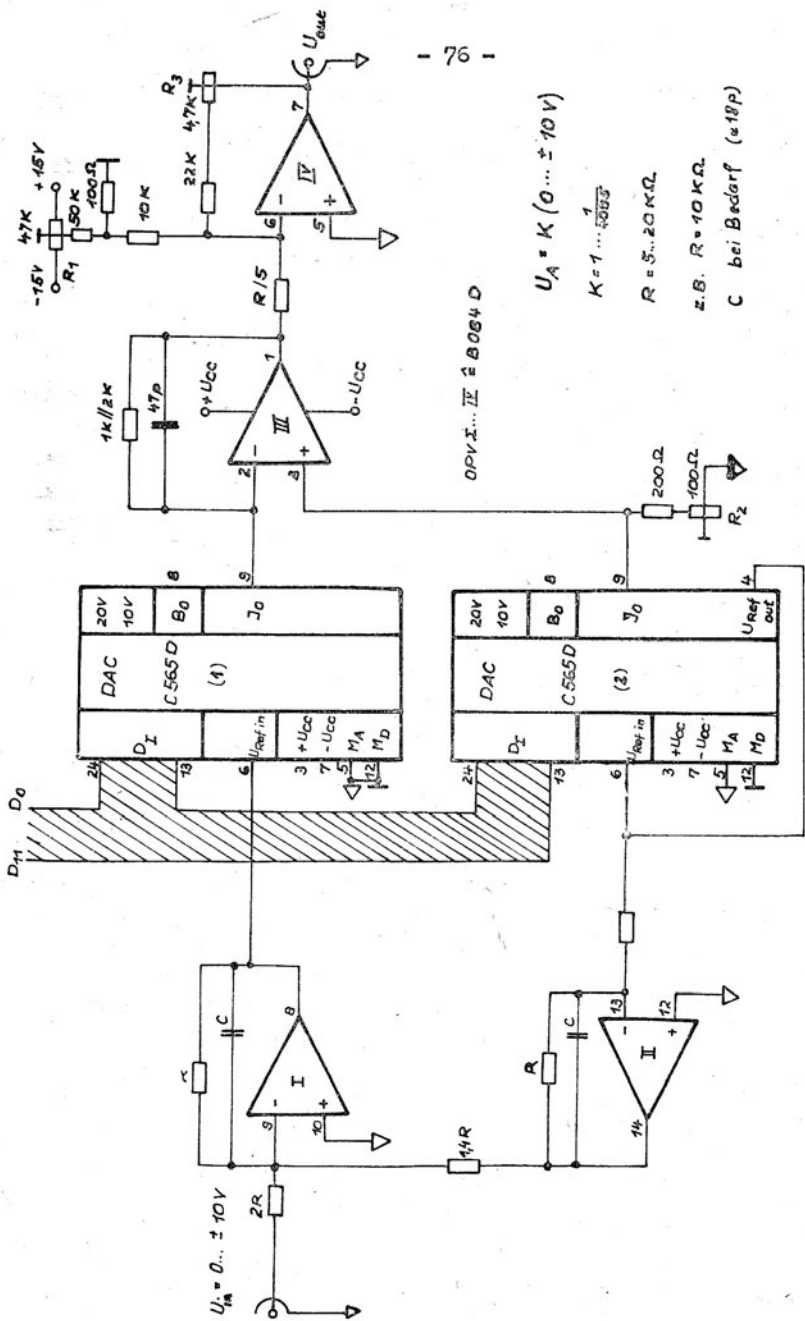
Als Ausgangsspannungs- OPV zur Strom-Spannungswandlung sollte ein der 14 - Bit - Genauigkeit entsprechender Typ verwendet werden (z.B. MAA 725).

8.13. Digitaler Signalabschwächer

Der vorhandene externe Referenzspannungsanschluß des C 565 D erlaubt den multiplizierenden Betrieb des D/A-Wandlers. Bild 43 zeigt ein dimensioniertes Beispiel für den Einsatz des C 565 D in einer Zweiquadrantenmultiplizierschaltung. Da der nutzbare Referenzeingangsspannungsbereich des C 565 D nur 1,5 ... 12 V beträgt muß das bipolare Eingangssignal von $U_{in} = 0 \dots \pm 10 V$ in eine unipolare Spannung von $+ 2 \dots + 12 V$ umgesetzt werden.

Der OPV - I invertiert das Eingangssignal mit $V_u = 0,5$ ($\bullet U_{in} = 0 \dots \pm 5 V$). Gleichzeitig wird dem invertierenden Eingang von OPV- I ein Offsetsignal vom OPV - II aufgeprägt.

Daraus ergibt sich das umgesetzte Singal zu $+ 2 \dots + 12 V$. Das digital - abgeschwächte Eingangssignal vom DAC (1) wird dem OPV III zugeführt. Dieser wandelt den Strom in eine Spannung um. Gleichzeitig bildet er die Differenz mit dem Ausgangssignal von DAC (2). Dieser D/A-Wandler schwächt das Offsetsignal, welches am OPV I zugeführt wurde, gleichzeitig ab.



$U_A = K (0 \dots \pm 10V)$
 $K = 1 \dots 1000$
 $R = 5 \dots 20k\Omega$
 z.B. $R = 10k\Omega$
 C bei Bedarf ($\approx 18p$)

OPV I...IV \approx 8064 D

43 Programmierbarer Signalabschwächer $U_{in} = 0 \dots \pm 10V$,
 $U_{out} = K \cdot U_{in}$

Mit dem OPV IV wird das Signal nochmals invertiert um die richtige Polarität wieder zu erhalten.

Der Abgleich dieses " Dämpfungsstellers " vollzieht sich folgendermaßen:

1. $U_{in} = 0 \text{ V}$, $D_I = LL \dots L$, mit R_1 $U_{out} = 0 \text{ V}$
2. $U_{in} = 0 \text{ V}$, $D_I = HH \dots H$, mit R_2 $U_{out} = 0 \text{ V}$
3. $U_{in} = + 10 \text{ V}$, $D_I = HH \dots H$, mit R_3 $U_{out} = + 10 \text{ V}$

Danach können die Abgleichpunkte gegebenenfalls nochmals kontrolliert werden (bei 12 Bit - Genauigkeit notwendig).

Untersuchungen zeigten, daß NF-Signale (Sinus) bis 20 kHz bei einem Klirrfaktor von $K < 0,1 \%$ problemlos gedämpft werden können. Der Stellumfang ist bei 12 Bit - Genauigkeit mit - 60 dB für die meisten Anwendungen ausreichend.

8.14. Digitaler Multiplizierer mit Analogausgang

Bild 44 zeigt eine Schaltung in der zwei digitale Werte X_1 und X_2 miteinander multipliziert werden können.

Der zweite, symbolisch dargestellte Wandler beinhaltet die Schaltung von Bild 43, da der notwendige Referenzeingangsspannungsbereich des C 565 D nicht ausreicht.

Er liefert mit dem Ausgangs - OPV eine Spannung, die dem Produkt der Eingangsspannung und des digitalen Wertes X_2 entspricht.

$$U_{\text{out}} = U_{\text{in}} \cdot X_2$$

Die Eingangsspannung ist jedoch die Ausgangsspannung des ersten D/A-Wandlers

$$U_{\text{in}} = X_1 \cdot U_{\text{Ref}}$$

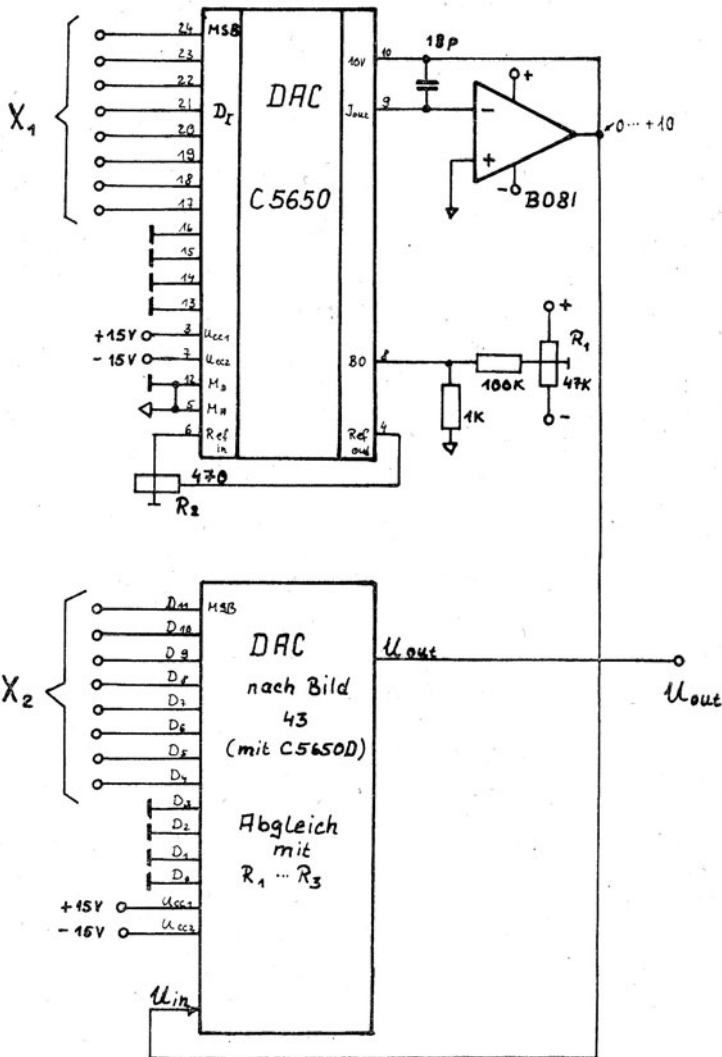
Die gesamte Übertragungsfunktion ergibt sich somit zu

$$U_{\text{out}} = X_1 \cdot X_2 \cdot U_{\text{Ref}}$$

Die Schaltung bildet somit das Produkt von zwei Binärzahlen und stellt das Ergebnis in analoger Form dar.

Der Abgleich erfolgt zuerst beim 1. D/A-Wandler (Offset und Endwert mit R_1 und R_2). Danach der 2. D/A-Wandler entsprechend Abschnitt 8.13.

Die Genauigkeit des Ausgangssignals (Produkt aus X_1 und X_2) entspricht selbstverständlich nur der Genauigkeit der D/A- Wandler selbst (8 Bit). Die Auflösung (Stufung) beträgt hingegen 16 Bit (8 Bit + 8 Bit).



8.15. Digitaler Funktionsgenerator

Die kleinen Einschwingzeiten der D/A-Wandler erlauben es mit schnellen OPV's einen digital - steuerbaren Funktionsgenerator aufzubauen.

Die eigentliche Funktion wird auf digitale Weise von der Ansteuer-einheit an den D/A-Wandler gelegt.

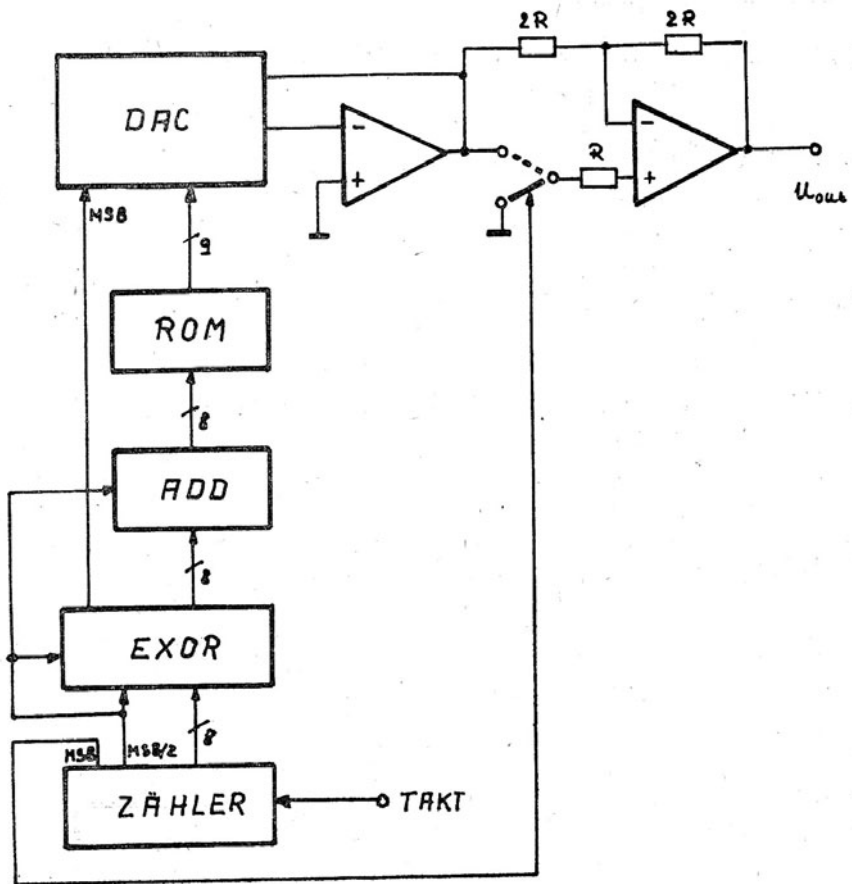
Beinhaltet die Ansteuereinheit einen binären Zähler so ergibt sich am Ausgang eine Rampenfunktion. Mit einem Vorwärts - Rückwärts Zähler und entsprechender Steuerung, kann eine Dreiecksspannung erzeugt werden. Diese Spannung muß beim Erreichen des maximalen Zählerstandes auf Rückwärtszählen und beim minimalen Zählerstand wieder auf Vorwärtszählen umschalten.

Sollen beliebige Funktionen realisiert werden, so sind die Funktionen in einem ROM, PROM oder EPROM zu speichern. Die Ansteuerung kann im einfachsten Fall durch einen Zähler erfolgen.

Im Bild 45 ist das Blockschaltbild eines Sinusgenerators mit ROM dargestellt /18/.

Die Kurvenform der Ausgangsspannung ist im ROM enthalten. Die Ausgangsfrequenz des Signals ist von der Taktfrequenz am Zähler und von Breite des digitalen Wertes für den D/A-Wandler abhängig. Ist die Kurvenform wie beim Sinus symmetrisch, so kann die Größe des Speichers reduziert werden, indem nur ein Quadrant kodiert wird. Die restlichen Quadranten werden durch arithmetische Umformungen erzeugt.

Soll eine Sinus Schwingung durch ein 10 - Bit-Wort beschrieben werden, so bestimmen die ersten beiden Bits des Zählers (MSB - Bit und MSB/2 - Bit) den Quadranten und die damit anzuwendende Umformung. Mit einem EXOR - Verknüpfung und einer Additionsschaltung lassen sich die entsprechenden Umwandlungen durchführen.



45 Blockschaltbild eines ROM - Sinusgenerators

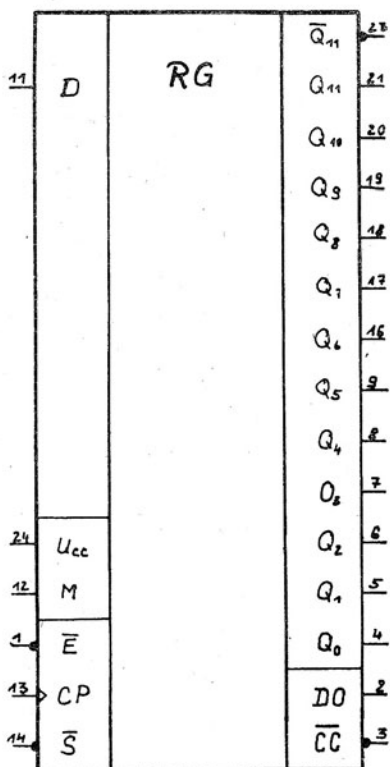
9. Literaturverzeichnis

- /1/ „ Analog - Digital - Conversion Notes "
Daniel H. Sheingold
Analog Devices, USA, 1977
- /2/ „A/D - D/A-Wandler - Bausteine der Datenerfassung
herausgegeben von E. Heilmayr
Haar bei München, Verlag Markt und Technik, 1982
- /3/ „ Transducer Interfacing Handbook "
Daniel H. Sheingold
Analog Devices, USA, 1980
- /4/ „ 8-, 10- und 12-Bit D/A-Wandlerschaltkreise
M. Kulesch, H. Zinke
XI. Mikroelektronik Bauelementesymposium Frankfurt(Oder),
1985
- /5/ „ Digital/Analog - Wandler - Grundlagen und Anwendung "
Technische Informationen für die Industrie 79 1221, Valvo
Dez. 1979
- /6/ Fachbereichstandard C 565 D, C 565 D1, C 5650 D, C 5658 D
TGL 43 159 , September 1985
- /7/ Informationsblatt C 5658 D, 5/85
- /8/ Informationsblatt C 565 D, C 565 D1, C 5650 D und C 5658 D
11/85
- /9/ „ Digital/ Analog - Umsetzung "
Funkschau Arbeitsblatt
Heft 26/1983 und 1/1984
- /10/ „ Wirkungsweise und Anwendungen von A/D- und D/A-Wandlern "
Elektronik - Applikation, Heft 6/1983 S. 34 - 37
- /11/ „ Gleitkomma - D/A-Wandler verringert Quantisierungsfehler "
Dipl.-Ing. G. Heinle
Elektronik, Heft 3/1982 S. 78 - 80
- /12/ IEC-Dokument, Techn. Komitee Nr. 47, Semiconductor
Devices und Integrated Circuits, Juni 1982
„ Conversion terms for linear and nonlinear analogue - to -
digital Converters and digital-to-analogue Converters

- /13/ „ Präzisions - A/D und Präzisions- D/A-Umsetzung
Dr. W. Fiegenbaum
rfe Heft 7/1981, S. 416 - 421 und Heft 8/1981 S. 517 - 522
- /14/ „ D/A-Wandler mit geringem Linearitätsfehler "
Dr. W. Fiegenbaum
rfe Heft 5/1982 S. 294 - 298
- /15/ „ D/A-Wandler für Audio "
Dipl.-Ing. H. Bakenhus
Funkschau Heft 13/1981 S. 50 - 52
- /16/ „ B 511 N/ B 589 N - Integrierte Schaltungen für eine
Kostengünstige Temperaturerfassung.
H. Zinke
XI. Mikroelektronik Bauelementesymposium Frankfurt (O,) 1985
- /17/ „ Extremwertspeicher "
Ing.(grad.) H.J. Fengler
Elektronik Heft 10/1981, S. 103
- /18/ Komplexe Kurvenformen mit D/A-Umsetzern erzeugt.
übersetzt und überarbeitet von Dipl.-Ing. W. Taetow
Elektronik Heft 3/1982, S. 81 - 84
- /19/ Fachbereichsstandard
Integrierte Halbleiterschaltkreise
Begriffe, Kurzzeichen und Definitionen für Wandlerbauelemente
TGL 38 393 Entwurf Dez. 1985

10. Anhang : Importbauelemente CSSR

MHB 1504, MHC 1504 - Aproximationsregister für 12 Bit



- D Dateneingang
- CP Takteingang
- S Starteingang
- Q_{0..11} parallele Datenausgänge
- Q₁₁, Q₁₁ Datenausgänge
- D₀ serieller Datenausgang
- C_C Ausgang für Wandlungsende
- E Sperreingang

Grenzdaten

		min.	max.	
U _{CC}		-0,5	+ 7,0	V
U _I		-0,5	+ 5,5	V
U _O		-0,5	+ 5,5	V
I _O			30	mA
I _I		-30	+ 5	mA
θ _a	MHB 1504	0	+ 70	°C
θ _a	MHC 1504	-55	+ 125	°C
θ _{stg}		-55	+ 155	°C

<u>Betriebsbedingungen</u>		min.	typ.	max.	
U_{CC}	MHB 1504	4,75	5,0	5,25	V
	MHC 1504	4,5	5,0	5,5	V
f_C (Taktfrequenz)				15	MHz

Kenndaten falls nicht anders angegeben

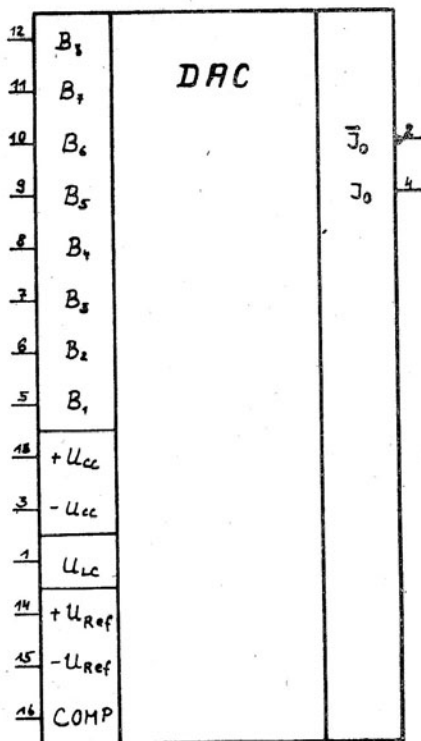
MHB 1504 $U_{CC} = 4,75 \dots 5,25 \text{ V}$, $\vartheta_a = 0 \dots + 70 \text{ }^\circ\text{C}$
MHC 1504 $U_{CC} = 4,5 \dots 5,5 \text{ V}$, $\vartheta_a = -55 \dots + 125 \text{ }^\circ\text{C}$

<u>Statische Daten</u>		min.	typ.	max.	
Eingangsspannung jeder Eingang	U_{IL}			0,8	V
Eingangsspannung jeder Eingang	U_{IH}	2,0			V
Ausgangsspannung	U_{OH}	2,4			V
$U_{CC} = \text{min.}, U_{IH} = 2,0\text{V}, I_{OH} = 0,48 \text{ mA}$					
Ausgangsspannung	U_{OL}			0,4	V
$U_{CC} = \text{max.}, U_{IL} = 0,8\text{V}, I_{OL} = 9,6 \text{ mA}$					
Eingangsstrom Eingang CP, D	I_{IH}			40	μA
$U_{CC} = \text{max.}, U_{IH} = 2,4\text{V}, \text{Eingang S, E}$					
	I_{IH}			80	μA
$U_{CC} = \text{max.}, U_{IH} = 5,5 \text{ V restl. Eingänge}$					
	I_{IH}			1000	μA
Eingangsstrom Eingang CP, D, S	$-I_{IL}$			1,6	mA
$U_{CC} = \text{max.}, I_{IL} = 0,4\text{V}$ Eingang E					
	$-I_{IL}$			2,4	mA
restl. Eingänge					
	$-I_{IL}$			2,4	mA
Ausgangskurzschlußstrom	$-I_{OS}$	10		45	mA
$U_{CC} = \text{max}$					
Stromaufnahme MHB 1504	I_{CC}			124	mA
MHC 1504	I_{CC}			110	mA
Eingangsklemmspannung	$-U_K$			1,5	V
$U_{CC} = \text{min.}, I_I = -12 \text{ mA}$					

Dynamische Daten

Verzögerungszeit vom Eingang CP	t_{PHL}	10		45	ns
auf Ausgänge	t_{PLH}	10		45	ns
$U_{CC} = 5 \text{ V}, \vartheta_a = 25^\circ\text{C}, C_L = 15 \text{ pF}$					
Verzögerungszeit von CP auf Q_{11}, \bar{Q}_{11}	$t_{PLH}(Q_{11})$	10		50	ns
von E auf Q_{11}	$t_{PLH}(E)$			23	ns

MDAC 08 C, MDAC 08 CC, MDAC 08 EC - 8 Bit D/A-Wandler



- $B_1 \dots B_8$ Digitalausgänge
- C Kompensation
- U_{IC} Kontrolleingang
- U_{Ref+} pos. Referenzeingang
- U_{Ref-} neg. Referenzeingang
- I_0 Analogausgang
- \bar{I}_0 invertierter Analogausgang
- $+U_{CC}$ pos. Betriebsspannung
- $-U_{CC}$ neg. Betriebsspannung

Grenzdaten

$+U_{CC} \dots -U_{CC}$

U_I

U_{IC}

$U_{Ref} (+, -)$

$U_{Diff.}$ (Pin 14, 15)

I_0

I_{Ref}

P_{tot}

ϑ_a

ϑ_a

ϑ_a

ϑ_{stg}

MDAC 08 C

MDAC 08 CC

MDAC 08 EC

min.

max.

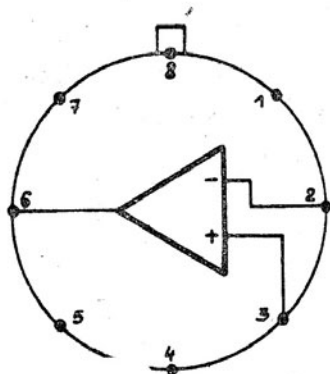
	36	V	
	$-U_{CC}$	$+36$ V	
$-U_{CC}$	$+U_{CC}$	V	
$-U_{CC}$	$+U_{CC}$	V	
-18	+18	V	
	5	mA	
	5	mA	
	500	mW	
	-55	+125	$^{\circ}C$
	0	+70	$^{\circ}C$
	0	+70	$^{\circ}C$
	-55	+155	$^{\circ}C$

Kenndaten falls nicht anders angegeben $U_{CC} = \pm 15 \text{ V}$, $\vartheta_a = 25^\circ\text{C}$

		min.	typ.	max.
Stromaufnahme	$+I_{CC}$			
$U_{CC} = +5 \text{ V}$, $I_{Ref} = 1 \text{ mA}$			3,2	4 mA
$U_{CC} = +15 \text{ V}$, $I_{Ref} = 2 \text{ mA}$			3,5	4 mA
Stromaufnahme	$-I_{CC}$			
$U_{CC} = +5 \text{ V}$, $I_{Ref} = 1 \text{ mA}$			5,0	6 mA
$U_{CC} = +15 \text{ V}$, $I_{Ref} = 2 \text{ mA}$			7,2	8 mA
Eingangsstrom	$-I_{IL}$			
$U_{IL} = -10 \dots +0,8 \text{ V}$			5	10 μA
Eingangsstrom	I_{IH}			
$U_{IH} = +2 \dots +18 \text{ V}$			0,01	10 μA
Ausgangsstrombereich	I_{FS}			
$I_{Ref} = 2 \text{ mA}$		1,94	1,99	2,04 μA
Ausgangsstromdifferenz	ΔI_{FS}		$\pm 0,1$	$\pm 8 \mu\text{A}$
$I_{Ref} = 2 \text{ mA}$ MDAC 08 CC	ΔI_{FS}		$\pm 0,2$	$\pm 16 \mu\text{A}$
Ausgangsreststrom	I_{ZS}		$\pm 0,1$	$\pm 2 \mu\text{A}$
$I_{Ref} = 2 \text{ mA}$ MDAC 08 CC	I_{ZS}		$\pm 0,2$	$\pm 4 \mu\text{A}$
Linearität	NL			$\pm 0,19 \% \text{ FS}$
$I_{Ref} = 2 \text{ mA}$				$\pm 0,39 \% \text{ FS}$
	MDAC 08 CC			
diff. Nichtlinearität	DNL			$\pm 1 \text{ LSB}$
Betriebsspannungsempfindlichkeit	E_{FS}		$\pm 0,002$	$\pm 0,01 \% / U_{CC}$
Einschwingzeit	t_s		85	150 ns
$I_O - 1/2 \text{ LSB}$				
Schaltverzögerung	t_p		35	60 ns
Flankensteilheit	S		8	4 mA/ μs

MAA 725 , MAA 725 H, MAA 725 B,
MAA 725 J, MAA 725 C, MAA 725 K

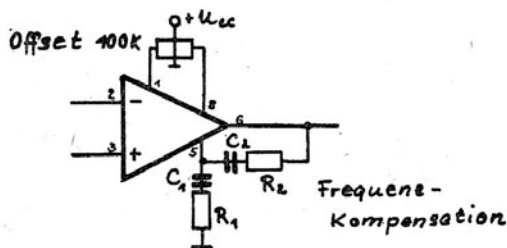
- Präzisions - OPV



Pin

- 1 Offsetkompensation
- 2 invertierender Eingang
- 3 nichtinvertierender Eingang
- 4 $-U_{CC}$
- 5 Frequenzkompensation
- 6 Ausgang
- 7 $+U_{CC}$
- 8 Offsetkompensation

Ansicht von unten



Grenzdaten

		min.	max.	
Betriebsspannung	MAA 725, 725B, 725C MAA 725H, 725J, 725K	± 3	± 22	V
Differenzeingangsspannung		± 3	± 15	V
	MAA 725, 725B, 725C		± 22	V
	MAA 725H, 725J, 725K		± 15	V
Eingangsspannung	MAA 725, 725B, 725C MAA 725H, 725J, 725K	± 20	± 13	V
Gesamtverlustleistung			500	mW
Betriebstemperaturbereich				
	MAA 725, 725 H	-55	+125	°C
	MAA 725 B, 725 J	-20	+ 85	°C
	MAA 725 C, 725 K	0	70	°C
Lagertemperaturbereich		-65	+150	°C

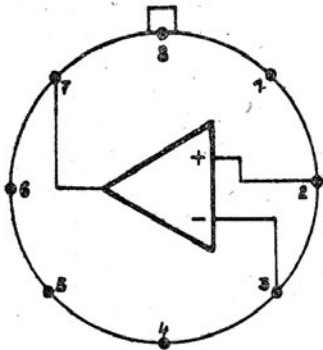
Kenndaten falls nicht anders angegeben $V_a = 25^\circ\text{C}$

U_{CC} für MAA 725, 725B, 725C = ± 15 V

U_{CC} für MAA 725H, 725J, 725K = ± 12 V

		MAA 725		MAA 725 B		MAA 725 C	
		min.	typ.	max.	min.	typ.	max.
Eingangsoffsetspannung $R_E = 10$ kOhm	U_{IO}	0,5	1	0,5	1,5	0,7	2,5mV
Eingangsoffsetstrom	I_{IO}	2	20	3,2	20	6,5	35 nA
Bias-Strom	I_{IB}	53	100	68	100	80	125nA
effektive Eingangs- rauschspannung ($f = 10$ Hz... 15kHz)	$U_{In\ eff}$	1		1		1	μ V
Eingangswiderstand $f = 1$ kHz	R_I	1,5		1,5		1,5	MOhm
Eingangsspannungsbereich	U_I						
MAA 725, 725B, 725C		± 14	13,5	± 14	13,5	± 14	13,5 V
MAA 725H, 725J, 725K		± 11	10,5	± 11	10,5	± 11	10,5 V
Leerlauf-Spannungsver- stärkung	A_u						
$R_L = 2$ kOhm, MAA 725,725B,725C		3	1	3	0,5	3	0,25
$U_O = \pm 10$ V, MAA 725H,725J, 725K		3	1	2,4	0,5	2	0,25
							10^6
							10^6
Gleichtaktunterdrückung	CMR						
$R_E \approx 10$ kOhm		120	110	120	100	120	94 dB
Betriebsspannungsunter- drückung	SVR						
$R_E \approx 10$ kOhm, MAA 725,725B,725C		4	10	4	10	9	35 μ V/V
MAA 725H,725J,725K		4	10	6	10	9	35 μ V/V
Ausgangswiderstand $f = 1$ kHz	R_O	150		150		150	Ohm
Leistungsverbrauch	P						
MAA 725,725B,725C		85	105	90	120	95	150 mW
MAA 725H,725J,725K		55	75	60	90	60	120 mW

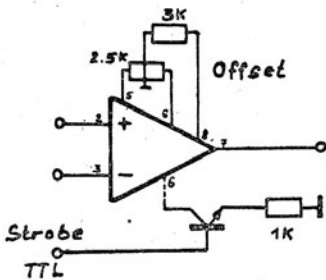
MAC 111, MAB 311 - Präzisionsspannungs Komparator



Ansicht von unten

Pin

- 1 Masse
- 2 nichtinvertierender Eingang
- 3 invertierender Eingang
- 4 $-U_{CC}$
- 5 Offsetabgleich
- 6 Offsetabgleich/Strobe
- 7 Ausgang
- 8 $+U_{CC}$



Grenzwerte

		min.	max.	
pos. Betriebsspannung	$+U_{CC}$		+ 18	V
neg. Betriebsspannung	$-U_{CC}$		- 18	V
Eingangsdifferenzspannung	U_{ID}		± 30	V
Spannung Pin 7, 4	MAC 111		50	V
	MAB 311		40	V
Spannung Pin 1,4	$U_{1,4}$		30	V
max. Verlustleistung	P_{tot}		500	mW
max. Kurzschluß	K		10	S
Betriebstemperaturbereich	MAC 111	ϑ_a	-55	+125 °C
	MAB 311		0	+ 70 °C
Lagertemperaturbereich	ϑ_{stg}		-55	+125 °C

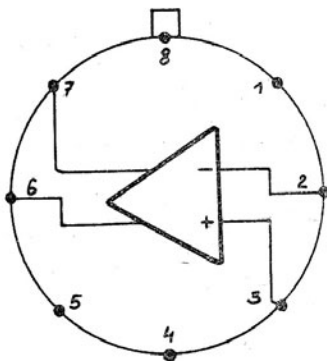
Kenndaten falls nicht anders angegeben $U_{CC} = \pm 15 \text{ V}$, $\vartheta_a = 25^\circ\text{C}$

		MAC 111		MAB 311		
		min.	typ. max.	min.	typ.	max.
Eingangsoffsetspannung $R_S = 50 \text{ k}\Omega$	U_{IO}	0,7	3,0	2,0	7,5	mV
Eingangsoffsetstrom	I_{IO}	4,0	10	6,0	50	nA
Bias-Strom	I_{IB}	60	100	100	250	nA
Ausgangssättigungs- spannung $U_I = - 5 \text{ mV}$	I_{Osat}	0,75	1,5	0,75	1,5	V
Spannungsverstärkung $U_O = 1 \dots 14 \text{ V}$, $R_L = 15 \text{ k}\Omega, R_B = 50 \text{ k}\Omega$	A_u	200	40	200	40	$\cdot 10^3$
Ausgangsreststrom $U_I = + 5 \text{ mV}$	I_{Ooff}	0,2	10	0,2	10	nA
pos. Eingangsspannungs- bereich	$+U_{Imax}$	13,8	13,0	13,8	13,0	V
neg. Eingangsspannungs- bereich	$-U_{Imax}$	14,7	14,5	14,7	14,5	V
pos. Betriebsstrom $U_I = + 12 \text{ V}$	$+I_{CC}$	5,1	6,0	5,1	7,5	mA
neg. Betriebsstrom $U_I = - 12 \text{ V}$	$-I_{CC}$	4,1	5,0	4,1	5,0	mA

Informationsdaten

Verzögerungszeit $\vartheta_a = 25^\circ\text{C}$, $U_{CC} = \pm 15 \text{ V}$	t_d	200		200		ns
Stoß Ströme $\vartheta_a = 25^\circ\text{C}$, $U_{CC} = \pm 15 \text{ V}$	I_S	3		3		mA

MAC 160 , MAB 360 - Schneller Spannungskomparator



Pin

- 1 nicht belegt
- 2 invertierender Eingang
- 3 nichtinvertierender Eingang
- 4 $-U_{CC}$
- 5 Masse
- 6 invertierter Ausgang
- 7 nichtinvertierter Ausgang
- 8 $+U_{CC}$

Ansicht von unten

Grenzwerte

		min.	max.	
pos. Betriebsspannung	$+U_{CC}$		+ 8	V
neg. Betriebsspannung	$-U_{CC}$		- 8	V
Eingangsdifferenzspannung	U_{ID}		± 15	V
Eingangsspannung	U_I		± 8	V
Ausgangsstrom	I_O		20	mA
Betriebstemperaturbereich	ϑ_a			
	MAC 160	-55	+125	°C
	MAB 360	0	+ 70	°C
Lagertemperaturbereich	ϑ_{stg}	-55	+155	°C

Kenndaten falls nicht anders angegeben $U_{CC} = \pm 6,5 \text{ V}$

		min.	typ.	max.	
pos. Betriebsspannung	$+U_{CC}$	4,5	5	6,5	V
neg. Betriebsspannung	$-U_{CC}$	-4,5	5	-6,5	V
Eingangsoffsetspannung	U_{IO}		2,0	5,0	mV

$R_S = 200 \text{ Ohm}$

		min.	typ.	max.	
Eingangsoffsetstrom	I_{IO}		0,5	3,0	μA
Bias-Strom	I_{IB}		5,0	20	μA
Eingangsspannung	U_I		$\pm 4,5$	$\pm 4,0$	V
Eingangsdifferenzspannung	U_{ID}			$\pm 5,0$	V
pos. Betriebsstrom	I_{CC}		18	32	mA
neg. Betriebsstrom	$-I_{CC}$		9	16	mA
Ausgangsspannung	U_{OH}	2,4	3,0		V
$I_O = -320 \mu\text{A}$					
Ausgangsspannung	U_{OL}		0,25	0,4	V
Verzögerungszeit 1)	t_{d1}		13	25	ns
$U_{CC} = \pm 5\text{V}$, $\vartheta_a = 25^\circ\text{C}$ 2)	t_{d2}		12	20	ns

1) Verzögerungszeit gemessen vom 50 % Punkt eines 30 mV - 10 MHz Sinussignals am Eingang zum 50 % Punkt am Ausgang

2) Verzögerungszeit gemessen vom 50 % Punkt eines 2 V - 10 MHz Sinussignals am Eingang zum 50 % Punkt am Ausgang

Informationsdaten

		min.	typ.	max.	
Ausgangswiderstand	R_O		100		Ohm
Eingangswiderstand	R_I		17		kOhm
$f = 1 \text{ MHz}$					
Eingangskapazität	C_I		3		pF
$f = 1 \text{ MHz}$					
Temperaturkoeffizient der Eingangsoffsetspannung			8		$\mu\text{V/K}$
Temperaturkoeffizient des Eingangsoffsetstromes			7		$\mu\text{A/K}$

Informations- und Applikationshefte „MIKROELEKTRONIK“

- Heft 1: A 210 und A 211 (6 W- und 1 W-Verstärker)
- Heft 2: A 301 (Initiator-IS)
- Heft 3: A 290 (Stereo-Dekoder IS)
- Heft 4: A 202 (Verstärker-IS für Tonbandgerät)
- Heft 5: A 244 und A 281 (AM-Empfänger-IS und AM-FM-ZF-Verst.)
- Heft 6: Importbauelemente RGW (IS)
- Heft 7: A 273 und A 274 (Stereo-Höh.- und Tiefen-Einst.)
- Heft 8: Importbauelemente RGW (Transistoren)
- Heft 9: A 302 (Schwellspannungs-IS) und B 461/B 462 G
- Heft 10: A 277 (LED-Ansteuer-IS)
- Heft 11: B 260 (IS für Schaltnetzteile)
- Heft 12: CMOS – Logik IS
- Heft 13: Leistungselektronik 1 (Grundlagen)
- Heft 14: C 520 (3-Digit-Analog/Digitalwandler)
- Heft 15: D 410 und E 412 (Treiber-IS)
- Heft 16: Leistungselektronik 2
- Heft 17: Leistungselektronik 4 (Arb.-Bereiche)
- Heft 18: Leistungselektronik 3 (Leist.-Transistoren DDR)
- Heft 19: Interface IS
- Heft 20: Übersicht IS des HFO
- Heft 21: Bipolare Op.-Verstärker 1
- Heft 22: Bipolare Op.-Verstärker 2
- Heft 23: B 303 D – B 306 D (Initiator-IS)
- Heft 24: A 225 D (FM-ZF-Verstärker IS)
- Heft 25: Importe IS Teil 1
- Heft 26: Importe IS Teil 2
- Heft 27: A 2030 H/V Integrierter NF-Verstärker
- Heft 28: Transistor – Arrays
- Heft 29: IS – Importe 1
- Heft 30: IS – Importe 2
- Heft 31: D/A-Wandlerfamilie C 565 D

In Vorbereitung:

- MOS-Speicher Teil 3
- Verhalten von CMOS-IS bei elektrostatischen Aufladungen
- Halbleiterventile
- IC C 500er Reihe u. a. m.

Die Hefte 1 bis 16 und Heft 18 sind bereits vergriffen. Heft 17, 19 und 20 können noch bestellt werden. Für die Hefte 21 bis 30 sind nur Komplexbestellungen zu je 10 Titeln möglich.

Schriftliche Bestellungen für Versand nur an:

KAMMER der TECHNIK
Bezirksvorstand Frankfurt (Oder)
1200 Frankfurt (Oder), Ebertusstraße 2

Direktverkauf:

Informationszentrum HFO
1200 Frankfurt (Oder), Karl-Marx-Straße 32

EVP: 4,- M



**elektronik
export·import**

Volkseigener Außenhandelsbetrieb der
Deutschen Demokratischen Republik
DDR - 1026 Berlin, Alexanderplatz 6
Telex: BLN 114721 elei



vob halbleiterwerk frankfurt/oder
im vob kombinat mikroelektronik



KAMMER DER TECHNIK
Vorstand des Bezirksverbandes
Frankfurt (Oder), Ebertusstraße 2
