

Integrierte Schaltkreise



Eigenschaften und Einsatzrichtlinien

**CMOS-Logikbaureihe
V 4000 D**

Applikation

CMOS – Logikbaureihe V4000 D

Heft 1

**Eigenschaften und Einsatzrichtlinien der
CMOS – Logikbaureihe
V4000 D**

vob mikroelektronik · karl marx · erfurt
im vob kombinat mikroelektronik



Inhaltsübersicht

	Seite
1. Vorbemerkungen	3
2. Allgemeines	4
3. Technische Daten der Logikbaureihe V 4000 D	8
3.1. Grenzwerte	8
3.2. Kennwerte und Betriebsbedingungen	9
4. Richtlinien für den Einsatz von CMOS-Schaltkreisen der Baureihe V 4000 D	12
4.1. Betriebsspannungen	12
4.2. Leistungsaufnahme und maximale Verlustleistung	12
4.3. Stromversorgung	13
4.4. Eingänge von CMOS-Schaltkreisen	17
4.5. Ausgänge von CMOS-Schaltkreisen	20
4.6. Einbau- und Lötvorschriften	21
5. Beispiele für Interface-Schaltungen	26
5.1. TTL-Schaltkreise mit angekoppeltem CMOS-Schaltkreis	26
5.2. CMOS-Schaltkreis mit angekoppeltem TTL-Schaltkreis	27
5.3. Operationsverstärker mit angekoppeltem CMOS-Schaltkreis	27
5.4. CMOS-Schaltkreis mit angekoppeltem Bipolartransistor	28
6. Gehäuse der Logikbaureihe V 4000 D	28
7. Hinweise auf Standards	28
8. Zeichenerklärung	29
9. Übersicht über CMOS-Baureihen (Plast-Gehäuse)	30

Nachdruck, auch auszugsweise, nur mit Genehmigung
des Herausgebers!

1. Vorbemerkungen

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers und Gerätekonstruktors. Sie gibt keine Auskunft über Liefermöglichkeit und beinhaltet keine Verbindlichkeit zur Produktion.

Gültige Unterlagen für den Bezug der in dieser Information beschriebenen Schaltkreise sind allein die Typstandards oder die in einem Liefervertrag fixierten Vereinbarungen.

Änderungen der Bauelementeeigenschaften, die dem technischen Fortschritt dienen, behält sich der Halbleiterbauelemente-Hersteller vor.

Anfragen und Hinweise zu technischen Problemen sind zu richten an

veb mikroelektronik "karl marx" erfurt
Abteilung Applikation Bauelemente

5010 E r f u r t

Rudolfstraße 47

2. Allgemeines

Dem internationalen Trend und den Forderungen der Anwenderindustrie nach Einsatz von Schaltkreisen mit möglichst geringer Leistungsaufnahme folgend, wurde im veb mikroelektronik "karl marx" erfurt mit der Entwicklung einer Schaltkreisbaureihe auf der Basis von CMOS-Technologie begonnen. Die Schaltkreise dieser Baureihe V 4000 D entsprechen in ihren wesentlichen Daten denen der international verbreiteten Baureihe 4000 B, die über gepufferte Ausgangsstufen verfügt.

Die wichtigsten Merkmale dieser Logikbaureihe sind:

- großer Betriebsspannungsbereich 3...15 V
- der Maximalwert der Ausgangsimpedanz ist nahezu unabhängig von allen erlaubten Eingangsbelegungen
- nahezu ideale Übertragungskennlinie
- hohe Störsicherheit
- niedrige, einheitliche Eingangekapazität

Als Beispiel zeigt Abb. 1 a das Schaltbild eines Gatters eines 4 x 2 Eingangs-NAND-Schaltkreises aus der Baureihe V 4000 D, des V 4011 D. Vergleichsweise dazu ist in Abb. 1 b das Schaltbild eines NAND-Gatters eines ungepufferten Schaltkreises dargestellt.

Abb. 2 a zeigt die Übertragungskurve eines Gatters V 4011 D bei den Betriebsspannungen $U_{DD} = 5 \text{ V}$, 10 V und 15 V . Vergleichsweise enthält Bild 2 b die Übertragungskurven eines 2-Eingangs-NAND-Gatters einer Baureihe mit ungepufferten Ausgängen. Markante Unterschiede zeigen sich vor allem im Verlauf der Kurven. Während ein gepufferter Schaltkreis wie zum Beispiel der V 4011 D eine fast ideale, rechteckige Übertragungskurve aufweist, deren Übergangszone bei etwa $1/2 U_{DD}$ liegt, ist die Steilheit der Übertragungskurve beim ungepufferten Schaltkreis geringer, wobei sich die Übertragungskurve auf der Abszisse in starker Abhängigkeit von der Anzahl der angesteuerten Eingänge verschiebt (siehe Abb. 2 b). Diese Verschiebung der Übergangszone bewirkt eine Verkleinerung des Störspannungsabstandes. Der statische Störabstand kann für ein negierendes Gatter folgendermaßen bestimmt werden (siehe Abb. 3):

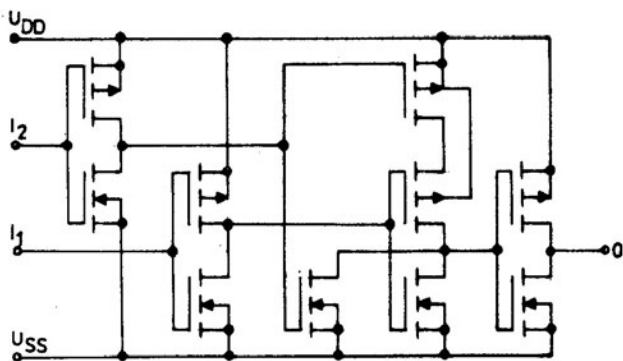


Abb. 1a

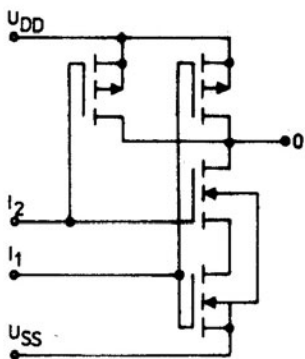


Abb. 1b

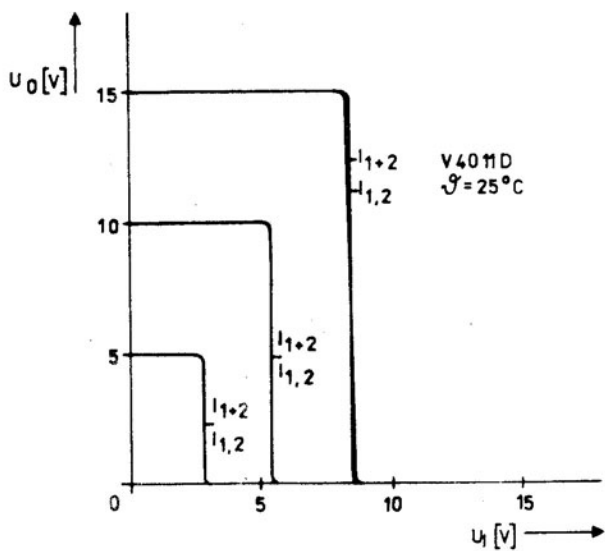


Abb. 2a

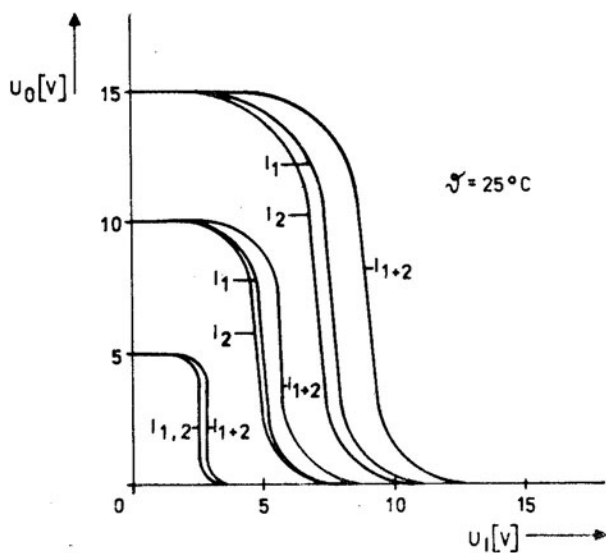


Abb. 2b

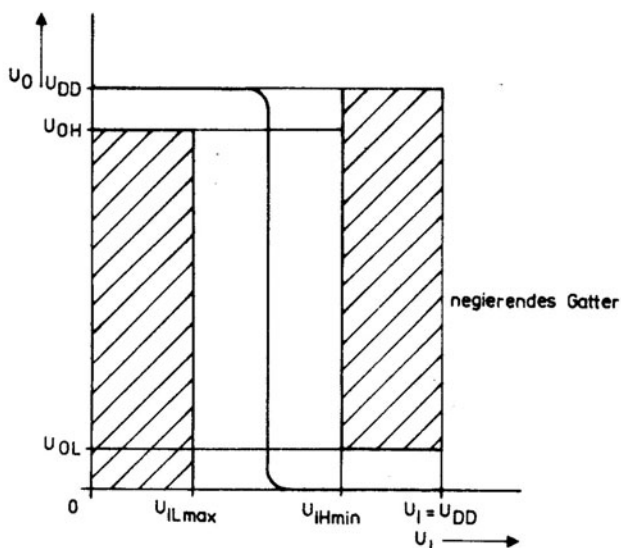


Abb. 3

$$\begin{aligned} \text{Störabstand } /V/ &= U_{IL} - (U_{DD} - U_O) \\ &= (U_{DD} - U_{IH}) - U_O \end{aligned}$$

Aus den Betriebsbedingungen der Schaltkreise der Baureihe V 4000 D gemäß den Typstandards lassen sich damit folgende Werte für den Störabstand errechnen:

U_{DD}	U_{IL}	U_{OH}	Störabstand
5 V	$\leq 1,5 \text{ V}$	4,5 V	1 V
10 V	$\leq 3,0 \text{ V}$	9,0 V	2 V
15 V	$\leq 4,0 \text{ V}$	13,5 V	2,5 V

bzw.

U_{DD}	U_{IH}	U_{OL}	Störabstand
5 V	$\geq 3,5 \text{ V}$	0,5 V	1 V
10 V	$\geq 7,0 \text{ V}$	1,0 V	2 V
15 V	$\geq 11,0 \text{ V}$	1,5 V	2,5 V

Bei der Zusammenschaltung von CMOS-Schaltkreisen der Baureihe V 4000 D treten praktisch wesentlich größere Werte für U_{OH} (4,95 V; 9,95 V bzw. 13,95 V) und wesentlich kleinere Werte für U_{OL} (0,05 V) auf. Für die Einschätzung der statischen Störsicherheit kann man deshalb mit Störabständen rechnen, die annähernd den Werten für U_{IL} bzw. $U_{DD} - U_{IH}$ entsprechen.

3. Technische Daten der Logikbaureihe V 4000 D

Die Mehrzahl der zum Sortiment der CMOS-Logikbaureihe V 4000 D gehörenden Schaltkreise verfügt über gemeinsame technische Daten, die im folgenden Pkt. 3.1. aufgeführt werden:

3.1. Grenzwerte

Die für den maximalen Arbeitstemperaturbereich $\vartheta_a = -40\text{ °C} \dots +85\text{ °C}$ dieser Baureihe geltenden Grenzwerte sind folgende:

- Betriebsspannung:
 $U_{DD} = (U_{SS} - 0,5\text{ V}) \dots (U_{DD} + 1,8\text{ V})$
- Eingangsspannung:
 $U_I = (U_{SS} - 0,5\text{ V}) \dots (U_{DD} + 0,5\text{ V})$
- Ausgangsspannung:
 $U_O = (U_{SS} - 0,5\text{ V}) \dots (U_{DD} + 0,5\text{ V})$
- Gesamtverlustleistung/Schaltkreis (Abb. 4):
 $P_{tot} = 300\text{ mW}$, gültig bis $\vartheta_a = 70\text{ °C}$
 $P_{tot} = 150\text{ mW}$, gültig bis $\vartheta_a = 85\text{ °C}$
- Verlustleistung je Ausgangstransistor:
 $P_V = 100\text{ mW}$
- Lagertemperaturbereich:
 $\vartheta_{stg} = -55\text{ °C} \dots +125\text{ °C}$
- Lastkapazität je Ausgang:
 $C_L = 5\text{ nF}$
- Gesamteingangsstrom pro Schaltkreis:
 $/I_I/ = 10\text{ mA}$

Anmerkung zum Eingangsstrom:

Die Schaltkreise müssen grundsätzlich gegen Überspannungsspitzen der Versorgungsspannung und der logischen Signale, die die Grenzwerte überschreiten, geschützt werden. Eingangssignale, die in speziellen Schaltungen (z. B. Oszillatoren) oder im Störfall

die aufgeführten Grenzen von 0,5 V über U_{DD} oder unter U_{SS} überschreiten, sind strommäßig auf ≤ 10 mA pro Schaltkreis zu begrenzen.

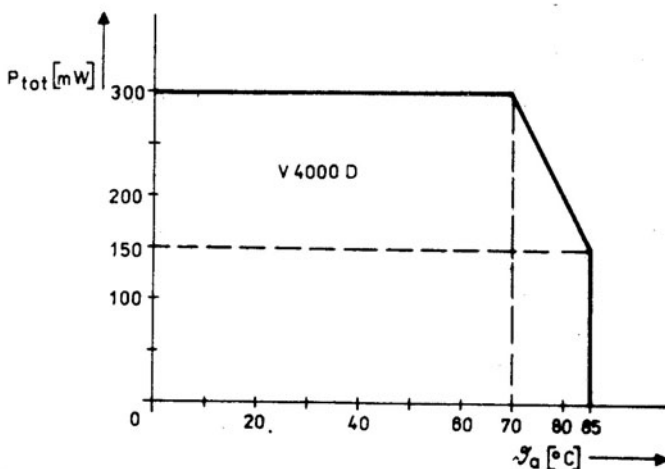


Abb. 4

3.2. Kennwerte und Betriebsbedingungen

Für die Schaltkreise der Baureihe V 4000 D gelten die folgenden Betriebsbedingungen:

- Betriebsspannungsbereich:

$$U_{DD} = +3 \text{ V} \dots +15 \text{ V}$$

- Arbeitstemperaturbereich:

$$T_a = -40 \text{ °C} \dots +85 \text{ °C}$$

Die in Tabelle 1 aufgeführten statischen Kennwerte gelten für die meisten Schaltkreise dieser Baureihe und beziehen sich auf den Arbeitstemperaturbereich $T_a = -40 \text{ °C} \dots +85 \text{ °C}$, wenn keine Einschränkungen angegeben werden.

Für die dynamischen Kennwerte gelten im allgemeinen folgende Definitionen (Abb. 5):

- Anstiegs- und Abfallzeiten sind auf die Spannung zwischen 10 % und 90 % des Maximalwertes der jeweiligen Flanke bezogen
- Setz-, Halte- und Verzögerungszeiten sind auf die 50 % des Spannungswertes der jeweiligen Flanken bezogen

- Impulsbreiten sind auf die Spannung zwischen 10 % und 90 % des Maximalwertes der Flanken bezogen.

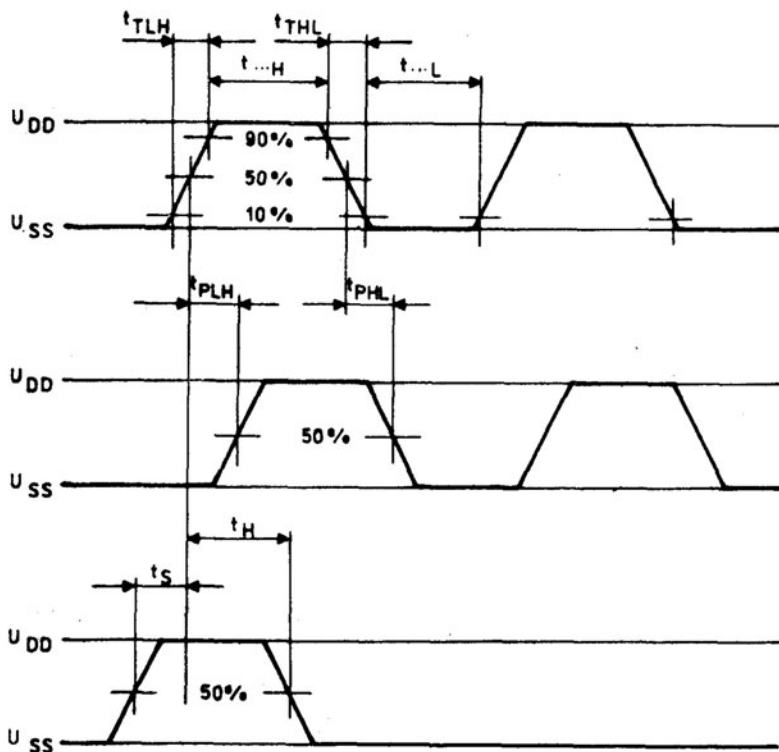


Abb. 5

Kennwert	Einheit	Kleinstwert	GrößtWert	Bedingungen		U_O
				U_{DD}	I_Q	
U_{OH}	V	4,95	-	5 V	< 1 μA	-
		9,95	-	10 V	< 1 μA	-
		14,95	-	15 V	< 1 μA	-
U_{OL}	V	-	0,05	5 V	< 1 μA	-
		-	0,05	10 V	< 1 μA	-
		-	0,05	15 V	< 1 μA	-
$-I_{OH}$	mA	0,4	-	5 V	-	4,6 V
		0,9	-	10 V	-	9,5 V
		2,4	-	15 V	-	13,5 V
I_{OL}	mA	0,4	-	5 V	-	0,4 V
		0,9	-	10 V	-	0,5 V
		2,4	-	15 V	-	1,5 V
U_{IH}	V	3,5	-	5 V	< 1 μA	0,5/4,5 V
		7,0	-	10 V	< 1 μA	1,0/9,0 V
		11,0	-	15 V	< 1 μA	1,5/13,5 V
U_{IL}	V	-	1,5	5 V	< 1 μA	0,5/4,5 V
		-	3,0	10 V	< 1 μA	1,0/9,0 V
		-	4,0	15 V	< 1 μA	1,5/13,5 V
I_{IH}	μA	-	0,1	15 V	-	- ($T_a = -40^\circ C$)
		-	1,0	15 V	-	- ($T_a = 85^\circ C$)
$-I_{IL}$	μA	-	0,1	15 V	-	- ($T_a = -40^\circ C$)
		-	1,0	15 V	-	- ($T_a = 85^\circ C$)
C_I	pF	-	7,5	-	-	- ($T_a = -40^\circ C$)

Tabelle 1

4. Richtlinien für den Einsatz von CMOS-Schaltkreisen der Baureihe V 4000 D

4.1. Betriebsspannungen

Der Betriebsspannungsbereich für Schaltkreise der Baureihe V 4000 D ist

$$U_{DD} = +3 \text{ V} \dots +15 \text{ V}$$

(bezogen auf den Anschluß U_{SS}). In diesem Bereich wird die Funktion der Schaltkreise garantiert. Die absoluten Grenzwerte der Betriebsspannung dieser Schaltkreise sind

$$U_{DD} = -0,5 \text{ V} \dots +18 \text{ V}$$

(bezogen auf den Anschluß U_{SS}) und dürfen unter keinen Umständen überschritten werden, auch nicht durch Impulse, die unter Umständen der Betriebsspannung überlagert sein können. Die Gründe liegen einerseits darin, daß parasitäre Dioden und Schutzdioden in Flußrichtung geschaltet werden (dies gilt bei negativen Spannungen gegenüber U_{SS}), andererseits besteht die Gefahr des Zündens eines parasitären Thyristors (Thyristor- oder SCR-latch-up-Effekt) und damit der Zerstörung des Schaltkreises (bei Spannungen über +18 V gegen U_{SS}).

4.2. Leistungsaufnahme und maximale Verlustleistung

4.2.1. Leistungsaufnahme

Die statische Leistungsaufnahme der CMOS-Schaltkreise setzt sich aus dem Produkt der Betriebsspannung U_{DD} und den Sperrströmen der pn-Übergänge des Schaltkreises sowie den Oberflächenleckströmen zusammen und bewegt sich praktisch je nach Komplexität des Schaltkreises bei einigen 100 nW.

Die dynamische Leistungsaufnahme setzt sich aus mehreren Anteilen zusammen:

- Anteil durch Stromspitzen, die beim Schalten infolge der kurzzeitigen gleichzeitigen Durchschaltung des p-Kanal- und des n-Kanal-Ausgangstransistors auftreten. Dieser Anteil macht praktisch etwa 10 % der Gesamtleistungsaufnahme aus.
- Anteil durch Auf- und Entladeströme, die durch die Umladung der am Ausgang eines Schaltkreises angekoppelten Lastkapazität C_L hervorgerufen werden. Dieser Leistungsanteil errechnet sich aus

$$P_C = C_L \cdot U_{DD}^2 \cdot f$$

wobei f die Schaltfrequenz des Ausgangs ist.

- Anteil, der durch die Umladung der internen Kapazitäten des Schaltkreises verursacht wird.

4.2.2. Maximale Verlustleistung

Die maximale Leistung, die in einem Schaltkreis umgesetzt werden darf, resultiert aus der maximal zulässigen Chiptemperatur und seinem thermischen Innenwiderstand. Sie beträgt bei Schaltkreisen der Baureihe V 4000 D 300 mW. Diese Verlustleistung gilt bis zu einer Umgebungstemperatur von +70 °C und muß bis zur maximalen Umgebungstemperatur von +85 °C der Schaltkreise der Baureihe V 4000 D entsprechend dem Diagramm reduziert werden. Dabei ist zu beachten, daß ein beliebiger Ausgangstransistor eines CMOS-Schaltkreises zwar maximal mit 100 mW belastet werden kann, die Summe der Belastungen jedoch die Gesamtverlustleistung des Schaltkreises nicht überschreiten darf. Kurzschlüsse der Ausgänge gegen U_{DD} oder U_{SS} können dazu führen, daß die Gesamtverlustleistung überschritten und der Schaltkreis zerstört wird.

4.3. Stromversorgung

Die CMOS-Schaltkreise sind zum Schutz gegen die Zerstörung durch elektrostatische Aufladung mit einem Schutzdiodennetzwerk versehen (Abb. 6).

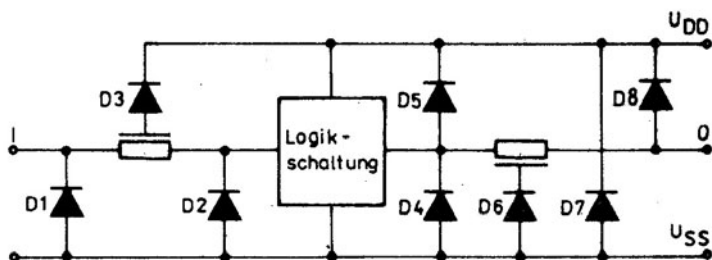


Abb. 6

Bedingt durch den technologischen Prozeß verfügen ferner CMOS-Schaltkreise generell über parasitäre bipolare Strukturen (pnp- und npn-Transistoren), die zusammen einen Thyristor ergeben (Abb. 7 und 8) mit der für einen Thyristor typischen Durchbruchkennlinie (siehe Abb. 9). Dieser Thyristor wird technologisch so gestaltet, daß er unter den Betriebsbedingungen der CMOS-Schaltkreise nicht in Erscheinung tritt. Um Einflüsse des Schutzdiodennetzwerkes sowie des Thyristoreffektes zu vermeiden, sind beim Entwurf von Stromversorgungseinrichtungen zur Erzeugung der Betriebsspannung für CMOS-Schaltkreise folgende Richtlinien unbedingt einzuhalten:

- Die Betriebsspannung muß ständig im zulässigen Bereich liegen. Grenzwerte dürfen keinesfalls, auch nicht impulsmäßig, überschritten werden. Die Überschreitung des oberen absoluten Grenzwertes für U_{DD} kann zur Zündung des parasitären Thyristors führen. Dabei bildet sich eine leitfähige Strecke zwischen den Anschlüssen U_{DD} und U_{SS} aus. Der dadurch fließende Querstrom kann zur Zerstörung des Schaltkreises führen.
- Werden Schaltkreise in der Nähe des oberen Grenzwertes für U_{DD} (+15 V) betrieben, so muß infolge von Einschwingvorgängen beim Ein- und Ausschalten der Spannungsquelle, überlagerten Wechselspannungen auf der Betriebsspannung, Massestörungen und Pegelschwankungen von stabilisierten Spannungsquellen befürchtet werden, daß der obere absolute Grenzwert für U_{DD} überschritten wird. Besonders in solchen Fällen wird empfohlen, pro Leiterkarte eine Z-Dioden-Kondensator-Widerstandskombination gemäß Abb. 10 vorzusehen.

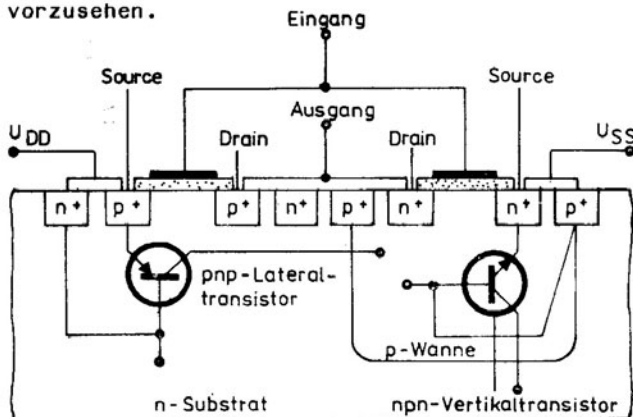


Abb. 7

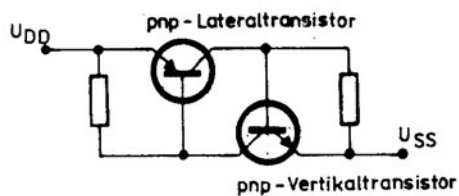


Abb. 8

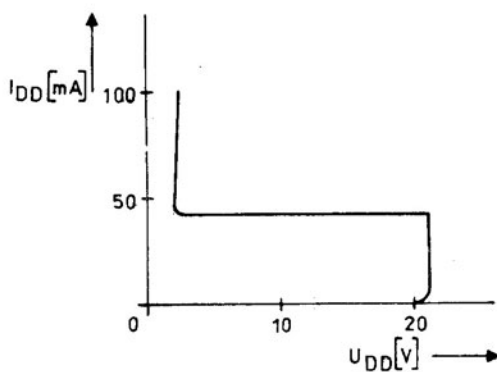


Abb. 9

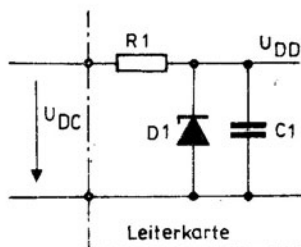


Abb. 10

Die Z-Spannung von D1 sollte dabei über der maximal zu erwartenden Ausgangsspannung, jedoch unterhalb des oberen absoluten Grenzwertes für U_{DD} liegen. Der Widerstand dient zur Begrenzung des Stromes für die Z-Diode bei einem unerwarteten Spannungsanstieg. Der der Z-Diode parallel geschaltete Kondensator (zweckmäßig ein Scheibenkondensator entsprechender Größe) dient einerseits zur Unterstützung der Betriebsspannung für die Schaltkreise während der Stromspitzen bei Schaltvorgängen, andererseits zur Integration von Spannungsspitzen aus der Spannungsquelle. Stromstärkere Baugruppen sollten zweckmäßigerweise getrennt von den CMOS-Schaltkreisen vor dieser Kombination angeschlossen werden. Der Innenwiderstand der Spannungsquelle sollte nicht so klein wie möglich sein, sondern so gewählt werden, daß gerade der Strom bereitgestellt wird, der zur Sicherung der Funktion der Schaltung erforderlich ist. Diese Strombegrenzung schützt die Schaltkreise vor unzulässig hohen Strömen, die bei einer evtl. auftretenden Zündung des parasitären Thyristors auftreten können. Die Polarität der Versorgungsspannung darf unter keinen Umständen vertauscht werden, da bei Spannungen über 0,5 V zwischen den Anschlüssen U_{SS} und U_{DD} (U_{DD} negativ) insbesondere die Diode D7 (siehe Abb. 6) leitfähig wird und der Schaltkreis zerstört werden kann.

- Bei separaten Versorgungsspannungen für U_{DD} und für Eingangssignale muß dafür gesorgt werden, daß beim Einschalten des Gerätes die Spannung U_{DD} vor der Spannungsquelle für die Eingangssignale zugeschaltet und beim Abschalten die Spannungsquelle für die Eingangssignale vor der für U_{DD} abgeschaltet wird.

Bei Nichteinhaltung dieser Richtlinien können unzulässig hohe Ströme über die Eingangsschutzdiode D3 (Abb. 6) fließen, die zur Zerstörung des Schaltkreises führen. Zur Erhöhung der Sicherheit können in Reihe mit den Eingängen Schutzwiderstände vorgesehen werden. Weiterhin kann es bei Nichtbeachtung dieser Richtlinien zu Fehlfunktionen der Schaltung kommen, da die Spannungsquelle für die Eingangssignale über die Diode D3 (Abb. 6) zur Spannungsquelle für die Schaltkreise werden kann. Große Widerstände in Reihe mit den Leitungen für U_{DD} und U_{SS} müssen vermieden werden, da durch den Spannungsabfall an diesen Widerständen der Wert des Eingangssignals größer als U_{DD} bzw. kleiner als U_{SS} werden kann, so daß eine Schädigung des Schaltkreises durch Überlastung der Eingangsschutzdioden D1 bis D3 (Abb. 6) möglich ist.

Bei der Versorgung von CMOS-Schaltkreisen aus Gleichspannungsquellen, deren Spannung über dem Maximalwert für U_{DD} liegt, wird ebenfalls eine Z-Dioden-Widerstands-Kondensator-Kombination empfohlen (analog Abb. 10), der Wert der Z-Spannung wird jedoch entsprechend der für U_{DD} vorgesehenen Höhe gewählt. Der Widerstand wird unter Berücksichtigung des höchstens zu erwartenden Stromes der CMOS-Schaltung bestimmt. C1 dient zum Ausgleich von Laststromspitzen.

Die Versorgung von CMOS-Schaltkreisen aus gepufferten Gleichspannungsquellen ist gemäß Abb. 11 möglich.

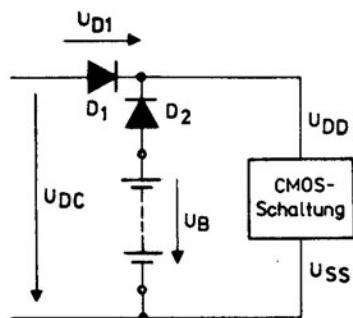


Abb. 11

Bei Ausfall der Spannungsquelle übernimmt die Batterie die Versorgung der CMOS-Schaltung. Die Höhe der Batteriespannung U_B muß dabei um den Flußspannungsabfall der Diode höher als die minimal geforderte Spannung U_{DD} für die CMOS-Schaltung sein.

4.4. Eingänge von CMOS-Schaltkreisen

Eingänge von CMOS-Schaltkreisen sind grundsätzlich an definierte Potentiale zu legen, da sie sonst infolge ihres hohen Eingangswiderstandes ein undefiniertes Potential annehmen. Dies führt zu Fehlfunktionen des Schaltkreises, u. U. sogar zu seiner Zerstörung, wenn die Eingänge ein Potential von etwa $1/2 U_{DD}$ annehmen.

In diesem Fall fließen durch die gepufferten Endstufen infolge der gleichzeitig leitenden p-Kanal- und n-Kanal-Ausgangstransistoren erhebliche Dauerströme (einige 10 mA), die zur Überlastung und Zerstörung des Schaltkreises führen können. Außerdem wird die Gefahr der Zerstörung durch statische Aufladungen begünstigt. Unbenutzte Eingänge sind deshalb an U_{DD} oder U_{SS} anzuschließen, sie können auch mit anderen Eingängen verbunden werden (Abb. 12). Zeitweilig offene Eingänge, die zu Steckverbindern der Leiterkarten führen und sonst nicht weiter beschaltet sind, müssen über einen Parallelwiderstand von $\approx 500 \text{ k}\Omega$ an U_{DD} oder U_{SS} gelegt werden (Abb. 13). Eingangssignale müssen sich innerhalb des Betriebsspannungsbereiches der Schaltkreise bewegen, d. h.

$$(U_{SS} - 0,5 \text{ V}) = U_I = (U_{DD} + 0,5 \text{ V}).$$

Eingangssignale, die in speziellen Schaltungen (z. B. Oszillatoren) oder im Störfall die aufgeführten Grenzen von 0,5 V über U_{DD} oder unter U_{SS} überschreiten, sind strommäßig auf 10 mA pro Schaltkreis zu begrenzen. Wenn die Möglichkeit des Überschreitens des Eingangsstromes von 10 mA besteht, muß ein Serienwiderstand in Reihe mit dem Eingang eingefügt werden, um den Strom zu begrenzen. Dabei ist zu beachten, daß durch das sich ergebende RC-Glied (Serienwiderstand und Eingangskapazität) die Schaltgeschwindigkeit herabgesetzt wird.

Bei langen Signalleitungen zu Eingängen von CMOS-Schaltkreisen wird ebenfalls die Anwendung eines Serienwiderstandes und zusätzlich eine Parallelkapazität zum Eingang empfohlen. Die Parallelkapazität soll so groß gewählt werden, wie es die Schaltgeschwindigkeit der Schaltung zuläßt, um eingekoppelte Störsignale abzublocken.

Eingangssignale dürfen nicht anliegen, wenn die Betriebsspannung abgeschaltet ist (siehe auch Abschnitt 4.3.). Wenn Eingänge von CMOS-Schaltkreisen direkt mit TTL-Schaltkreisen ohne spezielle Interface-Schaltungen und einer gemeinsamen Betriebsspannung arbeiten, muß ein Parallelwiderstand (pull-up-Widerstand) vom CMOS-Eingang mit der Betriebsspannung verbunden werden (siehe Abschnitt 5.1.).

Flanken der Eingangsimpulse größer 15 μs sollten generell vermieden werden, da sie sonst zu einer Erhöhung der Leistungsaufnahme des Schaltkreises führen (siehe auch Abschnitt 4.2.1.).

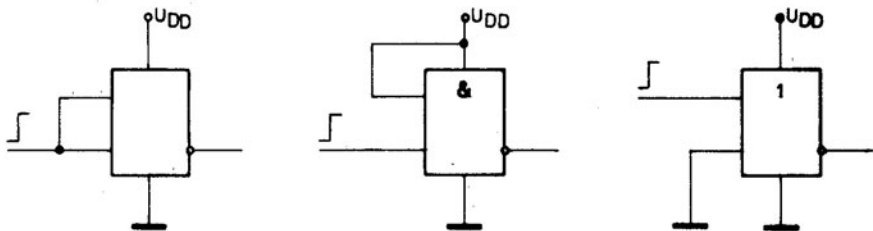


Abb. 12

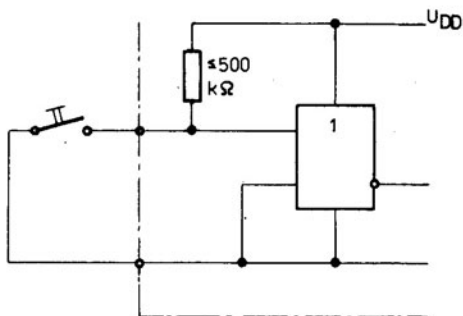
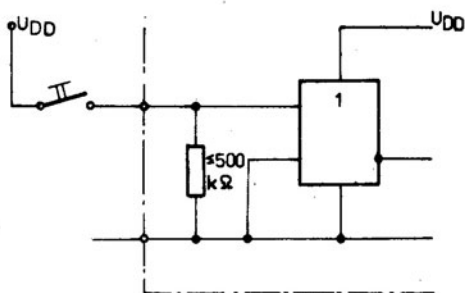


Abb. 13

Bei getakteten Schaltkreisen kann die Überschreitung der Dauer der Eingangsimpulsflanken zu einer unkorrekten Triggerung führen. Falls mit solchen Flanken gerechnet werden muß, empfiehlt sich zur Versteilerung der Flanken der Einsatz spezieller Schaltkreise, z. B. des Schmitt-Triggers U 4093 D. Anstiegs- und Abfallzeiten der Eingangsimpulse größer 1 ms können infolge der hohen inneren Verstärkung (ca. 60 dB) der V 4000 D-Schaltkreise und der meist der Betriebsspannung und damit auch den Logiksignalen überlagerten Störspannung (im mV-Bereich) zu Schwingungen auf den Flanken der Ausgangsimpulse führen.

4.5. Ausgänge von CMOS-Schaltkreisen

Bei der Ausgangsbelastung von CMOS-Schaltkreisen ist die maximal zulässige Verlustleistung zu beachten (siehe Abschnitt 4.1.). Ausgangskurzschlüsse sind oft das Ergebnis von Testfehlern oder ungeeigneter Leiterkartenmontage und können zur Zerstörung des Schaltkreises führen.

Ebenso wie TTL-Schaltkreise mit Gegentaktausgängen dürfen auch CMOS-Schaltkreise mit Ausnahme solcher mit tri-state-Ausgang nicht in wired-or-Technik verbunden werden, da sonst u. U. überleitende p-Kanal- und n-Kanal-Transistoren verschiedener Schaltkreise ein unzulässiger Querstrom zwischen U_{DD} und U_{SS} zustande kommt.

Die Parallelschaltung von Gattern der Baureihe V 4000 D zur Erhöhung der Ausgangsbelastbarkeit ist nur gestattet, wenn es sich um Gatter ein und desselben Schaltkreises handelt. Dabei ist die pro Ausgang maximal zulässige Verlustleistung zu beachten.

Ausgangslasten sollten mit einer Spannung verbunden sein, die innerhalb des Versorgungsspannungsbereiches ($U_{DD} - U_{SS}$) liegt. Ausgangslastkapazitäten größer 5 nF können zur Überlastung der Ausgangstransistoren führen und sind deshalb unzulässig. Dabei ist die Formel unter 3.2.1. zu beachten.

Ausgangstransistoren können auch überlastet werden, wenn der Schaltkreis im quasi-linearen Verstärkerbetrieb oder im Multivibratorbetrieb arbeitet. In solchen Fällen wird der Einsatz eines ungepufferten Schaltkreises, z. B. des V 4007 D, empfohlen.

Beim Führen längerer Verbindungsleitungen zwischen Leiterkarten, insbesondere bei Kabelbaumverdrahtungen, besteht die Gefahr der Einkopplung hoher Störsignale in diese Verbindungsleitungen durch gestörte Nachbarleitungen. Wenn eingekoppelte Störsignale die Betriebsspannungsgrenzen der CMOS-Schaltkreise überschreiten, können sie auch über die Ausgänge der Schaltkreise das Zünden des parasitären Thyristors auslösen. Derartige Leitungsführungen sind deshalb generell zu vermeiden. Falls mit der Einkopplung von Störsignalen zu rechnen ist, sind in die Ausgangsleitungen der Schaltkreise, die zu längeren Verbindungsleitungen führen, Serienwiderstände einzufügen und erforderlichenfalls die Ausgänge über Parallelkapazitäten zusätzlich gegen Masse abzublocken. Dabei ist wiederum zu beachten, daß durch das sich ergebene RC-Glied die Schaltgeschwindigkeit herabgesetzt wird.

4.6. Einbau- und Lötvorschriften

4.6.1. Schutz vor Zerstörung durch statische Aufladungen

Obwohl die Eingänge der CMOS-Schaltkreise mit integrierten Schutzschaltungen versehen sind, können hohe elektrostatische Aufladungen die Schaltkreise gefährden, wenn nicht besondere Schutzmaßnahmen bei der Anwendung der Bauelemente beachtet werden. Besonders wichtig ist die Potentialgleichheit aller mit den Schaltkreisen in Berührung kommenden Teile während des Verarbeitungsprozesses (Bauelemente, Verpackung, Mensch, Löt Einrichtung, Leiterkarte, Tisch, Meßeinrichtung u.s.w.). Durch den Schaltkreishersteller wird mittels entsprechender Verpackung für Transport und Lagerung die erforderliche Sicherheit gegeben.

Folgende Hinweise bei der Verarbeitung der CMOS-Schaltkreise sind zu beachten:

4.6.2. Transport der Schaltkreise

Die CMOS-Schaltkreise sind erst unmittelbar vor ihrer Verwendung aus der Herstellerpackung herauszunehmen. Beim Transport und bei der Weiterverarbeitung müssen statische Aufladungen verhindert werden. Der Transport hat in Metallmagazinen ohne gelackte Oberfläche bzw. in Kästen aus Metall oder Kuststoff aus Metallunterlagen in Mäanderform oder in speziellen Antistatikverpackungen zu

erfolgen. Als Zwischenlage für eine weitere Lage von Schaltkreisen muß eine Metallplatte verwendet werden. Bei der Übernahme von einer Transporteinrichtung in die nächste oder in eine Verarbeitungs- bzw. Meßeinrichtung sind diese vorher auf gleiches Potential zu bringen. An allen Einrichtungen, auf denen die Schaltkreise automatisch befördert oder transportiert werden sollen, muß ein weitgehender Schutz durch Metallteile vorgesehen werden, so daß sich keine statischen Aufladungen ausbilden können. Hierzu ist die Möglichkeit eines Faradayschen Käfigs auszunutzen. Desweiteren besteht die Möglichkeit des Abbaus elektrostatischer Aufladungen durch Luftionisatoren. Zur Vermeidung von statischen Aufladungen darf in den Arbeitsräumen die Luftfeuchte nicht unter 40 % absinken.

4.6.3. Anforderungen an den Arbeitsplatz und Entnahme der Schaltkreise aus der Verpackung

CMOS-Schaltkreise dürfen nicht auf Tischen mit Kunststoff-, Glas- oder Holzaufgabe abgelegt sowie einzeln oder in Mengen ausgeschüttet werden. Arbeitsplätze, an denen mit den Schaltkreisen gearbeitet wird, müssen leitende, geerdete Auflageflächen haben. Zur Erdung verschiedener Arbeitsplätze ist stets nur ein gemeinsamer Erdanschluß zu verwenden. Beim Umgang mit den Schaltkreisen ist das Anlegen eines über einen Widerstand 100...200 kOhm/2 W geerdeten Armbandes zu empfehlen.

Die Berührung der Schaltkreisanschlüsse mit der Hand ist zu vermeiden. Sollte die Berührung unumgänglich sein, müssen die Personen, die die Schaltkreise weiterverarbeiten sowie die Schaltkreise selbst und die Verarbeitungseinrichtungen dasselbe Potential haben. Es sind deshalb besonders sich statisch aufladende Textilien (z. B. Dederonkittel) und Gegenstände (z. B. Stühle, Tisch, Fußboden aus hochisolierenden Materialien) zu vermeiden. Als Sitzgelegenheit sind zweckmäßig ungelackte Holzstühle mit stoffgepolsterten Sitzflächen und Rückenlehnen zu verwenden.

4.6.4. Biege-, Torsions- und Zugbeanspruchungen

Ein mehrmaliges Richten der Anschlüsse zum Zweck der Bestückung ist zugelassen, wenn die auftretenden Zug- und Biegebeanspruchungen die Werte nach TGL 24951 nicht überschreiten. So können z. B. zwei Biegungen über die Breitseite des Anschlusses eines Schaltkreises in

einem Winkel von $\alpha \leq 15^\circ$ erfolgen (Plastgehäuse, Abb. 14).

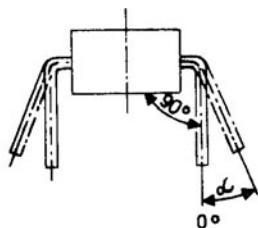


Abb. 14

Torsionsbeanspruchungen bzw. ein Verbiegen der Anschlüsse über die Schmalseite der Anschlüsse sind nicht zulässig.

4.6.5. Lagerungsbedingungen

Die Schaltkreise sollen möglichst in der vom Hersteller gelieferten Transportverpackung (oder mit gleichwertigen Sicherheitsmaßnahmen) entsprechend den für die Schaltkreise gültigen Lieferstandards gelagert werden.

4.6.6. Lötvorschriften

Die Lötteinrichtungen sind grundsätzlich zu erden. Dabei ist bei Schwallötanlagen insbesondere auch darauf zu achten, daß die für die Lötung vorgesehene Leiterkarte einschließlich ihrer Aufnahmeeinrichtung während des Lötprozesses geerdet ist.

Die Schaltkreise sind vor der Wärmestrahlung der Lötteinrichtung zu schützen. Die Lötung darf nur auf der dem Schaltkreis abgewandten Seite der Leiterkarte erfolgen. Die Lötparameter dürfen die in Abb. 15 dargestellte Grenzlinie nicht überschreiten (siehe auch TGL 32377/02). Die verwendeten Flußmittel dürfen nicht korrodierend wirken. Die Anschlüsse der Leiterkarten sind während des Lötprozesses durch Kurzschlußstecker oder in gleicher Weise wirkende Einrichtungen zu verbinden.

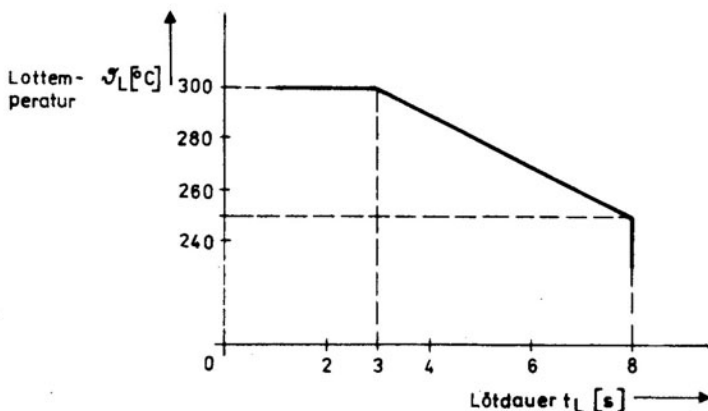


Abb. 15

4.6.7. Reparaturvorschriften

Das Ziehen und Aufstecken von Leiterkarten, die mit CMOS-Schaltkreisen bestückt sind, ist nur bei abgeschaltetem Gerät zulässig, ebenso das Auswechseln von Schaltkreisen auf der Leiterkarte. Ist das Ziehen und Aufstecken von Leiterkarten unter Betriebsspannung unumgänglich, so ist zu sichern, daß die unter Punkt 4. aufgeführten Einsatzrichtlinien unbedingt eingehalten werden. Durch Steckverbinder mit voreilenden Kontakten kann beispielsweise erreicht werden, daß die Betriebsspannung vor den Eingangssignalen anliegt, wenn die Leiterkarte aufgesteckt wird. Mehrfaches Ein- und Auslöten der CMOS-Schaltkreise ist nicht zulässig. Zu Reparaturzwecken ist eine einmalige Wiederverwendung der Schaltkreise gestattet, wobei beim Aus- und Einlöten die Lötvorschriften gemäß Pkt. 4.6.6. eingehalten werden müssen (siehe auch TGL 24951). Wenn bei Laboruntersuchungen ein mehrmaliges Wechseln der Schaltkreise erforderlich ist, empfiehlt sich die Verwendung von Fassungen.

Die Aufbewahrung ausgebaute Schaltkreise ist entsprechend den Punkten 4.6.1. und 4.6.2. vorzunehmen.

Die Leiterkarten sind vor dem Aufstecken bzw. nach dem Abziehen mit kurzgeschlossenen Anschlüssen aufzubewahren.

4.6.8. Waschvorschriften

Die CMOS-Schaltkreise dürfen zur Beseitigung von Verunreinigungen, die beim Lötprozeß entstanden sind, maximal 2 Minuten bei Wasch- , mitteltemperaturen zwischen 15 °C und 35 °C mittels Ultraschall mit folgenden Waschmitteln gewaschen werden:

Äthanol

Methanol

Isopropanol

Butanol

Normalbenzin

Fridona

Wasser (bei nachfolgender ausreichender Trocknung)

Die maximal zulässige Ultraschalleistung beträgt 30 W Generatorleistung je Liter wanneninhalt.

5. Beispiele für Interface-Schaltungen

5.1. TTL-Schaltkreis mit angekoppeltem CMOS-Schaltkreis

Bei der Ankopplung eines CMOS-Schaltkreises an einen TTL-Schaltkreis ist bei gleicher Betriebsspannung für den CMOS- und TTL-Schaltkreis ein pull-up-Widerstand vorzusehen (siehe auch Abschnitt 4.4.), da die garantierte minimale Ausgangsspannung U_{OH} für TTL-Schaltkreise kleiner als der Minimalwert U_{IH} für die CMOS-Schaltkreise ist. Der Minimalwert von R_p (Abb. 16) wird bestimmt durch den maximalen Strom I_{OL} des TTL-Schaltkreises, der Maximalwert für R_p durch den maximalen Leckstrom des masseseitigen Ausgangstransistors des TTL-Schaltkreises. Die Größe für R_p kann praktisch für die TTL-Baureihen D 100 D, D 200 D und DL 000 zwischen 1,5 k Ω m und 4,7 k Ω m gewählt werden.

An einen TTL-Schaltkreis kann eine große Zahl von CMOS-Schaltkreisen angekoppelt werden. Die Grenze für die Zahl der ankoppelbaren CMOS-Schaltkreise wird durch die geforderte Arbeitsfrequenz der Schaltung bestimmt.

Bei der Zusammenschaltung mit unterschiedlichen Betriebsspannungen kann entsprechend Abb. 17 verfahren werden. Für diese Art der Zusammenschaltung sind TTL-Schaltkreise mit open-collector-Ausgang geeignet (z. B. D 126 D). Dabei ist zu beachten, daß der TTL-Schaltkreis mindestens für die Ausgangsspannung zugelassen sein muß, die der Betriebsspannung U_{DD} des angekoppelten CMOS-Schaltkreises entspricht.

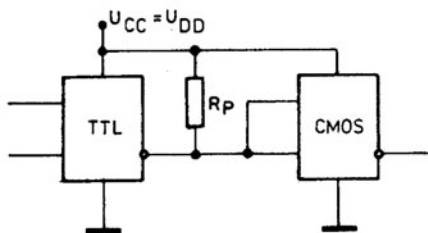


Abb. 16

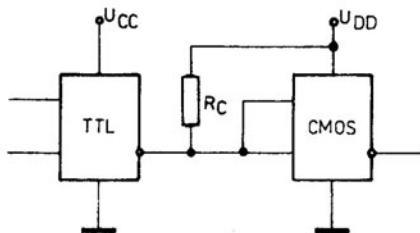


Abb. 17

5.2. CMOS-Schaltkreis mit angekoppeltem TTL-Schaltkreis

Schaltkreise der Baureihe V 4000 D können direkt mit einem Gatter eines Low-power-Schottky-TTL-Schaltkreises (beispielsweise DL 000 D) verbunden werden (Abb. 18). Die Ankopplung anderer Baureihen (z. B. Standard-Baureihe D 100 D oder High-speed-Baureihe D 200 D) ist über CMOS-Pufferschaltkreise (z. B. U 4050 D) möglich.

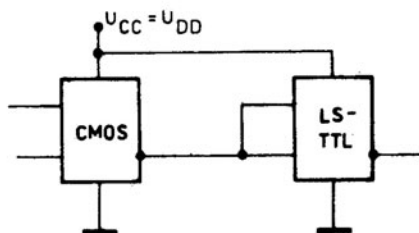


Abb. 18

5.3. Operationsverstärker mit angekoppeltem CMOS-Schaltkreis

Bei der Ankopplung eines CMOS-Schaltkreises an einen Operationsverstärker, der bei Betriebsspannungen ± 15 V betrieben wird, ist gemäß Abb. 19 zu verfahren. Der Widerstand R_S begrenzt den Ausgangsstrom des Operationsverstärkers. Die Dioden D1 und D2 dienen zur Begrenzung der Eingangsspannungen des CMOS-Schaltkreises. Falls der Operationsverstärker aus derselben Spannungsquelle wie der CMOS-Schaltkreis ($U_{DD} - U_{SS}$) betrieben wird, können R_S , D1 und D2 entfallen.

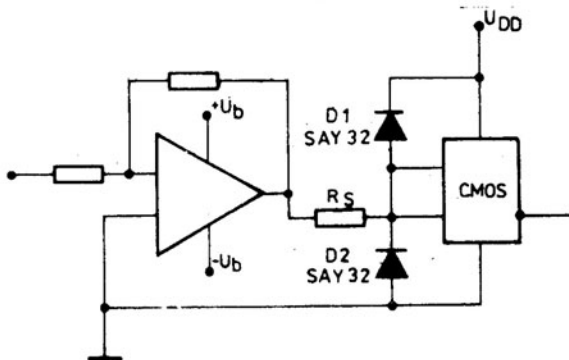


Abb. 19

5.4. CMOS-Schaltkreis mit angekoppeltem Bipolartransistor

Die Ankopplung von Bipolartransistoren oder Bipolar-Transistor-Arrays (z. B. B 340 D, B 341 D und B 342 D) an einen CMOS-Schaltkreis der Baureihe V 4000 D kann gemäß Abb. 20 erfolgen. Über derartige Koppelbauelemente ist es möglich, Bauelemente mit höherer Leistungsaufnahme wie LED, Relais, Glühlampen und Thyristoren anzusteuern. Der Widerstand R_S kann wie folgt bestimmt werden:

$$R_S = \frac{h_{21Emin} (U_{DD min} - U_{DS max} - U_{BE max})}{I_{C max}}$$

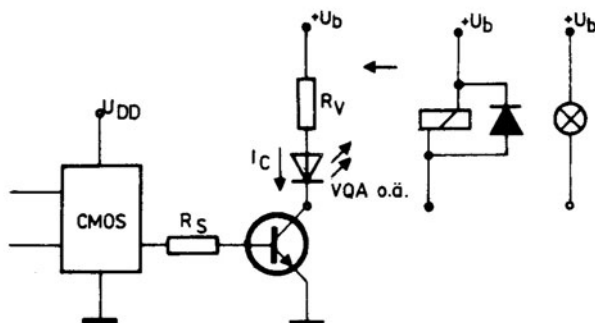


Abb. 20

6. Gehäuse der Logikbaureihe V 4000 D

Die CMOS-Schaltkreise der Logikbaureihe V 4000 D werden im Dual-in-line-Plastgehäuse geliefert. Die geometrischen Abmessungen der Gehäuse entsprechen TGL 26713

7. Hinweise auf Standards

TGL 24951	Integrierte Halbleiterschaltkreise/Allgemeine technische Bedingungen
TGL 26713	Integrierte Halbleiterschaltkreise/Bauformen für monolithische integrierte Schaltkreise

TGL 200-0053/01	Bauelemente der Elektronik/Löteigenschaften/ Begriffe
TGL 200-0053/02	Bauelemente der Elektronik/Löteigenschaften/Löt- barkeit der Anschlüsse/Technische Forderungen, Prüfung
ASMW-W 1224	Bauelemente der Elektronik/Löteigenschaften/ Schweißbarkeit der Anschlüsse/Technische Forde- rungen, Prüfungen
TGL 32377/02	Bauelemente der Elektronik/Allgemeine technische Forderungen

8. Zeichenerklärung

U_{DD}	positive Betriebsgleichspannung
U_{SS}	negative Betriebsgleichspannung
U_I	Eingangsgleichspannung
U_O	Ausgangsgleichspannung
P_{tot}	Gesamtverlustleistung eines Schaltkreises
P_V	Verlustleistung je Ausgangstransistor eines Schaltkreises
T_a	Arbeitstemperatur
T_{stg}	Lagerungstemperatur
C_L	Ausgangslastkapazität
I_I	Eingangsgleichstrom

9. Übersicht über CMOS-Baureihen (Plast-Gehäuse)

Baureihe	Hersteller	Grenzdaten der Betriebsspannung	Betriebsspannungsbereich	Betriebstemperaturbereich	Lagertemperaturbereich
V 4000 D	MME	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	-40...+85 °C	-55...+125 °C
MHB 4000	TESLA	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	0...+70 °C	-55...+125 °C
MHF 4000 B	TESLA	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	-40...+85 °C	-55...+125 °C
MCY 64000 N	CEMI	U_{SS} -0,5 V... U_{SS} +20 V	3...18 V	-40...+85 °C	-55...+125 °C
MCY 74000 N	CEMI	U_{SS} -0,5 V... U_{SS} +20 V	3...18 V	0...+70 °C	-55...+125 °C
K 561...	UdSSR	U_{SS} -0,5 V... U_{SS} +15 V	3...12 V	-45...+85 °C	
CD 4000 BE	Ei	U_{SS} -0,5 V... U_{SS} +20 V	3...18 V	-40...+85 °C	-65...+150 °C
CD 4000 BE	RCA	U_{SS} -0,5 V... U_{SS} +20 V	3...18 V	-40...+85 °C	-65...+150 °C
MC 14000 BCP	MOT	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	-40...+85 °C	-65...+150 °C
CD 4000 BCN	NS	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	-40...+85 °C	-65...+150 °C
HEF 4000 BP	VALVO	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	-40...+85 °C	-65...+150 °C
HCF 4000 BE	SGS	U_{SS} -0,5 V... U_{SS} +20 V	3...18 V	-40...+85 °C	-65...+150 °C
TC 4000 BP	TOSHIBA	U_{SS} -0,5 V... U_{SS} +20 V	3...18 V	-40...+85 °C	-65...+150 °C
SCL 4000 BE	SSS	U_{SS} -0,5 V... U_{SS} +18 V	3...15 V	-40...+85 °C	-65...+150 °C
4000 BPC	Fairch.	U_{SS} -0,5 V... U_{SS} +15 V	3...15 V	-40...+85 °C	-65...+150 °C