

Integrierte Schaltkreise



Funktion und Einsatzmöglichkeiten

**CMOS-Logikschaltkreise
V 4013 D, V 4015 D
und V 4027 D**

Applikation

CMOS – Logikbaureihe V 4000 D

Heft 3

**Funktion und Einsatzmöglichkeiten der
CMOS – Logikschaltkreise
V 4013 D, V 4015 D und V 4027 D**

vab mikroelektronik › karl marx ‹ erfurt
im vab kombinat mikroelektronik



Inhalt

	Seite
1. Vorbemerkungen	3
2. Einleitung	4
3. Anschlußbelegung und Gehäuse	4
4. Technische Daten der CMOS-Schaltkreise V 4013 D, V 4015 D und V 4027 D	6
4.1. Grenzwerte	6
4.2. Betriebsbedingungen und gemeinsame Kennwerte der Schaltkreise	7
4.3. Funktionsbeschreibung und spezielle Kennwerte der Schaltkreise	9
5. Einsatzmöglichkeiten der Schaltkreise V 4013 D, V 4015 D und V 4027 D	17
5.1. 4 bit-Auffangregister mit V 4013 D	17
5.2. Zyklischer 1 bit-Umlauf mit V 4015 D	18
5.3. D/A-Wandler mit V 4013 D	19
5.4. 16 bit-Schieberegister mit V 4015 D	20
5.5. 4 bit-Schieberegister mit V 4013 D und V 4027 D	21
5.6. Zähler mit V 4013 D und V 4027 D	22
6. Hinweise auf Standards	25
7. Vergleichsliste	26

1. Vorbemerkungen

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers und Gerätekonstruktors. Sie gibt keine Auskunft über Liefermöglichkeit und beinhaltet keine Verbindlichkeit zur Produktion.

Gültige Unterlagen für den Bezug der in dieser Information beschriebenen Schaltkreise sind allein die Typstandards oder die in einem Liefervertrag fixierten Vereinbarungen.

Änderungen der Bauelementeeigenschaften, die dem technischen Fortschritt dienen, behält sich der Halbleiterbauelemente-Hersteller vor.

Für die Patentfreiheit der angegebenen Schaltungsvorschläge wird keine Gewähr übernommen.

Anfragen und Hinweise zu technischen Problemen sind zu richten an

veb mikroelektronik "karl marx" erfurt
Abteilung Applikation Bauelemente

5010 E r f u r t

Rudolfstraße 47

Nachdruck, auch auszugsweise, nur mit Genehmigung
des Herausgebers!

2. Einleitung

In Weiterführung dieser Schriftenreihe, in der im Heft 1 die gemeinsamen technischen Daten der Schaltkreise der Baureihe V 4000 D, und im Heft 2 die Gatterschaltkreise V 4001 D, V 4011 D, V 4012 D, V 4023 D und V 4030 D vorgestellt wurden, erfolgt in diesem Heft eine Beschreibung der Schaltkreise V 4013 D, V 4015 D und V 4027 D. Analog zu Heft 2 werden die speziellen technischen Daten dieser 3 Schaltkreistypen sowie Beispiele für die Einsatzmöglichkeiten der Schaltkreise angegeben.

3. Anschlußbelegung und Gehäuse

In den Abbildungen 1 bis 3 sind die Anschlußbelegungen und die Schaltungskurzzeichen der Schaltkreistypen V 4013 D, V 4015 D und V 4027 D dargestellt.

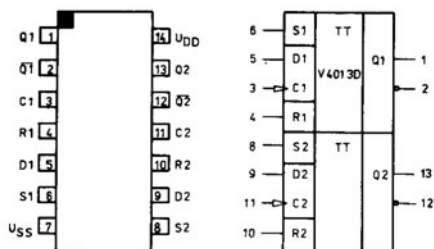


Abb. 1

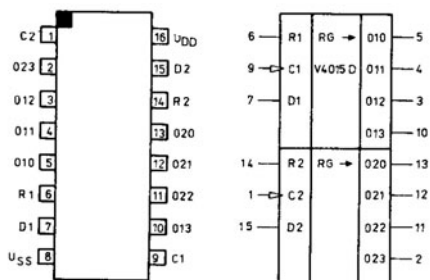


Abb. 2

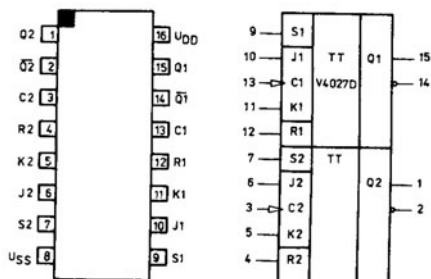


Abb. 3

Abb. 4 zeigt das Gehäuse des V 4013 D, Abb. 5 das des V 4015 D und des V 4027 D. Das Gehäuse des V 4013 D ist ein 14poliges, das des V 4015 D und V 4027 D ein 16poliges DIL-Plastgehäuse mit einem Reihenabstand von 7,5 mm. Die Anschlüsse haben das Rastermaß 2,5 mm. Die geometrischen Abmessungen der Gehäuse entsprechen denen der TGL 26 713.

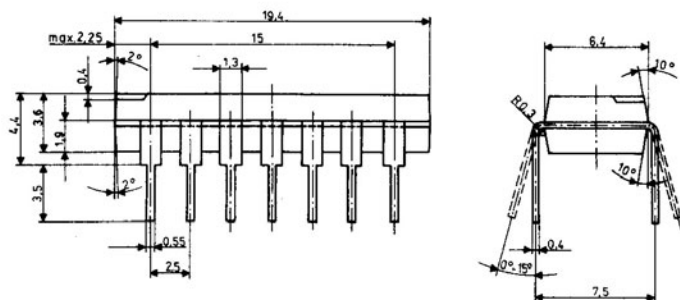


Abb. 4

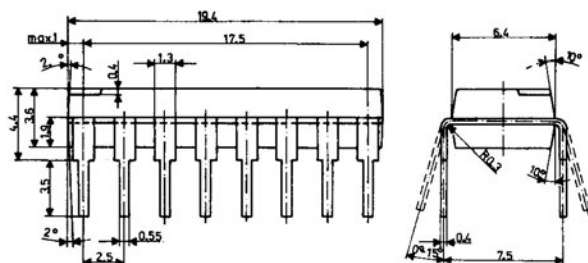


Abb. 5

4. Technische Daten der CMOS-Schaltkreise V 4013 D, V 4015 D und V 4027 D

4.1. Grenzwerte

Die für den maximalen Arbeitstemperaturbereich $\vartheta_a = -40...+85\text{ °C}$ geltenden Grenzwerte dieser Schaltkreise sind folgende:

- Betriebsspannung : $U_{DD} = (U_{SS} - 0,5\text{ V})...(U_{SS} + 18\text{ V})$

- Eingangsspannung: $U_I = (U_{SS} - 0,5 \text{ V}) \dots (U_{DD} + 0,5 \text{ V})$
- Ausgangsspannung: $U_O = (U_{SS} - 0,5 \text{ V}) \dots (U_{DD} + 0,5 \text{ V})$
- Gesamtverlustleistung/Schaltkreis:
 $P_{\text{tot}} = 300 \text{ mW}$, gültig bis $T_a = 70 \text{ }^\circ\text{C}$
 $P_{\text{tot}} = 150 \text{ mW}$, gültig bis $T_a = 85 \text{ }^\circ\text{C}$
- Verlustleistung je Ausgangstransistor: $P_V = 100 \text{ mW}$
- Lagertemperaturbereich: $T_{\text{stg}} = -55 \dots +125 \text{ }^\circ\text{C}$
- Lastkapazität je Ausgang: $C_L = 5 \text{ nF}$
- Gesamteingangsstrom je Schaltkreis: $|I_I| = 10 \text{ mA}$

Anmerkung:

Die Schaltkreise müssen grundsätzlich gegen Überspannungsspitzen der Versorgungsspannung und der logischen Signale, die die Grenzwerte überschreiten, geschützt werden. Eingangssignale, die in speziellen Schaltungen oder im Störfall die aufgeführten Grenzen von 0,5 V über U_{DD} oder unter U_{SS} überschreiten, sind strommäßig auf $\leq 10 \text{ mA}$ je Schaltkreis zu begrenzen.

4.2. Betriebsbedingungen und gemeinsame Kennwerte der Schaltkreise

Die für den Arbeitstemperaturbereich $T_a = -40 \dots +85 \text{ }^\circ\text{C}$ geltenden Betriebsbedingungen der Schaltkreise sind folgende:

- Betriebsspannung: $U_{DD} = +3 \dots +15 \text{ V}$
- Eingangsspannung: $U_I = 0 \dots U_{DD}$
- Eingangsspannung H bei $|I_O| < 1 \text{ } \mu\text{A}$:
 $U_{IH} \geq 3,5 \text{ V}$ bei $U_{DD} = 5 \text{ V}$
 $U_{OL} = 0,5 \text{ V} / U_{OH} = 4,5 \text{ V}$
 $U_{IH} \geq 7 \text{ V}$ bei $U_{DD} = 10 \text{ V}$
 $U_{OL} = 1 \text{ V} / U_{OH} = 9 \text{ V}$
 $U_{IH} \geq 11 \text{ V}$ bei $U_{DD} = 15 \text{ V}$
 $U_{OL} = 1,5 \text{ V} / U_{OH} = 13,5 \text{ V}$
- Eingangsspannung L bei $|I_O| < 1 \text{ } \mu\text{A}$:
 $U_{IL} \leq 1,5 \text{ V}$ bei $U_{DD} = 5 \text{ V}$
 $U_{OL} = 0,5 \text{ V} / U_{OH} = 4,5 \text{ V}$

$$\begin{aligned}
 U_{IL} &\leq 3 \text{ V} && \text{bei } U_{DD} = 10 \text{ V} \\
 &&& U_{OL} = 1 \text{ V} / U_{OH} = 9 \text{ V} \\
 U_{IL} &\leq 4 \text{ V} && \text{bei } U_{DD} = 15 \text{ V} \\
 &&& U_{OL} = 1,5 \text{ V} / U_{OH} = 13,5 \text{ V}
 \end{aligned}$$

Für die Schaltkreise gelten, wenn nicht anders angegeben, im Arbeitstempereaturbereich $T_a = -40 \dots +85 \text{ }^\circ\text{C}$ folgende gemeinsame Kennwerte:

- Eingangsreststrom: $|I_I| \leq 1,0 \text{ } \mu\text{A}$ bei $U_{DD} = 15 \text{ V}$, $T_a = 85 \text{ }^\circ\text{C}$

- Ausgangsspannung L bei $|I_O| < 1 \text{ } \mu\text{A}$:

$$U_{OL} \leq 0,05 \text{ V} \text{ bei } U_{DD} = 5 \text{ V}, 10 \text{ V} \text{ und } 15 \text{ V}$$

- Ausgangsspannung H bei $|I_O| < 1 \text{ } \mu\text{A}$:

$$\begin{aligned}
 U_{OH} &\geq 4,95 \text{ V} \text{ bei } U_{DD} = 5 \text{ V} \\
 &\geq 9,95 \text{ V} \text{ bei } U_{DD} = 10 \text{ V} \\
 &\geq 14,95 \text{ V} \text{ bei } U_{DD} = 15 \text{ V}
 \end{aligned}$$

- Ausgangsstrom L:

$$\begin{aligned}
 I_{OL} &\geq 0,4 \text{ mA} \text{ bei } U_{DD} = 5 \text{ V}, U_{OL} = 0,4 \text{ V} \\
 &\geq 0,9 \text{ mA} \text{ bei } U_{DD} = 10 \text{ V}, U_{OL} = 0,5 \text{ V} \\
 &\geq 2,4 \text{ mA} \text{ bei } U_{DD} = 15 \text{ V}, U_{OL} = 1,5 \text{ V}
 \end{aligned}$$

- Ausgangsstrom H:

$$\begin{aligned}
 |I_{OH}| &\geq 0,4 \text{ mA} \text{ bei } U_{DD} = 5 \text{ V}, U_{OH} = 4,6 \text{ V} \\
 &\geq 0,9 \text{ mA} \text{ bei } U_{DD} = 10 \text{ V}, U_{OH} = 9,5 \text{ V} \\
 &\geq 2,4 \text{ mA} \text{ bei } U_{DD} = 15 \text{ V}, U_{OH} = 13,5 \text{ V}
 \end{aligned}$$

- Statische Stromaufnahme V 4013 D, V 4027 D bei $T_a = 25 \text{ }^\circ\text{C}$:

$$\begin{aligned}
 I_{DD} &\leq 1 \text{ } \mu\text{A} \text{ bei } U_{DD} = 5 \text{ V} \\
 &\leq 2 \text{ } \mu\text{A} \text{ bei } U_{DD} = 10 \text{ V} \\
 &\leq 4 \text{ } \mu\text{A} \text{ bei } U_{DD} = 15 \text{ V}
 \end{aligned}$$

- Statische Stromaufnahme V 4015 D bei $T_a = 25 \text{ }^\circ\text{C}$:

$$\begin{aligned}
 U_{DD} &\leq 5 \text{ } \mu\text{A} \text{ bei } U_{DD} = 5 \text{ V} \\
 &\leq 10 \text{ } \mu\text{A} \text{ bei } U_{DD} = 10 \text{ V} \\
 &\leq 20 \text{ } \mu\text{A} \text{ bei } U_{DD} = 15 \text{ V}
 \end{aligned}$$

- Eingangskapazität

$$C_I \leq 7,5 \text{ pF} \text{ bei } T_a = 25 \text{ }^\circ\text{C}$$

4.3. Funktionsbeschreibung und spezielle Kennwerte der Schaltkreise

4.3.1. V 4013 D

Der V 4013 D ist ein 2fach D-Flip-Flop, wobei jedes Flip-Flop unabhängig voneinander über Takt-, Daten-, Setz und Rücksetzeingänge verfügt. Abb. 1 zeigt Schaltungskurzzeichen und Anschlußbelegung des Schaltkreises. Die am Dateneingang D anliegende Information wird mit der L/H-Flanke des Taktsignals übernommen und erscheint an den Ausgängen Q bzw. \bar{Q} . Während des H-Zustandes des Taktes wird der Dateneingang blockiert. Unabhängig vom Taktsignal läßt sich jedes Flip-Flop über den Setzeingang S setzen (S = H bewirkt Q = H) bzw. über den Rücksetzeingang R rücksetzen (R = H bewirkt \bar{Q} = H). Der Schaltkreis läßt sich für die Realisierung von Schieberegistern (\bar{Q} mit D verbunden) und Zählern verwenden. Für jedes Flip-Flop des V 4013 D gilt folgende Wahrheitstabelle:

Eingänge				Ausgänge	
C	D	R	S	Q	\bar{Q}
L/H-Flanke	L	L	L	L	H
L/H-Flanke	H	L	L	H	L
H/L-Flanke	X	L	L	Q	\bar{Q}
X	X	H	L	L	H
X	X	L	H	H	L
X	X	H	H	H	H

(X = L oder H)

Die Verzögerungszeiten sowie die Anstiegs- und Abfallzeiten der Ausgangsimpulse eines Flip-Flops bei $T_a = 25^\circ \text{C}$ und $C_L = 50 \text{ pF}$ sind:

$$\begin{aligned}
 t_{\text{PCHL}}, t_{\text{PCLH}} &\leq 300 \text{ ns bei } U_{\text{DD}} = 5 \text{ V} \\
 &\leq 130 \text{ ns bei } U_{\text{DD}} = 10 \text{ V} \\
 &\leq 90 \text{ ns bei } U_{\text{DD}} = 15 \text{ V} \\
 t_{\text{PSLH}}, t_{\text{PRLH}} &\leq 300 \text{ ns bei } U_{\text{DD}} = 5 \text{ V} \\
 &\leq 130 \text{ ns bei } U_{\text{DD}} = 10 \text{ V} \\
 &\leq 90 \text{ ns bei } U_{\text{DD}} = 15 \text{ V}
 \end{aligned}$$

$$\begin{aligned}
t_{PSHL}, t_{PRHL} &\leq 400 \text{ ns bei } U_{DD} = 5 \text{ V} \\
&\leq 170 \text{ ns bei } U_{DD} = 10 \text{ V} \\
&\leq 120 \text{ ns bei } U_{DD} = 15 \text{ V} \\
&\quad \text{(siehe Abb. 6)} \\
t_{THL}, t_{TLH} &\leq 200 \text{ ns bei } U_{DD} = 5 \text{ V} \\
&\leq 100 \text{ ns bei } U_{DD} = 10 \text{ V} \\
&\leq 80 \text{ ns bei } U_{DD} = 15 \text{ V}
\end{aligned}$$

Beim Einsatz des V 4013 D sind ferner die folgenden Betriebsbedingungen einzuhalten (gültig bei $T_a = 25^\circ\text{C}$, $C_L = 50 \text{ pF}$):

$$\begin{aligned}
t_{CLH}, t_{CHL} &\leq 15 \text{ } \mu\text{s bei } U_{DD} = 5 \text{ V} \\
&\leq 4 \text{ } \mu\text{s bei } U_{DD} = 10 \text{ V} \\
&\leq 1 \text{ } \mu\text{s bei } U_{DD} = 15 \text{ V} \\
t_{CH} &\geq 140 \text{ ns bei } U_{DD} = 5 \text{ V} \\
&\geq 60 \text{ ns bei } U_{DD} = 10 \text{ V} \\
&\geq 40 \text{ ns bei } U_{DD} = 15 \text{ V} \\
&\quad \text{(siehe Abb. 6)} \\
t_{SH}, t_{RH} &\geq 180 \text{ ns bei } U_{DD} = 5 \text{ V} \\
&\geq 80 \text{ ns bei } U_{DD} = 10 \text{ V} \\
&\geq 50 \text{ ns bei } U_{DD} = 15 \text{ V} \\
t_{SD} &\geq 40 \text{ ns bei } U_{DD} = 5 \text{ V} \\
&\geq 20 \text{ ns bei } U_{DD} = 10 \text{ V} \\
&\geq 15 \text{ ns bei } U_{DD} = 15 \text{ V}
\end{aligned}$$

Die Maximalwerte für die Taktfrequenz bei einer Anstiegs- und Abfallzeit der Takteingangsimpulse von 5 ns sowie $T_a = 25^\circ\text{C}$ und $C_L = 50 \text{ pF}$ sind:

$$\begin{aligned}
f_C &\leq 3,5 \text{ MHz bei } U_{DD} = 5 \text{ V} \\
&\leq 8,0 \text{ MHz bei } U_{DD} = 10 \text{ V} \\
&\leq 12,0 \text{ MHz bei } U_{DD} = 15 \text{ V}
\end{aligned}$$

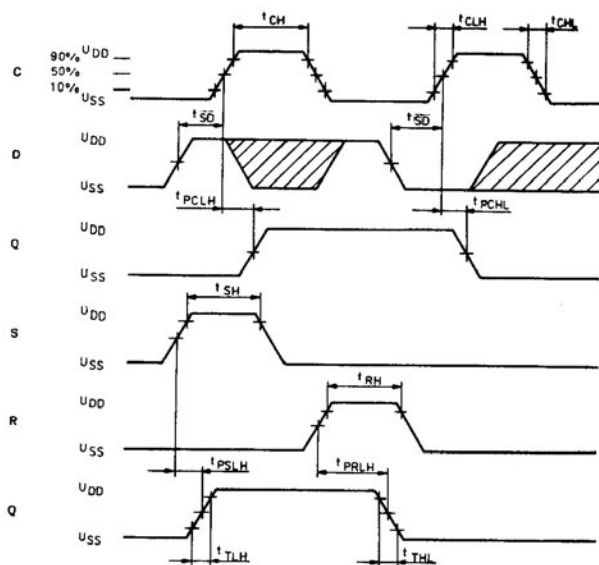


Abb. 6

4.3.2. V 4015 D

Der V 4015 D ist ein 2fach 4 bit-Schieberegister. Abb. 2 zeigt Schaltungsskizzen und Anschlußbelegung des Schaltkreises. Die Schieberegister sind vom Typ eines Serien-Parallel-Wandlers. Jedes der beiden statischen Schieberegister hat einen eigenen Takt- und Rücksetzeingang. Die am jeweiligen Dateneingang D anliegende Information wird mit der L/H-Flanke des Taktes C in die Schieberegisterstelle 1 übernommen und erscheint am Ausgang O_{n0} . Mit jeder weiteren L/H-Flanke des Taktes wird die Information um eine Schieberegisterstelle weitergeschoben. Auf die H/L-Flanke des Taktes erfolgt keine Änderung an den Ausgängen. Mit einem H-Signal am Rücksetzeingang R läßt sich das Schieberegister löschen (O_{n0} bis $O_{n3} = L$). Das Schieberegister läßt sich insbesondere für die Umwandlung serieller Daten in parallele Daten einsetzen. Für jedes Schieberegister des V 4015 D gilt folgende Wahrheitstabelle:

m	Eingänge			Ausgänge			
	C	D	R	O_0	O_1	O_2	O_3
1	L/H-Flanke	D1	L	D1	X	X	X
2	L/H-Flanke	D2	L	D2	D1	X	X
3	L/H-Flanke	D3	L	D3	D2	D1	X
4	L/H-Flanke	D4	L	D4	D3	D2	D1
	H/L-Flanke	X	L	keine Änderung			
	X	X	H	L	L	L	L

(m = Anzahl der Takte, X = L oder H)

Die Verzögerungszeiten sowie die Anstiegs- und Abfallzeiten der Ausgangsimpulse des Schaltkreises bei $\vartheta_a = 25^\circ\text{C}$ und $C_L = 50\text{ pF}$ sind:

$$\begin{aligned}
 t_{PCHL}, t_{PCLH} &\leq 320\text{ ns bei } U_{DD} = 5\text{ V} \\
 &\leq 160\text{ ns bei } U_{DD} = 10\text{ V} \\
 &\leq 120\text{ ns bei } U_{DD} = 15\text{ V} \\
 t_{PRHL} &\leq 400\text{ ns bei } U_{DD} = 5\text{ V} \\
 &\leq 200\text{ ns bei } U_{DD} = 10\text{ V} \\
 &\leq 160\text{ ns bei } U_{DD} = 15\text{ V}
 \end{aligned}$$

$$\begin{aligned}
 t_{THL}, t_{TLH} &\leq 350 \text{ ns bei } U_{DD} = 5 \text{ V} \\
 &\leq 160 \text{ ns bei } U_{DD} = 10 \text{ V} \\
 &\leq 120 \text{ ns bei } U_{DD} = 15 \text{ V}
 \end{aligned}$$

(siehe Abb. 7)

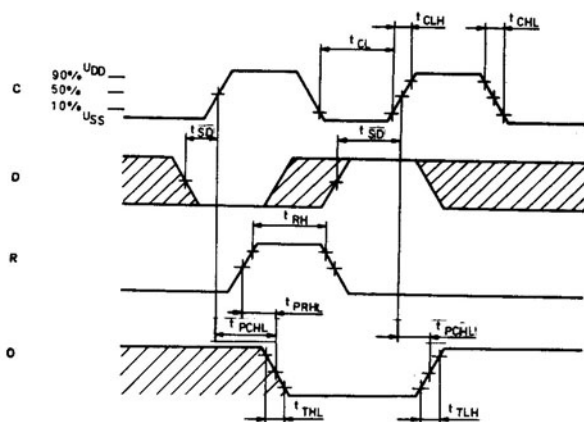


Abb. 7

Beim Einsatz des V 4014 sind ferner die folgenden Betriebsbedingungen einzuhalten (gültig bei $T_a = 25^\circ\text{C}$, $C_L = 50 \text{ pF}$):

$$t_{CLH}, t_{CHL} \leq 15 \mu\text{s bei } U_{DD} = 5 \dots 15 \text{ V}$$

$$\begin{aligned}
 t_{SD} &\geq 70 \text{ ns bei } U_{DD} = 5 \text{ V} \\
 &\geq 40 \text{ ns bei } U_{DD} = 10 \text{ V} \\
 &\geq 30 \text{ ns bei } U_{DD} = 15 \text{ V}
 \end{aligned}$$

t_{CL}	$\geq 180 \text{ ns}$ bei $U_{DD} = 5 \text{ V}$	(siehe Abb. 7)
	$\geq 80 \text{ ns}$ bei $U_{DD} = 10 \text{ V}$	
	$\geq 50 \text{ ns}$ bei $U_{DD} = 15 \text{ V}$	
t_{RH}	$\geq 200 \text{ ns}$ bei $U_{DD} = 5 \text{ V}$	
	$\geq 80 \text{ ns}$ bei $U_{DD} = 10 \text{ V}$	
	$\geq 60 \text{ ns}$ bei $U_{DD} = 15 \text{ V}$	

Die Maximalwerte für die Taktfrequenz bei $\vartheta_a = 25^\circ \text{C}$ und $C_L = 50 \text{ pF}$ sind:

f_C	$\leq 3,0 \text{ MHz}$ bei $U_{DD} = 5 \text{ V}$
	$\leq 6,0 \text{ MHz}$ bei $U_{DD} = 10 \text{ V}$
	$\leq 8,5 \text{ MHz}$ bei $U_{DD} = 15 \text{ V}$

4.3.3. V 4027 D

Der V 4027 D ist ein 2fach JK-Master-Slave-Flip-Flop. Abb. 3 zeigt Schaltungsskurzzeichen und Anschlußbelegung des Schaltkreises. Jedes der beiden Flip-Flop hat getrennte Takt-, Setz-, Rücksetz- und Informationseingänge. Der Zustandswechsel des Flip-Flops erfolgt, in Abhängigkeit von den Signalen an den Dateneingängen, mit der L/H-Flanke des Taktsignals. Unabhängig vom Taktsignal läßt sich jedes Flip-Flop über den Setzeingang S setzen ($S = H$ bewirkt $Q = H$) bzw. Rücksetzeingang R rücksetzen ($R = H$ bewirkt $\bar{Q} = H$). Der Schaltkreis ist insbesondere für die Realisierung von Registern und Zehlschaltungen einsetzbar. Für jedes Flip-Flop des V 4027 D gilt folgende Wahrheitstabelle:

Eingänge					Ausgänge	
J	K	S	R	C	Q	\bar{Q}
L	L	L	L	L/H-Flanke	keine Änderung	
H	L	L	L	L/H-Flanke	H	L
L	H	L	L	L/H-Flanke	L	H
H	H	L	L	L/H-Flanke	\bar{Q}_n	Q_n
X	X	H	L	X	H	L
X	X	L	H	X	L	H
X	X	H	H	X	H	H

(X = L oder H)

Die Verzögerungszeiten sowie die Anstiegs- und Abfallzeiten der Ausgangsimpulse jedes Flip-Flops bei $T_a = 25^\circ\text{C}$ und $C_L = 50\text{ pF}$ sind:

$$\begin{aligned} t_{PCHL}, t_{PCLH} &\leq 300\text{ ns bei } U_{DD} = 5\text{ V} \\ &\leq 130\text{ ns bei } U_{DD} = 10\text{ V} \\ &\leq 90\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

$$\begin{aligned} t_{PSLH}, t_{PRLH} &\leq 300\text{ ns bei } U_{DD} = 5\text{ V} \\ &\leq 130\text{ ns bei } U_{DD} = 10\text{ V} \\ &\leq 90\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

(siehe Abb. 8)

$$\begin{aligned} t_{PSHL}, t_{PRHL} &\leq 400\text{ ns bei } U_{DD} = 5\text{ V} \\ &\leq 170\text{ ns bei } U_{DD} = 10\text{ V} \\ &\leq 120\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

$$\begin{aligned} t_{THL}, t_{TLH} &\leq 200\text{ ns bei } U_{DD} = 5\text{ V} \\ &\leq 100\text{ ns bei } U_{DD} = 10\text{ V} \\ &\leq 80\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

Beim Einsatz des V 4027 D sind ferner folgende Betriebsbedingungen einzuhalten (gültig bei $T_a = 25^\circ\text{C}$, $C_L = 50\text{ pF}$):

$$\begin{aligned} t_{CLH}, t_{CHL} &\leq 15\text{ }\mu\text{s bei } U_{DD} = 5\text{ V} \\ &\leq 4\text{ }\mu\text{s bei } U_{DD} = 10\text{ V} \\ &\leq 1\text{ }\mu\text{s bei } U_{DD} = 15\text{ V} \end{aligned}$$

$$\begin{aligned} t_{CH} &\geq 140\text{ ns bei } U_{DD} = 5\text{ V} \\ &\geq 60\text{ ns bei } U_{DD} = 10\text{ V} \\ &\geq 40\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

(siehe Abb. 8)

$$\begin{aligned} t_{SH}, t_{RH} &\geq 180\text{ ns bei } U_{DD} = 5\text{ V} \\ &\geq 80\text{ ns bei } U_{DD} = 10\text{ V} \\ &\geq 50\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

$$\begin{aligned} t_{SD} &\geq 200\text{ ns bei } U_{DD} = 5\text{ V} \\ &\geq 75\text{ ns bei } U_{DD} = 10\text{ V} \\ &\geq 50\text{ ns bei } U_{DD} = 15\text{ V} \end{aligned}$$

Die Maximalwerte für die Taktfrequenz bei einer Anstiegs- und Abfallzeit der Takteingangsimpulse von 5 ns sowie bei $T_a = 25^\circ\text{C}$ und $C_L = 50\text{ pF}$ sind:

$$\begin{aligned} f_C &\leq 3,5\text{ MHz bei } U_{DD} = 5\text{ V} \\ &\leq 8,0\text{ MHz bei } U_{DD} = 10\text{ V} \\ &\leq 12,0\text{ MHz bei } U_{DD} = 15\text{ V} \end{aligned}$$

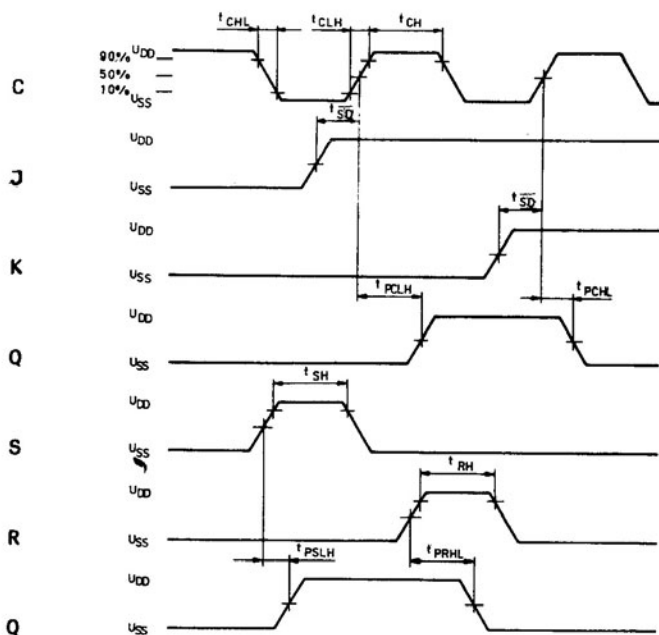


Abb. 8

5. Einsatzmöglichkeiten der Schaltkreise V 4013 D, V 4015 D und V 4027 D

Im folgenden sollen Möglichkeiten von Schaltungen dargestellt und erläutert werden, die unter Anwendung der Schaltkreise V 4013 D, V 4015 D und V 4027 D realisiert werden können.

5.1. 4 bit-Auffangregister mit V 4013 D

Ein 4 bit-Auffangregister läßt sich gemäß Abb. 9 unter Verwendung von 2 Stück V 4013 D realisieren, wobei eine Erweiterung entsprechend der geforderten Wortbreite der Eingangsdaten nahezu beliebig möglich ist. Die an den Dateneingängen anliegenden Informationen werden mit der L/H-Flanke des Taktsignals übernommen und bleiben bis zur nächsten Taktflanke gespeichert. Über die Eingänge S und R ist das Auffangregister auch setz- oder rücksetzbar.

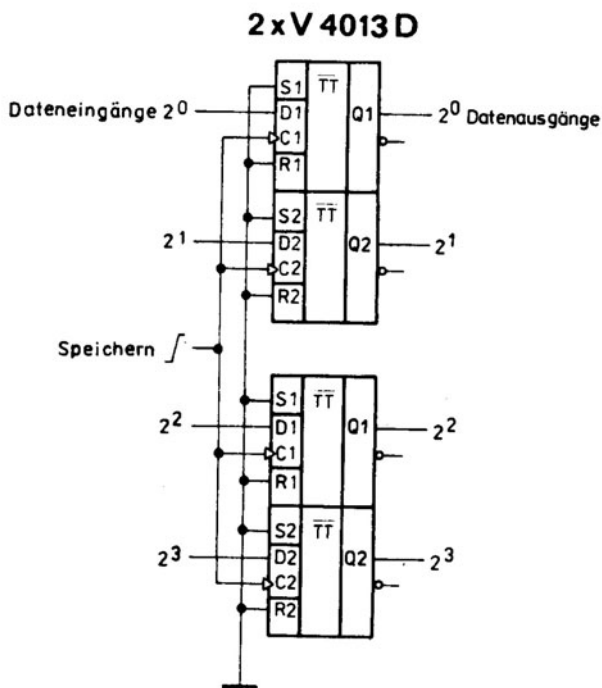


Abb. 9

5.2. Zyklischer 1 bit-Umlauf mit V 4015 D

Abb. 10 und 11 zeigen Möglichkeiten für Schaltungen, mit denen der Umlauf eines einzelnen bit erreicht werden kann. Die Schaltung gemäß Abb. 10 erzeugt den Umlauf eines einzelnen bit als H-Impuls, Abb. 11 den Umlauf eines einzelnen bit als L-Impuls.

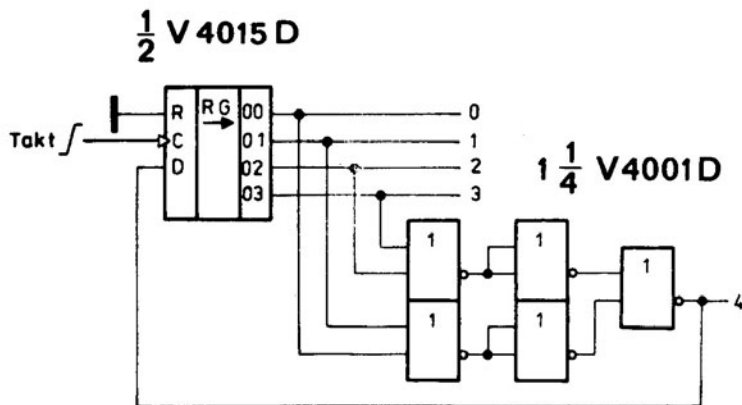


Abb. 10

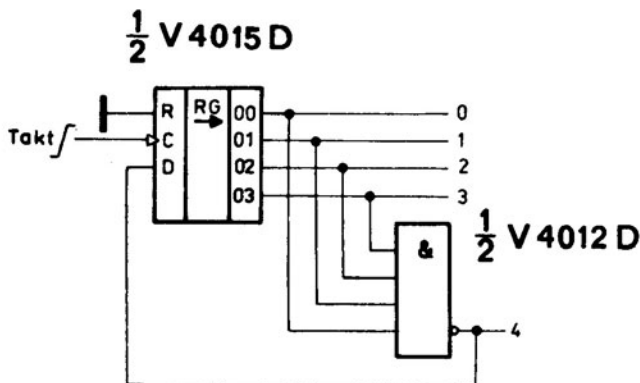


Abb. 11

5.3. D/A-Wandler mit V 4013 D

Unter Einsatz von 2 Stück V 4013 D läßt sich gemäß Abb. 12 auch ein D/A-Wandler realisieren, wobei ein Widerstandsnetzwerk mit der Abstufung 1-2-4-8 verwendet wurde. Soll ein Wandler mit höherer Auflösung realisiert werden, so sind Widerstände mit hohem Widerstandswerten erforderlich, deren Einsatz problematisch wird. Günstiger ist es, für derartige Erfordernisse R-2R-Widerstandsnetzwerke, wie in der Schaltungsvariante gemäß Abb. 13 gezeigt, einzusetzen. Diese Schaltungsvariante hat auch den Vorteil, daß die Low- und High-Ströme jeder Stufe identisch sind und sich interne Änderungen selbst kompensieren. Abb. 14 stellt den Ausgangsspannungsverlauf der beiden Wandler dar.

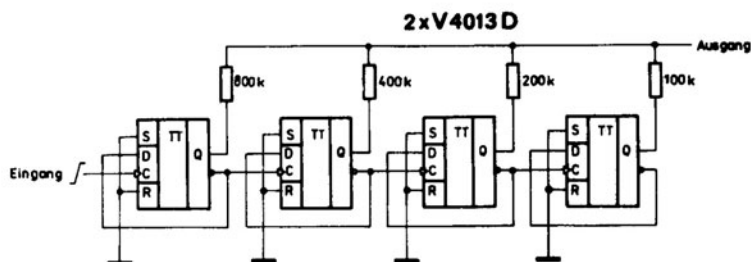


Abb. 12

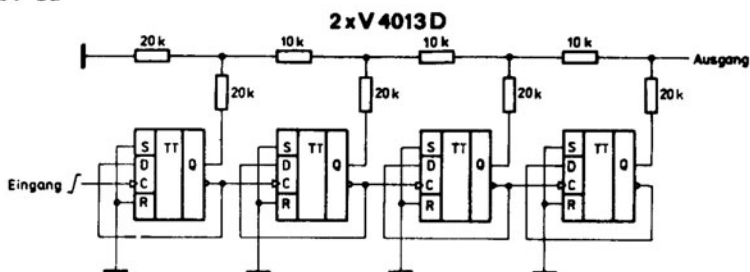


Abb. 13

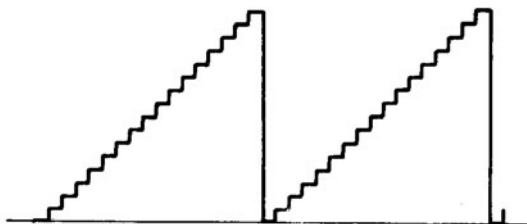


Abb. 14

5.4. 16 bit-Schieberegister mit V 4015 D

Abb. 15 zeigt ein 16 bit-Schieberegister, das mit 2 Stück V 4015 D realisiert werden kann. Die am Eingang D des ersten Schieberegisters anliegenden seriellen Daten werden nach jeder Taktflanke um eine Stelle weitergeschoben und können nach dem 16. Takt an den Ausgängen 0 bis 15 parallel übernommen werden.

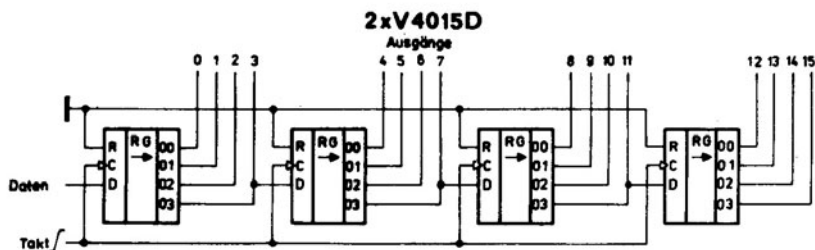


Abb. 15

5.5. 4 bit-Schieberegister mit V 4013 D und V 4027 D

Abb. 16 ist ein Schaltungsvorschlag für ein 4 bit-Schieberegister unter Verwendung von 2 Stück V 4013 D. Die Datenübernahme erfolgt mit der L/H-Flanke in das erste Flip-Flop, wobei die Daten mit jeder folgenden L/H-Taktflanke um eine Registerstelle weitergeschoben werden. Eine serielle 4 bit-Information kann nach der 4. Taktflanke an den Ausgängen 0 bis 3 übernommen werden. Über den Eingang R ist das Register rücksetzbar. Analog arbeitet ein 4 bit-Schieberegister, das mit 2 Stück V 4027 D aufgebaut werden kann (Abb. 17).

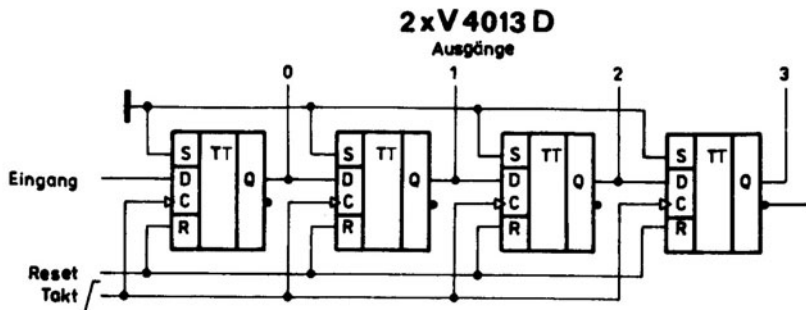


Abb. 16

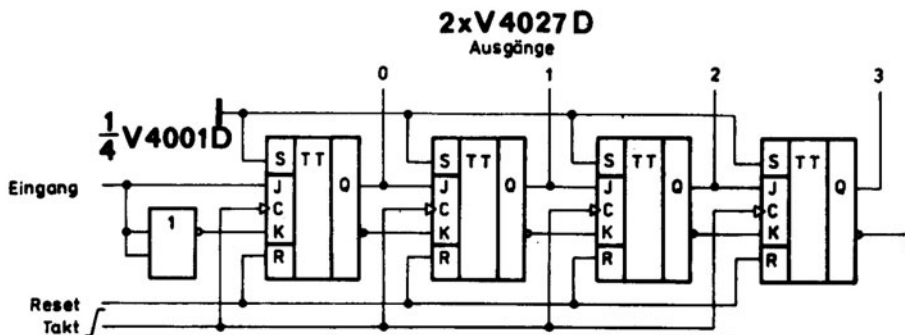


Abb. 17

5.6. Zähler mit V 4013 D und V 4027 D

Unter Verwendung der Schaltkreise V 4013 D und V 4027 D ist auch die Realisierung von asynchron arbeitenden Zählern möglich.

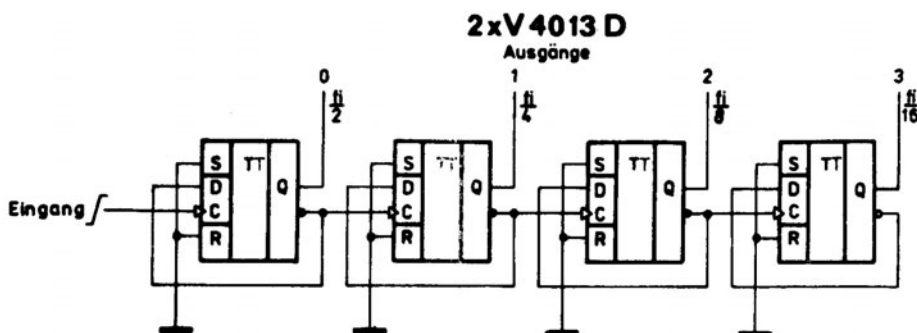


Abb. 18

Abb. 18 zeigt einen asynchron arbeitenden 4 bit-Zähler (ripple-counter), der mit 2 Stück V 4013 D realisiert werden kann.

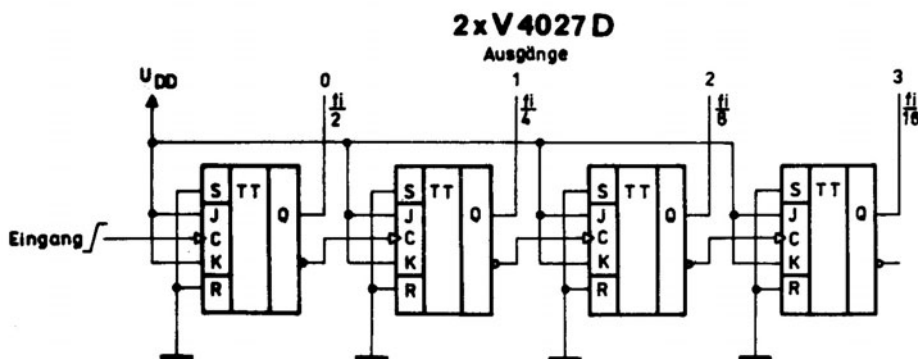


Abb. 19

Die Abb. 19 stellt die Schaltungsvariante für einen asynchronen 4 bit-Zähler unter Verwendung von 2 Stück V 4027 D dar. In beiden Fällen dient die am Ausgang jeder Stufe auftretende L/H-Flanke des Ausgangssignals als Taktimpulsflanke der nachfolgenden Stufe.

Da jede Stufe die Taktfrequenz um den Faktor 2 teilt, ist an den Ausgängen 0 bis 3 die Abnahme von Frequenzen im Teilungsverhältnis 1:2, 1:4 usw. möglich.

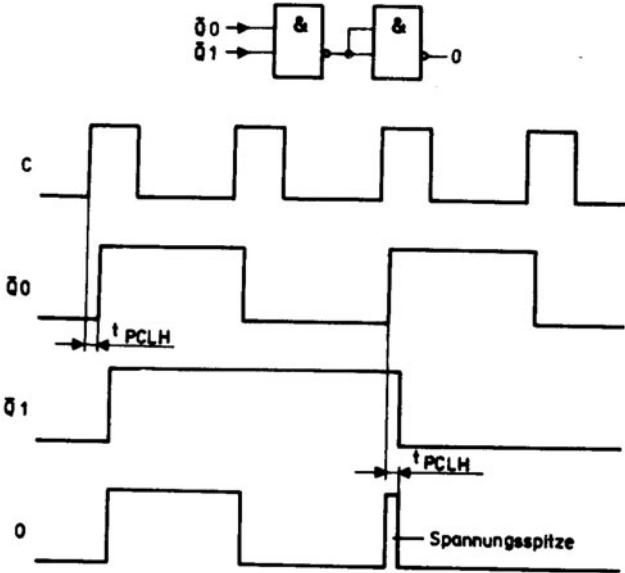


Abb. 20

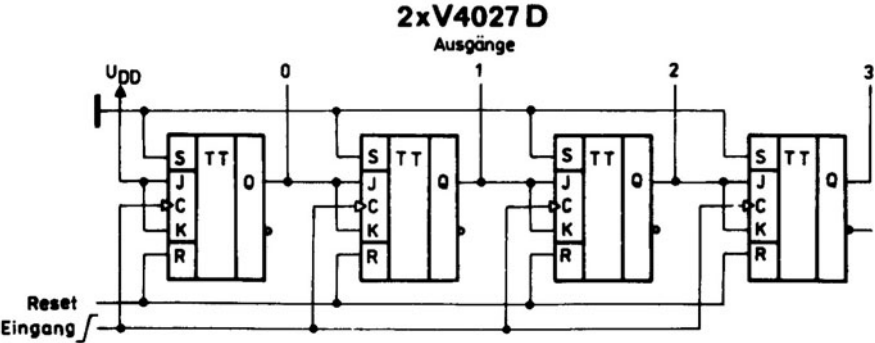


Abb. 21

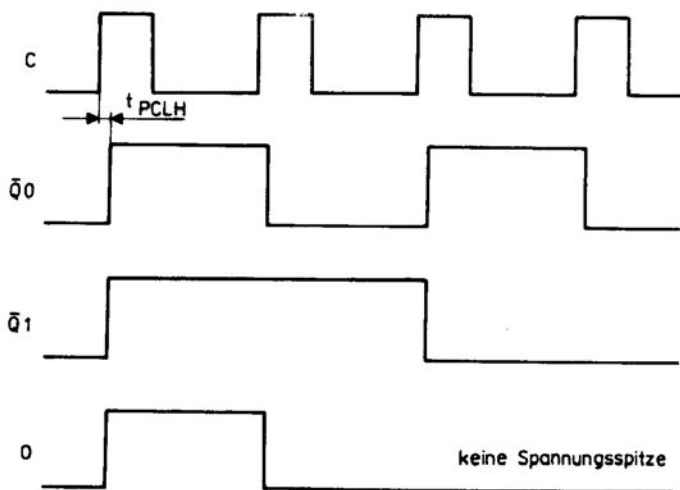


Abb. 22

Abb. 21 zeigt einen synchron arbeitenden 4 bit-Zähler unter Verwendung von 2 Stück V 4027 D. Synchrone Zähler haben den Vorteil, daß sie mit höheren Taktfrequenzen arbeiten können als asynchrone Zähler. Ferner fehlen bei synchronen Zählern Spannungsspitzen, die durch ungültige Zustände infolge der internen Verzögerungen der einzelnen Flip-Flop während des Zählvorganges entstehen können. Diese Spannungsspitzen können u. U. erhebliche Funktionsstörungen verursachen, wenn bestimmte Zählerzustände dekodiert werden sollen (vergl. Abb. 20 und 22). Größere Synchronzähler erfordern jedoch meist einen höheren Aufwand an Gattern, so daß ihre Realisierung teurer wird.

6. Hinweise auf Standards

TGL 38 996	Integrierte Halbleiterschaltkreise Unipolare Logikschaltkreise V 4013 D, V 4027 D
TGL 38 997	Integrierte Halbleiterschaltkreise Unipolare Logikschaltkreise V 4015 D, V 4028 D
TGL 24 951	Integrierte Halbleiterschaltkreise Allgemeine technische Bedingungen
TGL 26 713	Integrierte Halbleiterschaltkreise Bauformen für monolithische integrierte Schaltkreise
TGL 38 015	Bauelemente der Elektronik / Bezeichnungssystem für Halbleiter- bauelemente und integrierte Halbleiter- schaltkreise
TGL 29 268	Integrierte Halbleiterschaltkreise / Kurzzeichen für integrierte Halbleiter- schaltkreise

7. Vergleichsliste

Nr.	MME	CEMI	TESLA	UdSSR	Ei	RCA	MOT
1	V 4013 D	MCY 64013 N	MHF 4013	K 561 TM 2	CD 4013 BE	CD 4013 BE	MC 14013 BCP
2	V 4015 D	-	MHF 4015	K 561 IR 2	CD 4015 BE	CD 4015 BE	MC 14015 BCP
3	V 4027 D	MCY 64027 N -	-	K 561 TW 1	CD 4027 BE	CD 4027 BE	MC 14027 BCP
Nr.	MME	NS	VALVO	SGS-ATES	TOSHIBA	SSS	Fairchild
1	V 4013 D	CD 4013 BCN	HEF 4013 BP	HCF 4013 BE	TC 4013 BP	SCL 4013 BE	4013 BPC
2	V 4015 D	CD 4015 BCN	HEF 4015 BP	HCF 4015 BE	TC 4015 BP	SCL 4015 BE	4015 BPC
3	V 4027 D	CD 4027 BCN	HEF 4027 BP	HCF 4027 BE	TC 4027 BP	SCL 4027 BE	4027 BPC

Anmerkungen: Die dynamischen Parameter der CMOS-Logikbaureihen sind international nicht standardisiert, weshalb je nach Hersteller zum Teil erhebliche Abweichungen bestehen. Ferner gilt es je nach Hersteller Abweichungen im Einsatztemperaturbereich und zum Teil auch in den Grenzwerten und in den statischen Parametern der Baureihen, die beim Austausch zu beachten sind.