

## **Integrierte Schaltkreise**



### **Funktion und Einsatzmöglichkeiten**

**CMOS-Logikschaltkreise  
V 4028 D, V 4035 D  
und V 4042 D**

### **Applikation**

# **CMOS-Logikbaureihe V 4000 D**

**Heft 4**

**Funktion und Einsatzmöglichkeiten der  
CMOS-Logikschaltkreise  
V 4028 D, V 4035 D und V 4042 D**

**veb mikroelektronik › karl marx › erfurt  
stammbetrieb**



## Inhaltsübersicht

## Seite

1.	Vorbemerkungen	3
2.	Einleitung	4
3.	Anschlußbelegung und Gehäuse	4
4.	Technische Daten der CMOS-Schaltkreise V 4028 D, V 4035 D und V 4042 D	6
4.1.	Grenzwerte	6
4.2.	Betriebsbedingungen und gemeinsame Kennwerte der Schaltkreise	7
4.3.	Funktionsbeschreibung und spezielle Kennwerte der Schaltkreise	8
4.3.1.	V 4028 D	8
4.3.2.	V 4035 D	10
4.3.3.	V 4042 D	13
5.	Einsatzmöglichkeiten der Schaltkreise V 4028 D, V 4035 D und V 4042 D	16
5.1.	Code-Wandler	16
5.2.	6 bit 1 aus 64 -Dekoder	18
5.3.	Zählerstandkontrolle	18
5.4.	Rechts-/Links-Schieberegister	18
5.5.	8 bit-Auffangregister	21
6.	Hinweise auf Standards	23
7.	Vergleichsliste	24

---

Nachdruck, auch auszugsweise, nur mit Genehmigung  
des Herausgebers !

## 1. Vorbemerkungen

Die vorliegende technische Information dient dem Informationsbedürfnis des Schaltungsentwicklers und Gerätekonstruktors. Sie gibt keine Auskunft über Liefermöglichkeiten und beinhaltet keine Verbindlichkeit zur Produktion.

Gültige Unterlagen für den Bezug der in dieser Information beschriebenen Schaltkreise sind allein die Typstandards oder die in einem Liefervertrag fixierten Vereinbarungen.

Änderungen der Bauelementeeigenschaften, die dem technischen Fortschritt dienen, behält sich der Halbleiterbauelemente-Hersteller vor.

Für die Patentfreiheit der angegebenen Schaltungsvorschläge wird keine Gewähr übernommen.

Anfragen und Hinweise zu technischen Problemen sind zu richten an

veb mikroelektronik "karl marx" erfurt  
Abteilung Applikation Bauelemente

5010 E r f u r t

Rudolfstraße 47

## 2. Einleitung

In Heft 1 dieser Schriftenreihe wurden die gemeinsamen technischen Daten der Schaltkreise der Baureihe V 4000 D vorgestellt und in den nachfolgenden Heften 2 und 3 die speziellen technischen Daten der Schaltkreise V 4001 D, V 4011 D, V 4012 D, V 4013 D, V 4015 D, V 4023 D, V 4027 D und V 4030 D beschrieben und Möglichkeiten für den Einsatz der Schaltkreise angedeutet.

In diesem Heft sollen die Schaltkreistypen V 4028 D, V 4035 D und V 4042 D mit ihren speziellen technischen Daten vorgestellt und Beispiele für Einsatzmöglichkeiten dieser 3 Typen angegeben werden.

## 3. Anschlußbelegung und Gehäuse

In den Abbildungen 1 bis 3 sind die Anschlußbelegungen und die Schaltungsskurzzeichen der Schaltkreistypen V 4028 D, V 4035 D und V 4042 D dargestellt.

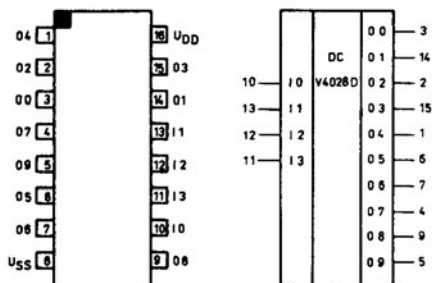


Abb. 1

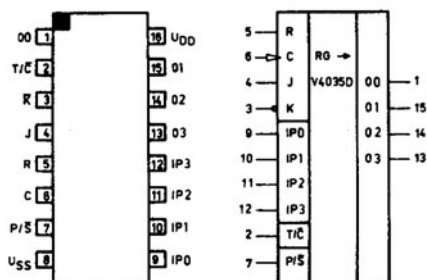


Abb. 2

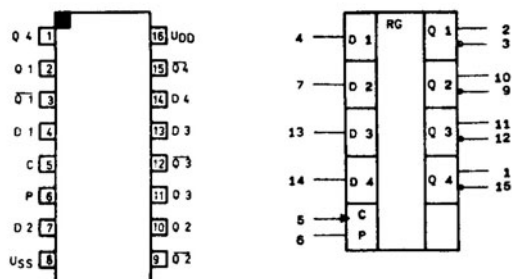


Abb. 3

Abb. 4 zeigt das Gehäuse der 3 Schaltkreistypen. Es ist ein 16poliges DIL-Plastgehäuse mit einem Reihenabstand von 7,5 mm. Die Anschlüsse des Gehäuses entsprechen denen der TGL 26 713.

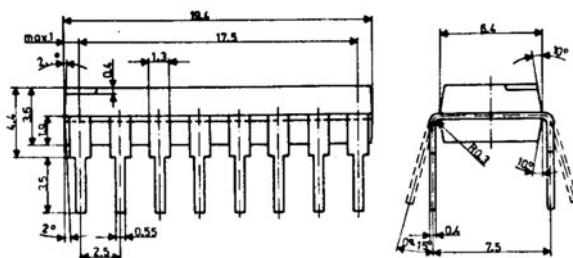


Abb. 4

Bauform: 21.2.1.16

TGL 26 713

Masse: ca. 1 g

#### 4. Technische Daten der CMOS-Schaltkreise V 4028 D, V 4035 D und V 4042 D

---

##### 4.1. Grenzwerte

Die für den maximalen Arbeitstemperaturbereich  $\vartheta_a = -40...+85\text{ °C}$  geltenden Grenzwerte dieser Schaltkreise sind folgende:

- Betriebsspannung  
 $U_{DD} = (U_{SS} - 0,5\text{ V}) \dots (U_{SS} + 18\text{ V})$
- Eingangsspannung  
 $U_I = (U_{SS} - 0,5\text{ V}) \dots (U_{DD} + 0,5\text{ V})$
- Ausgangsspannung  
 $U_D = (U_{SS} - 0,5\text{ V}) \dots (U_{DD} + 0,5\text{ V})$
- Gesamtverlustleistung/Schaltkreis:  
 $P_{tot} = 300\text{ mW}$ , gültig bis  $\vartheta_a = 70\text{ °C}$   
 $P_{tot} = 150\text{ mW}$ , gültig bis  $\vartheta_a = 85\text{ °C}$
- Verlustleistung je Ausgangstransistor:  
 $P_V = 100\text{ mW}$
- Lagertemperaturbereich:  
 $\vartheta_{stg} = -55...+125\text{ °C}$
- Lastkapazität je Ausgang:  
 $C_L = 5\text{ nF}$
- Gesamteingangsstrom je Schaltkreis:  
 $/I_I/ = 10\text{ mA}$

##### Anmerkung:

Die Schaltkreise müssen grundsätzlich gegen Überspannungsspitzen der Versorgungsspannung und der logischen Signale, die die Grenzwerte überschreiten, geschützt werden. Eingangssignale, die in speziellen Schaltungen oder im Störfall die aufgeführten Grenzen von 0,5 V über  $U_{DD}$  oder unter  $U_{SS}$  überschreiten, sind strommäßig auf  $\leq 10\text{ mA}$  je Schaltkreis zu begrenzen.

## 4.2. Betriebsbedingungen und gemeinsame Kennwerte der Schaltkreise

---

Die für den Arbeitstemperaturbereich  $\bar{T}_a = -40...+85\text{ }^{\circ}\text{C}$  geltenden Betriebsbedingungen der Schaltkreise sind folgende:

- Betriebsspannung

$$U_{DD} = +3...+15\text{ V}$$

- Eingangsspannung

$$U_I = 0...U_{DD}$$

- Eingangsspannung H bei  $|I_O| < 1\mu\text{A}$ :

$$U_{IH} \geq 3,5\text{ V} \quad \text{bei} \quad U_{DD} = 5\text{ V}$$

$$U_{OL} = 0,5\text{ V} / U_{OH} = 4,5\text{ V}$$

$$U_{IH} \geq 7\text{ V} \quad \text{bei} \quad U_{DD} = 10\text{ V}$$

$$U_{OL} = 1\text{ V} / U_{OH} = 9\text{ V}$$

$$U_{IH} \geq 11\text{ V} \quad \text{bei} \quad U_{DD} = 15\text{ V}$$

$$U_{OL} = 1,5\text{ V} / U_{OH} = 13,5\text{ V}$$

- Eingangsspannung L bei  $|I_O| < 1\mu\text{A}$

$$U_{IL} \leq 1,5\text{ V} \quad \text{bei} \quad U_{DD} = 5\text{ V}$$

$$U_{OL} = 0,5\text{ V} / U_{OH} = 4,5\text{ V}$$

$$U_{IL} \leq 3\text{ V} \quad \text{bei} \quad U_{DD} = 10\text{ V}$$

$$U_{OL} = 1\text{ V} / U_{OH} = 9\text{ V}$$

$$U_{IL} \leq 4\text{ V} \quad \text{bei} \quad U_{DD} = 15\text{ V}$$

$$U_{OL} = 1,5\text{ V} / U_{OH} = 13,5\text{ V}$$

Für die Schaltkreise gelten, wenn nicht anders angegeben, im Arbeitstemperaturbereich  $\bar{T}_a = -40...+85\text{ }^{\circ}\text{C}$  folgende gemeinsame Kennwerte:

- Eingangsreststrom:

$$|I_I| \leq 1,0\text{ }\mu\text{A} \quad \text{bei} \quad U_{DD} = 15\text{ V}, \quad \bar{T}_a = 85\text{ }^{\circ}\text{C}$$

- Ausgangsspannung L bei  $|I_O| < 1\mu\text{A}$

$$U_{OL} \leq 0,05\text{ V} \quad \text{bei} \quad U_{DD} = 5\text{ V}, 10\text{ V} \text{ und } 15\text{ V}$$

- Ausgangsspannung H bei  $|I_O| < 1\mu\text{A}$

$$U_{OH} \geq 4,95\text{ V} \quad \text{bei} \quad U_{DD} = 5\text{ V}$$

$$\geq 9,95\text{ V} \quad \text{bei} \quad U_{DD} = 10\text{ V}$$

$$\geq 14,95\text{ V} \quad \text{bei} \quad U_{DD} = 15\text{ V}$$



- Ausgangsstrom L

$$\begin{aligned} I_{OL} &\geq 0,4 \text{ mA bei } U_{DD} = 5 \text{ V, } U_{OL} = 0,4 \text{ V} \\ &\geq 0,9 \text{ mA bei } U_{DD} = 10 \text{ V, } U_{OL} = 0,5 \text{ V} \\ &\geq 2,4 \text{ mA bei } U_{DD} = 15 \text{ V, } U_{OL} = 1,5 \text{ V} \end{aligned}$$

- Ausgangsstrom H

$$\begin{aligned} /I_{OH}/ &\geq 0,4 \text{ mA bei } U_{DD} = 5 \text{ V, } U_{OH} = 4,6 \text{ V} \\ &\geq 0,9 \text{ mA bei } U_{DD} = 10 \text{ V, } U_{OH} = 9,5 \text{ V} \\ &\geq 2,4 \text{ mA bei } U_{DD} = 15 \text{ V, } U_{OH} = 13,5 \text{ V} \end{aligned}$$

- Statische Stromaufnahme V 4028 D, V 4035 D bei  $T_a = 25^\circ\text{C}$ :

$$\begin{aligned} I_{DD} &\leq 5 \mu\text{A bei } U_{DD} = 5 \text{ V} \\ &\leq 10 \mu\text{A bei } U_{DD} = 10 \text{ V} \\ &\leq 20 \mu\text{A bei } U_{DD} = 15 \text{ V} \end{aligned}$$

- Statische Stromaufnahme V 4042 D bei  $T_a = 25^\circ\text{C}$

$$\begin{aligned} I_{DD} &\leq 1 \mu\text{A bei } U_{DD} = 5 \text{ V} \\ &\leq 2 \mu\text{A bei } U_{DD} = 10 \text{ V} \\ &\leq 4 \mu\text{A bei } U_{DD} = 15 \text{ V} \end{aligned}$$

- Eingangskapazität

$$\begin{aligned} C_I &\leq 7,5 \text{ pF bei } T_a = 25^\circ\text{C} \\ C_{IC} &\leq 8,5 \text{ pF bei } T_a = 25^\circ\text{C (gilt nur für V 4042 D)} \end{aligned}$$

### 4.3. Funktionsbeschreibung und spezielle Kennwerte der Schaltkreise

#### 4.3.1. V 4028 D

Der V 4028 D ist ein BCD-Dezimaldekoder. Der ausgewählte Ausgang zeigt ein H-Signal, alle übrigen ein L-Signal. Bei Anlegen der Pseudotetraden L H L H bis H H H H liegen stets alle Ausgänge auf L. Abb. 1 zeigt das Schaltungsskizzenzeichen und die Anschlußbelegung des V 4028 D.

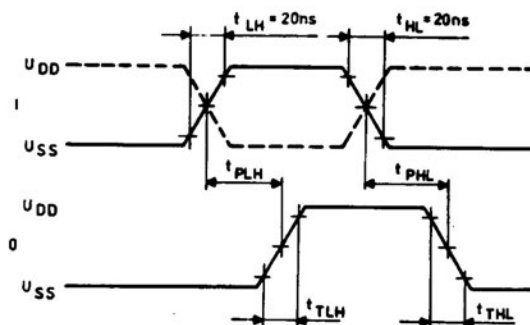
Für den Schaltkreis gilt folgende Wahrheitstabelle:

Eingänge				Ausgänge											
I0	I1	I2	I3	00	01	02	03	04	05	06	07	08	09		
L	L	L	L	H	L	L	L	L	L	L	L	L	L		
H	L	L	L	L	H	L	L	L	L	L	L	L	L		
L	H	L	L	L	L	H	L	L	L	L	L	L	L		
H	H	L	L	L	L	L	H	L	L	L	L	L	L		
L	L	H	L	L	L	L	L	H	L	L	L	L	L		
H	L	H	L	L	L	L	L	L	H	L	L	L	L		
L	H	H	L	L	L	L	L	L	L	H	L	L	L		
H	H	H	L	L	L	L	L	L	L	L	H	L	L		
L	L	L	H	L	L	L	L	L	L	L	L	H	L		
H	L	L	H	L	L	L	L	L	L	L	L	L	H		

Eingänge				Ausgänge									
I0	I1	I2	I3	00	01	02	03	04	05	06	70	08	09
L	H	L	H	L	L	L	L	L	L	L	L	L	L
H	H	L	H	L	L	L	L	L	L	L	L	L	L
L	L	H	H	L	L	L	L	L	L	L	L	L	L
H	L	H	H	L	L	L	L	L	L	L	L	L	L
L	H	H	H	L	L	L	L	L	L	L	L	L	L
H	H	H	H	L	L	L	L	L	L	L	L	L	L

Die Verzögerungszeiten sowie die Anstiegs- und Abfallzeiten der Ausgangsimpulse des V 4028 D bei  $\bar{V}_a = 25^\circ \text{C}$  und  $C_L = 50 \text{ pF}$  sind folgende:

$t_{\text{PHL}}, t_{\text{PLH}}$	$\leq 350 \text{ ns}$	bei	$U_{\text{DD}} = 5 \text{ V}$	(siehe Abb. 5)
	$\leq 160 \text{ ns}$	bei	$U_{\text{DD}} = 10 \text{ V}$	
	$\leq 120 \text{ ns}$	bei	$U_{\text{DD}} = 15 \text{ V}$	
$t_{\text{THL}}, t_{\text{TLH}}$	$\leq 200 \text{ ns}$	bei	$U_{\text{DD}} = 5 \text{ V}$	
	$\leq 100 \text{ ns}$	bei	$U_{\text{DD}} = 10 \text{ V}$	
	$\leq 80 \text{ ns}$	bei	$U_{\text{DD}} = 15 \text{ V}$	



V 4028

Abb. 5

#### 4.3.2. V 4035 D

Der V 4035 D enthält ein 4stufiges, getaktetes serielles Schieberegister mit synchronen Paralleleingängen für jede Stufe und einem seriellen Eingang in der ersten Stufe mit J/ $\bar{K}$ -Logik.

Abb. 2 zeigt das Schaltungsskizzenzeichen und die Anschlußbelegung des V 4035 D.

In der seriellen Betriebsart (Steuereingang P/ $\bar{S}$  = L) sind die Registerstufen 2, 3 und 4 in einer D-Flip-Flop-Konfiguration hintereinandergeschaltet. Der J/ $\bar{K}$ -Eingang der ersten Stufe dient zur Minimierung des Aufwandes von externer Logik beispielsweise bei der Verwendung des V 4035 D in Zählern. Bei Verwendung der Eingänge J und  $\bar{K}$  wird die erste Stufe zum D-Flip-Flop.

In der parallelen Betriebsart (Steuereingang P/ $\bar{S}$  = H) sind die Paralleleingänge jeder Registerstufe geöffnet.

In den beiden Betriebsarten erfolgt die Datenübernahme mit der L/H-Flanke des Taktsignals.

An den Ausgängen 00 bis 03 kann wahlweise der Registerinhalt "wahr" (entspricht dem jeweiligen Q-Ausgang der internen Register) oder "nicht wahr" (entspricht dem jeweiligen  $\bar{Q}$ -Ausgang der internen Register) übernommen werden, abhängig vom Logiksignal am Steuereingang T/ $\bar{C}$  (true/complement).

Bei T/ $\bar{C}$  = H sind die jeweiligen Q-Ausgänge, bei T/ $\bar{C}$  = L die jeweiligen  $\bar{Q}$ -Ausgänge der internen Registerstufen mit den Ausgängen 00 bis 03 verkoppelt.

Alle Registerstufen lassen sich über den Rücksetzeingang (R = H) zurücksetzen.

Der V 4035 D ist besonders für den Einsatz als Serien-Parallel- bzw. Parallel-Serienwandler geeignet.

Für die erste Registerstufe des V 4035 D gilt folgende Wahrheitstabelle:

Eingänge				Registerausgang zu	
J	$\bar{K}$	R	C	$t_n$ :	$t_n + 1$ :
				$Q_1$	$Q_1$
L	X	L	L/H-Flanke	L	L
H	X	L	L/H-Flanke	L	H
X	L	L	L/H-Flanke	H	L
H	L	L	L/H-Flanke	$Q_1$	$\bar{Q}_1$
X	H	L	L/H-Flanke	H	H
X	X	L	H/L-Flanke	$Q_1$	$Q_1$
X	X	H	X	X	L

(X = L oder H)

Die Verzögerungszeiten sowie die Anstiegs- und Abfallzeiten der Ausgangsimpulse bei  $T_a = 25^\circ\text{C}$  und  $C_L = 50\text{ pF}$  sind folgende:

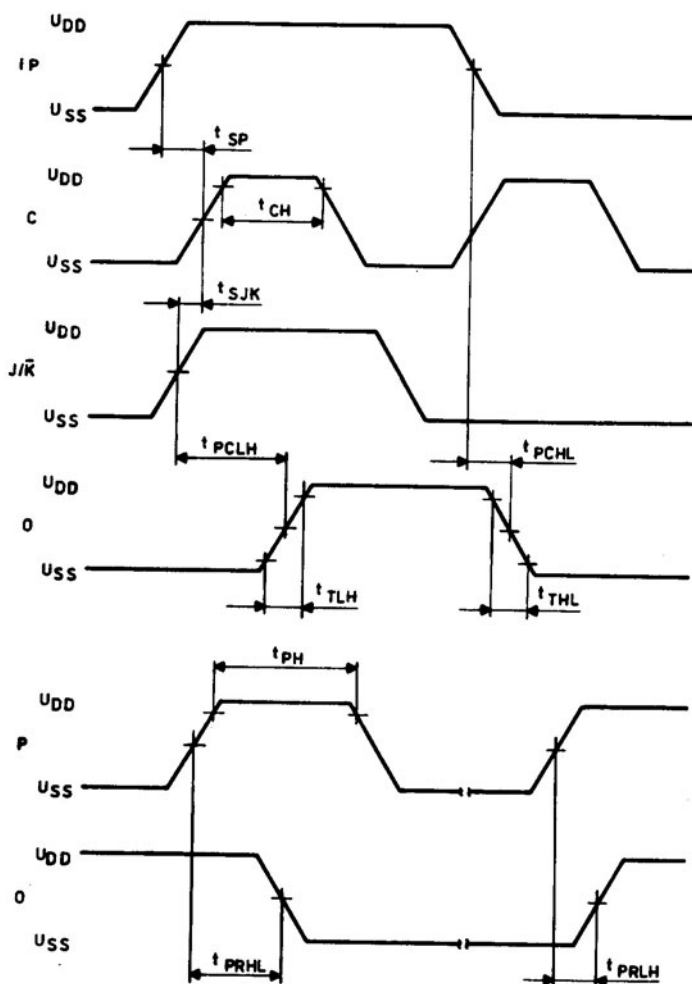
$t_{PC}, t_{PR}$	$\leq 300\text{ ns}$	bei $U_{DD} = 5\text{ V}$	(siehe Abb. 6)
	$\leq 200\text{ ns}$	bei $U_{DD} = 10\text{ V}$	
	$\leq 160\text{ ns}$	bei $U_{DD} = 15\text{ V}$	
$t_{THL}, t_{TLH}$	$\leq 200\text{ ns}$	bei $U_{DD} = 5\text{ V}$	(siehe Abb. 6)
	$\leq 100\text{ ns}$	bei $U_{DD} = 10\text{ V}$	
	$\leq 80\text{ ns}$	bei $U_{DD} = 15\text{ V}$	

Beim Einsatz des V 4035 D sind ferner folgende Betriebsbedingungen einzuhalten (gültig für  $T_a = 25^\circ\text{C}$ ,  $C_L = 50\text{ pF}$ ).

$t_{CLH}, t_{CHL}$	$\leq 15\text{ }\mu\text{s}$	bei $U_{DD} = 5\text{ V}, 10\text{ V und }15\text{ V}$	
$t_{CH}, t_{RH}$	$\geq 200\text{ ns}$	bei $U_{DD} = 5\text{ V}$	
	$\geq 90\text{ ns}$	bei $U_{DD} = 10\text{ V}$	
	$\geq 60\text{ ns}$	bei $U_{DD} = 15\text{ V}$	
$t_{SJK}$	$\geq 200\text{ ns}$	bei $U_{DD} = 5\text{ V}$	
	$\geq 80\text{ ns}$	bei $U_{DD} = 10\text{ V}$	(siehe Abb. 6)
	$\geq 60\text{ ns}$	bei $U_{DD} = 15\text{ V}$	
$t_{SP}$	$\geq 100\text{ ns}$	bei $U_{DD} = 5\text{ V}$	
	$\geq 50\text{ ns}$	bei $U_{DD} = 10\text{ V}$	
	$\geq 40\text{ ns}$	bei $U_{DD} = 15\text{ V}$	

Die Maximalwerte für die Taktfrequenz bei  $T_a = 25^\circ\text{C}$  und  $C_L = 50\text{ pF}$  sind:

$f_c$	$\leq 2,5\text{ MHz}$	bei $U_{DD} = 5\text{ V}$
	$\leq 6\text{ MHz}$	bei $U_{DD} = 10\text{ V}$
	$\leq 8\text{ MHz}$	bei $U_{DD} = 15\text{ V}$



**V 4035**

Abb. 6

#### 4.3.3. V 4042 D

Der V 4042 D ist ein 4 bit-Auffangregister. Abb. 3 zeigt das Schaltungssymbol und die Anschlußbelegung des Schaltkreises. Alle 4 internen D-Flip-Flop besitzen einen gemeinsamen Takteingang. Wenn der Taktzustand dem durch den Steuereingang P (Polarität) gewählten Zustand entspricht, erscheint die an den D-Eingängen angelegte Information an den Ausgängen Q (bzw. negiert an den Ausgängen  $\bar{Q}$ ). Die Ausgänge folgen so lange den Eingängen, bis sich der Taktzustand ändert. Nach einer L/H-Flanke des Taktsignals (bei P = L) bzw. einer H/L-Flanke des Taktsignals (bei P = H) bleibt die zuletzt übernommene Information in den Flip Flop zwischengespeichert. Der Schaltkreis ist geeignet für den Einsatz als Zwischenspeicher, wobei eine der Wortbreite entsprechende Anzahl von Schaltkreisen parallel getaktet werden kann. Für die Schaltkreise gilt folgende Wahrheitstabelle:

Eingänge		Ausgänge
C	P	$Q_n$
L	L	D
L/H-Flanke	L	Latch
H	H	D
H/L-Flanke	H	Latch

Die Verzögerungszeiten sowie die Anstiegs- und Abfallzeiten der Ausgangsimpulse bei  $T_a = 25^\circ\text{C}$  und  $C_L = 50\text{ pF}$  sind:

$t_{PDQHL}, t_{PDQLH}$	$\leq 220\text{ ns}$	bei $U_{DD} = 5\text{ V}$
	$\leq 110\text{ ns}$	bei $U_{DD} = 10\text{ V}$
	$\leq 80\text{ ns}$	bei $U_{DD} = 15\text{ V}$
$t_{PD\bar{Q}HL}, t_{PD\bar{Q}LH}$	$\leq 300\text{ ns}$	bei $U_{DD} = 5\text{ V}$
	$\leq 150\text{ ns}$	bei $U_{DD} = 10\text{ V}$
	$\leq 100\text{ ns}$	bei $U_{DD} = 15\text{ V}$
$t_{PCQHL}, t_{PCQLH}$	$\leq 450\text{ ns}$	bei $U_{DD} = 5\text{ V}$
	$\leq 200\text{ ns}$	bei $U_{DD} = 10\text{ V}$
	$\leq 160\text{ ns}$	bei $U_{DD} = 15\text{ V}$
$t_{PC\bar{Q}HL}, t_{PC\bar{Q}LH}$	$\leq 500\text{ ns}$	bei $U_{DD} = 5\text{ V}$
	$\leq 230\text{ ns}$	bei $U_{DD} = 10\text{ V}$
	$\leq 180\text{ ns}$	bei $U_{DD} = 15\text{ V}$

(siehe Abb. 7)

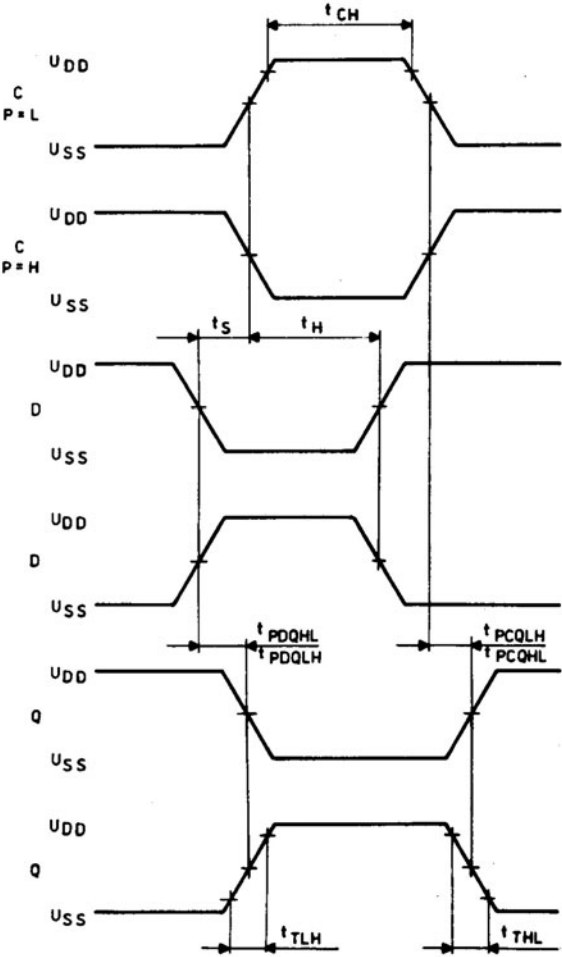
$t_{TLH}, t_{THL}$	$\leq 200$ ns	bei	$U_{DD} = 5$ V
	$\leq 100$ ns	bei	$U_{DD} = 10$ V
	$\leq 80$ ns	bei	$U_{DD} = 15$ V

Beim Einsatz des V 4042 D sind ferner folgende Betriebsbedingungen einzuhalten (gültig für  $T_a = 25$  °C und  $C_L = 50$  pF).

$t_{CH}$	$\geq 200$ ns	bei	$U_{DD} = 5$ V
	$\geq 100$ ns	bei	$U_{DD} = 10$ V
	$\geq 60$ ns	bei	$U_{DD} = 15$ V
$t_H$	$\geq 120$ ns	bei	$U_{DD} = 5$ V
	$\geq 60$ ns	bei	$U_{DD} = 10$ V
	$\geq 50$ ns	bei	$U_{DD} = 15$ V
$t_S$	$\geq 50$ ns	bei	$U_{DD} = 5$ V
	$\geq 30$ ns	bei	$U_{DD} = 10$ V
	$\geq 25$ ns	bei	$U_{DD} = 15$ V

(siehe Abb. 7)

Die Größe der Taktimpulsanstiegs- und Taktimpulsabfallzeit ist beim V 4042 D unkritisch.



**V4042**



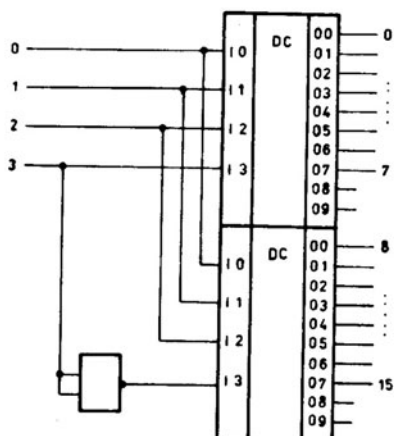
## 5. Einsatzmöglichkeiten der Schaltkreise V 4028 D, V 4035 D und V 4042 D

Im folgenden sollen Möglichkeiten von Schaltungen dargestellt und erläutert werden, die unter Einsatz o. g. Schaltkreises realisiert werden können.

### 5.1. Code-Wandler

Abb. 8 zeigt die Schaltung eines 4 bit 1 aus 16-Dekoders, der mit 2 Stck. V 4028 D sowie einer Negatorfunktion (1/4 V 4001 D oder 1/4 V 4011 D oder 1/3 V 4007 D) realisiert werden kann. Die vorliegende Schaltung kann auch zur Umwandlung eines beliebigen 4 bit-Code in einen Dezimal- oder Hexadezimal-Code verwendet werden. Tabelle 1 zeigt die Umwandlungsmöglichkeiten für verschiedene Code. Um beispielsweise am Ausgang 5 ein H-Signal zu erhalten, muß im 4 bit-Binär-Code eine 5, im 4 bit-Gray-Code eine 6, im Excess-3-Code eine 2 oder im 4-2-2-1-Code eine 3 angelegt werden.

#### 2 x V 4028 D



$\frac{1}{4}$  V 4001 D  
 oder  
 $\frac{1}{4}$  V 4011 D  
 oder  
 $\frac{1}{3}$  V 4007 D

Abb. 8

Eingänge 0 1 2 3		Eingangscodes						Ausgänge 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15																
		Hexadezimalcode		Dezimalcode																				
		4 bit Binär- Code	4 bit Gray- Code	Excess -3- Code	Excess -3- Gray- Code	Aiken- Code	4-2- 1- Code																	
L L L L	0	0				0	0	H L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H L L L	1	1				1	1	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L L H L L	2	3			0	2	2	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H H L L	3	2		0	3	3	3	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L L L H L	4	7		1	4	4	4	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H L L H L	5	6		2			3	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L H H L	6	4		3	1		4	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H H H L	7	5		4	2			L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L L L L H	8	15		5			5	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H L L L H	9	14		6			6	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L L L L H	10	12		7	9		7	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H H L L H	11	13		8			8	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L L L H H	12	8		9			9	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H L L H H	13	9			5	5	5	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
L H H H	14	11		6	6	6	6	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L
H H H H	15	10		7	7	7	7	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L	L L L L

Tabelle 1

### 5.2. 6 bit 1 aus 64-Dekoder

In Abb. 9 wird die Schaltung eines 6 bit 1 aus 64-Adressen-Dekoders vorgestellt. Der Dekoder erfordert den Einsatz von 9 Stck.

V 4028 D sowie 8 Negatorfunktionen (2 Stck. V 4001 D oder 2 Stck. V 4011 D). Durch ein H-Signal am Eingang 6 lassen sich sämtliche Dekoderausgänge sperren, die Ausgänge nehmen dabei den L-Zustand ein, unabhängig von der Belegung der Eingänge 0 bis 5.

### 5.3. Zählerstandkontrolle

Der in Abb. 10 dargestellte Schaltungsvorschlag ermöglicht die gleichzeitige Darstellung des Zählerstandes eines BCD-Zählers sowie die Erzeugung eines Logiksignals, wenn der Zähler einen bestimmten Zählerstand erreicht hat. Die Zählerstandkontrolle ist über einen V 4028 D sowie einen dekadischen Vorwahldrehschalter auf einfache Weise möglich. Das dem Vorwahldrehschalter entnehmbare Logiksignal kann beispielsweise zur Signalisierung, zum Stoppen des Zählvorganges oder zu einer weiteren Zählung verwendet werden, wenn kontrolliert werden soll, wie oft der Zählerstand erreicht worden ist. Die vorliegende Schaltung ist auch für mehrstellige dekadische Zähler verwendbar, wobei die Ausgänge der verschiedenen Vorwahldrehschalter über UND-Gatter mit einer der Stellenzahl entsprechenden Anzahl von Eingängen zu verknüpfen sind. Auf ähnliche Weise kann auch eine beliebige andere BCD-Information überprüft werden.

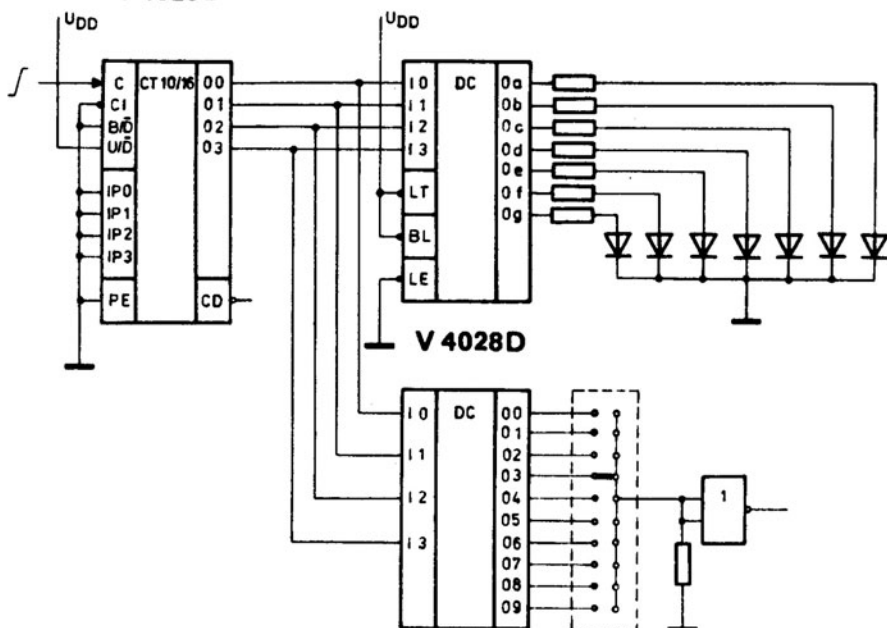
### 5.4. Rechts/Links-Schieberegister

Abb. 11 zeigt die Möglichkeit der Verwendung des V 4035 D als seriell-schieberegister in Rechts- oder Links-Schiebebetrieb. Die Richtung des Weiterschlebens der Information wird durch das Logiksignal am Eingang P/S bestimmt.

P/S = H bewirkt Linksschieben, wobei die Information an den Eingang IP 3 zu legen ist.

P/S = L bewirkt Rechtsschieben, wobei die Information an die parallelgeschalteten Eingänge J und K angelegt werden muß. In beiden Betriebsfällen erfolgt die Informationsübernahme mit der



**V 4029D****U 40511 D**

Vorwahl - Drehschalter  
z.B. febana B1R6/10 FP5

L/H-Flanke des Taktsignals. Der Steuereingang T/C ist zweckmäßigerweise an  $U_{DD}$  zu legen. Über ein H-Signal am Eingang R ist das Schieberegister rücksetzbar. Die Zahl der Registerstufen läßt sich durch den Einsatz weiterer Schaltkreise V 4035 D erhöhen, wobei die Takteingänge der Schaltkreise parallelzu schalten sind.

### 5.5. 8 bit-Auffangregister

Abb. 12 zeigt die Möglichkeit für die Realisierung eines 8 bit-Auffangregister (Latch) unter Verwendung von 2 Stck. V 4042 D. Die Erweiterung auf größere Wortbreiten ist durch Einsatz einer entsprechenden Anzahl V 4042 D möglich, wobei die Takteingänge C sowie die Steuereingänge P jeweils parallelgeschaltet werden müssen. Liegt P im H-Zustand (z. B. an  $U_{DD}$ ), so folgen die Ausgänge den Eingängen, solange das Taktsignal sich im H-Zustand befindet. Erst nach dem Auftreten der H/L-Flanke des Taktsignals bleibt die zuletzt angelegte Information im Latch gespeichert. Analoge Verhältnisse treten auf, wenn sich P im L-Zustand befindet (z. B. an  $U_{SS}$ ).

# V 4035 D

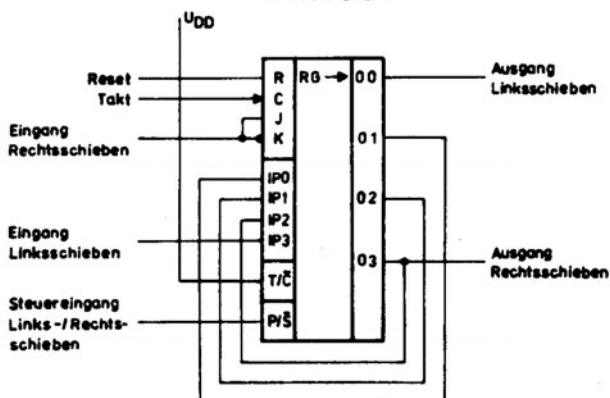


Abb. 11

# 2 x V 4042 D

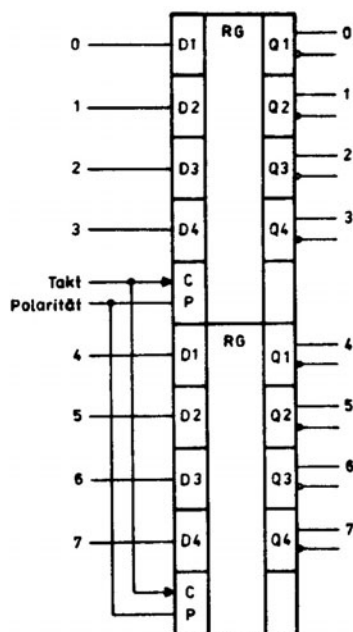


Abb. 12

## 6. Hinweise auf Standards

TGL 38 997	Integrierte Halbleiterschaltkreise Unipolare Logikschaltkreise V 4015 D, V 4028 D
TGL 38 998	Integrierte Halbleiterschaltkreise Unipolare Logikschaltkreise V 4035 D
TGL 38 999	Integrierte Halbleiterschaltkreise Unipolare Logikschaltkreise V 4042 D
TGL 24 951	Integrierte Halbleiterschaltkreise Allgemeine technische Bedingungen
TGL 26 713	Integrierte Halbleiterschaltkreise Bauform für monolithische integrierte Schaltkreise
TGL 38 015	Bauelemente der Elektronik/Bezeichnungssystem für Halbleiterbauelemente und integrierte Halbleiterschaltkreise
TGL 29 268	Integrierte Halbleiterschaltkreise/ Kennzeichen für integrierte Halbleiterschaltkreise



## 7. Vergleichsliste

Nr.	MME	CEMI	TESLA	UDSSR	Ei	RCA	MOT
1.	V 4028 D	MCY 64028 N	-	K 561 ID 1	-	CD 4028 BE	MC 14028 BCP
2.	V 4035 D	-	MHF 4035	K 561 IR 9	CD 4035 BE	CD 4035 BE	MC 14035 BCP
3.	V 4042 D	-	-	K 561 TM 3	CD 4042 BE	CD 4042 BE	MC 14042 BCP
Nr.	NS	VALVO	SGS-Ates	TOSHIBA	SSS	FAIRCHILD	
1.	CD 4028 BCN	HEF 4028 BP	HCF 4028 BE	TC 4028 BP	SCL 4028 BE	4028 BPC	
2.	CD 4035 BCN	HEF 4035 BP	HCF 4035 BE	TC 4035 BP	SCL 4035 BE	4035 BPC	
3.	CD 4042 BCN	HEF 4042 BP	HCF 4042 BE	TC 4042 BP	SCL 4042 BE	4042 BPC	

### Anmerkungen:

Die dynamischen Parameter der CMOS-Logikbaureihen sind international nicht standardisiert, weshalb je nach Hersteller z. T. erhebliche Abweichungen bestehen.

Ferner gibt es je nach Hersteller Abweichungen im Einsatztemperaturbereich und z. T. auch in den Grenzwerten und in den statischen Parametern der Baureihen, die beim Austausch zu beachten sind.