
BLAST

User Manual

4DSP LLC, USA.

This document is the property of 4DSP LLC and may not be copied nor communicated to a third party without the written permission of 4DSP LLC

© 4DSP LLC 2015

Revision History

Date	Revision	Revision
03-04-2015	Initial release	1.0
05-19-2015	Fixed Table of Contents, figure numbers/references, and made other minor revisions	1.1

Table of Contents

1	Acronyms and related documents	4
1.1	Acronyms	4
1.2	Related Documents.....	4
2	General description	5
3	BLAST-V, 8 or 10 Bit ADC Module	6
3.1	Architecture and High Level Functionality.....	6
3.2	ADC Reference	7
3.3	Input Connectors.....	7
3.4	Environment.....	7
	Temperature.....	7
	Convection cooling	7
4	BLAST-H, 4GB DDR3 Memory Module	8
4.1	Architecture.....	9
4.2	Environment.....	9
	Temperature.....	9
	Convection cooling	9
5	BLAST-F 16MB QDR2 Memory Module	10
5.1	Environment.....	10
	Temperature.....	10
	Convection cooling	10
6	BLAST-E 32GB FLASH Memory Module	11
6.1	Environment.....	11
	Temperature.....	11
	Convection cooling	11
7	Safety	12
8	Ordering information	12
9	BLAST Pin Mapping	13
9.1	VP780 BLAST Pin Mapping	13
9.2	VP680 BLAST Pin Mapping	19
9.3	FM780 BLAST Pin Mapping.....	28
9.4	FM680 BLAST Pin Mapping.....	34

1 Acronyms and related documents

1.1 Acronyms

ADC	Analog to Digital Converter
BLAST	Board Level Application Scalable Technology
QDR	Quad Data Rate
DDR	Double Data Rate
LDO	Low Dropout Regulator
MT/s	Million Transfers per Second

Table 1: Glossary

1.2 Related Documents

BLAST V

- Datasheet ASEMP-44335, Abracon
- Datasheet AD4937-2, Analog Devices
- Datasheet AD9288, Analog Devices
- Datasheet AD9218, Analog Devices

BLAST H

- Datasheet MT41K1G8TRF-125, Micron

BLAST E

- Datasheet MT29F128G08AMCA, Micron

BLAST F

- Datasheet GS81302QT37GE-300I, GSI Technology

2 General description

BLAST stands for **B**oard **L**evel **A**dvanced **S**calable **T**echnology

A BLAST module is a small form factor component with a specific feature that helps by adding a host of different functionalities to 4DSPs programmable platforms. Connected to a large FPGA, each BLAST offers a small form factor platform for add-on functionality (QDR2 memory, DDR3 memory, non-volatile flash memory, ADC, etc.). A BLAST module can be mounted on the FPGA product on request.

This document describes the architecture and functionality of the BLAST-V, BLAST-H, BLAST-F, and BLAST-E modules. The pin mapping tables of the BLAST modules can be found in Chapter 9 BLAST Pin Mapping.



Figure 1: BLAST 0 and BLAST 1 Locations on a VP780

3 BLAST-V, 8 or 10 Bit ADC Module

The BLAST V is designed to perform Analog-to-Digital Conversions for two channels (A and B) with eight (AD9288) or ten-bit (AD9218) resolution at the rate of 100 mega samples per second. The maximum input range of the ADC inputs is 1V peak-to-peak.

3.1 Architecture and High Level Functionality

The BLAST V Block diagram is shown in Figure 2. While the ENABLE input is logic 0 (default with weak pull-down), most of the active devices are in a low-power state. When the host presents logic 1 on the ENABLE input, the 100 MHz oscillator and buffer, ADC driver, ADC and the level shifters are all enabled. At that point, both ADC channels are synchronously free running at 100MSPS. The AD4937-2 (dual ADC Driver) provides the single-ended-to-differential conversion with a gain of 1. The ADC will perform the sampling and data conversion on the rising edge of the oscillator clock output Q0; the converted data is latched on the data outputs on the falling edge. The oscillator clock output Q1 is presented to the host as a !DATA_VALID (active low) signal. It will remain logic 0 while the data is latched and valid. The DFS signal sets the output data format: logic 0 is offset binary; logic 1 (default with weak pull-up) is twos complement. The PEN (Power Enable) allows control of the onboard power supply: logic 0 disables the LDO regulator; logic 1 (default with weak pull-up) enables the LDO regulator.

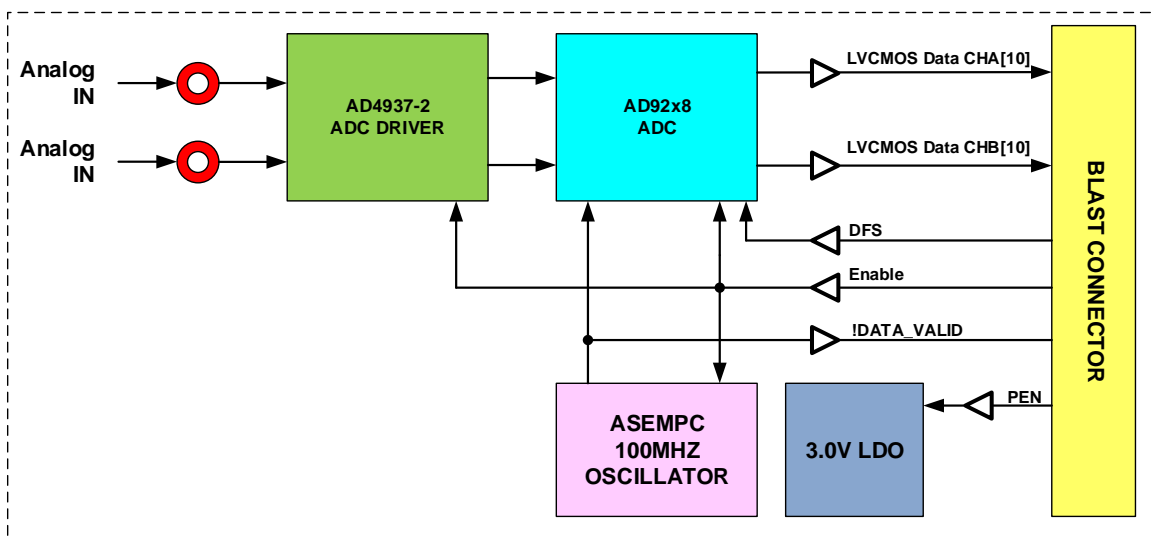


Figure 2: BLAST V Block Diagram

3.2 ADC Reference

The AD92x8 ADC has a built-in precision 1.25V reference that may be used to bias the common mode references on both the ADC inputs and the ADC driver. This is the default configuration. Resistor population options will allow for alternate reference options to be used if desired. A discrete reference (such as Texas Instruments PN# REF3012AIDBZR 1.25V) in a SOT23 package may be used, or the carrier card VFEF reference may be used.

3.3 Input Connectors

The two ADC input connectors used on the BLAST V are from the Emerson UMC Ultra Miniature Connector product family (PN 128-0711-201). Mating cables are available in various lengths.



Figure 3: UMC Connector and Cable

3.4 Environment

Temperature

Operating temperature

- -40°C to +85°C (Industrial)

Storage temperature:

- -40°C to +120°C

Convection cooling

300LFM minimum

4 BLAST-H, 4GB DDR3 Memory Module

The BLAST-H is a 4GB add-on memory and is configured as 64M x 32 x 8 Banks x 2 Ranks by using four 8Gb x8 SDRAM devices configured as one x32-bit data bus. The BLAST H is designed to support DDR3L memory data speeds up to 1066MHz (4GB/s). The high level block diagram is shown in Figure 4.

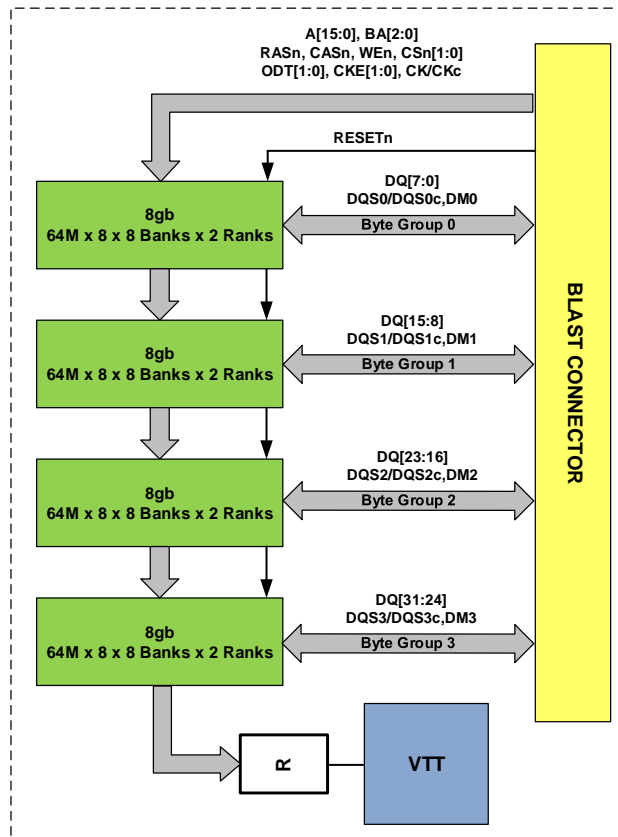


Figure 4: BLAST H Block Diagram

4.1 Architecture

The BLAST H is a 4GB memory module designed around a 64M x8 x8 Banks x2 Ranks memory DRAM. The BLAST H uses the Micron MT41K1G8TRF-125 IT Rev E DRAM. The DRAM is identified as “2 Ranks” as the DRAM itself is composed of two separate die assembled as shown in Figure 5.

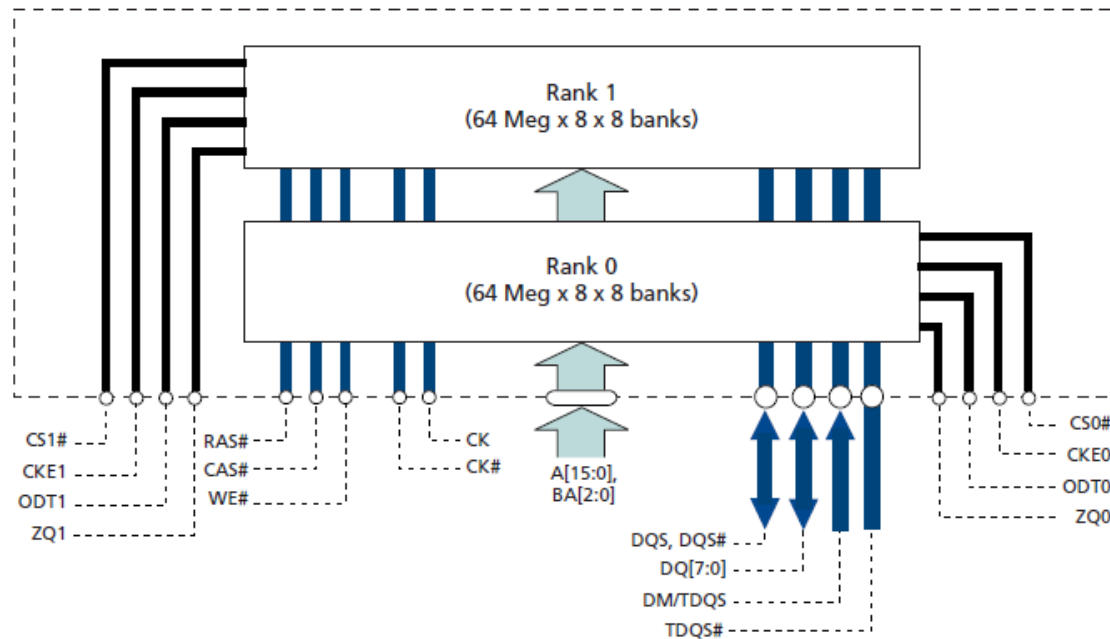


Figure 5: Stacked DRAM Architecture

4.2 Environment

Temperature

Operating temperature

- -40°C to +85°C (Industrial)

Storage temperature:

- -40°C to +120°C

Convection cooling

600LFM minimum

5 BLAST-F 16MB QDR2 Memory Module

The BLAST-F is a 16MB QDR2 add-on memory module. The BLAST-F module makes use of the GSI Technology GS81302QT37GE-300I and is designed to operate at a speed of 300MHz. The high level block diagram is shown in Figure 6.

Although the QDR memories have 36 wide input and output busses, only 32 bits are available on BLAST-F. This is limited by the amount of available pins on the BLAST. The byte write signals are also unavailable on the BLAST.

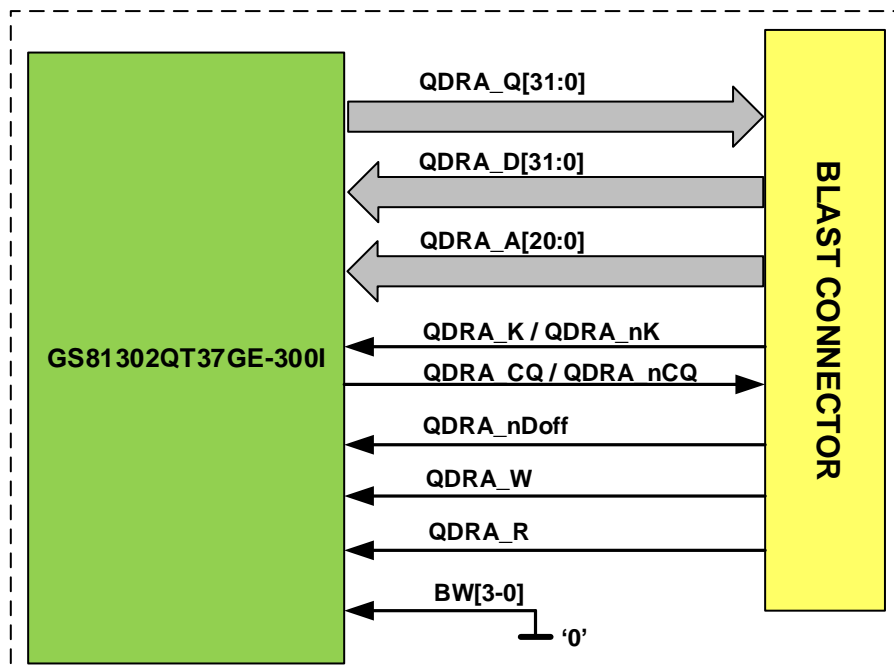


Figure 6: BLAST F Block Diagram

5.1 Environment

Temperature

Operating temperature

- -40°C to +100°C (Industrial)

Storage temperature:

- -55°C to +125°C

Convection cooling

300LFM minimum

6 BLAST-E 32GB FLASH Memory Module

The BLAST-E is an add-on memory module configured as 32GB FLASH memory by using two 128Gb FLASH devices. The high level block diagram is shown in Figure 7.

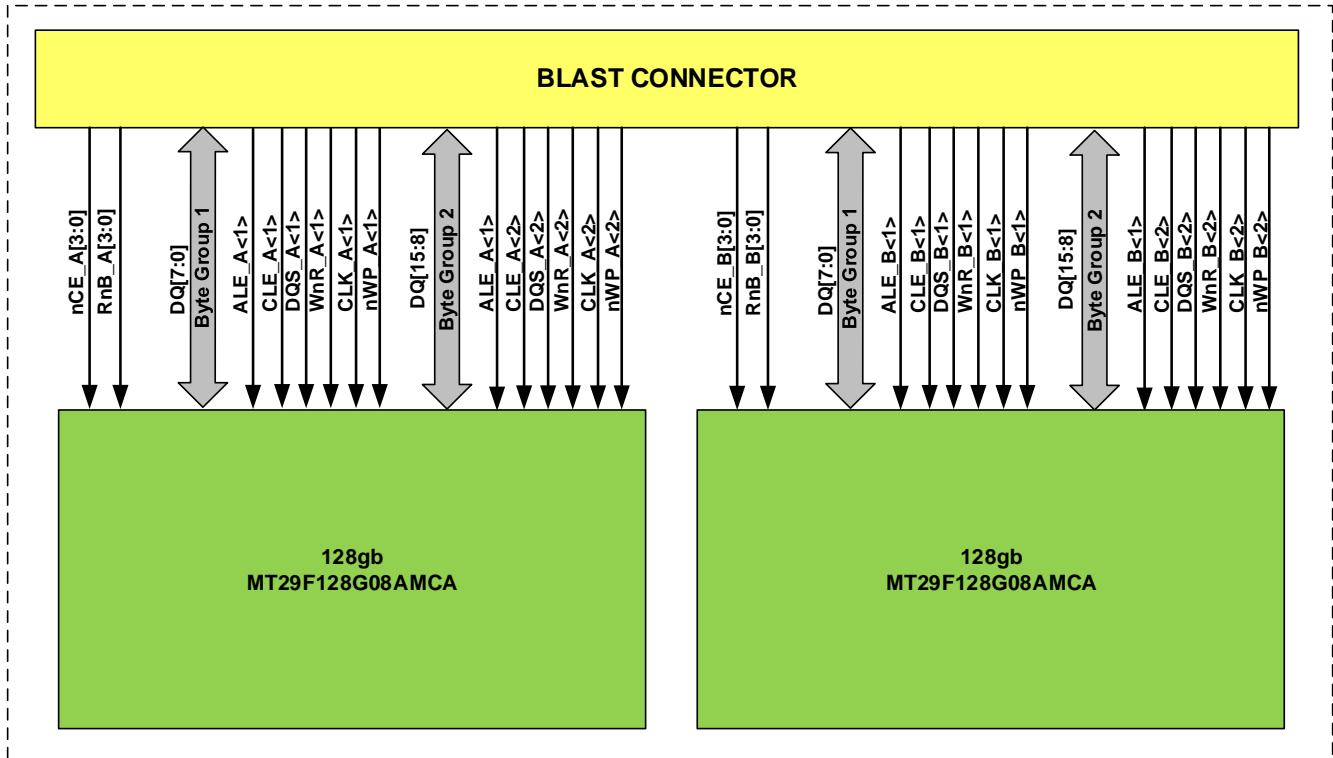


Figure 7: BLAST E Block Diagram

6.1 Environment

Temperature

Operating temperature

- -40°C to +85°C (Industrial)

Storage temperature:

- -65°C to +150°C

Convection cooling

300LFM minimum

7 Safety

These modules present no hazard to the user.

8 Ordering information

See <http://www.4dsp.com/BLAST>

9 BLAST Pin Mapping

9.1 VP780 BLAST Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
T14	38	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
U15	38	QDRA_K	RnB_A<2>	DM<2>	N/C
M13	38	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
R14	38	N/C	RnB_A<3>	DQS<2>	N/C
P14	38	N/C	nWP_A<1>	DQS#<2>	N/C
J12	38	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
N15	38	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
P12	38	N/C	nCE_A<4>	DQ<18>	N/C
R13	38	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
K13	38	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
L14	38	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
N13	38	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
K14	38	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
R12	38	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
P11	38	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
T13	38	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
T15	38	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
M15	38	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
L15	38	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C
K12	38	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
N14	38	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
M10	37	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
P10	37	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
L9	37	QDRA_D<25>	N/C	N/C	BOUT<6>
L13	38	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
K2	36	QDRA_D<31>	WnR_B<2>	N/C	N/C
K1	36	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
H14	38	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
G13	38	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
H12	38	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
G12	38	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
F13	38	QDRA_D<16>	N/C	DQS#<1>	N/C
F14	38	QDRA_DQ<18>	N/C	DQS<1>	N/C
F15	38	QDRA_D<18>	N/C	DQ<11>	N/C
D14	38	N/C	N/C	DQ<5>	ENABLE
E12	38	QDRA_D<26>	N/C	DQ<7>	N/C
C12	38	N/C	N/C	DQ<3>	PEN

C13	38	QDRA_DQ<25>	N/C	DQ<4>	N/C
E14	38	QDRA_DQ<26>	N/C	DM<0>	DFS
J15	38	QDRA_A<2>	N/C	DQ<9>	N/C
H13	38	QDRA_A<0>	N/C	DM<1>	N/C
H15	38	QDRA_W	N/C	DQ<8>	N/C
C14	38	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
G15	38	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
A14	38	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
A13	38	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
B12	38	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
B13	38	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
D12	38	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
D6	37	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
D7	37	QDRA_A<15>	DQ_B<15>	A<10>	N/C
F9	37	NC	nCE_B<1>	A<15>	N/C
F10	37	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
L1	36	QDRA_A<7>	DQ_B<13>	N/C	N/C
E9	37	QDRA_A<16>	RnB_B<4>	RAS#	N/C
E11	37	QDRA_A<11>	N/C	CAS#	N/C
K11	37	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
A10	37	QDRA_A<20>	RnB_B<1>	A<12>	N/C
B10	37	QDRA_A<18>	nCE_B<4>	BA<0>	N/C
B7	37	QDRA_A<1>	N/C	A<3>	N/C
C7	37	QDRA_A<4>	N/C	CS<1>	N/C
C9	37	QDRA_R	N/C	WE#	BOUT<1>
D10	37	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
D9	37	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
A8	37	QDRA_D<9>	N/C	ODT<0>	N/C
A11	37	QDRA_D<0>	N/C	N/C	BOUT<0>
D11	37	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
B11	37	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
E7	37	QDRA_K	DQ_A<15>	CK#	N/C
L11	37	QDRA_D<17>	N/C	N/C	N/C
G8	37	QDRA_CQ	N/C	N/C	N/C
F8	37	N/C	DQ_A<13>	CK	N/C
J9	37	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
K7	37	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
J10	37	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
H7	37	QDRA_D<8>	N/C	A<0>	N/C
G7	37	QDRA_D<15>	DQ_A<12>	A<4>	N/C
G10	37	QDRA_D<7>	DQ_A<14>	N/C	N/C
G11	37	QDRA_D<6>	DQ_A<4>	N/C	N/C

F11	37	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
H10	37	QDRA_DQ<14>	N/C	N/C	N/C
H9	37	QDRA_DQ<5>	N/C	A<2>	N/C
H8	37	QDRA_D<13>	CLK_A<1>	A<7>	N/C
K9	37	QDRA_D<5>	CLK_A<2>	N/C	N/C
M12	38	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
J11	37	NC	WnR_A<2>	RESET#	N/C
J7	37	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
K8	37	QDRA_D<14>	CLE_A<2>	N/C	N/C
J14	38	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
E8	37	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
L8	37	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
L3	36	QDRA_D<10>	DQ_A<3>	N/C	N/C
L10	37	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
M11	37	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
N10	37	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
M8	37	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
C10	37	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
C8	37	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
B8	37	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
A9	37	QDRA_D<2>	ALE_B<2>	A<6>	N/C

Table 2: VP780 BLAST 0 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
T20	35	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
T19	35	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
T18	35	QDRA_D<0>	N/C	N/C	BOUT<0>
R18	35	QDRA_D<2>	ALE_B<2>	A<6>	N/C
R19	35	QDRA_D<9>	N/C	ODT<0>	N/C
P19	35	QDRA_A<18>	nCE_B<4>	BA<0>	N/C
T21	35	QDRA_A<20>	RnB_B<1>	A<12>	N/C
R21	35	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
P20	35	QDRA_A<1>	N/C	A<3>	N/C
N19	35	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
N22	35	QDRA_R	N/C	WE#	BOUT<1>
M22	35	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
N20	35	QDRA_A<4>	N/C	CS<1>	N/C
M20	35	QDRA_A<11>	N/C	CAS#	N/C
L20	35	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
L19	35	QDRA_A<16>	RnB_B<4>	RAS#	N/C
U21	35	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
L21	35	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
N24	34	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
T23	34	N/C	N/C	DQ<3>	PEN
M23	34	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
L23	34	QDRA_W	N/C	DQ<8>	N/C
K23	34	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
H22	35	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
J25	34	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
G22	35	QDRA_DQ<5>	N/C	A<2>	N/C
R23	34	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
R22	34	QDRA_D<26>	N/C	DQ<7>	N/C
P22	34	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
U25	34	QDRA_DQ<25>	N/C	DQ<4>	N/C
T25	34	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
U23	34	QDRA_DQ<26>	N/C	DM<0>	DFS
L25	34	QDRA_D<18>	N/C	DQ<11>	N/C
N23	34	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
P24	34	N/C	N/C	DQ<5>	ENABLE
R24	34	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
M21	35	QDRA_A<15>	DQ_B<15>	A<10>	N/C
U20	35	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
L6	36	QDRA_A<7>	DQ_B<13>	N/C	N/C
P25	34	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C

J26	34	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
J20	35	N/C	DQ_A<13>	CK	N/C
M26	34	QDRA_D<16>	N/C	DQS#<1>	N/C
H23	34	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
H20	35	QDRA_K	DQ_A<15>	CK#	N/C
L24	34	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
M25	34	QDRA_DQ<18>	N/C	DQS<1>	N/C
B22	35	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
C22	35	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
L5	36	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
G20	35	QDRA_D<6>	DQ_A<4>	N/C	N/C
F20	35	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
H24	34	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
U18	35	QDRA_D<15>	DQ_A<12>	A<4>	N/C
K21	35	NC	nCE_B<1>	A<15>	N/C
A21	35	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
A23	35	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
K6	36	QDRA_D<31>	WnR_B<2>	N/C	N/C
K24	34	QDRA_A<2>	N/C	DQ<9>	N/C
E22	35	QDRA_DQ<14>	N/C	N/C	N/C
E21	35	QDRA_D<7>	DQ_A<14>	N/C	N/C
G21	35	QDRA_D<13>	CLK_A<1>	A<7>	N/C
F21	35	QDRA_D<8>	N/C	A<0>	N/C
E23	35	NC	WnR_A<2>	RESET#	N/C
D22	35	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
D21	35	QDRA_D<5>	CLK_A<2>	N/C	N/C
D20	35	QDRA_D<14>	CLE_A<2>	N/C	N/C
C20	35	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
B20	35	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
J21	35	QDRA_CQ	N/C	N/C	N/C
C23	35	QDRA_D<17>	N/C	N/C	N/C
J24	34	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
K22	35	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
D25	34	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
C25	34	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
B26	34	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
A26	34	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
C24	34	QDRA_K	RnB_A<2>	DM<2>	N/C
B25	34	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
L26	34	QDRA_A<0>	N/C	DM<1>	N/C
J22	35	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
F25	34	QDRA_D<24>	N/C	DQ<29>	BOUT<7>

G23	34	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
F23	34	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
G26	34	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
E24	34	N/C	nCE_A<4>	DQ<18>	N/C
D24	34	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
F24	34	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
H25	34	QDRA_nDoff	DQ_B<3>	DQ<S3>	N/C
A20	35	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
K26	34	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
L4	36	QDRA_D<10>	DQ_A<3>	N/C	N/C
G25	34	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C
B21	35	QDRA_D<25>	N/C	N/C	BOUT<6>
F26	34	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
A25	34	N/C	nWP_A<1>	DQS#<2>	N/C
B23	35	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
P21	35	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
E26	34	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
A24	34	N/C	RnB_A<3>	DQS<2>	N/C

Table 3: VP780 BLAST 1 Pin Mapping

9.2 VP680 BLAST Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
C12	15	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
J12	15	QDRA_K	RnB_A<2>	DM<2>	N/C
A13	15	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
B12	15	N/C	RnB_A<3>	DQS<2>	N/C
B13	15	N/C	nWP_A<1>	DQS#<2>	N/C
D14	15	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
E14	15	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
F14	15	N/C	nCE_A<4>	DQ<18>	N/C
H10	15	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
G13	15	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
B11	15	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
A11	15	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
H14	15	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
M11	15	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
G10	15	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
J14	15	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
H12	15	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
G11	15	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
F11	15	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C
C14	15	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
A14	15	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
L15	36	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
G18	36	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
E13	26	QDRA_D<25>	N/C	N/C	BOUT<6>
G12	15	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
K16	36	QDRA_D<31>	WnR_B<2>	N/C	N/C
M12	35	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
A16	36	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
J19	36	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
B16	36	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
J17	36	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
M17	36	QDRA_D<16>	N/C	DQS#<1>	N/C
M18	36	QDRA_DQ<18>	N/C	DQS<1>	N/C
K19	36	QDRA_D<18>	N/C	DQ<11>	N/C
B17	36	N/C	N/C	DQ<5>	ENABLE
D17	36	QDRA_D<26>	N/C	DQ<7>	N/C
E17	36	N/C	N/C	DQ<3>	PEN
G17	36	QDRA_DQ<25>	N/C	DQ<4>	N/C

C17	36	QDRA_DQ<26>	N/C	DM<0>	DFS
E16	36	QDRA_A<2>	N/C	DQ<9>	N/C
L14	36	QDRA_A<0>	N/C	DM<1>	N/C
H18	36	QDRA_W	N/C	DQ<8>	N/C
F18	36	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
D16	36	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
K18	36	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
K17	36	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
E18	36	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
L19	36	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
H17	36	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
B15	35	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
A15	35	QDRA_A<15>	DQ_B<15>	A<10>	N/C
M16	35	NC	nCE_B<1>	A<15>	N/C
F15	35	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
J15	35	QDRA_A<7>	DQ_B<13>	N/C	N/C
A20	35	QDRA_A<16>	RnB_B<4>	RAS#	N/C
F20	35	QDRA_A<11>	N/C	CAS#	N/C
F19	35	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
L20	35	QDRA_A<20>	RnB_B<1>	A<12>	N/C
D22	35	QDRA_A<18>	nCE_B<4>	BA<0>	N/C
B18	35	QDRA_A<1>	N/C	A<3>	N/C
A18	35	QDRA_A<4>	N/C	CS<1>	N/C
K21	35	QDRA_R	N/C	WE#	BOUT<1>
F21	35	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
G20	35	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
D19	35	QDRA_D<9>	N/C	ODT<0>	N/C
A19	35	QDRA_D<0>	N/C	N/C	BOUT<0>
A21	35	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
C22	35	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
C19	26	QDRA_K	DQ_A<15>	CK#	N/C
D12	26	QDRA_D<17>	N/C	N/C	N/C
A23	26	QDRA_CQ	N/C	N/C	N/C
B20	26	N/C	DQ_A<13>	CK	N/C
C20	26	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
J11	26	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
G21	26	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
B23	26	QDRA_D<8>	N/C	A<0>	N/C
D20	26	QDRA_D<15>	DQ_A<12>	A<4>	N/C
J20	26	QDRA_D<7>	DQ_A<14>	N/C	N/C
E23	26	QDRA_D<6>	DQ_A<4>	N/C	N/C
E22	26	QDRA_DQ<6>	DQ_A<6>	N/C	N/C

B21	26	QDRA_DQ<14>	N/C	N/C	N/C
B22	26	QDRA_DQ<5>	N/C	A<2>	N/C
C23	26	QDRA_D<13>	CLK_A<1>	A<7>	N/C
A24	26	QDRA_D<5>	CLK_A<2>	N/C	N/C
H20	26	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
G22	26	NC	WnR_A<2>	RESET#	N/C
C13	26	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
F13	26	QDRA_D<14>	CLE_A<2>	N/C	N/C
G15	35	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
M15	35	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
H19	26	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
E19	26	QDRA_D<10>	DQ_A<3>	N/C	N/C
E12	26	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
K12	26	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
K14	35	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
L13	35	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
C18	35	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
K22	35	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
L21	35	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
H22	35	QDRA_D<2>	ALE_B<2>	A<6>	N/C

Table 4: VP680 BLAST 0 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H Name	2 channel ADC BLAST-V name
A31		QDRA_D<8>	N/C	A<0>	N/C
H29		QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
F28	25	QDRA_A<15>	DQ_B<15>	A<10>	N/C
H27	25	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
B26	25	QDRA_A<20>	RnB_B<1>	A<12>	N/C
E26	25	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
D32	25	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
G28	25	N/C	nCE_B<1>	A<15>	N/C
G26		QDRA_DQ<5>	N/C	A<2>	N/C
A25	25	QDRA_A<1>	N/C	A<3>	N/C
A30		QDRA_D<15>	DQ_A<12>	A<4>	N/C
B30		QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
D26	25	QDRA_D<2>	ALE_B<2>	A<6>	N/C
B31		QDRA_D<13>	CLK_A<1>	A<7>	N/C
B25	25	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
D27	25	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
A26	25	QDRA_A<18>	nCE_B<4>	BA<0>	N/C
P29		QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
A29	25	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
H32	25	QDRA_A<11>		CAS#	N/C
C29		N/C	DQ_A<13>	CK	N/C
D29		QDRA_K	DQ_A<15>	CK#	N/C
F25	25	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
D31	25	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
B28	25	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
C25	25	QDRA_A<4>	N/C	CS<1>	N/C
G31	16	QDRA_DQ<26>	N/C	DM<0>	DFS
E31	16	QDRA_A<0>	N/C	DM<1>	N/C
P25		QDRA_K	RnB_A<2>	DM<2>	N/C
N27		QDRA_A<3>	nCE_A<2>	DM<3>	N/C
J26	16	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
C32	16	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
H34	16	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
C33	16	QDRA_D<18>	N/C	DQ<11>	N/C
J30	16	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
G33	16	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
C34	16	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
B34	16	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>

R28		QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
M33		QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
L33		N/C	nCE_A<4>	DQ<18>	N/C
P32		QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
F30	16	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
L30		QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
M32		QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
N29		QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
P26		QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
L31		QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
M25		QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
P27		QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
M27		QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
N25		QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
M26		QDRA_D<24>	N/C	DQ<29>	BOUT<7>
B32	16	N/C	N/C	DQ<3>	PEN
M31		QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
P31		QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
G30	16	QDRA_DQ<25>	N/C	DQ<4>	N/C
H30	16	N/C	N/C	DQ<5>	ENABLE
A33	16	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
J27	16	QDRA_D<26>	N/C	DQ<7>	N/C
K27	16	QDRA_W	N/C	DQ<8>	N/C
K29	16	QDRA_A<2>	N/C	DQ<9>	N/C
E33	16	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
J29	16	QDRA_D<16>	N/C	DQS#<1>	N/C
M28		N/C	nWP_A<1>	DQS#<2>	N/C
K31		QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C
E32	16	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
K28	16	QDRA_DQ<18>	N/C	DQS<1>	N/C
L28		N/C	RnB_A<3>	DQS<2>	N/C
K32		QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
E24		QDRA_DQ<13>	CLE_A<1>	N/C	N/C
R31		QDRA_D<14>	CLE_A<2>	N/C	N/C
C30		QDRA_D<5>	CLK_A<2>	N/C	N/C
N32	15	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
N30		QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
N34		QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
D24		QDRA_D<7>	DQ_A<14>	N/C	N/C
N28	15	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
R29		QDRA_D<10>	DQ_A<3>	N/C	N/C

B27		QDRA_D<6>	DQ_A<4>	N/C	N/C
C27		QDRA_DQ<6>	DQ_A<6>	N/C	N/C
R26		QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
A28	25	QDRA_A<7>	DQ_B<13>	N/C	N/C
G25	25	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
F33	16	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
D34	16	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
D30		QDRA_C<Q>	N/C	N/C	N/C
C24	25	QDRA_D<0>	N/C	N/C	BOUT<0>
P34		QDRA_D<17>	N/C	N/C	N/C
T26		QDRA_D<25>	N/C	N/C	BOUT<6>
G27		QDRA_DQ<14>	N/C	N/C	N/C
C28	25	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
M30		QDRA_DQ<15>	WnR_A<1>	N/C	N/C
N33	15	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
K26	16	QDRA_D<31>	WnR_B<2>	N/C	N/C
D25	25	QDRA_D<9>	N/C	ODT<0>	N/C
K33	25	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
J34	25	QDRA_A<16>	RnB_B<4>	RAS#	N/C
H28		N/C	WnR_A<2>	RESET#	N/C
F26	25	QDRA_R	N/C	WE#	BOUT<1>

Table 5: VP680 BLAST 1 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
AP20	22	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
AL20	22	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
AC20	22	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
AG22	22	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
AH17	32	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
AC15	32	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
AK16	33	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
AC18	33	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
AL16	33	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
AM13		QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
AF21	22	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
AM18	22	QDRA_D<0>	N/C	N/C	BOUT<0>
AH22	22	QDRA_R	N/C	WE#	BOUT<1>
AH10	33	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
AM12	33	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
AD11	33	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
AG10	33	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
AE18	33	QDRA_D<25>	N/C	N/C	BOUT<6>
AH15	32	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
AD12	33	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
AJ10	33	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
AM10	33	QDRA_DQ<26>	N/C	DM<0>	DFS
AL10	33	N/C	N/C	DQ<5>	ENABLE
AE12	33	N/C	N/C	DQ<3>	PEN
AM22	22	QDRA_D<8>	N/C	A<0>	N/C
AK21	22	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
AF19	22	QDRA_A<15>	DQ_B<15>	A<10>	N/C
AN19	22	QDRA_A<20>	RnB_B<1>	A<12>	N/C
AN13		N/C	nCE_B<1>	A<15>	N/C
AP22	22	QDRA_DQ<5>	N/C	A<2>	N/C
AN18	22	QDRA_A<1>	N/C	A<3>	N/C
AC19	22	QDRA_D<15>	DQ_A<12>	A<4>	N/C
AL21	22	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
AD21	22	QDRA_D<2>	ALE_B<2>	A<6>	N/C
AN22	22	QDRA_D<13>	CLK_A<1>	A<7>	N/C
AP19	22	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
AK22	22	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
AN20	22	QDRA_A<18>	nCE_B<4>	BA<0>	N/C

AK18	33	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
AP11	22	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
AE19	22	QDRA_A<11>	N/C	CAS#	N/C
AK19	32	N/C	DQ_A<13>	CK	N/C
AL19	32	QDRA_K	DQ_A<15>	CK#	N/C
AF20	22	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
AD20	22	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
AP21	22	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
AL18	22	QDRA_A<4>	N/C	CS<1>	N/C
AP12	33	QDRA_A<0>	N/C	DM<1>	N/C
AP17	32	QDRA_K	RnB_A<2>	DM<2>	N/C
AM15	32	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
AJ11	33	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
AE13	33	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
AE14	33	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
AG11	33	QDRA_D<18>	N/C	DQ<11>	N/C
AM17	32	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
AC17	32	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
AJ16	32	N/C	nCE_A<4>	DQ<18>	N/C
AP15	32	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
AK12	33	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
AN17	32	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
AP16	32	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
AD16	32	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
AJ19	32	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
AK14	32	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
AJ15	32	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
AJ17	32	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
AG16	32	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
AJ14	32	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
AF15	32	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
AN15	32	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
AJ12	33	QDRA_DQ<25>	N/C	DQ<4>	N/C
AF11	33	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
AK11	33	QDRA_D<26>	N/C	DQ<7>	N/C
AH12	33	QDRA_W	N/C	DQ<8>	N/C
AN12	33	QDRA_A<2>	N/C	DQ<9>	N/C
AC14	33	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
AM11	33	QDRA_D<16>	N/C	DQS#<1>	N/C
AE17	32	N/C	nWP_A<1>	DQS#<2>	N/C
AL14	32	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C

AD14	33	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
AL11	33	QDRA_DQ<18>	N/C	DQS<1>	N/C
AD17	32	N/C	RnB_A<3>	DQS<2>	N/C
AL15	32	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
AE21	22	QDRA_D<9>	N/C	ODT<0>	N/C
AM20	22	QDRA_A<16>	RnB_B<4>	RAS#	N/C
AJ21	22	N/C	WnR_A<2>	RESET#	N/C
AK17	33	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
AF18	33	QDRA_D<14>	CLE_A<2>	N/C	N/C
AL23	22	QDRA_D<5>	CLK_A<2>	N/C	N/C
AG20	22	QDRA_D<7>	DQ_A<14>	N/C	N/C
AG15	32	QDRA_D<10>	DQ_A<3>	N/C	N/C
AM16	33	QDRA_D<6>	DQ_A<4>	N/C	N/C
AN23	22	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
AM21	22	QDRA_A<7>	DQ_B<13>	N/C	N/C
AG17	33	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
AE16	32	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
AC13	33	QDRA_D<31>	WnR_B<2>	N/C	N/C
AM23	22	QDRA_CQ	N/C	N/C	N/C
AD15	33	QDRA_D<17>	N/C	N/C	N/C
AG21	22	QDRA_DQ<14>	N/C	N/C	N/C

Table 6: VP680 BLAST 2 Pin Mapping

9.3 FM780 BLAST Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
D10	37	QDRA_DQ<10>	nWP_B<2>	N/C	IDATA_VALID
D11	37	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
B11	37	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
C8	37	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
N10	37	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
M8	37	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
L10	37	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
M11	37	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
L8	37	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
E8	37	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
J14	38	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
C9	37	QDRA_R	N/C	WE#	BOUT_1
A11	37	QDRA_D<0>	N/C	N/C	BOUT<0>
G12	38	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
H12	38	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
H14	38	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
G13	38	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
L9	37	QDRA_D<25>	N/C	N/C	BOUT<6>
L13	38	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
M10	37	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
P10	37	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
E14	38	QDRA_DQ<26>	N/C	DM<0>	DFS
D14	38	N/C	N/C	DQ<5>	ENABLE
C12	38	N/C	N/C	DQ<3>	PEN
H7	37	QDRA_D<8>	N/C	A<0>	N/C
J10	37	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
D7	37	QDRA_A<15>	DQ_B<15>	A<10>	N/C
A10	37	QDRA_A<20>	RnB_B<1>	A<12>	N/C
F9	37	NC	nCE_B<1>	A<15>	N/C
H9	37	QDRA_DQ<5>	N/C	A<2>	N/C
B7	37	QDRA_A<1>	N/C	A<3>	N/C
G7	37	QDRA_D<15>	DQ_A<12>	A<4>	N/C
J9	37	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
A9	37	QDRA_D<2>	ALE_B<2>	A<6>	N/C
H8	37	QDRA_D<13>	CLK_A<1>	A<7>	N/C
C10	37	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
B8	37	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C

B10	37	QDRA_A<18>	nCE_B<4>	BA<0>	N/C
K7	37	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
D6	37	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
E11	37	QDRA_A<11>	N/C	CAS#	N/C
F8	37	N/C	DQ_A<13>	CK	N/C
E7	37	QDRA_K	DQ_A<15>	CK#	N/C
F10	37	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
K11	37	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
D9	37	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
C7	37	QDRA_A<4>	N/C	CS<1>	N/C
H13	38	QDRA_A<0>	N/C	DM<1>	N/C
U15	38	QDRA_K	RnB_A<2>	DM<2>	N/C
M13	38	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
B12	38	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
C14	38	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
G15	38	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
F15	38	QDRA_D<18>	N/C	DQ<11>	N/C
N13	38	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
T14	38	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
P12	38	N/C	nCE_A<4>	DQ<18>	N/C
R13	38	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
D12	38	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
T13	38	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
P11	38	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
R12	38	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
T15	38	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
K13	38	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
J12	38	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
L14	38	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
N15	38	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
K12	38	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
K14	38	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
N14	38	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
C13	38	QDRA_DQ<25>	N/C	DQ<4>	N/C
B13	38	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
E12	38	QDRA_D<26>	N/C	DQ<7>	N/C
H15	38	QDRA_W	N/C	DQ<8>	N/C
J15	38	QDRA_A<2>	N/C	DQ<9>	N/C
A13	38	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
F13	38	QDRA_D<16>	N/C	DQS#<1>	N/C
P14	38	N/C	nWP_A<1>	DQS#<2>	N/C

L15	38	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C
A14	38	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
F14	38	QDRA_DQ<18>	N/C	DQS<1>	N/C
R14	38	N/C	RnB_A<3>	DQS<2>	N/C
M15	38	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
A8	37	QDRA_D<9>	N/C	ODT<0>	N/C
E9	37	QDRA_A<16>	RnB_B<4>	RAS#	N/C
J11	37	NC	WnR_A<2>	RESET#	N/C
J7	37	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
K8	37	QDRA_D<14>	CLE_A<2>	N/C	N/C
K9	37	QDRA_D<5>	CLK_A<2>	N/C	N/C
G10	37	QDRA_D<7>	DQ_A<14>	N/C	N/C
L3	36	QDRA_D<10>	DQ_A<3>	N/C	N/C
G11	37	QDRA_D<6>	DQ_A<4>	N/C	N/C
F11	37	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
L1	36	QDRA_A<7>	DQ_B<13>	N/C	N/C
M12	38	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
K1	36	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
K2	36	QDRA_D<31>	WnR_B<2>	N/C	N/C
G8	37	QDRA_C<Q>	N/C	N/C	N/C
L11	37	QDRA_D<17>	N/C	N/C	N/C
H10	37	QDRA_DQ<14>	N/C	N/C	N/C

Table 7: FM780 BLAST 0 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
U21	35	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
L20	35	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
T19	35	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
M22	35	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
A23	35	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
A21	35	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
A20	35	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
P21	35	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
B23	35	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
L21	35	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
J24	34	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
N22	35	QDRA_R	N/C	WE#	BOUT_1
T18	35	QDRA_D<0>	N/C	N/C	BOUT<0>
M23	34	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
K26	34	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
K23	34	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
N23	34	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
B21	35	QDRA_D<25>	N/C	N/C	BOUT<6>
F25	34	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
B22	35	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
C22	35	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
U23	34	QDRA_DQ<26>	N/C	DM<0>	DFS
P24	34	N/C	N/C	DQ<5>	ENABLE
T23	34	N/C	N/C	DQ<3>	PEN
F21	35	QDRA_D<8>	N/C	A<0>	N/C
D22	35	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
M21	35	QDRA_A<15>	DQ_B<15>	A<10>	N/C
T21	35	QDRA_A<20>	RnB_B<1>	A<12>	N/C
K21	35	N/C	nCE_B<1>	A<15>	N/C
G22	35	QDRA_DQ<5>	N/C	A<2>	N/C
P20	35	QDRA_A<1>	N/C	A<3>	N/C
U18	35	QDRA_D<15>	DQ_A<12>	A<4>	N/C
H22	35	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
R18	35	QDRA_D<2>	ALE_B<2>	A<6>	N/C
G21	35	QDRA_D<13>	CLK_A<1>	A<7>	N/C
N19	35	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
R21	35	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
P19	35	QDRA_A<18>	nCE_B<4>	BA<0>	N/C

C20	35	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
K22	35	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
M20	35	QDRA_A<11>	N/C	CAS#	N/C
J20	35	N/C	DQ_A<13>	CK	N/C
H20	35	QDRA_K	DQ_A<15>	CK#	N/C
J22	35	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
T20	35	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
U20	35	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
N20	35	QDRA_A<4>	N/C	CS<1>	N/C
L26	34	QDRA_A<0>	N/C	DM<1>	N/C
C24	34	QDRA_K	RnB_A<2>	DM<2>	N/C
G26	34	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
R23	34	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
N24	34	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
L24	34	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
L25	34	QDRA_D<18>	N/C	DQ<11>	N/C
E26	34	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
B26	34	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
E24	34	N/C	nCE_A<4>	DQ<18>	N/C
D25	34	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
P22	34	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
A26	34	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
D24	34	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
C25	34	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
B25	34	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
H24	34	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
J26	34	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
F24	34	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
G23	34	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
J25	34	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
H23	34	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
F23	34	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
U25	34	QDRA_DQ<25>	N/C	DQ<4>	N/C
T25	34	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
R22	34	QDRA_D<26>	N/C	DQ<7>	N/C
L23	34	QDRA_W	N/C	DQ<8>	N/C
K24	34	QDRA_A<2>	N/C	DQ<9>	N/C
P25	34	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
M26	34	QDRA_D<16>	N/C	DQS#<1>	N/C
A25	34	N/C	nWP_A<1>	DQS#<2>	N/C
G25	34	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C

R24	34	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
M25	34	QDRA_DQ<18>	N/C	DQS<1>	N/C
A24	34	N/C	RnB_A<3>	DQS<2>	N/C
H25	34	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
R19	35	QDRA_D<9>	N/C	ODT<0>	N/C
L19	35	QDRA_A<16>	RnB_B<4>	RAS#	N/C
E23	35	N/C	WnR_A<2>	RESET#	N/C
B20	35	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
D20	35	QDRA_D<14>	CLE_A<2>	N/C	N/C
D21	35	QDRA_D<5>	CLK_A<2>	N/C	N/C
E21	35	QDRA_D<7>	DQ_A<14>	N/C	N/C
L4	36	QDRA_D<10>	DQ_A<3>	N/C	N/C
G20	35	QDRA_D<6>	DQ_A<4>	N/C	N/C
F20	35	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
L6	36	QDRA_A<7>	DQ_B<13>	N/C	N/C
F26	34	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
L5	36	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
K6	36	QDRA_D<31>	WnR_B<2>	N/C	N/C
J21	35	QDRA_C<Q>	N/C	N/C	N/C
C23	35	QDRA_D<17>	N/C	N/C	N/C
E22	35	QDRA_DQ<14>	N/C	N/C	N/C

Table 8: FM780 BLAST 1 Pin Mapping

9.4 FM680 BLAST Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
AT30	22	QDRA_DQ<10>	nWP_B<2>	N/C	IDATA_VALID
AP30	23	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
AN30	23	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
AM31	23	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
AY30	22	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
AM26	22	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
AN29	23	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
AL30	23	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
AK29	23	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
AJ25	23	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
AK28	23	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
AN19	33	QDRA_R	N/C	WE#	BOUT_1
AU19	23	QDRA_D<0>	N/C	N/C	BOUT<0>
AN28	22	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
AM27	22	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
AT29	22	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
BB28	22	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
AP20	32	QDRA_D<25>	N/C	N/C	BOUT<6>
AN21	32	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
AY20	32	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
AM21	32	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
AV28	22	QDRA_DQ<26>	N/C	DM<0>	DFS
AU28	22	N/C	N/C	DQ<5>	ENABLE
AW30	22	N/C	N/C	DQ<3>	PEN
BA32	22	QDRA_D<8>	N/C	A<0>	N/C
AY32	22	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
AU22	32	QDRA_A<15>	DQ_B<15>	A<10>	N/C
AR22	32	QDRA_A<20>	RnB_B<1>	A<12>	N/C
AR28	22	N/C	nCE_B<1>	A<15>	N/C
AK25	23	QDRA_DQ<5>	N/C	A<2>	N/C
AR19	33	QDRA_A<1>	N/C	A<3>	N/C
BB33	22	QDRA_D<15>	DQ_A<12>	A<4>	N/C
AU31	22	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
AP31	23	QDRA_D<2>	ALE_B<2>	A<6>	N/C
AH26	23	QDRA_D<13>	CLK_A<1>	A<7>	N/C
AL31	23	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
AN31	23	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C

AT19	33	QDRA_A<18>	nCE_B<4>	BA<0>	N/C
AT31	22	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
AV23	32	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
AW22	32	QDRA_A<11>	N/C	CAS#	N/C
AK20	32	N/C	DQ_A<13>	CK	N/C
AK19	32	QDRA_K	DQ_A<15>	CK#	N/C
AW23	32	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
AT22	32	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
AR30	22	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
AV19	33	QDRA_A<4>	N/C	CS<1>	N/C
AR29	22	QDRA_A<0>	N/C	DM<1>	N/C
BA24	32	QDRA_K	RnB_A<2>	DM<2>	N/C
BB23	32	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
AV31	22	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
AL26	22	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
AV29	22	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
BB29	22	QDRA_D<18>	N/C	DQ<11>	N/C
AL20	32	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
BB24	32	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
AL19	32	N/C	nCE_A<4>	DQ<18>	N/C
AT21	32	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
AT27	22	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
AP21	32	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
AR20	32	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
AT20	32	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
AP22	32	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
AJ20	32	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
AY22	32	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
AU21	32	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
AM19	32	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
AY24	32	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
AN20	32	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
BA22	32	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
BB31	22	QDRA_DQ<25>	N/C	DQ<4>	N/C
BA31	22	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
AV30	22	QDRA_D<26>	N/C	DQ<7>	N/C
AP28	22	QDRA_W	N/C	DQ<8>	N/C
AU29	22	QDRA_A<2>	N/C	DQ<9>	N/C
AP27	22	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
AY28	22	QDRA_D<16>	N/C	DQS#<1>	N/C
BB21	32	N/C	nWP_A<1>	DQS#<2>	N/C

AW20	32	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C
AN26	22	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
AW28	22	QDRA_DQ<18>	N/C	DQS<1>	N/C
BB22	32	N/C	RnB_A<3>	DQS<2>	N/C
AV20	32	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
AY19	33	QDRA_D<9>	N/C	ODT<0>	N/C
BA20	32	QDRA_A<16>	RnB_B<4>	RAS#	N/C
AK27	23	N/C	WnR_A<2>	RESET#	N/C
AL27	23	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
AG28	23	QDRA_D<14>	CLE_A<2>	N/C	N/C
AJ26	23	QDRA_D<5>	CLK_A<2>	N/C	N/C
AY33	22	QDRA_D<7>	DQ_A<14>	N/C	N/C
AL29	23	QDRA_D<10>	DQ_A<3>	N/C	N/C
AH24	23	QDRA_D<6>	DQ_A<4>	N/C	N/C
AH25	23	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
AL21	32	QDRA_A<7>	DQ_B<13>	N/C	N/C
AJ27	23	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
AR27	22	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
AJ21	32	QDRA_D<31>	WnR_B<2>	N/C	N/C
AW31	22	QDRA_CQ	N/C	N/C	N/C
BA30	22	QDRA_D<17>	N/C	N/C	N/C
AM28	23	QDRA_DQ<14>	N/C	N/C	N/C

Table 9: FM680 BLAST 0 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
AU34	12	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
AT40	13	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
AV40	13	QDRA_DQ0	N/C	A<14>	AOUT<1>
AK42	14	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
AT41	13	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
AL34	13	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
AL40	14	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
AJ41	14	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
AJ40	14	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
AL39	14	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
AK39	14	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
AR39	13	QDRA_R	N/C	WE#	BOUT_1
AK34	13	QDRA_D<0>	N/C	N/C	BOUT<0>
AU36	12	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
AT36	12	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
AY35	12	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
AW36	12	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
AV35	12	QDRA_D<25>	N/C	N/C	BOUT<6>
AW40	13	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
AP36	12	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
AW38	12	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
AT37	12	QDRA_DQ<26>	N/C	DM<0>	DFS
BA37	12	N/C	N/C	DQ<5>	ENABLE
AW37	12	N/C	N/C	DQ<3>	PEN
AP33	23	QDRA_D<8>	N/C	A<0>	N/C
AR34	23	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
BB38	12	QDRA_A<15>	DQ_B<15>	A<10>	N/C
AM32	23	QDRA_A<20>	RnB_B<1>	A<12>	N/C
BA34	12	N/C	nCE_B<1>	A<15>	N/C
AU32	23	QDRA_DQ<5>	N/C	A<2>	N/C
AM39	13	QDRA_A<1>	N/C	A<3>	N/C
AP32	23	QDRA_D<15>	DQ_A<12>	A<4>	N/C
AN33	23	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
AM42	14	QDRA_D<2>	ALE_B<2>	A<6>	N/C
AV33	23	QDRA_D<13>	CLK_A<1>	A<7>	N/C
AJ42	14	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
AL42	14	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
AM37	13	QDRA_A<18>	nCE_B<4>	BA<0>	N/C

AN34	23	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
AV39	12	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
AW35	12	QDRA_A<11>	N/C	CAS#	N/C
AK35	13	N/C	DQ_A<13>	CK	N/C
AL36	13	QDRA_K	DQ_A<15>	CK#	N/C
BA35	12	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
AM33	23	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
AT34	12	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
AN39	13	QDRA_A<4>	N/C	CS<1>	N/C
AP37	12	QDRA_A<0>	N/C	DM<1>	N/C
AN41	13	QDRA_K	RnB_A<2>	DM<2>	N/C
AP41	13	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
BB39	12	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
AV38	12	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
BB34	12	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
BB37	12	QDRA_D<18>	N/C	DQ<11>	N/C
AU41	13	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
AN40	13	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
AW42	13	N/C	nCE_A<4>	DQ<18>	N/C
AW41	13	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
AY39	12	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
BA41	13	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
BA42	13	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
AY42	13	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
BB41	13	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
AU39	13	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
AT42	13	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
AR40	13	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
AU42	13	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
AM36	13	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
AL37	13	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
AY40	13	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
AU37	12	QDRA_DQ<25>	N/C	DQ<4>	N/C
BA39	12	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
AP35	12	QDRA_D<26>	N/C	DQ<7>	N/C
AR38	12	QDRA_W	N/C	DQ<8>	N/C
AR37	12	QDRA_A<2>	N/C	DQ<9>	N/C
AY37	12	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
BA36	12	QDRA_D<16>	N/C	DQS#<1>	N/C
AR42	13	N/C	nWP_A<1>	DQS#<2>	N/C
AL35	13	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C

AY38	12	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
BB36	12	QDRA_DQ<18>	N/C	DQS<1>	N/C
AP42	13	N/C	RnB_A<3>	DQS<2>	N/C
AM34	13	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
AP40	13	QDRA_D<9>	N/C	ODT<0>	N/C
AY34	12	QDRA_A<16>	RnB_B<4>	RAS#	N/C
AM41	14	N/C	WnR_A<2>	RESET#	N/C
AK37	14	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
AK38	14	QDRA_D<14>	CLE_A<2>	N/C	N/C
AW33	23	QDRA_D<5>	CLK_A<2>	N/C	N/C
AR32	23	QDRA_D<7>	DQ_A<14>	N/C	N/C
AK40	14	QDRA_D<10>	DQ_A<3>	N/C	N/C
AR33	23	QDRA_D<6>	DQ_A<4>	N/C	N/C
AT32	23	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
AV34	12	QDRA_A<7>	DQ_B<13>	N/C	N/C
AL41	14	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
AV41	13	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
AN35	12	QDRA_D<31>	WnR_B<2>	N/C	N/C
BA40	13	QDRA_CQ	N/C	N/C	N/C
AN36	12	QDRA_D<17>	N/C	N/C	N/C
AU33	23	QDRA_DQ<14>	N/C	N/C	N/C

Table 10: FM680 BLAST 1 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
AA41	15	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
AG42	14	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
AH41	14	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
T40	17	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
Y35	16	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
W32	16	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
AA39	16	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
T35	17	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
U37	16	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
U38	16	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
U39	16	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
AG41	14	QDRA_R	N/C	WE#	BOUT_1
AG39	14	QDRA_D<0>	N/C	N/C	BOUT<0>
AD42	15	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
AE42	15	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
AE35	15	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
AC38	15	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
AE32	15	QDRA_D<25>	N/C	N/C	BOUT<6>
Y33	16	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
AC41	15	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
AB36	15	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
AD36	15	QDRA_DQ<26>	N/C	DM<0>	DFS
AD33	15	N/C	N/C	DQ<5>	ENABLE
AC40	15	N/C	N/C	DQ<3>	PEN
AH34	14	QDRA_D<8>	N/C	A<0>	N/C
AJ38	14	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
AB37	15	QDRA_A<15>	DQ_B<15>	A<10>	N/C
AA40	15	QDRA_A<20>	RnB_B<1>	A<12>	N/C
AB38	15	N/C	nCE_B<1>	A<15>	N/C
T34	17	QDRA_DQ<5>	N/C	A<2>	N/C
AF34	14	QDRA_A<1>	N/C	A<3>	N/C
AJ35	14	QDRA_D<15>	DQ_A<12>	A<4>	N/C
AF37	14	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
T42	17	QDRA_D<2>	ALE_B<2>	A<6>	N/C
AF32	14	QDRA_D<13>	CLK_A<1>	A<7>	N/C
T36	17	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
T41	17	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
AG34	14	QDRA_A<18>	nCE_B<4>	BA<0>	N/C

AG37	14	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
AE33	15	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
AA42	15	QDRA_A<11>	N/C	CAS#	N/C
U32	16	N/C	DQ_A<13>	CK	N/C
U33	16	QDRA_K	DQ_A<15>	CK#	N/C
AB39	15	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
AF36	14	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
AB41	15	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
AF40	14	QDRA_A<4>	N/C	CS<1>	N/C
AE38	15	QDRA_A<0>	N/C	DM<1>	N/C
Y37	16	QDRA_K	RnB_A<2>	DM<2>	N/C
W36	16	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
AC36	15	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
AC34	15	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
AE34	15	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
AF41	15	QDRA_D<18>	N/C	DQ<11>	N/C
W40	16	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
W37	16	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
V39	16	N/C	nCE_A<4>	DQ<18>	N/C
V38	16	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
AB33	15	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
Y40	16	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
Y42	16	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
W42	16	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
Y39	16	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
W38	16	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
V36	16	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
V34	16	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
AA36	16	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
AA34	16	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
W41	16	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
Y38	16	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
AD38	15	QDRA_DQ<25>	N/C	DQ<4>	N/C
AB32	15	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
AD40	15	QDRA_D<26>	N/C	DQ<7>	N/C
AC33	15	QDRA_W	N/C	DQ<8>	N/C
AD41	15	QDRA_A<2>	N/C	DQ<9>	N/C
AD37	15	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
AE39	15	QDRA_D<16>	N/C	DQS#<1>	N/C
V35	16	N/C	nWP_A<1>	DQS#<2>	N/C
W33	16	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C

AE37	15	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
AE40	15	QDRA_DQ<18>	N/C	DQS<1>	N/C
W35	16	N/C	RnB_A<3>	DQS<2>	N/C
V33	16	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
AF39	14	QDRA_D<9>	N/C	ODT<0>	N/C
AB42	15	QDRA_A<16>	RnB_B<4>	RAS#	N/C
V41	16	N/C	WnR_A<2>	RESET#	N/C
U42	16	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
U41	16	QDRA_D<14>	CLE_A<2>	N/C	N/C
AG33	14	QDRA_D<5>	CLK_A<2>	N/C	N/C
AJ37	14	QDRA_D<7>	DQ_A<14>	N/C	N/C
U34	16	QDRA_D<10>	DQ_A<3>	N/C	N/C
AH39	14	QDRA_D<6>	DQ_A<4>	N/C	N/C
AG36	14	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
AF42	15	QDRA_A<7>	DQ_B<13>	N/C	N/C
AA35	16	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
V40	16	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
AD32	15	QDRA_D<31>	WnR_B<2>	N/C	N/C
AH40	14	QDRA_CQ	N/C	N/C	N/C
AG38	14	QDRA_D<17>	N/C	N/C	N/C
AF35	14	QDRA_DQ<14>	N/C	N/C	N/C

Table 11: FM680 BLAST 2 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
M33	25	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
M37	17	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
M38	17	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
R35	17	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
B41	26	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
G34	26	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
P42	17	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
R42	17	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
P40	17	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
T39	17	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
P36	17	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
N41	17	QDRA_R	N/C	WE#	BOUT_1
M36	17	QDRA_D<0>	N/C	N/C	BOUT<0>
L31	25	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
L32	25	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
L35	25	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
R27	25	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
F36	26	QDRA_D<25>	N/C	N/C	BOUT<6>
F37	26	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
K38	25	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
K37	25	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
H41	25	QDRA_DQ<26>	N/C	DM<0>	DFS
J38	25	N/C	N/C	DQ<5>	ENABLE
H39	25	N/C	N/C	DQ<3>	PEN
N36	17	QDRA_D<8>	N/C	A<0>	N/C
N38	17	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
F40	26	QDRA_A<15>	DQ_B<15>	A<10>	N/C
E40	26	QDRA_A<20>	RnB_B<1>	A<12>	N/C
L42	17	N/C	nCE_B<1>	A<15>	N/C
F35	26	QDRA_DQ<5>	N/C	A<2>	N/C
M39	17	QDRA_A<1>	N/C	A<3>	N/C
N35	17	QDRA_D<15>	DQ_A<12>	A<4>	N/C
N40	17	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
R28	25	QDRA_D<2>	ALE_B<2>	A<6>	N/C
P28	25	QDRA_D<13>	CLK_A<1>	A<7>	N/C
R38	17	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
R29	25	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
G41	26	QDRA_A<18>	nCE_B<4>	BA<0>	N/C

N39	17	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
H34	26	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
L37	25	QDRA_A<11>	N/C	CAS#	N/C
J35	26	N/C	DQ_A<13>	CK	N/C
H35	26	QDRA_K	DQ_A<15>	CK#	N/C
L41	17	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
F41	26	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
M32	25	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
R39	17	QDRA_A<4>	N/C	CS<1>	N/C
J40	25	QDRA_A<0>	N/C	DM<1>	N/C
A40	26	QDRA_K	RnB_A<2>	DM<2>	N/C
A39	26	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
K34	25	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
J37	25	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
K35	25	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
L36	25	QDRA_D<18>	N/C	DQ<11>	N/C
C39	26	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
A41	26	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
E38	26	N/C	nCE_A<4>	DQ<18>	N/C
B42	26	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
P31	25	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
D42	26	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
C38	26	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
D38	26	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
D41	26	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
C41	26	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
B38	26	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
C40	26	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
B39	26	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
H36	26	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
D40	26	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
G36	26	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
H40	25	QDRA_DQ<25>	N/C	DQ<4>	N/C
K42	25	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
H38	25	QDRA_D<26>	N/C	DQ<7>	N/C
M31	25	QDRA_W	N/C	DQ<8>	N/C
J42	25	QDRA_A<2>	N/C	DQ<9>	N/C
K32	25	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
M34	25	QDRA_D<16>	N/C	DQS#<1>	N/C
A37	26	N/C	nWP_A<1>	DQS#<2>	N/C
F42	26	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C

K33	25	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
L34	25	QDRA_DQ<18>	N/C	DQS<1>	N/C
B37	26	N/C	RnB_A<3>	DQS<2>	N/C
E42	26	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
U36	17	QDRA_D<9>	N/C	ODT<0>	N/C
L39	17	QDRA_A<16>	RnB_B<4>	RAS#	N/C
P35	17	N/C	WnR_A<2>	RESET#	N/C
P37	17	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
P38	17	QDRA_D<14>	CLE_A<2>	N/C	N/C
P30	25	QDRA_D<5>	CLK_A<2>	N/C	N/C
N31	25	QDRA_D<7>	DQ_A<14>	N/C	N/C
P41	17	QDRA_D<10>	DQ_A<3>	N/C	N/C
N30	25	QDRA_D<6>	DQ_A<4>	N/C	N/C
N29	25	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
L40	17	QDRA_A<7>	DQ_B<13>	N/C	N/C
G37	26	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
E39	26	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
P27	25	QDRA_D<31>	WnR_B<2>	N/C	N/C
M42	17	QDRA_CQ	N/C	N/C	N/C
M41	17	QDRA_D<17>	N/C	N/C	N/C
N28	25	QDRA_DQ<14>	N/C	N/C	N/C

Table 12: FM680 BLAST 3 Pin Mapping

FPGA Pin	Bank	QDRII+ BLAST-F Name	FLASH BLAST-E name	4GB DDR3 BLAST-H name	2 channel ADC BLAST-V name
N24	28	QDRA_DQ<10>	nWP_B<2>	N/C	!DATA_VALID
P21	38	QDRA_D<1>	N/C	ODT<1>	AOUT<0>
P22	38	QDRA_DQ<0>	N/C	A<14>	AOUT<1>
AK22	21	QDRA_DQ<2>	DQ_A<10>	A<13>	AOUT<2>
A26	38	QDRA_D<3>	DQ_A<0>	N/C	AOUT<3>
M19	38	QDRA_DQ<3>	DQ_A<2>	N/C	AOUT<4>
AM22	21	QDRA_DQ<4>	DQ_A<9>	N/C	AOUT<5>
AL25	21	QDRA_D<4>	DQ_A<11>	N/C	AOUT<6>
AM24	21	QDRA_D<11>	DQ_A<1>	N/C	AOUT<7>
AP25	21	QDRA_D<12>	DQS_A<2>	A<11>	AOUT<8>
AK24	21	QDRA_DQ<12>	DQS_A<1>	N/C	AOUT<9>
N21	38	QDRA_R	N/C	WE#	BOUT_1
P20	38	QDRA_D<0>	N/C	N/C	BOUT<0>
E30	28	QDRA_DQ<24>	N/C	DQ<14>	BOUT<2>
F30	28	QDRA_DQ<16>	N/C	DQ<12>	BOUT<3>
E28	28	QDRA_D<27>	CLK_B<2>	DQ<13>	BOUT<4>
E29	28	QDRA_DQ<27>	CLK_B<1>	DQ<15>	BOUT<5>
D30	28	QDRA_D<25>	N/C	N/C	BOUT<6>
D25	38	QDRA_D<24>	N/C	DQ<29>	BOUT<7>
R25	28	QDRA_D<23>	DQS_B<1>	N/C	BOUT<8>
F27	28	QDRA_DQ<23>	DQS_B<2>	N/C	BOUT<9>
G29	28	QDRA_DQ<26>	N/C	DM<0>	DFS
A30	28	N/C	N/C	DQ<5>	ENABLE
G28	28	N/C	N/C	DQ<3>	PEN
AU24	21	QDRA_D<8>	N/C	A<0>	N/C
AU26	21	QDRA_DQ<7>	nCE_A<1>	A<1>	N/C
K28	28	QDRA_A<15>	DQ_B<15>	A<10>	N/C
M26	28	QDRA_A<20>	RnB_B<1>	A<12>	N/C
A31	28	N/C	nCE_B<1>	A<15>	N/C
AR24	21	QDRA_DQ<5>	N/C	A<2>	N/C
G24	38	QDRA_A<1>	N/C	A<3>	N/C
AU23	21	QDRA_D<15>	DQ_A<12>	A<4>	N/C
AV26	21	QDRA_DQ<17>	DQ_A<7>	A<5>	N/C
AJ22	21	QDRA_D<2>	ALE_B<2>	A<6>	N/C
AR23	21	QDRA_D<13>	CLK_A<1>	A<7>	N/C
AK23	21	QDRA_DQ<11>	DQ_A<8>	A<8>	N/C
AJ23	21	QDRA_DQ<1>	ALE_B<1>	A<9>	N/C
M27	28	QDRA_A<18>	nCE_B<4>	BA<0>	N/C

AU27	21	QDRA_DQ<8>	DQ_A<5>	BA<1>	N/C
K27	28	QDRA_A<6>	DQ_B<5>	BA<2>	N/C
M22	38	QDRA_A<11>	N/C	CAS#	N/C
K25	38	N/C	DQ_A<13>	CK	N/C
J25	38	QDRA_K	DQ_A<15>	CK#	N/C
L27	28	QDRA_A<10>	RnB_B<3>	CKE<0>	N/C
D31	28	QDRA_A<17>	RnB_B<2>	CKE<1>	N/C
N25	28	QDRA_DQ<9>	nWP_B<1>	CS<0>	N/C
N20	38	QDRA_A<4>	N/C	CS<1>	N/C
P23	28	QDRA_A<0>	N/C	DM<1>	N/C
K23	38	QDRA_K	RnB_A<2>	DM<2>	N/C
A27	38	QDRA_A<3>	nCE_A<2>	DM<3>	N/C
J28	28	QDRA_A<5>	nCE_B<3>	DQ<0>	N/C
D28	28	QDRA_A<19>	DQ_B<6>	DQ<1>	N/C
B31	28	QDRA_A<12>	DQ_B<4>	DQ<10>	N/C
A29	28	QDRA_D<18>	N/C	DQ<11>	N/C
C25	38	QDRA_DQ<29>	DQ_B<10>	DQ<16>	N/C
A25	38	QDRA_nCQ	nWP_A<2>	DQ<17>	N/C
B27	38	N/C	nCE_A<4>	DQ<18>	N/C
D26	38	QDRA_DQ<28>	RnB_A<1>	DQ<19>	N/C
C31	28	QDRA_A<9>	DQ_B<7>	DQ<2>	N/C
N23	38	QDRA_D<30>	DQ_B<11>	DQ<20>	N/C
B28	38	QDRA_DQ<21>	DQ_B<0>	DQ<21>	N/C
C28	38	QDRA_DQ<30>	DQ_B<2>	DQ<22>	N/C
M24	38	QDRA_D<22>	DQ_B<9>	DQ<23>	N/C
H26	38	QDRA_D<28>	ALE_A<1>	DQ<24>	N/C
E27	38	QDRA_D<19>	RnB_A<4>	DQ<25>	N/C
N19	38	QDRA_D<20>	ALE_A<2>	DQ<26>	N/C
B26	38	QDRA_DQ<19>	nCE_A<3>	DQ<27>	N/C
D27	38	QDRA_D<21>	CLE_B<1>	DQ<28>	N/C
C26	38	QDRA_D<29>	DQ_B<8>	DQ<30>	N/C
E25	38	QDRA_DQ<22>	CLE_B<2>	DQ<31>	N/C
L25	28	QDRA_DQ<25>	N/C	DQ<4>	N/C
R23	28	QDRA_A<14>	nCE_B<2>	DQ<6>	N/C
G27	28	QDRA_D<26>	N/C	DQ<7>	N/C
H28	28	QDRA_W	N/C	DQ<8>	N/C
C30	28	QDRA_A<2>	N/C	DQ<9>	N/C
J26	28	QDRA_A<13>	DQ_B<12>	DQS#<0>	N/C
C29	28	QDRA_D<16>	N/C	DQS#<1>	N/C
F26	38	N/C	nWP_A<1>	DQS#<2>	N/C
F24	38	QDRA_DQ<20>	DQ_B<1>	DQS#<3>	N/C

J27	28	QDRA_A<8>	DQ_B<14>	DQS<0>	N/C
B29	28	QDRA_DQ<18>	N/C	DQS<1>	N/C
G26	38	N/C	RnB_A<3>	DQS<2>	N/C
F25	38	QDRA_nDoff	DQ_B<3>	DQS<3>	N/C
P25	28	QDRA_D<9>	N/C	ODT<0>	N/C
M21	38	QDRA_A<16>	RnB_B<4>	RAS#	N/C
AN25	21	N/C	WnR_A<2>	RESET#	N/C
AN24	21	QDRA_DQ<13>	CLE_A<1>	N/C	N/C
AN23	21	QDRA_D<14>	CLE_A<2>	N/C	N/C
AP26	21	QDRA_D<5>	CLK_A<2>	N/C	N/C
AT26	21	QDRA_D<7>	DQ_A<14>	N/C	N/C
AM23	21	QDRA_D<10>	DQ_A<3>	N/C	N/C
AT25	21	QDRA_D<6>	DQ_A<4>	N/C	N/C
AT24	21	QDRA_DQ<6>	DQ_A<6>	N/C	N/C
H24	38	QDRA_A<7>	DQ_B<13>	N/C	N/C
AP23	21	QDRA_DQ<15>	WnR_A<1>	N/C	N/C
J23	38	QDRA_DQ<31>	WnR_B<1>	N/C	N/C
L26	28	QDRA_D<31>	WnR_B<2>	N/C	N/C
AL24	21	QDRA_CQ	N/C	N/C	N/C
AL22	21	QDRA_D<17>	N/C	N/C	N/C
AR25	21	QDRA_DQ<14>	N/C	N/C	N/C

Table 13: FM680 BLAST 4 Pin Mapping