



シリーズ 5000 チップデータブック

<FT 5000 フリートポロジースマートランシーバ・Neuron 5000 プロセッサ>

005-0199-01A

Echelon、LONWORKS、LONMARK、LonTalk、Neuron、3120、3150、LNS、ShortStack、LonMaker、および Echelon ロゴは、米国およびその他の国におけるエシェロン社の登録商標です。3170、FTXL は、エシェロン社の商標です。

その他のブランド名および製品名は、各社の商標または登録商標です。

スマートトランシーバ、Neuron チップ、およびその他の OEM 製品は、人体の健康や安全に対する危害または物損を招くおそれのある機器やシステムでの使用を目的に設計されたものではありません。スマートトランシーバや Neuron チップをそのような機器あるいはシステムに対して使用することについて、エシェロン社は一切の責任を負いません。

エシェロン社以外の販売業者により製造されたパーツを本書中で参照している場合もありますが、これは説明のために記載しているだけであり、必ずしもエシェロン社でこれらのパーツについてのテストを行っているわけではありません。各アプリケーションに対するパーツの適合性については、お客様の判断にお任せいたします。

製品の市販性または特定目的の適合性に関しては、明示もしくは黙示の如何に拘わらず、また書面もしくはその他いかなる手段によるものかにかかわらず、エシェロン社はお客様にいかなる保証もなすことはありません。

本書内で明示的に許可された場合を除き、本書の内容の一部または全部を、エシェロン社の書面による事前の承諾なしに複製、検索システムへの登録、または送信することは、電子的、機械的、複写、記録、その他のいかなる形式、手段にかかわらず禁じられています。

Copyright © 1996, 2009 Echelon Corporation.

Echelon Corporation www.echelon.com

文書番号：005-0199-01A

本書はエシェロン社発行『Series 5000 Chip Data Book (005-0199-01A)』をエシェロン・ジャパン株式会社が翻訳したものです。2009年10月

はじめに

エシェロン社の FT 5000 フリートポロジースマートトランシーバは、エシェロン社の FT 3120[®] スマートトランシーバおよび FT 3150[®] スマートトランシーバの後継製品です。同様に、エシェロン社の Neuron[®] 5000 プロセッサは、Neuron 3120 チップおよび Neuron 3150 チップの後継製品です。

エシェロン社の高性能 FT-X3 通信トランスと FT 5000 スマートトランシーバを組み合わせることにより、かつてない性能と堅牢性を備えた低コストの通信システムが実現します。FT 5000 スマートトランシーバは、ビル、産業、交通、家庭、および電気・ガス・水道等の公益事業の自動化用途の LONWORKS[®] デバイスとして最適で、新製品の設計や従来のデバイスのコスト削減手段として適しています。

FT 5000 スマートトランシーバには、TP/FT-10 チャネルと完全な互換性を備えたネットワークトランシーバが内蔵されています。このフリートポロジートランシーバは、スター、バス、デジチェーン、ループ、または混合トポロジーによる無極性配線をサポートしています。この高い柔軟性により、配線敷設工事において厳しい配線規制に従う必要がなくなります。フリートポロジータン配線が可能になることで、最も迅速かつ費用対効果の高い方法で配線を敷設することができ、デバイスのインストールに要する時間や費用を削減することができます。また、配線、接続、デバイスの配置に関する制限がなくなるため、ネットワークの拡張も容易になります。

Neuron 5000 プロセッサは、性能、堅牢性、低コスト性の面では FT 5000 スマートトランシーバと同じですが、各種ネットワークトランシーバと組み合わせ使用できるため、TP/XF-1250 チャネルなどの各種チャネルを LONWORKS ネットワークに組み込むことができます。

FT 5000 スマートトランシーバと Neuron 5000 プロセッサは、どちらも「シリーズ 5000 チップ」ファミリに属する製品です。

本書では、FT 5000 スマートトランシーバおよび Neuron 5000 プロセッサの電気的および機械的なインターフェースおよび動作環境特性に関する技術的な仕様について詳しく説明します。また、シリーズ 5000 チップを応用機器に組み込む際の参考情報として、製造・販売業者についての情報も紹介しています。これらの業者リストについては、付録 F「メーカーお問い合わせ先」（151 ページ）に記載してあります。

本書には、エシェロン社の電力線スマートトランシーバに関する説明は含まれません。この技術の詳細については、『PL 3120 / PL 3150 / PL 3170 Power Line Smart Transceiver Data Book』（005-0193-01A）を参照してください。

対象読者

本書は、FT 5000 スマートトランシーバまたは Neuron 5000 プロセッサを使用したアプリケーションや機器を開発されるエンジニアの方、および FT スマートトランシーバまたは Neuron チップを組み込んだネットワークインターフェースをご利用の皆様を対象として、仕様と使用手順を説明したものです。

エシェロン社のスマートトランシーバおよび Neuron チップの新機能

エシェロン社の FT 5000 スマートトランシーバおよび Neuron 5000 プロセッサには、従来の FT 3120 スマートトランシーバ、Neuron 3120 チップ、FT 3150 スマートトランシーバ、Neuron 3150 チップにはない多くの新機能が搭載されています。以下、シリーズ 5000 チップの主な新機能と特長を紹介します。

3.3 V での動作

シリーズ 5000 チップは 3.3 V 電源で動作します。

シリーズ 3100 チップには 5 V 電源が必要です。

新しいメモリアーキテクチャ

シリーズ 5000 チップは、外部メモリインターフェースと内部オンチップメモリのいずれも新しいメモリアーキテクチャを採用しています。外部不揮発性メモリに対する外部メモリインターフェースには、SPI または I²C プロトコルによるシリアルインターフェースを利用します。内部オンチップメモリには 64 KB の RAM が含まれており、このうち 44 KB がユーザーアクセス可能です。シリーズ 5000 チップにはオンチップの ROM やフラッシュメモリは内蔵されていません。ユーザーアプリケーションのコードやデータは、外部不揮発性メモリに格納されます。デフォルトのシステムファームウェアイメージはオンチップの ROM に格納されますが、新しいイメージを外部不揮発性メモリに格納できることにより、必要に応じてシステムファームウェアをアップグレードすることができます。

FT 3120 スマートトランシーバおよび Neuron 3120 チップには最大 8 KB のオンチップフラッシュメモリが内蔵されていますが、外部不揮発性メモリは利用できません。FT 3150 スマートトランシーバおよび Neuron 3150 チップは、パラレル方式の外部メモリインターフェースを利用して外部不揮発性メモリにアクセスします。シリーズ 3100 チップには 2 ~ 4 KB の RAM と 16 KB の ROM が内蔵されています。ユーザーアプリケーションのコードとデータは、3120 デバイスでは内部フラッシュメモリに、3150 デバイスでは外部不揮発性メモリにロードされます。シリーズ 3100 チップのシステムファームウェアはオンチップ ROM に格納されています。

性能の強化

シリーズ 5000 チップは、最大 80 MHz の内部システムクロック速度をサポートしています。内部システムクロック速度は、5 MHz ~ 80 MHz の範囲でユーザーが設定できます。設定は、NodeBuilder FX 開発ツールまたは Mini FX 評価キットを用いてデバイスのハードウェアテンプレートで行います。シリーズ 5000 デバイスでは、必ず周波数 10 MHz の外部クリスタルを使用します。

シリーズ 3100 チップでサポートする内部システムクロック速度は、外部クリスタルまたは発振器の 1/2 の周波数となります。たとえば、FT 3120-E4P40 スマートトランシーバで外部入力クロックが 40 MHz の場合、内部システムクロック速度は 20 MHz となります。内部システムクロック速度をユーザーが調整することはできません。

割り込みをサポート

シリーズ 5000 チップでは、I/O モデルによる割り込みサポート以外にも、ハードウェアユーザー割り込みをサポートしています。Neuron C 言語には、アプリケーションプログラムに対するハードウェアユーザー割り込みを管理するための新しいキーワードが追加されています。

シリーズ 3100 チップはハードウェアユーザー割り込みをサポートしていません。ただし、シリーズ 3100 電力線チップでは、一部の I/O モデルで割り込みがサポートされています。

ハードウェアによる乗算/除算

シリーズ 5000 チップは、乗算および除算を行う新しい Neuron アセンブリ言語命令をサポートしています。これらの命令では、ハードウェアによる乗算/除算機能が利用されるため、8 ビット乗算および除算の性能が向上します。従来のソフトウェアによる乗算/除算システム関数も引き続きサポートされています。

シリーズ 3100 チップにはハードウェアによる乗算/除算機能はなく、ソフトウェアによる乗算/除算システム関数を利用します。

254 個のネットワーク変数をサポート

シリーズ 5000 チップで使用しているシステムファームウェア（バージョン 18）は、Neuron ホストデバイス（ホストマイクロプロセッサなしのデバイス）に対するネットワーク変数を最大 254 個サポートしています。

システムファームウェアのバージョンが 15 以前のシリーズ 3100 チップは、Neuron ホストデバイスに対するネットワーク変数を最大 62 個サポートしています。システムファームウェアのバージョンが 16 以降のシリーズ 3100 チップは、最大 254 個のネットワーク変数をサポートしています。254 個のネットワーク変数を利用するには、NodeBuilder FX 開発ツールを使用する必要があります。

パッケージの小型化

シリーズ 5000 チップのパッケージには、7 mm x 7 mm の 48 ピン QFN（Quad Flat No leads）が採用されています。

シリーズ 3100 チップには、32 ピン SOIC（Small-Outline Integrated Circuit）、44 ピン TQFP（Thin Quad Flat Package）、64 ピン PQFP（Plastic Quad Flat Package）などのパッケージタイプがあります。

I/O モデルのサポートを追加

シリーズ 5000 チップでは、SPI（Serial Peripheral Interface）および SCI（Serial Communication Interface）シリアル I/O モデルに対するハードウェアサポートが改良され、これらのインターフェースを利用したデバイスの性能が向上しています。また、シリーズ 5000 チップは赤外線パターン（Infrared Pattern）モデル、マグカードビットストリーム（Magcard Bitstream）モデル、SCI（UART）モデル、SPI モデルなど、これまで PL 3120 スマートトランシーバや PL 3150 スマートトランシーバでしかサポートされていなかった I/O モデルもすべてサポートしています。このほか、シリーズ 5000 デバイスは、新しい I/O モデルとしてトライアックデバイスの利便性と性能を向上させる Stretched Triac モデルもサポートしています。

シリーズ 3100 フリートポロジーチップには、SPI および SCI（UART）シリアル I/O モデルのハードウェアサポートは含まれていません。ただし、シリーズ 3100 電力線ではこれらの I/O モデルのハードウェアサポートを提供しています。

関連ドキュメント

シリーズ 5000 チップを設計したり、LONWORKS デバイスや LONWORKS ネットワークと組み合わせる際に参考となるエシエロン社の関連ドキュメントを表 1 に示します。この表には、LONWORKS デバイスの主要な開発ツールである NodeBuilder FX 開発ツールおよび Mini FX 評価キットに関するドキュメントも記載してあります。この表には、ホストベースの LONWORKS デバイスである FTXL™ トランシーバや ShortStack® Micro Server などの関連製品についても含まれています。これらのマニュアルはすべてエシエロン社のホームページ（www.echelon.com）でダウンロードできます。

表 1 関連ドキュメント

文書名	文書番号	説明
FT 5000 EVB Hardware Guide	078-0390-01A	NodeBuilder FX/FT 開発ツールおよび Mini FX/FT 評価キットに付属する FT 5000 EVB 評価ボードのハードウェアについて説明したマニュアルです。

文書名	文書番号	説明
Introduction to the LONWORKS Platform	078-0391-01A	ISO/IEC 14908 (ANSI/EIA/CEA-709.1 および EN 14908) 制御ネットワークプロトコルの入門書として、LONWORKS® ネットワークの概要、およびネットワークの開発、導入、運用、管理に使用するツールやコンポーネントを紹介しています。
I/O Model Reference for Smart Transceivers and Neuron Chips	078-0392-01A	エシエロン社の Neuron チップおよびスマートトランシーバで使用する I/O モデルについて説明したマニュアルです。 各 I/O モデルについて、ハードウェアとソフトウェアの注意事項について解説しています。
LONWORKS Host Application Programmer's Guide	078-0016-01B	LONWORKS ホストアプリケーションの作成方法について説明したマニュアルです。ホストアプリケーションとは、Neuron® チップ以外のホスト上で動作し、LONTALK® プロトコルを使って LONWORKS ネットワーク上のデバイスと通信を行うアプリケーションプログラムをいいます。
Mini FX User's Guide	078-0398-01A	Mini FX 評価キットの使用方法について説明したマニュアルです。Mini FX 評価キットを使用すると、ネットワークが必要な制御システムの試作品や製品を開発したり、LONWORKS プラットフォームを使用した制御ネットワーク用のアプリケーション開発を評価することができます。
Neuron Assembly Language Reference	078-0399-01A	Neuron アセンブリ言語の概要、および Neuron アセンブリ言語関数の作成方法について説明したマニュアルです。
Neuron C Programmer's Guide	078-0002-01H	Neuron C プログラミング言語バージョン 2.2 でプログラムを作成する方法を説明したマニュアルです。
Neuron C Reference Guide	078-0140-01F	Neuron C プログラミング言語バージョン 2.2 でプログラムを作成する際のリファレンスマニュアルです。
NodeBuilder FX User's Guide	078-0405-01A	NodeBuilder 開発ツールを使用して LONWORKS デバイスおよびアプリケーションを開発する方法について説明したマニュアルです。

従来世代のスマートトランシーバに関する情報については、エシエロン社の『FT 3120 / FT 3150 Smart Transceiver Data Book』を参照してください。従来世代の Neuron チップに関する情報については、Motorola 社の『LONWORKS Technology Device Data』、東芝の『Neuron Chip TMPN3150/3120』、または Cypress 社の『Neuron Chip Technical Reference Manual』を参照してください。

エシエロン社の製品ドキュメントはすべて Adobe® PDF 形式で提供されています。PDF ファイルを表示するには、最新版の Adobe Reader® が必要です。エシエロン社の製品のほとんどには英語版の Adobe Reader が付属しています。他言語版の Adobe Reader は Adobe のページ (www.adobe.com/products/acrobat/readstep2.html) からダウンロードしてください。

本書で参照している標準規格の文書

本書では、以下の標準規格の文書を参照しています。

- American Society for Testing and Materials (ASTM) B258 - 02(2008) Standard Specification for Standard Nominal Diameters and Cross-Sectional Areas of AWG Sizes of Solid Round Wires Used as Electrical Conductors www.astm.org/Standards/B258.htm
- Comité européen de normalisation electrotechnique¹ (CENELEC) EN 55022 – Information technology equipment – Radio disturbance characteristics – Limits and methods of measurement
- Comité international spécial des perturbations radioélectriques² (CISPR) 22 – Information Technology Equipment – Radio Disturbance Characteristics – Limits and Methods of Measurement
- Electrostatic Discharge Association standard ESD STM5.1:Electrostatic Discharge Sensitivity Testing – Human Body Model www.esda.org/freedownloads.html
- European Union Restriction of Hazardous Substances (RoHS) Directive 2002/95/EC europa.eu.int/eur-lex/pri/en/oj/dat/2003/l_037/l_03720030213en00190023.pdf
- Comité européen de normalisation³ (CEN) Electromagnetic Compatibility (EMC) standards (viii ページの表 2 参照)
- International Organization for Standardization (ISO) and International Electrotechnical Commission (IEC) standard ISO/IEC 14908 Control Network Protocol
- Institute of Electrical and Electronics Engineers (IEEE) Standard Test Access Port and Boundary-Scan Architecture (IEEE 1149.1-1990) www.ieee.org/web/standards/home/index.html
- Institute for Printed Circuits (IPC) / Joint Electron Device Engineering Council (JEDEC) Solid State Technology Association standard:IPC/JEDEC J-STD-020D.1 – Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices www.jedec.org/download/search/JSTD020D-01.pdf
- Title 47 of the Code of Federal Regulations (CFR) Part 15, Radio Frequency Devices www.fcc.gov/oet/info/rules/
- US Military Standard MIL-STD-883 Test Method Standard, Microcircuits:Method 3015.7, Electrostatic Discharge Sensitivity Classification

CENELEC 文書、CEN EMC 規格、ISO 規格、米軍用規格、CISPR 文書の写しは、IHS (Information Handling Services) のグローバルページ (global.ihs.com) で購入できます。

¹ European Committee for Electrotechnical Standardization

² International Special Committee on Radio Interference

³ European Committee for Standardization

表2 電磁適合性 (EMC) に関する CEN の規格

規格	名称
EN 61000-4-2	Electromagnetic Compatibility (EMC) - Part 4-2: Testing and Measurement Techniques – Electrostatic Discharge Immunity Test
EN 61000-4-3	Electromagnetic Compatibility (EMC) - Part 4-3: Testing and Measurement Techniques – Radiated, Radio-Frequency, Electromagnetic Field Immunity Test
EN 61000-4-4	Electromagnetic Compatibility (EMC) - Part 4-4: Testing and Measurement Techniques – Electrical Fast Transient/Burst Immunity Test
EN 61000-4-5	Electromagnetic Compatibility (EMC) - Part 4-5: Testing and Measurement Techniques – Surge Immunity Test
EN 61000-4-6	Electromagnetic Compatibility (EMC) - Part 4-6: Testing and Measurement Techniques – Immunity to Conducted Disturbances, Induced by Radio-Frequency Fields

目次

はじめに.....	iii
対象読者.....	iii
エシェロン社のスマートトランシーバおよび Neuron チップの新機能.....	iii
関連ドキュメント.....	v
本書で参照している標準規格の文書.....	vii
第1章 概要.....	1
製品ファミリの概要.....	2
FT 5000 スマートトランシーバ.....	2
Neuron 5000 プロセッサ.....	2
シリーズ 5000 チップ用の開発リソース.....	3
LonWorks ネットワークの概要.....	3
フリートポロジー技術の概要.....	5
シリーズ 5000 チップの主な特長.....	7
FT 5000 スマートトランシーバのその他の機能.....	7
仕様一覧.....	8
FT 5000 スマートトランシーバの仕様一覧.....	8
Neuron 5000 プロセッサの仕様一覧.....	10
第2章 ハードウェアリソース.....	11
シリーズ 5000 のアーキテクチャ.....	12
Neuron プロセッサのアーキテクチャ.....	13
マルチプロセッサ.....	15
割り込み.....	17
アセンブリ命令セット.....	17
メモリアーキテクチャ.....	22
オンチップメモリ.....	22
メモリマップ.....	23
外部シリアルメモリインターフェース.....	24
シリアル I ² C (Inter-Integrated Circuit).....	25
SPI (Serial Peripheral Interface).....	26
I ² C メモリデバイスと SPI メモリデバイスの併用.....	27
対応デバイス.....	28
デバイスへの書き込み.....	28
JTAG インターフェース.....	29
動作条件.....	30
ピン配置.....	32
FT 5000 スマートトランシーバ.....	32
Neuron 5000 プロセッサ.....	35
ピン接続.....	38
デジタル I/O ピンの特性.....	41
Neuron 5000 プロセッサの通信ポート (CP) ピン.....	42
シングルエンドモード.....	44
シングルエンドモードにおける衝突検出.....	45
シングルエンドモードにおけるベータ 1 およびベータ 2 タイム スロット.....	45
特定用途モード.....	48
ネットワーク接続.....	52
FT 5000 スマートトランシーバの接続.....	52
FT 3120/FT 3150 デバイスとの比較.....	53
FTT-10A トランシーバとの比較.....	54
Neuron 5000 プロセッサの接続.....	54

TPT/XF-1250 トランシーバ.....	55
EIA-485 トランシーバ.....	55
クロック要件.....	56
外部クリスタル.....	56
シリーズ 3100 のクロックとの比較.....	58
リセット機能.....	59
RST~ ピン.....	59
パワーアップシーケンス.....	60
ソフトウェア制御リセット.....	61
ウォッチドッグタイマ.....	61
リセットのプロセスおよびタイミング.....	61
SVC~ ピン.....	66
整合性機構.....	67
プロセッサ整合性.....	67
チェックサムを用いたアプリケーション整合性.....	67
第 3 章 ハードウェア設計の考慮事項.....	69
プリント基板レイアウトに関するガイドライン.....	70
第 4 章 電磁適合性 (EMC) に関する設計と試験.....	73
概要.....	74
高イミュニティの実現.....	75
静電放電 (ESD).....	76
電磁干渉 (EMI).....	76
放射イミュニティと伝導イミュニティ.....	79
サージおよびバースト.....	81
落雷保護.....	82
ビル引込口の保護.....	82
ネットワークラインの保護.....	82
シールド保護.....	82
推奨されるガス放電管型アレスタ.....	82
磁場干渉の防止.....	84
試験結果のまとめ.....	85
第 5 章 FT デバイスのネットワーク配線と接続.....	87
ネットワーク接続.....	88
ネットワークトポロジーの概要.....	88
システムパフォーマンスとケーブルの選択.....	90
システム仕様.....	91
伝送距離に関する仕様.....	91
ケーブル終端とシールド接地.....	92
フリートポロジーのネットワークセグメント.....	92
両終端バス型トポロジーのセグメント.....	92
シールド付きツイストペアケーブルの接地.....	93
第 6 章 シリーズ 5000 の I/O インターフェース.....	95
概要.....	96
2 つの 16 ビットタイマ/カウンタ.....	96
利用可能な I/O オブジェクトの一覧.....	97
ハードウェアに関する考慮事項.....	105
第 7 章 プログラミングに関する考慮事項.....	109
アプリケーションプログラム開発.....	110
Mini FX 評価キット.....	110
NodeBuilder FX 開発ツール.....	110

開発ハードウェアのセットアップ	111
リリースハードウェアのセットアップ	111
付録 A シリーズ 5000 の設計チェックリスト.....	113
チェックリスト 1: シリーズ 5000 チップの接続	114
チェックリスト 2: FT 5000 スマートトランシーバの接続	116
チェックリスト 3: Neuron 5000 プロセッサの接続	117
チェックリスト 4: 電源	118
チェックリスト 5: デバイスのプリント基板レイアウト	119
チェックリスト 6: ネットワークの配線と終端処理	120
チェックリスト 7: デバイスのプログラミング	121
付録 B 認定 TP/FT-10 ケーブルの仕様	123
概要	124
認定ケーブル	124
カテゴリ 5 ケーブル仕様	125
NEMA Type 4 ケーブル仕様	125
16 AWG (1.3 mm) 「一般」 ケーブル仕様	127
付録 C FT-X3 通信トランス	129
トランスのピン配置	130
トランスの電気的接続	131
トランスのパッドレイアウト	132
付録 D 取り扱いおよび製造に関するガイドライン	133
アプリケーションに関する考慮事項	134
未使用ピンの終端処理	134
損傷防止対策	135
静電放電 (ESD) に関するガイドライン	137
電源、グラウンド、ノイズに関する考慮事項	137
デカップリングコンデンサ	138
基板のはんだ付けに関する考慮事項	138
推奨はんだプロファイル	138
表面実装 (SMT) 部品のはんだ付け	138
ESD に関する一般的な取り扱いガイドライン	139
電源ラインおよびデカップリングコンデンサ	142
バイパスコンデンサの推奨配置	142
付録 E サンプル回路図	145
サンプル回路図	146
基本的な電気的接続	146
メモリアンターフェースの接続	147
トランスの接続	148
I/O およびネットワークの接続	149
サンプル回路図の部品表 (BOM)	150
付録 F メーカーお問い合わせ先	151
メーカー情報	152
Abracon Corporation	152
Atmel Corporation	152
Belden Inc.	152
BPM Microsystems	153
Citel Inc.	153
CommScope Inc.	153
Emulation Technology Inc.	154
Fairchild Semiconductor Inc.	154
HiLo System Research Company Ltd.	154

Laird Technologies PLC	155
Littelfuse Inc.	155
Numonyx BV	155
NXP Semiconductors BV	156
ON Semiconductor.....	156
パナソニック株式会社.....	156
Plastronics Socket Company Inc.....	157
株式会社サンコーシャ.....	157
Silicon Storage Technology Inc.....	157
太陽誘電株式会社.....	158
TDK株式会社	158
Total Phase Inc.....	158
Vishay Intertechnology Inc.....	159
索引.....	161

1

概要

本章では、シリーズ 5000 製品、LONWORKS ネットワーク、フリーポートロジックネットワークの概要について説明します。

製品ファミリの概要

エシエロン社の Neuron チップは、低コストの制御機器にインテリジェンスとネットワーク機能をもたらすシステムオンチップ (SoC) 半導体デバイスとして開発されました。エシエロン社独自のハードウェアとファームウェアを組み合わせた Neuron チップは、センサーや制御機器からの入力をインテリジェントに処理したり、幅広い種類のネットワーク媒体で制御情報を伝播したりするのに必要な機能をすべて備えています。以来、エシエロン社は Neuron チップベースの製品ファミリの開発と改良を継続してきました。

本書では、Neuron ファミリの最新ラインナップに加わった以下の 2 製品について説明します。

- FT 5000 フリートポロジースマートトランシーバ
- Neuron 5000 プロセッサ

本書では、これら製品を総称して「シリーズ 5000 チップ」と表記します。

シリーズ 5000 チップには、いずれも複数のプロセッサ、読み書き可能メモリ (RAM) と読み出し専用メモリ (ROM)、通信サブシステム、I/O サブシステムが内蔵されています。また、シリーズ 5000 チップには、アプリケーション実行用とネットワーク通信管理用のプロセッサコア、メモリ、I/O、各デバイス固有の 48 ビット識別番号 (Neuron ID) も含まれます。このほか、シリーズ 5000 チップ全製品に LonTalk[®] プロトコルを実装した Neuron システムファームウェア (プロトコルの詳細については 3 ページの「LonWorks ネットワークの概要」を参照)、I/O ライブラリ、およびアプリケーションプログラム管理用のタスクスケジューラが用意されています。さらに、デバイスメーカーから提供されるアプリケーションコードと I/O デバイスを加えることによって、LONWORKS デバイスが完成します。

FT 5000 フリートポロジースマートトランシーバには TP/FT-10 チャネル用のトランシーバが内蔵されており、ツイストペアケーブルを利用した無極性のフリーポロジ LONWORKS ネットワークにアクセスすることができます。

Neuron 5000 プロセッサには、特定の通信媒体に依存しない通信ポートが用意されており、Neuron チップどうしの短距離通信を行えるほか、ほとんどの種類の外部ラインドライバやトランシーバと組み合わせて使用することもできます。

シリーズ 5000 チップは、全製品が欧州連合 (European Union) の RoHS (有害物質使用制限) 指令 2002/95/EC に適合しています。

FT 5000 スマートトランシーバ

FT 5000 フリートポロジースマートトランシーバはエシエロン社の次世代フリーポロジースマートトランシーバです。スマートトランシーバとは、高性能 Neuron コアとフリーポロジツイストペアトランシーバを統合したものです。FT 5000 スマートトランシーバと FT-X3 通信トランス、そして安価なシリアルメモリを組み合わせると、従来世代の LONWORKS TP/FT-10 ソリューションに代わる、より高性能で低コストのソリューションが実現します。

FT-X3 通信トランスは表面実装タイプの通信トランスで、FT 5000 スマートトランシーバおよび FT 3120/3150 スマートトランシーバのいずれとも互換性があります。FT-X3 通信トランスは、従来世代の通信トランス FT-X1 および FT-X2 と同等の磁場ノイズ耐性を実現しています。

Neuron 5000 プロセッサ

Neuron 5000 プロセッサは、エシエロン社の次世代 Neuron チップです。Neuron 5000 プロセッサには、特定の通信媒体に依存しない通信ポートが用意されており、外部トランシーバ回路を利用して EIA-485 または TP/XF-1250 チャネル用の外部トランシーバを接続することができます。Neuron 5000 プロセッサに安価なシリアルメモリを組み合わせると、従来世代の Neuron チップに代わる、より高性能で低コストのソリューションが実現します。

シリーズ 5000 チップ用の開発リソース

エシロン社では、多岐にわたる技術文書、診断ツール、サポートプログラム、トレーニングコースの提供を通じてお客様のプロジェクトを支援しています。また、量産前にお客様の製品、回路図、プリント基板レイアウト、部品表 (BOM) を評価し、公開されているガイドラインへの適合度をチェックする有料サービスも実施しています。

LonWorks ネットワークの概要

従来の制御ネットワークといえば、メーカー独自規格の制御方式による集中型システムが主流でした。ところが最近では、相互運用性、堅牢なテクノロジー、開発期間の短縮、量産効果などに対するニーズの高まりにより、ほとんどすべての業界でオープンな分散型のピアツーピアネットワークへと移行が進んでいます。

世界中ですでに数千ものアプリケーション開発メーカーが参入し、数百万台の機器導入実績を持つ LONWORKS システムは、ビル/ホームオートメーション、産業用、交通、電気・ガス・水道等の公益事業向けのオープンな制御ネットワークソリューションとして世界をリードしています。制御ネットワークとは、複数の機器がグループを形成し、ピアツーピア方式でセンサーの監視、アクチュエータの制御、高信頼性の通信、ネットワーク操作の管理、ネットワークデータへの完全なアクセスなどを行えるようにするものをいいます。

LONWORKS ネットワークでは、ネットワーク内の任意の機器から通信を行って、制御ネットワークのデータに完全にアクセスすることができます。

LONWORKS ネットワークでは、通信プロトコルとして ISO/IEC 14908 (ANSI/CEA 709.1-B および EN14908.1) 制御ネットワークプロトコルを使用します。このプロトコルは、OSI (Open Systems Interconnection) 基本参照モデル (OSI モデル、ISO 標準 7498-1) をベースに、制御アプリケーション向けに最適化された 7 階層の国際標準プロトコルです。OSI モデルは、表 3 に示すような 7 つの抽象的な階層でコンピュータネットワークの通信を説明しています。LONWORKS 対応機器にはこれらの階層が実装されているため、LONWORKS ネットワーク内で機器どうしの標準に基づいた相互運用性が確保されています。

表 3 LonWorks ネットワークのプロトコル階層

OSI 階層	目的	提供されるサービス	
7	アプリケーション層	アプリケーションの互換性	ネットワーク設定、自己インストール、ネットワーク診断、ファイル転送、アプリケーション設定、アプリケーション仕様、アラーム、データロギング、スケジューリング
6	プレゼンテーション層	データの解釈	ネットワーク変数、アプリケーションメッセージ、外部フレームの伝送
5	セッション層	制御	要求/応答、認証
4	トランスポート層	エンドツーエンドの通信の信頼性	確認応答/非確認応答によるメッセージ配信、共通順序付け、多重検出
3	ネットワーク層	宛先のアドレス指定	ユニキャストおよびマルチキャストによるアドレス指定、ルータ

OSI 階層		目的	提供されるサービス
2	データリンク層	メディアアクセスと フレーミング	フレーミング、データ符号化、CRC エラーチェック、予測 CSMA (Carrier Sense Multiple Access)、衝突回避、優先度、衝突検出
1	物理層	電氣的接続	媒体固有のインターフェースおよび変調方式

ISO/IEC 14908 制御ネットワークプロトコルをエシエロン社で実装したものを LonTalk プロトコルと呼びます。エシエロン社では、Neuron システムファームウェア、LNS[®] Server、LNS リモートクライアント、i.LON[®] サーバ、FTXL[™] LonTalk プロトコルスタック、ShortStack[®] Micro Server など、いくつもの製品で LonTalk プロトコルの実装を提供しています。ISO/IEC 14908 制御ネットワークプロトコルには他にも相互運用可能な実装が存在しますが、本書では ISO/IEC 14908 制御ネットワークプロトコルのことを「LonTalk プロトコル」と呼ぶことにします。

LONWORKS システムでは、以下の考え方が基本となっています。

- 用途にかかわらず、制御システム全般には多くの共通した要件がある。
- 制御システムはネットワーク化した方がはるかに強力で、柔軟性と拡張性に優れる。
- 制御システムをネットワーク化すると、長期的に企業のコスト削減と収益増大に貢献できる。

LONWORKS ネットワークでは、エンドツーエンドの確認応答、認証、優先メッセージ配信など、完全なメッセージングサービスを利用できます。また、ネットワーク管理サービスを利用すると、ローカルまたはリモートからのネットワークアドレスやパラメータの設定、アプリケーションプログラムのダウンロード、ネットワークに関する問題の報告、デバイスのアプリケーションプログラムの開始/停止/リセットなど、ネットワーク経由でネットワークツールとデバイスの双方向のやりとりが行えます。

LONWORKS ネットワークには、機械に組み込んだ小規模なネットワークから、核融合レーザー、製紙機械、ビルオートメーションシステムの制御で使用する数千の機器によるネットワークまで、さまざまなレベルで利用できます。LONWORKS ネットワークは、ビル、列車、航空機、工場をはじめ、多数のプロセスで使用されています。多くのメーカーが、オープンな市販品のチップ、オペレーティングシステム、部品を利用して、高い信頼性、柔軟性、性能を備えた低コストのシステム製品を製造しています。

エシエロン社も、開発者、システムインテグレータ、エンドユーザーが LONWORKS ネットワークを容易に実装できるよう、数多くの LONWORKS 製品を製造しています。これらの製品により、開発ツール、ネットワーク管理ソフトウェア、電力線およびツイストペアケーブル用のトランシーバと制御モジュール、ネットワークインターフェース、技術サポート、トレーニングを含む完全な LONWORKS ソリューションが実現しています。

LONWORKS ネットワークの詳細については、『Introduction to the LonWorks Platform』(078-0391-01A) を参照してください。

フリーストポロジ技術の概要

バス型配線（EIA-485 ネットワークなど）を使用した従来の制御システムは、ツイストペアで相互接続されたセンサーとアクチュエータのネットワークで構成されています。EIA-485 のガイドラインによれば、電氣的反射を制限して信頼度の高い通信を確保するには、すべてのデバイスをバス型トポロジで配線する必要があります。このため、EIA-485 ベースの制御システムにリンクされたデバイスが多くなると、ケーブル設備の設置および維持管理にかかる費用がそれだけかさむこととなります。バス型トポロジの配線は、都合に合わせて配線を分岐したりスター型にすることができないため、設置に時間と費用がかかります。すべてのデバイスが直接メインバスに接続されていなければなりません。

フリーストポロジ通信システムは、設置および維持管理のコストを削減し、システム変更を簡単に行える理想的なソリューションです。エシエロン社のフリーストポロジトランシーバ（FTT）技術は、まさにこのようなソリューションを提供する技術であり、分散制御システムにおける多種類の要素を相互接続するための低コストで優れた手法です。

フリーストポロジアーキテクチャでは、トポロジの制約をほとんど受けることなく制御システムを配線することができます。電源は、各デバイスのローカル DC 電源から供給されま（図 1 参照）。

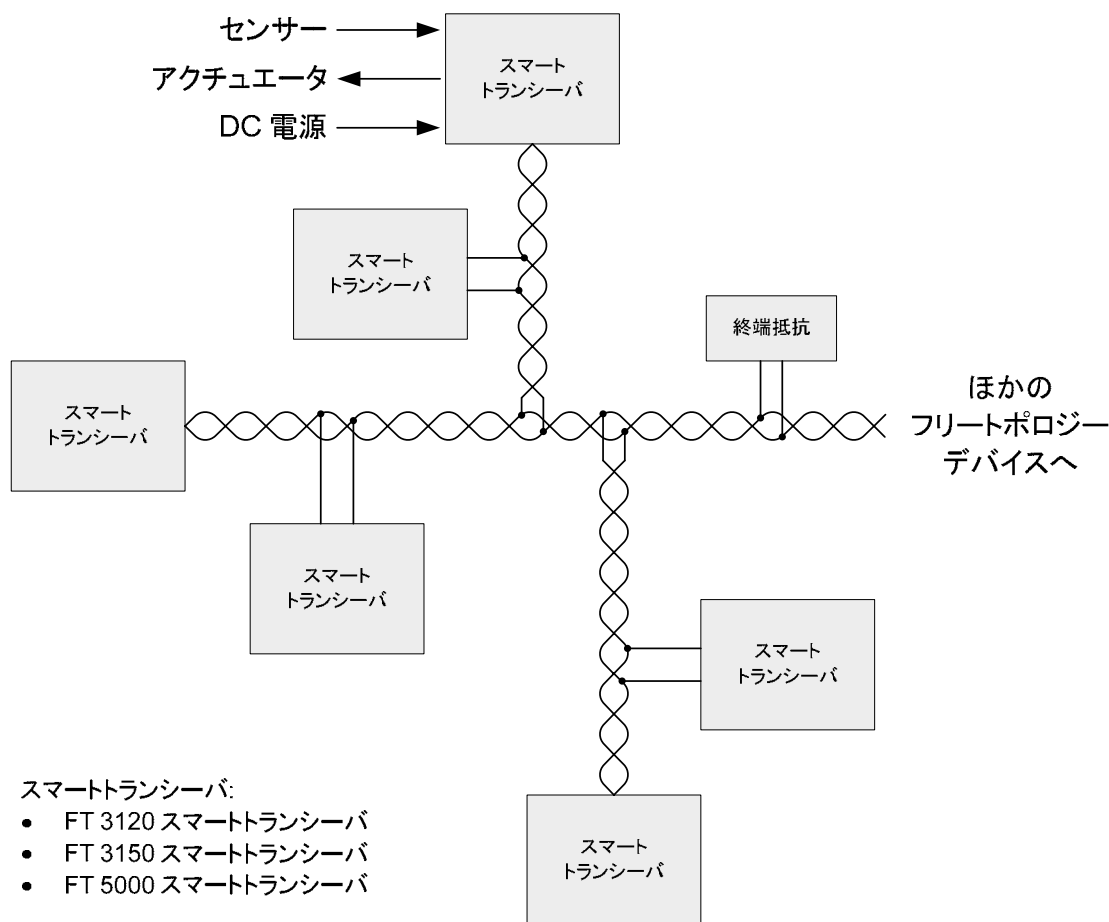
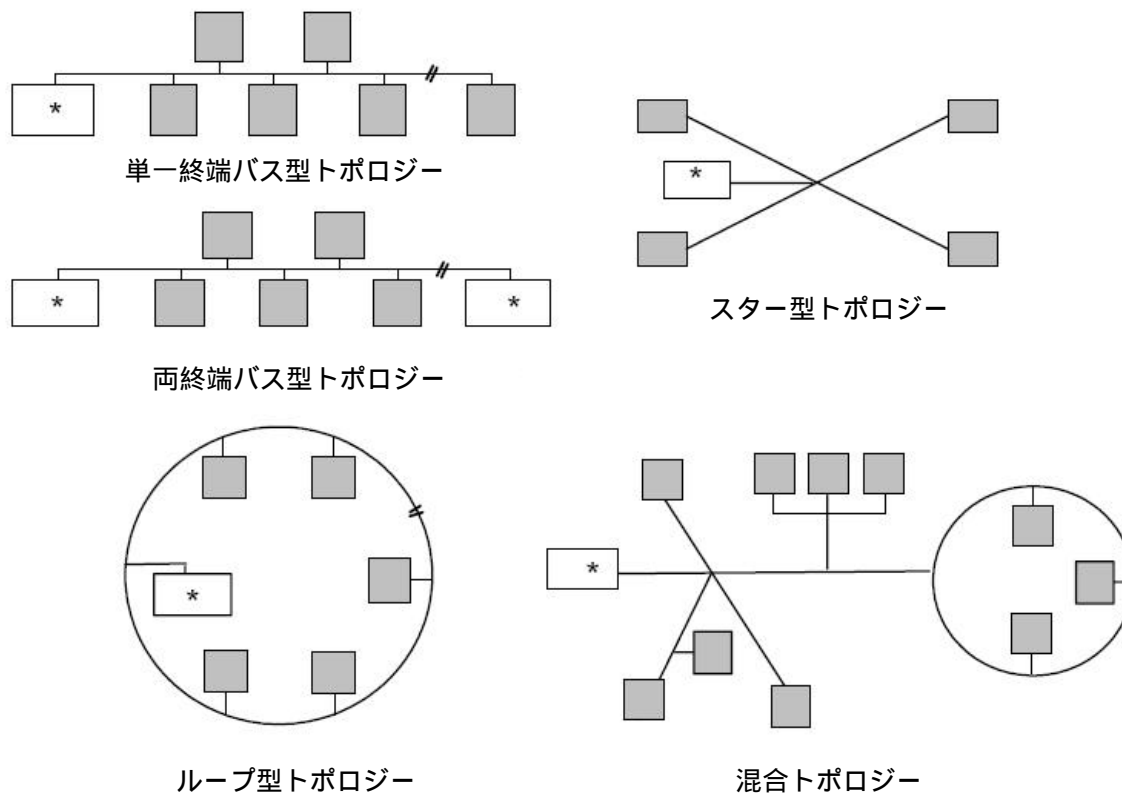


図 1 フリーストポロジトランシーバシステム

フリーストポロジの FT スマートトランシーバ（または Neuron チップと外部トランシーバの組み合わせ）では、バス型配線設計と異なり、スター、ループ、バス型配線をサポートする配線方式が採用されています（図 2 参照）。



(* = 終端抵抗。実際の終端回路はトポロジーにより異なります。)

図 2 FT スマートトランシーバでサポートされる標準的な配線トポロジー

この設計には、以下のような多くの利点があります。

- 設置者は、適用する設置に最適な配線手法を自由に選択できるため、綿密な計画を立てる必要性を抑え、最終段階でも設置場所を変更を加えることが可能です。
- 設置者は、1 種類の配線手法に関してしかトレーニングを受けていない場合でも、フリートポロジー手法の導入にあたって特別なトレーニングを受ける必要がありません。
- 従来の配線設備がある場合でも、必要最低限の再配線だけで、過去の設置を活用できます。このため、FT スマートトランシーバ技術は、古いプロジェクトにも新しいプロジェクトにも適応させることができます。
- また、フリートポロジーにより、従来の配線のどこか都合のよい場所に FT スマートトランシーバまたは Neuron チップを追加するだけで、将来的にシステムを拡張できるようになります。これは、システム拡張の時間とコストが削減されるだけでなく、顧客側から見ればフリートポロジーネットワークのライフサイクルコストを抑制することも意味します。

シリーズ 5000 チップの主な特長

シリーズ 5000 チップの主な特長は次のとおりです。

- 3.3 V の低電圧動作
- 内部システムクロックレート最大 80 MHz の高性能 Neuron コア
- わずか 30 mW の動作電流
- 7 mm x 7 mm 48 ピン QFN (Quad Flat No Leads) パッケージ
- 機器の大幅な低価格化が可能
- シリアルメモリインターフェースを備え、外部 EEPROM やフラッシュなどの安価な不揮発性メモリを利用可能
- FT 5000 スマートトランシーバ、Neuron 5000 プロセッサとともにホストマイクロプロセッサなしに最大 254 個のネットワーク変数 (NV) をサポート
- ユーザープログラマブルな割り込みをサポートし、外部イベントに高速に応答
- JTAG (Joint Test Action Group) の IEEE (Institute of Electrical and Electronics Engineers) Standard Test Access Port and Boundary-Scan Architecture (IEEE 1149.1-1990) 準拠のインターフェースを装備。バウンダリスキャンチェーンに組み込んでデバイスの製造テストが可能
- 35 のプログラマブルな標準 I/O モデルを備え、5 V と 3.3 V の I/O 動作に対応した 12 本の I/O ピンを装備
- ユーザーアプリケーションのコード領域として最大 42 KB をサポート
- 64 KB の RAM (うち 44 KB がユーザーからアクセス可能) と 16 KB の ROM をオンチップに内蔵
- ネットワークへの設置と管理に使用できるデバイス固有の 48 ビット Neuron ID
- -40 ~ +85 の動作温度範囲

FT 5000 スマートトランシーバのその他の機能

上記に加え、FT 5000 スマートトランシーバには以下の特長もあります。

- FT 5000 スマートトランシーバ用の安価な FT-X3 通信トランス (表面実装) をサポート
- TP/FT-10 チャンネルの場合、スター、デジチェーン、バス、ループ、または混合トポロジーによる無極性フリートポロジー配線をサポート
- 現在 FT 3120 スマートトランシーバ、FT 3150 スマートトランシーバ、FTT-10A トランシーバ、LPT-11 トランシーバを使用中の TP/FT-10 チャンネルに適合
- きわめて高いコモンモードノイズ耐性

仕様一覧

以下、FT 5000 スマートトランシーバと Neuron 5000 プロセッサの仕様をまとめます。

FT 5000 スマートトランシーバの仕様一覧

表 4 に、FT 5000 スマートトランシーバの仕様一覧を示します。

表 4 FT 5000 スマートトランシーバの仕様一覧

項目	仕様
データ通信の種類	差動マンチェスター符号化
伝送速度	78 Kbps
ネットワーク極性	無極性
ネットワークセグメントあたりのトランシーバ数	最大 64
ネットワーク配線	24 ~ 16 AWG ツイストペアケーブル。ケーブルの種類については、第 5 章「FT デバイスのネットワーク配線と接続」(87 ページ)を参照
フリートポロジでのネットワーク長	ケーブルの種類により異なる。第 5 章「FT デバイスのネットワーク配線と接続」(87 ページ)を参照 <ul style="list-style-type: none">リピータ 1 個の場合の最大総ワイヤ長：1000 m (3280 フィート)リピータなしの場合の最大総ワイヤ長：500 m (1640 フィート)
バス型トポロジでのネットワーク長	ケーブルの種類により異なる。第 5 章「FT デバイスのネットワーク配線と接続」(87 ページ)を参照 <ul style="list-style-type: none">リピータ 1 個の場合の最大総ワイヤ長：5400 m (17,710 フィート)リピータなしの場合の最大総ワイヤ長：2700 m (8850 フィート)
バス型トポロジの最大スタブ長	3 m (9.8 フィート)
ネットワーク終端抵抗	フリートポロジでは 1 つの終端抵抗 バス型トポロジでは 2 つの終端抵抗
FT 5000 スマートトランシーバの電圧	3.3 V \pm 5%
動作温度	-40 ~ +85
はんだリフロー温度プロファイル	Joint Industry Standard の文書『IPC/JEDEC J-STD-020D.1』(2008 年 3 月)を参照

項目	仕様
はんだリフローピーク温度	260
パッケージタイプ	48 ピン QFN
RoHS 指令	適合
EMI	FCC Part 15 Level B および EN 55022 Level B に適合する設計
ESD	EN 61000-4-2, Level 4 に適合する設計
電磁放射感受性	EN 61000-4-3, Level 3 に適合する設計
高速トランジェント/パースト耐性	EN 61000-4-4, Level 4 に適合する設計
サージ耐性	EN 61000-4-5, Level 3 に適合する設計
導電 RF 耐性	EN 61000-4-6, Level 3 に適合する設計

表 5 に、FT-X3 通信トランスの仕様一覧を示します。

表 5 FT-X3 通信トランスの仕様一覧

項目	仕様
動作湿度	25 ~ 90% RH @50 (結露なきこと)
非動作湿度	95% RH @50 (結露なきこと)
振動	ピーク間 1.5 G、8 Hz ~ 2 kHz
機械的衝撃	100 g (ピーク)
動作湿度	25 ~ 90% RH @50 (結露なきこと)
はんだリフロー温度プロファイル	Joint Industry Standard の文書『IPC/JEDEC J-STD-020D.1』(2008 年 3 月)を参照
はんだリフローピーク温度	245

Neuron 5000 プロセッサの仕様一覧

表 6 に、Neuron 5000 プロセッサの仕様一覧を示します。

表 6 Neuron 5000 プロセッサの仕様一覧

項目	仕様
伝送速度	ネットワークトランシーバによる <ul style="list-style-type: none">• TP/FT-10 チャンネル — 78 kbit/s• TP/XF-1250 チャンネル — 1250 kbit/s• EIA-485 チャンネル — 伝送速度特性については、EIA-485 チャンネル仕様を参照
Neuron 5000 プロセッサの電圧	3.3 V ±10%
動作温度	-40 ~ +85
はんだリフロー温度プロファイル	Joint Industry Standard の文書『IPC/JEDEC J-STD-020D.1』（2008 年 3 月）を参照
はんだリフローピーク温度	260
パッケージタイプ	48 ピン QFN
RoHS 指令	適合
EMI	FCC Part 15 Level B および EN 55022 Level B に適合する設計
ESD	EN 61000-4-2, Level 4 に適合する設計
電磁放射感受性	EN 61000-4-3, Level 3 に適合する設計
高速トランジェント/バースト耐性	EN 61000-4-4, Level 4 に適合する設計
サージ耐性	EN 61000-4-5, Level 3 に適合する設計
導電 RF 耐性	EN 61000-4-6, Level 3 に適合する設計

2

ハードウェアリソース

本章では、FT 5000 スマートトランシーバおよび Neuron 5000 プロセッサのハードウェアリソースの概要として、チップ全体のアーキテクチャ、メモリアンターフェース、動作パラメータ、ピン配置、ネットワーク接続、クロック要件、リセット機能、整合性メカニズムなどについて説明します。

シリーズ 5000 のアーキテクチャ

シリーズ 5000 チップのアーキテクチャは、主に以下のコンポーネントで構成されます（13 ページの図 3 参照）。

- CPU — シリーズ 5000 チップには 3 つのプロセッサが搭載されており、それぞれがチップの動作、ネットワーク、ユーザーアプリケーションを管理します。このほか、高クロックレートの場合のみ利用できる割り込み処理用のプロセッサも内蔵されています。詳細については、「マルチプロセッサ」の項（15 ページ）を参照してください。
- ROM — シリーズ 5000 チップには、デフォルトのシステムファームウェアイメージを格納した 16 KB の ROM（読み出し専用メモリ）が内蔵されています。
- RAM — シリーズ 5000 チップには、ユーザーアプリケーションとデータを格納するための 64 KB の RAM（ランダムアクセスメモリ）が内蔵されています。RAM は論理メモリマップに従って分割されるため、ユーザーアプリケーションとデータ用に利用可能な容量は 64 KB 未満となります。RAM の構成の詳細については、「メモリマップ」の項（23 ページ）を参照してください。
- シリアルメモリインターフェース — このインターフェースは、SPI（Serial Peripheral Interface）または I²C（Inter-Integrated Circuit）インターフェースを使用して外部不揮発性メモリ（NVM）を管理します。
- 通信ポート — チップは、通信ポートを介してネットワークにアクセスします。FT 5000 スマートトランシーバの場合は、このポートに FT-X3 通信トランスを接続します。Neuron 5000 プロセッサの場合は、このポートに外付けトランシーバを接続します。詳細については、「ネットワーク接続」の項（52 ページ）を参照してください。
- I/O — 12 本の専用 I/O ピン（41 ページの「デジタル I/O ピンの特性」の項を参照）。
- クロック、リセット、サービス — オンチップクロック、PLL（Phase-Locked Loop）、リセット、サービスピン機能
- JTAG — シリーズ 5000 チップには、JTAG（IEEE 1149.1）バウンダリスキャンインターフェースが用意されています。詳細については、「JTAG インターフェース」の項（29 ページ）を参照してください。

図 3 に示した各ピンの名称については、「ピン配置」の項（32 ページ）で説明します。

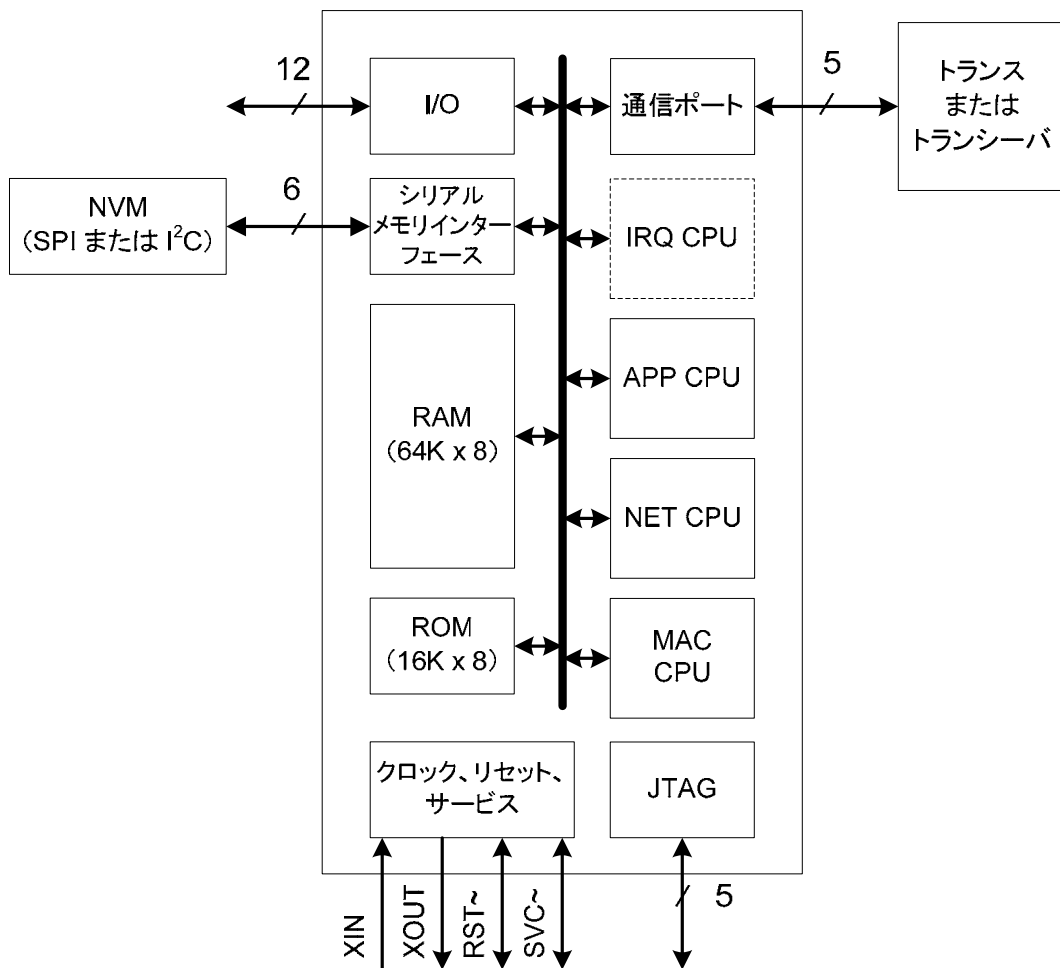


図3 シリーズ 5000 チップのアーキテクチャ

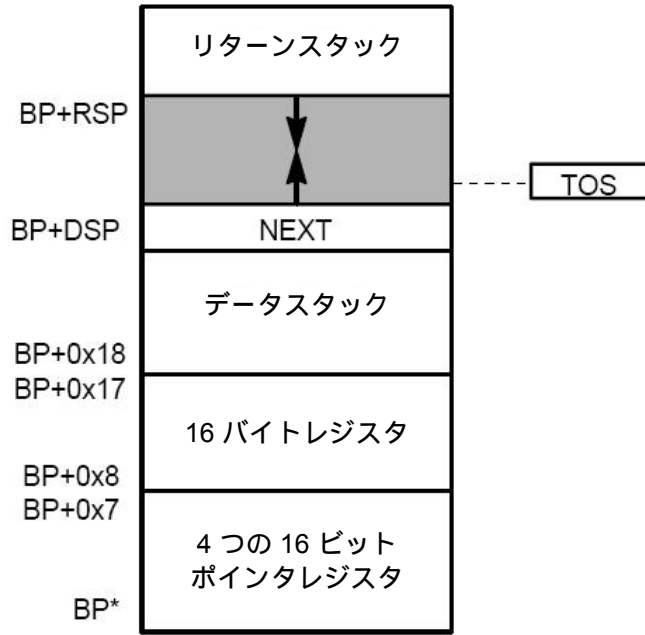
Neuron プロセッサのアーキテクチャ

Neuron プロセッサの基本的なアーキテクチャはスタック指向型です。

- データ参照用に 8 ビット幅のスタックを 1 つ使用します。ALU (Arithmetic-Logic Unit) は TOS (スタックのトップ) レジスタとデータスタックの次のエントリ (RAM 内に存在) に対して演算を行います。
- もう 1 つのスタックには CALL 命令のリターンアドレスを格納します。このスタックは、一時的なデータ保存用に使用することもできます。

このスタックアーキテクチャにより、コードが非常にコンパクトになります。命令セットの一覧については、「アセンブリ命令セット」の項 (17 ページ) を参照してください。

図 4 (14 ページ) は、ベースページのレイアウトを示したものです。ベースページは最大 256 バイト長です。チップ内の各プロセッサはそれぞれ別のベースページを使用し、ベースページのアドレスは、そのプロセッサの BP (Base Page) レジスタの内容によって与えられます。データスタックのトップは、8 ビット TOS レジスタ内にあり、データスタック内の次のエレメントは、ベースページ内の DSP レジスタの内容によって与えられたオフセットの位置にあります。アセンブラ簡略記号の NEXT は、データスタックの次のエレメントを示しますが、実際のプロセッサレジスタではなく、メモリ内のアドレス (BP+DSP) の内容を参照します。



*BP = ベースページ

図4 ベースページのメモリレイアウト

データスタックは下位メモリから上位メモリに向かって拡大し、DSP (Data Stack Pointer) レジスタによって管理されます。1 バイトのデータをデータスタックに PUSH する際は、以下の手順が実行されます。

1. DSP レジスタの値を 1 つ増やす。
2. TOS の現在の内容をメモリ内のアドレス (BP+DSP) に格納する。
3. 1 バイトのデータを TOS に移動する。

データスタックから 1 バイトのデータを POP する際は、以下の手順が実行されます。

1. TOS を行き先に移動する。
2. メモリ内のアドレス (BP+DSP) の内容を TOS に移動する。
3. DSP レジスタの値を 1 つ減らす。

リターンスタックは上位メモリから下位メモリに向かって拡大し、RSP (Return Stack Pointer) レジスタによって管理されます。サブルーチンを呼び出す際は、以下の手順が実行されます。

1. 命令ポインタ (IP) レジスタの上位バイトをメモリ内のアドレス (BP+RSP) に格納する。
2. RSP の値を 1 つ減らす。
3. IP の下位バイトをメモリ内のアドレス (BP+RSP) に格納する。
4. RSP の値を 1 つ減らす。
5. 行き先アドレスを IP レジスタに移動する。

同様に、サブルーチンから戻る際は、以下の手順が実行されます。

1. RSP の値を 1 つ増やす。
2. アドレス (BP+RSP) の内容を IP レジスタの下位バイトに移動する。

3. RSP の値を 1 つ増やす。
4. アドレス (BP+RSP) の内容を IP レジスタの上位バイトに移動する。

アプリケーションのプログラミングには、主に Neuron C 言語を使用します。Neuron C は ANSI C 言語を LONWORKS 分散制御アプリケーション用に最適化し、拡張機能を追加したものです。主な拡張機能は次のとおりです。

- 機能ブロックとネットワーク変数に基づくネットワーク通信モデル。同種および異種のデバイス間のデータ共有を簡易化し、推進します。
- 機能ブロックと構成プロパティに基づくネットワーク構成モデル。ネットワーク構成ツールの相互運用を容易にします。
- 標準およびユーザーリソースファイルに基づくタイプモデル。複数メーカーのデバイスの統合を簡易化することにより、相互運用可能なデバイスのマーケットを拡大します。
- Neuron チップおよびスマートトランシーバの I/O 機能をサポートする豊富な I/O モデル。
- **when** ステートメントに基づき、ネットワーク、I/O、およびタイマイイベントの処理を容易にするイベントドリブン方式の強力なプログラミング拡張。
- アプリケーション固有の割り込みハンドラおよび同期ツールをサポートした高レベルのプログラミングモデル。

Neuron C プログラミング言語の詳細については、『Neuron C Programmer's Guide』を参照してください。上記の機能は Neuron ファームウェアでサポートされているため、プログラマが作成する必要はありません。

マルチプロセッサ

Neuron コアは、以下に示す 4 つの独立した論理プロセッサで構成されています。

- プロセッサ 1 — メディアアクセス制御 (MAC) プロセッサ
- プロセッサ 2 — ネットワーク (NET) プロセッサ
- プロセッサ 3 — アプリケーション (APP) プロセッサ
- プロセッサ 4 — 割り込み (ISR) プロセッサ

割り込みプロセッサは、システムクロックレートが 20 MHz 以上の場合のみ利用できます。システムクロックレートが 20 MHz 未満 (5 MHz と 10 MHz) の場合は、アプリケーションプロセッサが割り込みを処理します。割り込みの詳細については、「割り込み」の項 (17 ページ) を参照してください。

メモリ、ALU (算術論理演算ユニット)、制御回路は、すべてのプロセッサが同じものを共有します。レジスタセットは、各プロセッサにそれぞれ専用のものが用意されています (表 7 参照)。

表7 レジスタセット

レジスタ	サイズ (ビット)	内容
FLAGS	8	キャリービットおよび内部予約フラグ
IP	16	次の命令ポインタ
BP	16	256 バイトのベースページのアドレス
DSP	8	ベースページ内のデータスタックポインタ
RSP	8	ベースページ内のリターンスタックポインタ
TOS	8	データスタックのトップ、ALU 入力

プロセッサ 1 は、7 層 LonTalk® プロトコルの第 1、2 層を扱う MAC 層プロセッサです。これには、通信サブシステムハードウェアの駆動とメディアアクセス制御アルゴリズムの実行が含まれます。MAC プロセッサは、共有 RAM メモリ内のネットワークバッファを使って NET プロセッサと通信します (図 5 参照)。

プロセッサ 2 は、LonTalk プロトコルの第 3 ~ 6 層を実装したネットワークプロセッサです。NET プロセッサは、ネットワーク変数の処理、アドレス指定、トランザクション処理、認証、バックグラウンド診断、ソフトウェアタイマ、ネットワーク管理、およびルーティング機能を扱います。NET プロセッサは、共有メモリ内のネットワークバッファを使って MAC プロセッサと通信し、アプリケーションバッファを使って APP プロセッサと通信します。このバッファも共有メモリ (RAM) 内にあります。共有データを更新する際の競合を防ぐため、共有メモリへのアクセスはハードウェアセマフォによって調停されます。

プロセッサ 3 はアプリケーションプロセッサです。APP プロセッサはユーザーが作成したコードおよびユーザーコードによって呼び出されたシステムサービスを実行します。

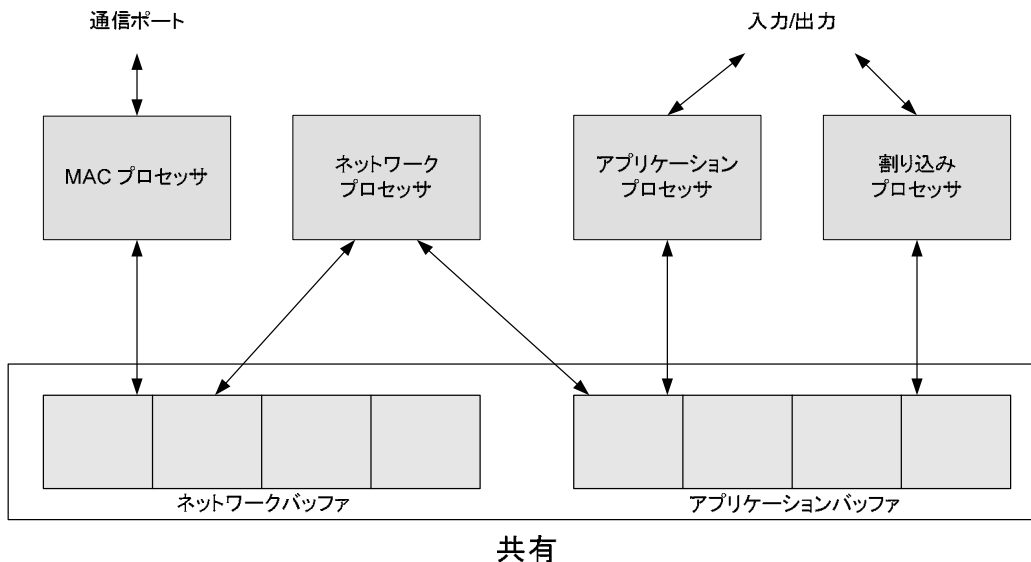


図5 プロセッサの共有メモリ割り当て

割り込み

シリーズ 5000 のアーキテクチャでは、以下の 3 種類の割り込み処理がハードウェアでサポートされています。

- 最低優先度：アプリケーション割り込み
- 中優先度：システム割り込み
- 最高優先度：システムレベルトラップ

アプリケーション割り込みは、アプリケーションプログラム内の I/O オブジェクトに関連する非同期イベントです。この割り込みを使用するには、アプリケーション内で Neuron C の `interrupt()` 節を使用して、割り込み条件とその条件が成立した場合に実行する割り込みタスクを定義します。Neuron C プログラムでは、割り込み条件が成立すると必ず割り込みタスクが実行されます。割り込みタスクの作成方法および割り込み処理の詳細については、『Neuron C Programmer's Guide』を参照してください。

システム割り込みは、通信イベントや SPI UART イベントなどの非同期システムイベントです。これらの割り込みはシステムファームウェアによって処理されます。

システムレベルトラップは、主にエラー状態に関するシステムイベントです。これらエラー状態の詳細については、「プロセッサ整合性」の項（67 ページ）を参照してください。

システムクロックレートが 20 MHz 以上の場合、割り込みは Neuron コア内の独立した論理プロセッサで処理されます。システムクロックレートが 20 MHz 未満（5 MHz と 10 MHz）の場合は、アプリケーションプロセッサが割り込みを処理します。つまり、クロックレートが 20 MHz 以上なら割り込みハンドラはアプリケーションプロセッサと並列に実行されるため、アプリケーションプロセッサのレジスタやスタック領域には一切影響を与えません。クロックレートが 20 MHz 未満の場合は、割り込みが発生するとアプリケーションプロセッサのレジスタをいったん退避してから割り込みハンドラを実行し、割り込みハンドラの実行完了後にレジスタを復元するというコンテキストスイッチングが行われます。この場合、現在実行中の命令は必ず最後まで完了してから割り込み処理が行われます。割り込みプロセッサで割り込みを処理中に優先度の高い割り込みが発生した場合も、同様のコンテキストスイッチングが行われます。

このように、割り込みプロセッサで割り込みを処理する場合はアプリケーションパフォーマンスは低下しませんが、アプリケーションプロセッサで割り込みを処理する場合は 1 つのプロセッサでアプリケーションと割り込みの両方が処理されることになるため、アプリケーションパフォーマンスが影響を受けます。

アセンブリ命令セット

表 8（18 ページ）、表 9（19 ページ）、表 10（21 ページ）に、プロセッサ命令とそのサイズ（バイト単位）、タイミング（プロセッササイクル数）の一覧を示します。これらの情報をもとに、コードサイズと実行時間を計算することができます。

アセンブリ命令のほとんどは 1 ~ 7 プロセッササイクルで実行されます（これ以外には、14 サイクルの命令が 2 つあります）。実行時間はシステムクロックレートに反比例します。命令の実行時間は次の式で求めることができます。

$$\text{命令の実数時間} = \frac{(\text{サイクル数} \times 3)}{\text{システムクロック}}$$

たとえばシステムクロックレートが 80 MHz の場合、命令時間は 37.5 ns ~ 175 ns の間となります。

Neuron チップまたはスマートトランシーバのプログラミングを行うには、Neuron C プログラミング言語と NodeBuilder FX 開発ツールまたは Mini FX 評価キットのいずれかを組み合わせて使用します。Neuron アセンブリ言語を使用すると、さらに多くの関数を作成できます。Neuron C コンパイラには、オプションとしてアセンブリリストを生成する機能があり、このリストを見直すことによって Neuron C ソースコードを最適化することができます。プロセッサ命令の詳細については、『Neuron Assembly Language Reference』を参照してください。

表 8 プログラム制御命令

命令	命令サイズ (バイト)	必要な CPU サイクル	説明
NOP	1	1	動作なし
SBR	1	1	無条件分岐 (short) オフセット : 0 ~ 15
BR BRC BRNC	2	2	分岐 キャリーのとき分岐 キャリーでないとき分岐 オフセット : -128 ~ +127
SBRZ SBRNZ	1	3	TOS がゼロのとき分岐 (short) TOS がゼロでないとき分岐 (short) オフセット : 0 ~ 15。TOS を DROP
BRF	3	4	無条件分岐 (far)
BRZ BRNZ	2	4	TOS がゼロのとき分岐 TOS がゼロでないとき分岐 オフセット : -128 ~ +127。TOS を DROP
RET	1	5	サブルーチンからリターン リターンスタックから 2 バイトを DROP
BRNEQ	3	4/6 (分岐あり/ 分岐なし)	TOS が等しくなければ分岐 オフセット : -128 ~ +127。等しい場合は TOS を DROP
DBRNZ	2	5	[RSP] の値を 1 つ減らしてゼロでなければ分岐 オフセット : -128 ~ +127。分岐しない場合は、リターンスタックから 1 バイトを DROP
CALLR	2	5	相対的にサブルーチンを呼び出し オフセット : -128 ~ +127。リターンスタックに 2 バイトを PUSH

命令	命令サイズ (バイト)	必要な CPU サイクル	説明
CALL	2	6	サブルーチン呼び出し アドレス領域の下位 8 KB で指定。リ ターンスタックに 2 バイトを PUSH
CALLF	3	7	far アドレスで指定したサブルーチンを 呼び出し リターンスタックに 2 バイトを PUSH

表 9 メモリスタック命令

命令	命令サイズ (バイト)	必要な CPU サイクル	説明
PUSH TOS	1	3	DSP の値を 1 つ増やし、TOS を NEXT に 複製
DROP TOS	1	3	NEXT を TOS に移動し、DSP の値を 1 つ 減らす
DROP_R TOS	1	6	NEXT を TOS に移動し、DSP の値を 1 つ 減らし、コールからリターン
PUSH NEXT PUSH DSP PUSH RSP PUSH FLAGS	1	4	プロセッサレジスタを PUSH
POP NEXT POP DSP POP RSP POP FLAGS	1	4	プロセッサレジスタを POP
DROP NEXT	1	2	DSP の値を 1 つ減らす
DROP_R NEXT	1	5	DSP の値を 1 つ減らし、コールからリ ターン
PUSH !D POP !D	1	4	バイトレジスタ [8 ~ 23] を PUSH/POP
PUSH !TOS	1	4	TOS を PUSH EA = BP + TOS、NEXT にバイトを PUSH
POP !TOS	1	4	TOS を POP EA = BP + TOS、NEXT からバイトを POP

命令	命令サイズ (バイト)	必要な CPU サイクル	説明
PUSH [RSP]	1	4	リターンスタックからデータスタックに PUSH、RSP は不変
DROP [RSP]	1	2	RSP の値を 1 つ増やす
PUSHS #literal	1	4	リテラル値 (short) [0 ~ 7] を PUSH
PUSH #literal	2	4	8 ビットリテラル値 [0 ~ 255] を PUSH
PUSHPOP	1	5	リターンスタックから POP してデータスタックへ PUSH
POPPUSH	1	5	データスタックから POP してリターンスタックへ PUSH
PUSH [DSP][-D] POP [DSP][-D]	1	5	D で修飾して DSP を PUSH/POP EA = BP + DSP - ディスプレースメント [1 ~ 8]
PUSHD #literal	3	6	16 ビットリテラル値を上位バイトから順に PUSH
PUSHD [PTR]	1	6	16 ビットポインタ [0 ~ 3] を上位バイトから順に PUSH
POPD [PTR]	1	6	16 ビットポインタ [0 ~ 3] へ下位バイトから順に POP
PUSH [PTR][TOS] POP [PTR][TOS]	1	6	TOS で修飾して 16 ビットポインタ [0 ~ 3] を PUSH/POP EA = (16 ビットポインタ) + TOS
PUSH [PTR][D] POP [PTR][D]	2	7	D で修飾して 16 ビットポインタ [0 ~ 3] を PUSH/POP EA = (16 ビットポインタ) + ディスプレースメント [0 ~ 255]
PUSH absolute POP absolute	3	7	絶対メモリアドレスを PUSH/POP
注記： EA = 有効アドレス			

表 10 算術/論理演算命令

命令	命令サイズ (バイト)	必要な CPU サイクル	説明
INC DEC NOT	1	2	TOS の値を 1 つ増やす TOS の値を 1 つ減らす TOS の符号を反転する
ROLC RORC	1	2	キャリーを通じて TOS を左に回転 キャリーを通じて TOS を右に回転
SHL SHR	1	2	TOS を符号なし左シフト、キャリーをク リア TOS を符号なし右シフト、キャリーをク リア
SHLA SHRA	1	2	TOS をキャリーへ符号付左シフト TOS をキャリーへ符号付右シフト
ADD AND OR XOR ADC	1	4	TOS と NEXT で演算、NEXT を DROP
ADD #literal AND #literal OR #literal XOR #literal	2	3	TOS とリテラルで演算
ADD_R AND_R OR_R XOR_R	1	7	TOS と NEXT で演算、NEXT を DROP し てリターン
ALLOC #literal	1	3	データスタックポインタに [1 ~ 8] を加 算
DEALLOC_R #literal	1	6	データスタックポインタから [1 ~ 8] を 減算してリターン
SUB NEXT,TOS	1	4	TOS = NEXT - TOS、NEXT を DROP
SBC NEXT, TOS	1	4	TOS = NEXT - TOS - キャリー、NEXT を DROP
SUB TOS,NEXT	1	4	TOS = TOS - NEXT、NEXT を DROP
XCH	1	4	TOS と NEXT を交換
INC [PTR]	1	6	16 ビットポインタ [0 ~ 3] の値を 1 つ増 やす

命令	命令サイズ (バイト)	必要な CPU サイクル	説明
DIV	1	14	NEXT を TOS で割った商を TOS に、剰余を NEXT に格納
MUL	1	14	NEXT * TOS の乗算を実行し、積を TOS と NEXT に格納

メモリアーキテクチャ

シリーズ 5000 チップのメモリアーキテクチャには、オンチップメモリとオフチップの不揮発性メモリが含まれます。シリーズ 5000 デバイスには、2 KB 以上の EEPROM デバイスをオフチップメモリとして使用する必要があります。オプションとして、オフチップ EEPROM メモリの容量を増やす (2 KB 以上の容量の EEPROM デバイスを使用) か、EEPROM デバイス以外にオフチップのフラッシュメモリを追加して、さらに多くのアプリケーションデータやデフォルト以外のシステムイメージを格納することができます。

重要： シリーズ 5000 チップのメモリアーキテクチャでは、オフチップメモリをシリアルインターフェースで利用します。このアーキテクチャは、シリーズ 3100 チップのアーキテクチャと以下の点で異なります。

- Neuron 3120 チップおよび 3120 スマートランシーバはオンチップ EEPROM のみを使用し、外部メモリは使用しません。
- Neuron 3150 チップおよび 3150 スマートランシーバは、オンチップ EEPROM とパラレルインターフェースによるオフチップメモリを使用します。
- PL 3170 スマートランシーバおよび FTXL 3190 フリートポロジートランシーバは、オンチップ EEPROM のみを使用し、外部メモリは使用しません。

オンチップメモリ

シリーズ 5000 チップには、次のオンチップメモリが搭載されています。

- 16 KB の ROM (読み出し専用メモリ)

この ROM には、MAC プロセッサとネットワークプロセッサのシステムファームウェアなど、チップのデフォルトの Neuron ファームウェアが格納されます。

- 64 KB の RAM (ランダムアクセスメモリ)

RAM は、ユーザーアプリケーションおよびデータ、各プロセッサのスタックセグメント、ネットワークおよびアプリケーションバッファ用のメモリとして使用します。RAM は論理メモリマップに従って分割されます (「メモリマップ」の項を参照)。

シリーズ 5000 チップには、アプリケーションで使用するための不揮発性メモリ (EEPROM メモリなど) は内蔵されていません。シリーズ 5000 チップでは、各チップに固有の Neuron 識別番号 (Neuron ID) は不揮発性の ROM に格納されています。

チップのメモリ管理ブロックの働きにより、ROM と不揮発性メモリ (NVM) は RAM によってエミュレートされます。これは、RAM に対する変更を適当な間隔で外部 NVM にシャドーコピーすることによって実現しています。つまり、NVM に対する書き込みは、いったん RAM に書き込まれた後に NVM にシャドーコピーされます。すなわち、チップの内蔵プロセッサが実際にアクセスするのは RAM のみで、ROM や外部 NVM に直接アクセスすることはありません。

デバイスに電源が供給されている間は、RAM の状態は保持されます。デバイスがリセットされると、初期化シーケンスによって ROM の内容と NVM のデータが RAM にコピーされます。

メモリマップ

Neuron C アプリケーションには、64 KB のメモリマップがあります。図 6 (23 ページ) に、シリーズ 5000 チップのメモリマップを示します。アプリケーションがメモリマップをどのように使用するかは、デバイスのハードウェアテンプレートで指定します。メモリマップとはデバイスのメモリを論理的に表したもので、物理的な表現ではありません。シリーズ 5000 チップが直接アクセスするのは RAM のみです。

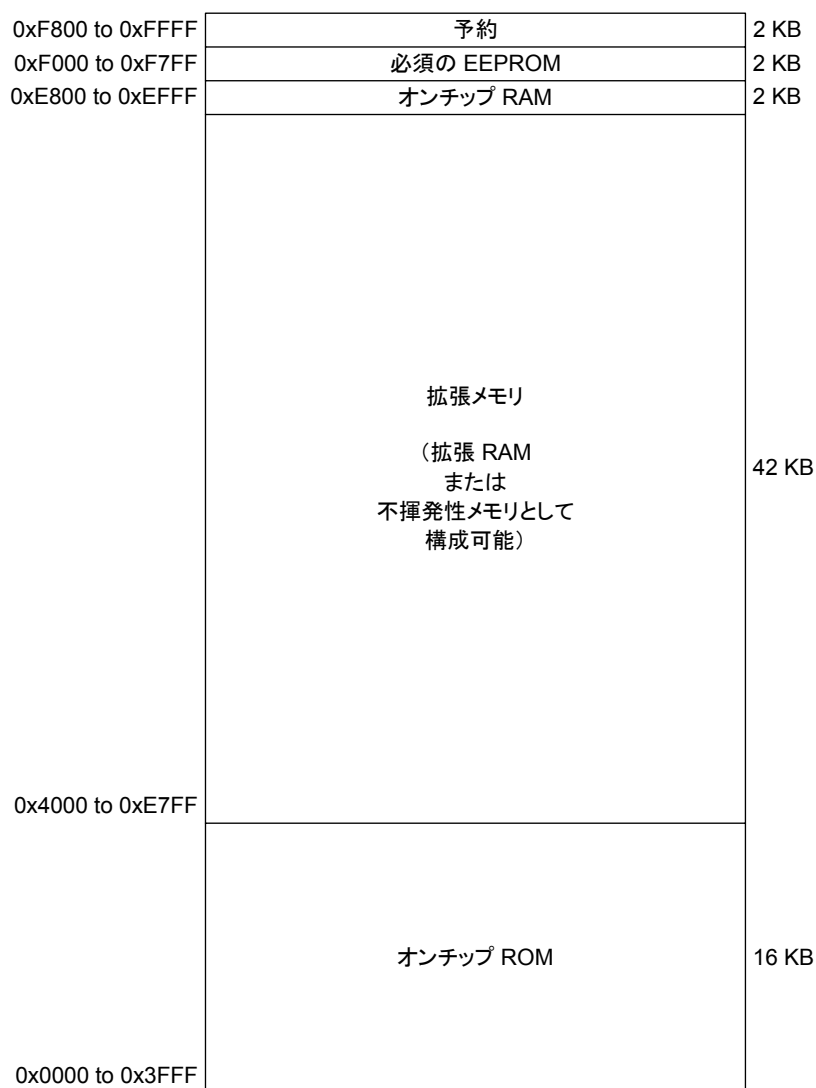


図 6 シリーズ 5000 チップのメモリマップ

メモリマップでは、シリーズ 5000 チップの物理的 RAM が以下の種類の論理的メモリに分割されます。

- オンチップ ROM (0x0000 ~ 0x3FFF の 16 KB) — この領域には、物理的な ROM に格納されたシステムファームウェアイメージとシステム関数ライブラリがコピーされます。

- 拡張オンチップ RAM または拡張不揮発性メモリ (0x4000 ~ 0xE7FF の最大 42 KB) — この領域には、外部 NVM の内容が RAM にシャドーコピーされます。残りの領域が、アプリケーションで利用可能な RAM となります。これらのメモリ範囲は、デバイスのハードウェアテンプレートで設定できます。
- オンチップ RAM (0xE800 ~ 0xEFFF の 2 KB) — この領域にはスタックセグメントと RAMNEAR データが格納されます。
- 必須の EEPROM (0xF000 ~ 0xF7FF の 2 KB) — この領域には、必須の 2 KB の EEPROM メモリに格納されているデバイス構成データがシャドーコピーされます。小規模なデバイスでは、この 2 KB にアプリケーションのコードとデータを格納することもできます。
- 予約メモリ (0xF800 ~ 0xFFFF の 2 KB) — この領域は、システム用の予約領域です。

拡張不揮発性メモリと拡張オンチップ RAM のアドレス値は、NodeBuilder FX 開発ツールまたは Mini FX 評価キットを使用して、デバイスのハードウェアテンプレートで設定できます。これら 2 つの値は同じ物理 RAM の領域を共有します。

重要： 外部 EEPROM として使用するデバイスの容量は、EEPROM として必須の 2 KB と、アプリケーションのコードおよびデータ用に必要な容量の合計が必要です。

例： 16 KB の EEPROM の場合、2 KB を必須の EEPROM (アドレス 0xF000 ~ 0xF7FF) として使用し、14 KB (アドレス 0x4000 ~ 0x77FF) をアプリケーションのコードとデータ用に使用できます。この場合、デバイスのメモリマップで 28 KB (アドレス 0x7800 ~ 0xE7FF) の領域が拡張オンチップ RAM に割り当てられます。

外部シリアルメモリインターフェース

オフチップ不揮発性メモリ (NVM) へのアクセスには、I²C (Inter-Integrated Circuit) または SPI (Serial Peripheral Interface) プロトコルによるシリアルインターフェースを使用します。EEPROM (Electrically Erasable Programmable Read-Only Memory) デバイスには I²C プロトコルと SPI プロトコルのどちらも使用できますが、フラッシュメモリデバイスには SPI プロトコルしか使用できません。

シリーズ 5000 チップでは、オフチップメモリとして 2 KB 以上の EEPROM デバイスが必須です。表 11 に、組み合わせ可能な外部メモリデバイスの構成をまとめます。

表 11 組み合わせ可能な外部メモリデバイスの構成

構成	EEPROM		フラッシュ	説明
	I ² C	SPI	SPI	
1	<input checked="" type="checkbox"/>			→ I ² C 接続の EEPROM メモリデバイス (容量 2 KB ~ 64 KB) を 1 つ → フラッシュメモリデバイスなし
2		<input checked="" type="checkbox"/>		→ SPI 接続の EEPROM メモリデバイス (容量 2 KB ~ 64 KB) を 1 つ → フラッシュメモリデバイスなし

構成	EEPROM		フラッシュ	説明
	I ² C	SPI	SPI	
3	☑		☑	→ I ² C 接続の EEPROM (容量 2 KB ~ 64 KB。ただしシステムで使用できるのは EEPROM メモリの最初の 2 KB のみ) を 1 つ → SPI 接続のフラッシュメモリデバイスを 1 つ
4		☑	☑	→ SPI 接続の EEPROM (容量 2 KB ~ 64 KB。ただしシステムで使用できるのは EEPROM メモリの最初の 2 KB のみ) を 1 つ → SPI 接続のフラッシュメモリデバイスを 1 つ

表 11 に示したように、シリーズ 5000 デバイスでは EEPROM メモリデバイス 1 つのみ、または EEPROM メモリデバイスとフラッシュメモリデバイスを 1 つずつの構成とすることができます。小規模なアプリケーションでは EEPROM メモリデバイス 1 つにアプリケーションコードと構成データの両方を格納することもできますが、大規模なアプリケーションでは小容量の EEPROM メモリデバイスに構成データを格納し、フラッシュメモリデバイスにアプリケーションコードを格納するのが一般的です。

シリーズ 5000 デバイスでフラッシュメモリを使用する場合、ユーザーが利用できる不揮発性メモリはフラッシュメモリの容量のみとなります。つまり、EEPROM メモリにどれだけ容量があっても、必須の 2 KB しか使用されません。

32 KB の EEPROM メモリデバイスの場合、システムファームウェアによって全メモリ容量のうち 256 バイトが予約されます。つまり、32 KB の EEPROM でユーザーアプリケーションのコードとデータに利用できるのは、32,768 バイトではなく 32,512 バイトとなります。32 KB EEPROM メモリデバイスのメモリマップには、2,048 バイト (2 KB) の必須 EEPROM メモリと、最大 30,464 (0x7700) バイトの拡張不揮発性メモリが含まれることとなります。

64 KB の EEPROM メモリデバイスの場合、使用できる EEPROM の最大容量はシリーズ 5000 デバイスの RAM 容量である 44 KB と等しくなります。64 KB EEPROM メモリデバイスのメモリマップには、2 KB の必須 EEPROM メモリと、最大 42 KB の拡張不揮発性メモリが含まれることとなります。EEPROM メモリデバイスの残りの 20 KB のデータ領域はアプリケーションからは利用できませんが、デバイスのシステムファームウェアをアップグレードするための外部システムイメージをここに保存することができます。

シリアル I²C (Inter-Integrated Circuit)

シリーズ 5000 チップのシリアル I²C (Inter-Integrated Circuit) プロトコルでは、次のピンを使用します (図 7 参照)。

- ピン 43 (SDA_CS1~) — シリアルデータ (SDA) 入出力信号
- ピン 45 (SCL) — シリアルクロック (SCL) 出力信号

信号の方向はシリーズ 5000 チップから見たものです。これらのピンは 3.3 V ピンで、5 V 耐性があります。

シリーズ 5000 チップは常にマスター I²C デバイスとなり、外部 NVM デバイスが常にスレーブデバイスとなります。

重要： シリーズ 5000 デバイスで SPI メモリデバイスを使用しない場合、ピン 46 (MISO) に 10 k Ω のプルダウン抵抗を追加する必要があります。

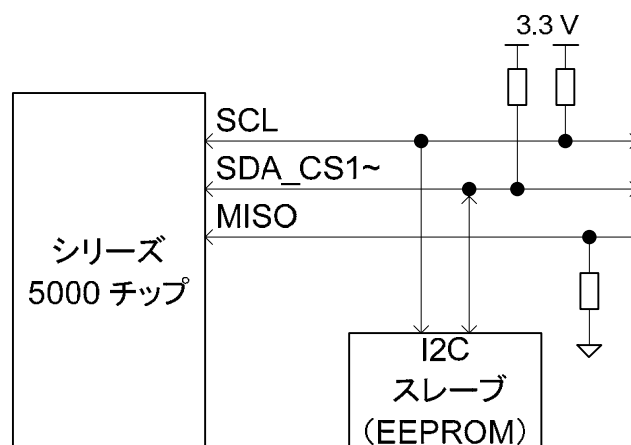


図7 I²C メモリインターフェース

シリアルクロックピンとシリアルデータピンはどちらもオープンドレインピンなので、プルアップ抵抗が必要です。プルアップ抵抗の値は、バスの全容量（バスに接続されているデバイスの数およびバスの長さ）によって異なります。詳細については、NXP Semiconductor 発行の『I2C-bus specification and user manual』（UM10204）を参照してください。たとえばバスの全容量が 30 pF の場合、1 k Ω ~ 10 k Ω の抵抗を使用できます。

I²C メモリデバイスはアドレス 0 を指定する必要があります。1 バイトおよび 2 バイトのアドレスモードはどちらもサポートされていますが、3 バイトのアドレスモードはサポートされていません。デバイスのデータタイプ識別コードは b'1010 です。

シリーズ 5000 チップのシリアルメモリインターフェースは、I²C プロトコルを 400 kHz で実行します（I²C 高速モード）。

SPI (Serial Peripheral Interface)

シリーズ 5000 チップの SPI (Serial Peripheral Interface) プロトコルでは、次のピンを使用します（図 8 参照）。

- ピン 40 (CS0~) — 第 1 スレーブセレクト出力信号
- ピン 43 (SDA_CS1~) — 第 2 スレーブセレクト出力信号
- ピン 46 (MISO) — MISO (マスターインスレーブアウト) 入力信号 (マスターへの入力)
- ピン 47 (SCK) — シリアルクロック出力信号
- ピン 48 (MOSI) — MOSI (マスターアウトスレーブイン) 出力信号 (マスターからの出力)

信号の方向はシリーズ 5000 チップから見たものです。これらのピンは 3.3 V ピンで、5 V 耐性があります。

シリーズ 5000 チップは常にマスター SPI デバイスとなり、外部 NVM デバイスが常にスレーブデバイスとなります。

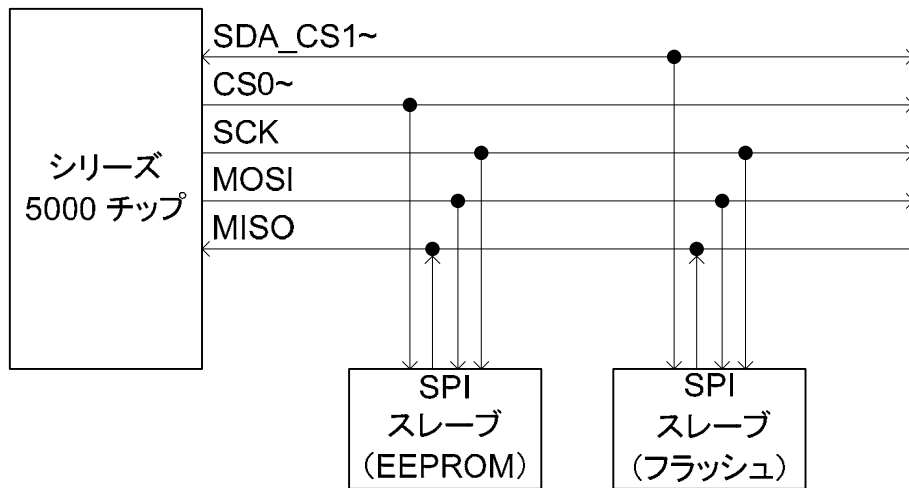


図 8 SPI メモリインターフェース

重要： シリーズ 5000 デバイスで I²C メモリデバイスを使用しない場合は、ピン 45 (SCL) に最大 10 kΩ のプルアップ抵抗を追加する必要があります。

シリーズ 5000 チップのシリアルメモリインターフェースでは、CS0~ に EEPROM デバイスを接続し、SDA_CS1~ にフラッシュデバイスを接続して最大 2 つの SPI スレーブデバイスを使用できます。

シリーズ 5000 デバイスは SPI EEPROM デバイスの 2 バイトアドレスモードをサポートしていますが、3 バイトアドレスモードはサポートしていません。

SPI プロトコルでは 4 つの動作モードが定義されています。これらのモードは、クロック信号の極性 (CPOL) と位相 (CPHA) に関してそれぞれデータバスに対するフロー制御の方法が異なります。シリーズ 5000 デバイスでは、SPI モード 0 (CPOL = 0、CPHA = 0、SCK ラインはアイドル LOW) を使用します。このモードでは、シリーズ 5000 チップは SCK ラインの立ち上がりエッジでデータをラッチインし、SCK ラインの立ち下がりエッジで出力します。

シリーズ 5000 チップのシリアルメモリインターフェースは、SPI プロトコルを 2.5 MHz で実行します。

I²C メモリデバイスと SPI メモリデバイスの併用

図 9 は、シリーズ 5000 デバイスで I²C メモリデバイス (2 KB EEPROM デバイス) と SPI メモリデバイス (フラッシュメモリデバイス) を両方使用する場合を示したものです。両方のデバイスが同時にアクティブになることはないため、これら 2 つの外部メモリデバイスが競合することはありません。

重要： シリーズ 5000 デバイスで I²C 接続の EEPROM デバイスと SPI 接続のフラッシュメモリデバイスを併用する場合 (図 9 参照)、ピン 46 (MISO) に 10 kΩ のプルダウン抵抗を付ける必要があります。シリーズ 5000 デバイスで SPI 接続の EEPROM デバイスを使用する場合は、このプルダウン抵抗は不要です (27 ページの図 8 参照)。

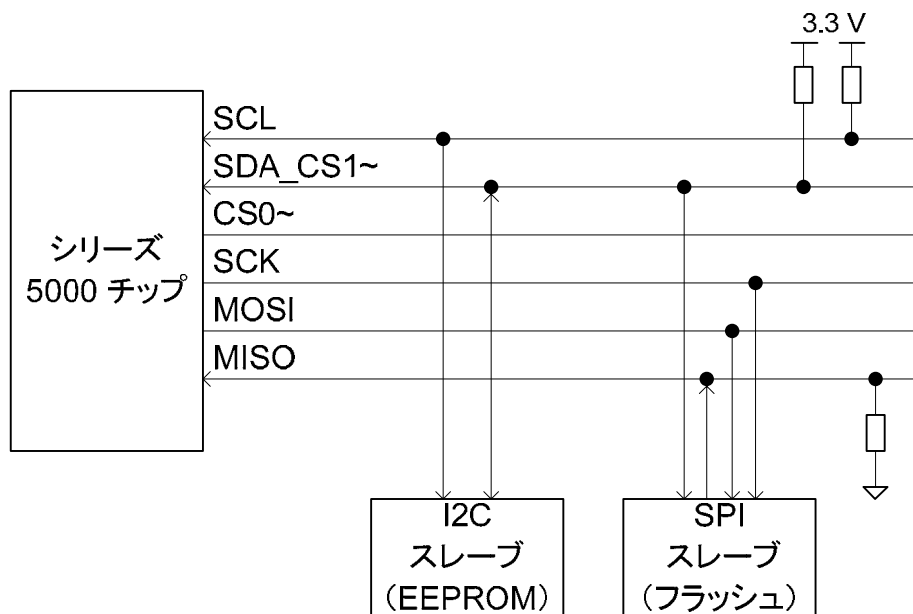


図9 I²C メモリデバイスと SPI メモリデバイスの併用

対応デバイス

シリーズ 5000 デバイスは、SPI または I²C プロトコルをサポートした EEPROM デバイスのうち、「シリアル I2C (Inter-Integrated Circuit)」の項 (25 ページ) または「SPI (Serial Peripheral Interface)」の項 (26 ページ) に記載の条件を満たしたものをサポートしています。

エシェロン社では、シリーズ 5000 デバイスで使用可能な SPI フラッシュメモリデバイスとして以下の製品を認定しています。

- Atmel[®] AT25F512B 512 Kb 2.7 V (Min) SPI シリアルフラッシュメモリ
- Numonyx[™] M25P05-A 512 Kb シリアルフラッシュメモリ (50 MHz SPI バスインターフェース)
- Silicon Storage Technology SST25VF512A 512 Kb SPI シリアルフラッシュ

その他のデバイスも今後認定される可能性があります。

システムフラッシュドライバで使用するデータモデルでは、フラッシュデバイスへの直接アクセスを前提としているため、このドライバではフラッシュファイルシステムは使用しません。

デバイスへの書き込み

シリーズ 5000 デバイスでは、以下のいずれかの方法で外部不揮発性メモリへの書き込みを行うことができます。

- シリーズ 5000 デバイスをプリント基板にはんだ付けする前に、BPM Microsystems[™] や HiLo Systems 製のユニバーサルプログラマを使用して書き込みを行う
- Total Phase[™] 社の Aardvark[™] I2C/SPI Host Adapter など、シリアル SPI または I²C プログラミングデバイスを利用してメモリにインサーキットプログラミングを行う
- LonMaker[®] インテグレーションツールや NodeLoad ユーティリティなどのネットワークマネージャを使用して、LONWORKS ネットワーク経由でメモリに書き込みを行う

JTAG インターフェース

シリーズ 5000 チップは、全製品が JTAG (Joint Test Action Group) の IEEE (Institute of Electrical and Electronics Engineers) Standard Test Access Port and Boundary-Scan Architecture (IEEE 1149.1-1990) 準拠のインターフェースを装備しており、バウンダリスキャンチェーンに組み込んでデバイスの製造テストを行うことができます。

BSDL (Boundary Scan Description Language) ファイルは、エシロン社の以下の Web サイトで入手できます。

- www.echelon.com/products/neuron/ — Neuron 5000 プロセッサ用
- www.echelon.com/products/ft5000/ — FT 5000 スマートトランシーバ用

シリーズ 5000 チップの JTAG インターフェースの最大動作速度は 5 MHz です。JTAG インターフェースには次のピンが含まれます。

- TDI — テストデータ入力 (ピン 21)
- TDO — テストデータ出力 (ピン 22)
- TCK — テストクロック (ピン 19)
- TMS — テストモード選択 (ピン 20)
- TRST~ — テストリセット (ピン 17)

これらのピンは、JTAG バウンダリスキャン標準プロトコル (IEEE 1149.1) に準拠しており、業界標準の JTAG ツールを接続して使用できます。これらピンにはすべて、JTAG 規格で推奨されているプルアップ抵抗が内蔵されています。これらのプルアップ抵抗は、ピンがフロート状態のときに入力をプルアップすることを目的としており、外部負荷に対応できるほど強くはありません。

シリーズ 5000 チップの JTAG インターフェースは、以下の JTAG 命令をサポートしています (命令レジスタコードについてはデバイスの BSDL ファイルを参照) 。

- BYPASS — 現在のデバイスをバイパスします (チェーン内の別のデバイスと接続するため) 。
IEEE 1149.1 規格の必須命令
- SAMPLE/PRELOAD — 現在の値をサンプリングするか、または後続の操作のために既知の値をバウンダリスキャンセルにプリロードします。
IEEE 1149.1 規格の必須命令
- EXTEST — 2 つのデバイスの接続をテストします。
IEEE 1149.1 規格の必須命令
- HIGHZ — シリーズ 5000 チップのすべての出力 (2 ステートおよび 3 ステート) を無効 (高インピーダンス) 状態に設定します。
- IDCODE — チップのデバイス ID を返します。

FT 5000 スマートトランシーバのデバイス ID は「0x0320062F」で、Neuron 5000 プロセッサのデバイス ID は「0x0320162F」です。

JTAG 規格の詳細については、『IEEE Standard Test Access Port and Boundary-Scan Architecture』IEEE Std 1149.1-1990 (IEEE Std 1149.1a-1993 を含む) および『Supplement to IEEE Std 1149.1-1990, IEEE Standard Test Access Port and Boundary-Scan Architecture』IEEE Std 1149.1b-1994 を参照してください。これらの文書は IEEE のサイト (www.ieee.org/web/standards/home/index.html) で入手できます。

動作条件

表 12 に、シリーズ 5000 チップの標準動作条件を示します。

表 12 シリーズ 5000 チップの動作条件

パラメータ ¹	説明	最小値	標準	最大値
V _{DD3}	電源電圧	3.0 V	3.3 V	3.6 V
T _A	周囲温度	-40		+85
f _{XIN}	XIN クロック周波数 ²		10.0000 MHz	
I _{DD3-RX}	受信モード時の消費電流 ³ 5 MHz 10 MHz 20 MHz 40 MHz 80 MHz		9 mA 9 mA 15 mA 23 mA 38 mA	15 mA 15 mA 23 mA 33 mA 52 mA
I _{DD3-TX}	送信モード時の消費電流 ^{3,4}		I _{DD3-RX} + 15 mA	I _{DD3-RX} + 18 mA

注記：

- 特に記載のない限り、パラメータはすべて公称電源電圧 (V_{DD3} = 3.3 V ± 0.3 V) および公称動作温度 (T_A = -40 ~ +85) の場合の値です。
- XIN クロック周波数の詳細については、「クロック要件」の項 (56 ページ) を参照してください。
- デジタル I/O ピンに負荷がなく、I/O ラインがスイッチングしていない場合。

各スイッチング出力の I_{DD3} 電流を計算するには、次の式を使用します。

$$I_{DD3_pin} = ((12 \times 10^{-12}) + C_{L_pin}) \times V_S \times f_{pin}$$

12x10⁻¹² はオンチップ有効容量、C_{L_pin} は I/O ピンの負荷容量、V_S は電源電圧、f_{pin} はピンのスイッチング周波数です。

たとえば、外部負荷 27 pF、スイッチング周波数 1 MHz のピンのワーストケースのスイッチング電流は、I_{DD3} = (12 pF + 27 pF) * 3.6 V * 10⁶ Hz = 140 μA となります。

I_{DD3} 電流の合計は、各ピンの I_{DD3} の計算結果を合計して求めます。

$$I_{DD3_total} = \sum_{i=1}^N I_{DD3_pin_N}$$

LED や抵抗などの DC 負荷もすべて加算します。

- 通常、シリーズ 5000 デバイスは連続してデータを送信することはないので、送信モード時の消費電流は連続使用時の値ではなくピーク値となります。

表 13 に、シリーズ 5000 チップの絶対最大定格を示します。絶対最大定格を超えるとデバイスの破壊、損傷、寿命劣化の原因となります。ここに示した条件の範囲内で正常な動作が得られるという意味ではありません。

表 13 シリーズ 5000 チップの絶対最大定格

パラメータ	説明	最小値	最大値
V_{DD3}	電源電圧	-0.3 V	+3.7 V
$V_{i\text{-digitalIn}}$	入力電圧 — デジタル I/O ピン	-0.3 V	+5.5 V
$V_{i\text{-digitalOut}}$	出力電圧 — デジタル I/O ピン	-0.3 V	$V_{DD3} + 0.3 \text{ V}$
$V_{i\text{-other}}$	入力電圧 — その他のピン (電源以外)	-0.3 V	$V_{DD3} + 0.3 \text{ V}$
I_i	入力電流 — 電源以外のすべてのピン	-10 mA	+10 mA
T_{storage}	保存温度	-55	+125

入出力ピンはすべて入力、出力とも 100 mA までラッチアップ耐性があります。ラッチアップの詳細については、「損傷防止対策」の項 (135 ページ) を参照してください。

ピン配置

Neuron 5000 プロセッサと FT 5000 スマートトランシーバのピン割り当ては、以下に説明するように一部を除いてほとんど共通です。

すべてのピンは、2 kV Electrostatic Discharge (ESD) の電圧耐性があります (MIL-STD-883 Method 3015.7 でテスト済み)。

FT 5000 スマートトランシーバ

図 10 に、FT 5000 スマートトランシーバのピン配置を示します。図の中央にある大きな四角形はパッケージ底部のパッド (ピン 49) を示しています。このパッドはグラウンドに接地する必要があります。

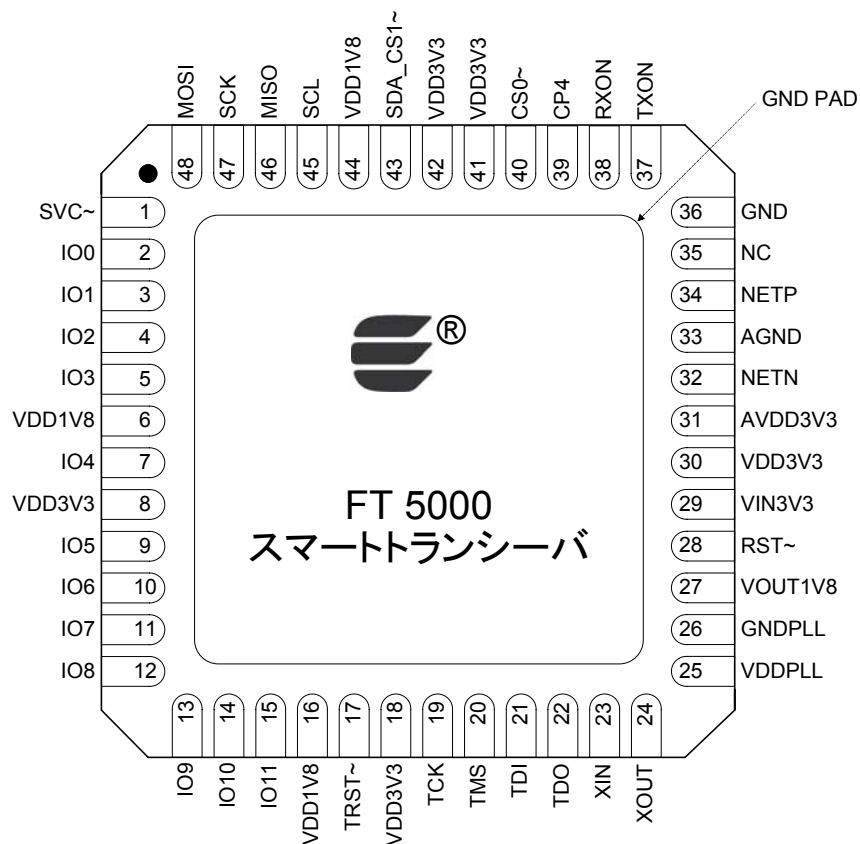


図 10 FT 5000 スマートトランシーバのピン配置図

表 14 (33 ページ) に、FT 5000 スマートトランシーバのピン割り当ての一覧を示します。デジタル入力はすべて LVTTTL (Low-Voltage Transistor-Transistor Logic) 互換、5 V 耐性、低リークです。デジタル出力はすべて、電磁干渉 (EMI) の問題を抑えるために、スルーレートが制限されています。

表 14 FT 5000 スマートトランシーバのピン割り当て

名称	ピン番号	種類	説明
SVC~	1	デジタル入出力	サービス (アクティブロー)
IO0	2	デジタル入出力	I/O オブジェクト用の IO0
IO1	3	デジタル入力	I/O オブジェクト用の IO1
IO2	4	デジタル入出力	I/O オブジェクト用の IO2
IO3	5	デジタル入出力	I/O オブジェクト用の IO3
VDD1V8	6	電源	1.8 V 電源入力 (内部電圧レギュレータより)
IO4	7	デジタル入出力	I/O オブジェクト用の IO4
VDD3V3	8	電源	3.3 V 電源
IO5	9	デジタル入出力	I/O オブジェクト用の IO5
IO6	10	デジタル入出力	I/O オブジェクト用の IO6
IO7	11	デジタル入出力	I/O オブジェクト用の IO7
IO8	12	デジタル入出力	I/O オブジェクト用の IO8
IO9	13	デジタル入出力	I/O オブジェクト用の IO9
IO10	14	デジタル入出力	I/O オブジェクト用の IO10
IO11	15	デジタル入出力	I/O オブジェクト用の IO11
VDD1V8	16	電源	1.8 V 電源入力 (内部電圧レギュレータより)
TRST~	17	デジタル入力	JTAG テストリセット (アクティブロー)
VDD3V3	18	電源	3.3 V 電源
TCK	19	デジタル入力	JTAG テストクロック
TMS	20	デジタル入力	JTAG テストモード選択
TDI	21	デジタル入力	JTAG テストデータ入力
TDO	22	デジタル出力	JTAG テストデータ出力
XIN	23	発振器入力	クリスタル発振器入力
XOUT	24	発振器出力	クリスタル発振器出力
VDDPLL	25	電源	1.8 V 電源入力 (内部電圧レギュレータより)
GNDPLL	26	電源	グランド
VOOUT1V8	27	電源	1.8 V 電源出力 (内部電圧レギュレータへ)
RST~	28	デジタル入出力	リセット (アクティブロー)
VIN3V3	29	電源	内部電圧レギュレータへの 3.3 V 入力
VDD3V3	30	電源	3.3 V 電源
AVDD3V3	31	電源	3.3 V 電源

名称	ピン番号	種類	説明
NETN	32	通信	ネットワークポート（無極性）
AGND	33	グラウンド	グラウンド
NETP	34	通信	ネットワークポート（無極性）
NC	35	N/A	接続なし
GND	36	グラウンド	グラウンド
TXON	37	デジタル入出力	ネットワークアクティビティ LED（オプション）の TxActive
RXON	38	デジタル入出力	ネットワークアクティビティ LED（オプション）の RxActive
CP4	39	デジタル入出力	接続なし
CS0~	40	メモリ用デジタル入出力	SPI スレーブセレクト 0（アクティブロー）
VDD3V3	41	電源	3.3 V 電源
VDD3V3	42	電源	3.3 V 電源
SDA_CS1~	43	メモリ用デジタル入出力	I ² C：シリアルデータ SPI：スレーブセレクト 1（アクティブロー）
VDD1V8	44	電源	1.8 V 電源入力（内部電圧レギュレータより）
SCL	45	メモリ用デジタル入出力	I ² C シリアルクロック
MISO	46	メモリ用デジタル入出力	SPI マスターインスレーブアウト（MISO）
SCK	47	メモリ用デジタル入出力	SPI シリアルクロック
MOSI	48	メモリ用デジタル入出力	SPI マスターアウトスレーブイン（MOSI）
PAD	49	グラウンドパッド	グラウンド

Neuron 5000 プロセッサ

図 11 (35 ページ) に、Neuron 5000 プロセッサのピン配置を示します。図の中央にある大きな四角形はパッケージ底部のパッド (ピン 49) を示しています。このパッドはグランドに接地する必要があります。

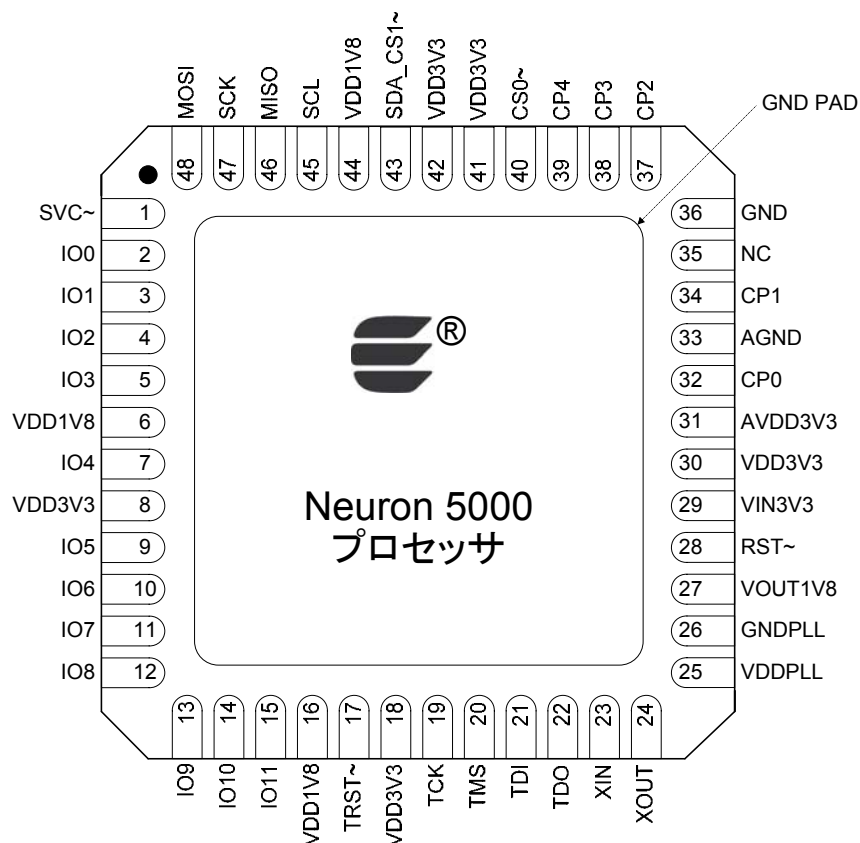


図 11 Neuron 5000 プロセッサのピン配置図

表 15 に、Neuron 5000 プロセッサのピン割り当ての一覧を示します。デジタル入力はすべて LVTTTL (Low-Voltage Transistor-Transistor Logic) 互換、5 V 耐性、低リークです。デジタル出力はすべて、電磁干渉 (EMI) の問題を抑えるために、スルーレートが制限されています。

表 15 Neuron 5000 プロセッサのピン割り当て

名称	ピン番号	種類	説明
SVC~	1	デジタル入出力	サービス (アクティブロー)
IO0	2	デジタル入出力	I/O オブジェクト用の IO0
IO1	3	デジタル入力	I/O オブジェクト用の IO1
IO2	4	デジタル入出力	I/O オブジェクト用の IO2
IO3	5	デジタル入出力	I/O オブジェクト用の IO3
VDD1V8	6	電源	1.8 V 電源入力 (内部電圧レギュレータより)

名称	ピン番号	種類	説明
IO4	7	デジタル入出力	I/O オブジェクト用の IO4
VDD3V3	8	電源	3.3 V 電源
IO5	9	デジタル入出力	I/O オブジェクト用の IO5
IO6	10	デジタル入出力	I/O オブジェクト用の IO6
IO7	11	デジタル入出力	I/O オブジェクト用の IO7
IO8	12	デジタル入出力	I/O オブジェクト用の IO8
IO9	13	デジタル入出力	I/O オブジェクト用の IO9
IO10	14	デジタル入出力	I/O オブジェクト用の IO10
IO11	15	デジタル入出力	I/O オブジェクト用の IO11
VDD1V8	16	電源	1.8 V 電源入力 (内部電圧レギュレータより)
TRST~	17	デジタル入力	JTAG テストリセット (アクティブロー)
VDD3V3	18	電源	3.3 V 電源
TCK	19	デジタル入力	JTAG テストクロック
TMS	20	デジタル入力	JTAG テストモード選択
TDI	21	デジタル入力	JTAG テストデータ入力
TDO	22	デジタル出力	JTAG テストデータ出力
XIN	23	発振器入力	クリスタル発振器入力
XOUT	24	発振器出力	クリスタル発振器出力
VDDPLL	25	電源	1.8 V 電源入力 (内部電圧レギュレータより)
GNDPLL	26	電源	グラウンド
VOU1V8	27	電源	1.8 V 電源出力 (内部電圧レギュレータへ)
RST~	28	デジタル入出力	リセット (アクティブロー)
VIN3V3	29	電源	3.3 V 電源入力
VDD3V3	30	電源	3.3 V 電源
AVDD3V3	31	電源	3.3 V 電源
CP0	32	通信	シングルエンドモード: シリアルデータ受信 特定用途モード: シリアルデータ受信
AGND	33	グラウンド	グラウンド
CP1	34	通信	シングルエンドモード: シリアルデータ送信 特定用途モード: シリアルデータ送信
NC	35	N/A	接続なし
GND	36	グラウンド	グラウンド

名称	ピン番号	種類	説明
CP2	37	通信	シングルエンドモード：外部トランシーバインイーブル 特定用途モード：ビットクロック
CP3	38	通信	接続なし
CP4	39	通信	シングルエンドモード：衝突検出 特定用途モード：フレームクロック
CS0~	40	メモリ用デジタル入出力	SPI スレーブセレクト 0 (アクティブロー)
VDD3V3	41	電源	3.3 V 電源
VDD3V3	42	電源	3.3 V 電源
SDA_CS1~	43	メモリ用デジタル入出力	I ² C：シリアルデータ SPI：スレーブセレクト 1 (アクティブロー)
VDD1V8	44	電源	1.8 V 電源入力 (内部電圧レギュレータより)
SCL	45	メモリ用デジタル入出力	I ² C シリアルクロック
MISO	46	メモリ用デジタル入出力	SPI マスターインスレーブアウト (MISO)
SCK	47	メモリ用デジタル入出力	SPI シリアルクロック
MOSI	48	メモリ用デジタル入出力	SPI マスターアウトスレーブイン (MOSI)
PAD	49	グランドパッド	グランド

ピン接続

ここでは、シリーズ 5000 チップの各種ピンの電氣的接続について説明します。特に記載のない限り、接続に関する内容は FT 5000 スマートトランシーバと Neuron 5000 プロセッサで共通です。

FT 5000 スマートトランシーバの詳細な回路図のサンプルについては、付録 E「サンプル回路図」(145 ページ)を参照してください。

VDD3V3 ピン (8、18、29、30、41、42) を V_{DD33} に接続します。また、アナログ電源がデジタル電源 V_{DD33} と異なる場合は、AVDD3V3 ピン (31) をアナログ V_{DD33} 電源に接続します。通常は、VDD3V3 ピンと AVDD3V3 ピンは同じ V_{DD33} 電源に接続します。また、VDD3V3 ピンには図 12 (38 ページ) のようにデカップリングコンデンサを接続します。

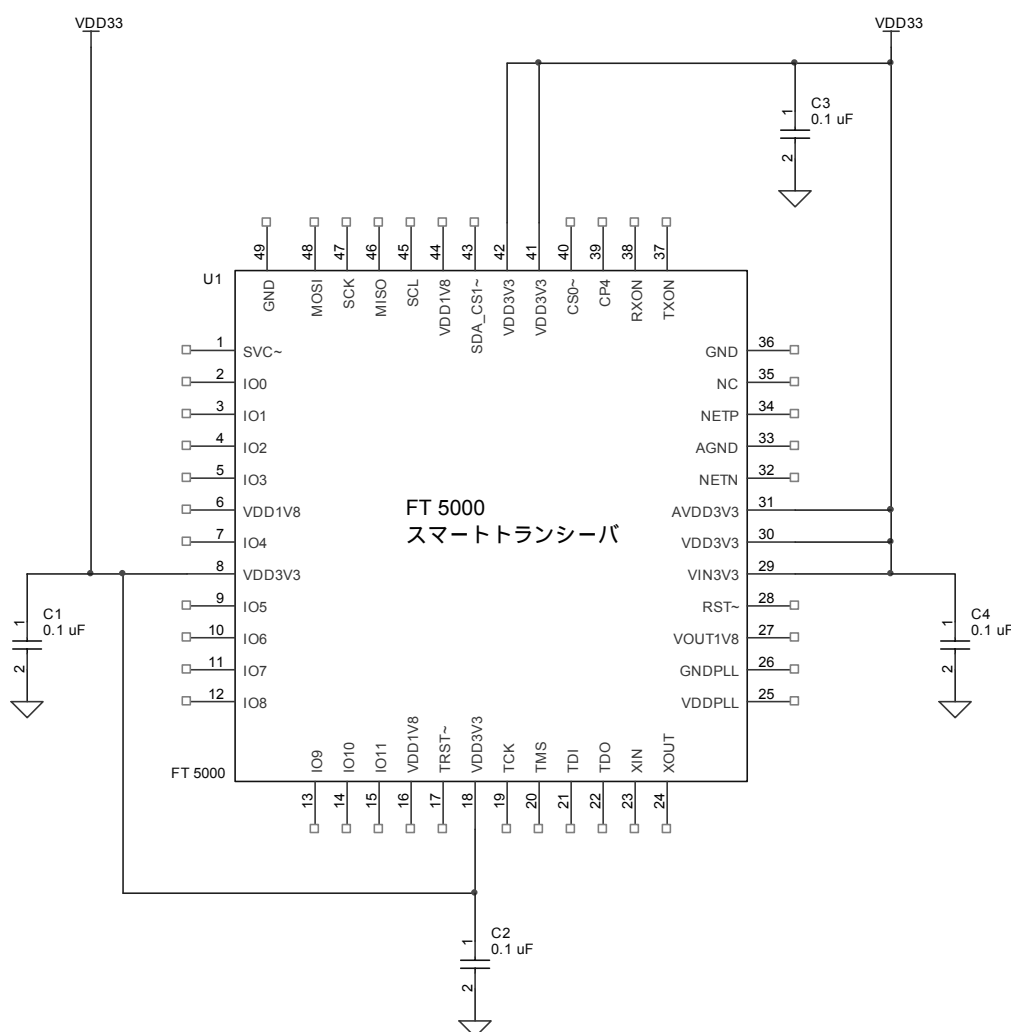


図 12 VDD33 ピンの接続

この図で使用しているコンデンサは以下のとおりです。

- C1 ~ C4 : 0.1 μ F 10% 16 V X7R

VOUT1V8 ピン (27) はオンチップ電圧レギュレータの出力です。図 13 (39 ページ) に示したように、VDD1V8 ピン (6、16、44) を VOUT1V8 ピン (27) に接続して、1.8 V 入力ピンを内部電圧レギュレータの出力に接続します。また、上記のデカップリングコンデンサ以外に、バルクデカップリングコンデンサ (図 13 の C5) を VOUT1V8 ピン (27) の近くに配置します。

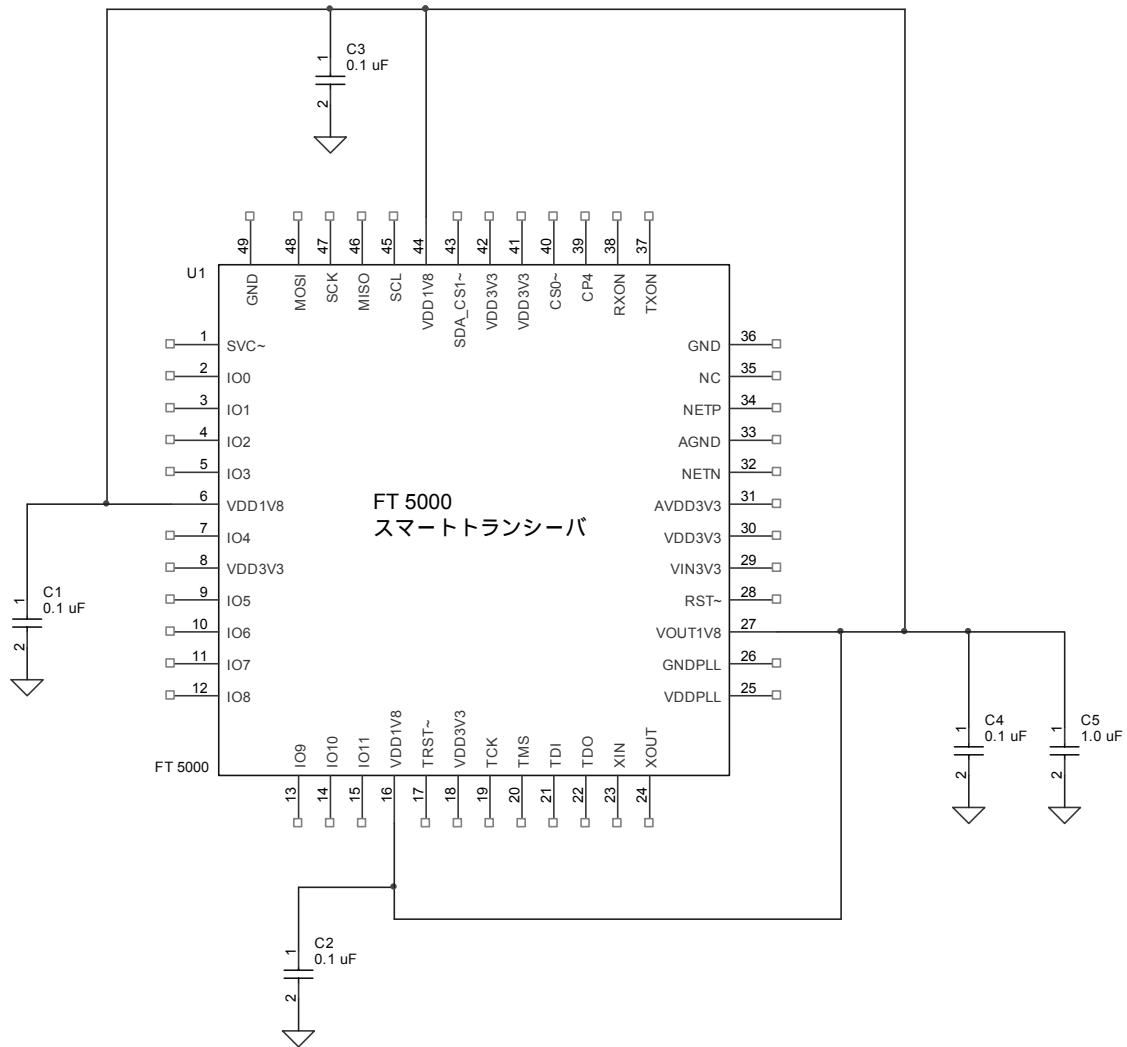


図 13 VDD18 ピンの接続

この図で使用しているコンデンサは以下のとおりです。

- C1 ~ C4 : 0.1 μ F 10% 16 V X7R
- C5 : 1.0 μ F 10% 6.3 V X7R

チップのパッド（ピン 49）をロジックグランドに接続します。また、アナロググランドとロジックグランドが異なる場合は、AGND ピン（33）をアナロググランドに接続します。通常は、アナロググランドとロジックグランドは同じです。図 14（40 ページ）にグランドピンの接続を示します。

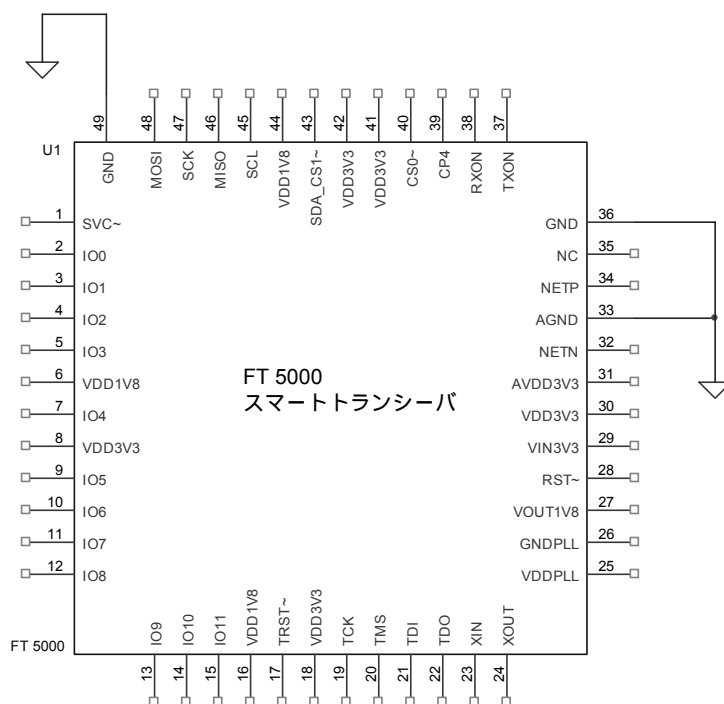


図 14 グランドピンの接続

図 15 に示すように、適切なチップフェライトビーズを使用して VDDPLL ピン (25) を VOUT1V8 ピン (27) に接続します。GNDPLL ピン (26) も適切なチップフェライトビーズを使用して GND に接続します。さらに、VDDPLL ピンと GNDPLL ピンの間に安定化コンデンサを追加します。これらのコンデンサは、いずれもプリント基板の最上層で PLL ピンに隣接して配置します。

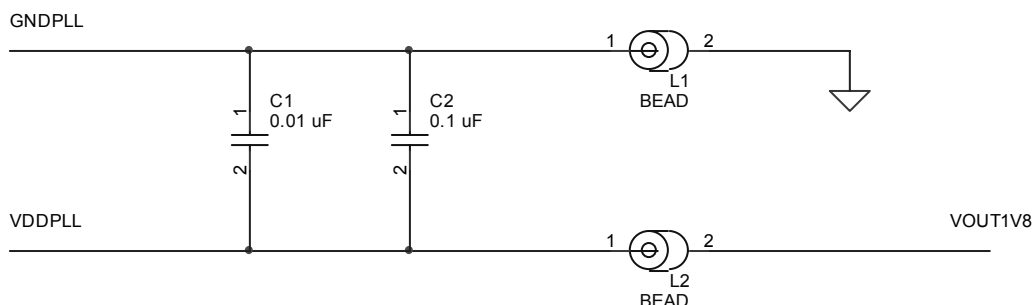


図 15 PLL ピンの接続

この図で使用しているコンデンサは以下のとおりです。

- C1 : 0.01 μ F 10% 50 V X7R
- C2 : 0.1 μ F 10% 16 V X7R

チップフェライトビーズは、 \geq 飽和電流 50 mA、インピーダンス $\geq 120 \Omega$ (100 MHz、20)、DC 抵抗 $\geq 1 \Omega$ の定格のものを使用します。例として、Laird Technologies[®] 社の LI0603E151R-10 (旧 Steward 社の製品) などがあります。

図 16 に示すように、4.99 k Ω のプルアップ抵抗を JTAG TCK ピン (19) に接続します。

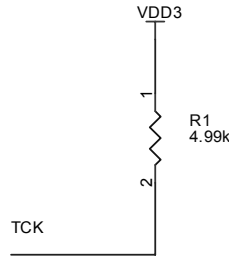


図 16 JTAG TCK ピンの接続

デジタル I/O ピンの特性

シリーズ 5000 チップには 12 本の双方向 I/O ピンがあり、いくつかの異なる構成で使用できます。これらのピンを利用して、外部ハードウェアと柔軟に接続したり、内部タイマ/カウンタにアクセスしたりできます。アプリケーションプロセッサは、入力ピンの状態を読み出すだけでなく、出力ピンの現在の論理レベルを読み出すこともできます。

デジタル I/O ピン (IO0 ~ IO11) の入力は LVTTTL レベルです。ピン IO0 ~ IO7 には LOW レベル検出ラッチもあります。RST~ ピンと SVC~ ピンには内部プルアップ抵抗があり、RST~ ピンにはヒステリシスがあります。

デジタル I/O ピンの詳しい使用方法については、『I/O Model Reference for Smart Transceivers and Neuron Chips』を参照してください。

表 16 は、表 14 および表 15 に示したデジタル I/O ピン (IO0 ~ IO11、メモリ I/O ピン、その他のデジタルピンを含む) の特性を一覧にしたものです。

表 16 シリーズ 5000 チップのデジタルピンの特性

パラメータ ¹	説明	最小値	最大値
V _{OH}	HIGH レベル出力電圧 (I _{OH} = 8 mA の場合)	2.4 V	V _{DD3}
V _{OL}	LOW レベル出力電圧 (I _{OL} = 8 mA の場合)	GND	0.4 V
V _{IH}	入力 HIGH レベル	2.0 V	5.5 V
V _{IL}	入力 LOW レベル	GND	0.8 V
V _{HYS}	RST~ ピンの入力ヒステリシス	50 mV	150 mV
I _{IN}	入力リーク電流	–	10 μA
R _{PU}	プルアップ抵抗 ²	13 kΩ	23 kΩ
I _{PU}	ピンが 0 V のときのプルアップ電流 ²	130 μA	275 μA

注記：

- 特に記載のない限り、パラメータはすべて公称電源電圧 (V_{DD3} = 3.3 V ± 0.3 V) および公称動作温度 (T_A = -40 ~ +85) の場合の値です。
- RST~ ピンおよび SVC~ ピンのみ該当。

Neuron 5000 プロセッサの通信ポート (CP) ピン

Neuron 5000 プロセッサには汎用性の高い通信ポートがあります。このポートには 5 本のピン (CP0 ~ CP4) が含まれ、各種のメディアインターフェース (ネットワークトランシーバ) と接続したり幅広いデータレートで動作するように構成できます。

通信ポートは、シングルエンドモードと特定用途モードのいずれかの動作モードに設定できます。表 17 に、これら各モードにおける通信ポートピンのピン割り当てを示します。また、通信ポートのブロック図を図 17 (43 ページ) に示します。

表 17 通信ポートピンの割り当て

ピン	駆動電流	シングルエンドモード (3.3 V)	特定用途モード (3.3 V)	接続先
CP0	8 mA	データ入力	Rx 入力	トランシーバ RXD
CP1	8 mA	データ出力	Tx 出力	トランシーバ TXD
CP2	8 mA	送信イネーブル出力	ビットクロック出力	送信イネーブル (シングルエンドモード) ビットクロック (特定用途モード)
CP3	N/A	接続なし		
CP4	8 mA	衝突検出入力	フレームクロック出力	衝突検出 (シングルエンドモード) フレームクロック (特定用途モード)

Neuron 5000 プロセッサ

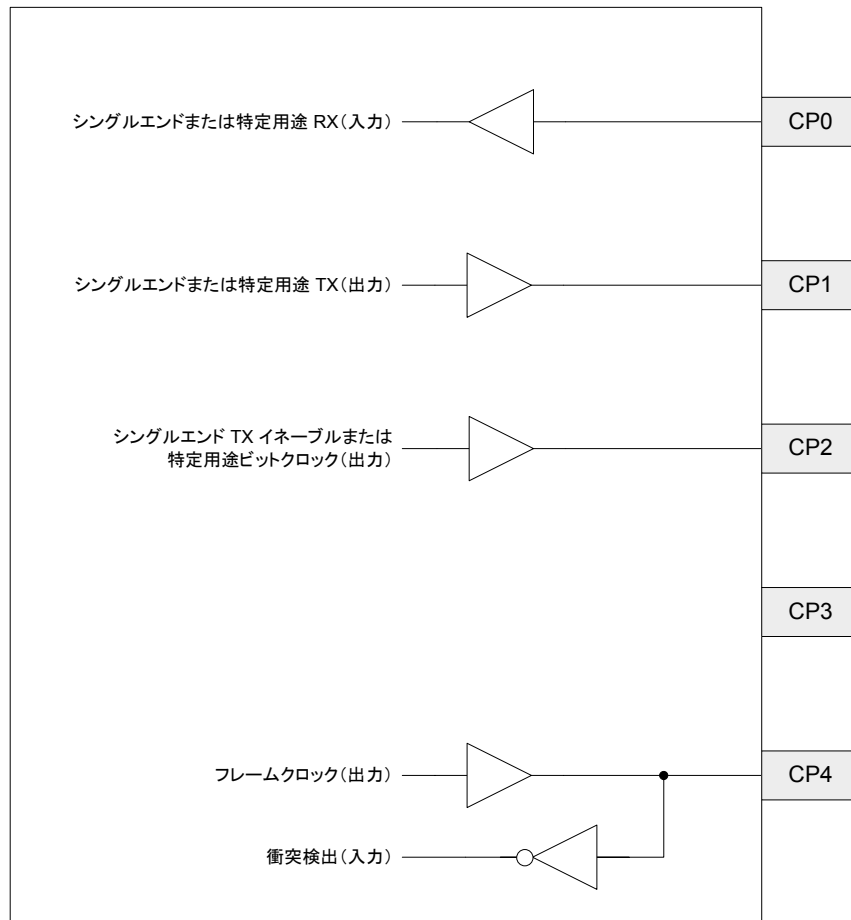


図 17 内蔵トランシーバのブロック図

シングルエンドモードでは差動マンチェスター符号化（バイフェーズ符号化）を使用します。この符号化は、各種メディアでの伝送に広く採用されている信頼性の高いフォーマットです。この符号化方式では、ビット周期の先頭で必ず遷移（クロック遷移）を行い、レシーバクロックと同期します。データは、ビット周期の中間で遷移（データ遷移）があるかどうかで表現します。セル中央で遷移があると 0 を意味します。セル中央で遷移がない場合は 1 を意味します。

トランスミッタは、他のデバイスにレシーバクロックの同期タイミングを与えるためにパケットの先頭で「プリアンブル」を送信します。プリアンブルは、ビット同期フィールドとバイト同期フィールドで構成されます。ビット同期フィールドは差動マンチェスターの「1」を続けて送信します。送信時間は 4 ビット以上の値をユーザーで選択できます。バイト同期フィールドは差動マンチェスターの「0」を 1 ビットだけ送信し、これによってプリアンブルが終了したこと、およびパケットの最初のデータバイトが開始することを通知します。

Neuron チップがパケット送信を中止するには、差動マンチェスターのコード違反を強制的に発生させます。これは、Neuron チップがデータ出力を無遷移の状態に持続することによって無効コードを送り、これを受信したレシーバが送信の終了を認識するしくみになっています。ラインコード違反の間、データ出力は最後のビットを送信したときのデータ出力の状態によって HIGH または LOW になります。ラインコード違反は最後の CRC ビットが終了してから始まり、少なくとも 2.5 ビットの時間だけ持続します。最後のビットにはクロックのトレイリングエッジがありません。送信イネーブルピンはラインコード違反が終わるまでアクティブに保持された後、リリースされます。

差動マンチェスター符号化には極性がありません。したがって、通信リンクの極性を反転してもデータ受信には影響しません。

シングルエンドモードでは、Neuron チップは以下のネットワークビットレートをすべて利用できます。

- 10 Mbps
- 5.0 Mbps
- 2.5 Mbps
- 1.25 Mbps
- 625 kbps
- 312.5 kbps
- 156 kbps
- 78 kbps
- 39 kbps
- 19.5 kbps
- 9.6 kbps
- 4.8 kbps

1.25 Mbps 未満のビットレートは、Neuron チップのすべてのシステムクロックレートで利用できます。2.5 Mbps のビットレートを利用するには、Neuron 5000 プロセッサのシステムクロックを 20 MHz 以上に設定する必要があります。

シングルエンドモード

シングルエンドモード (3.3 V) は、RF、IR、光ファイバ、ツイストペアケーブル、同軸ケーブルなどの通信媒体と接続する外部アクティブトランシーバで一般的に使用されます。図 18 (44 ページ) に、シングルエンドモード時の通信ポートの構成を示します。データ通信は、CP0 ピンと CP1 ピンのシングルエンド (GND 基準) 入出力バッファを使用して行います。

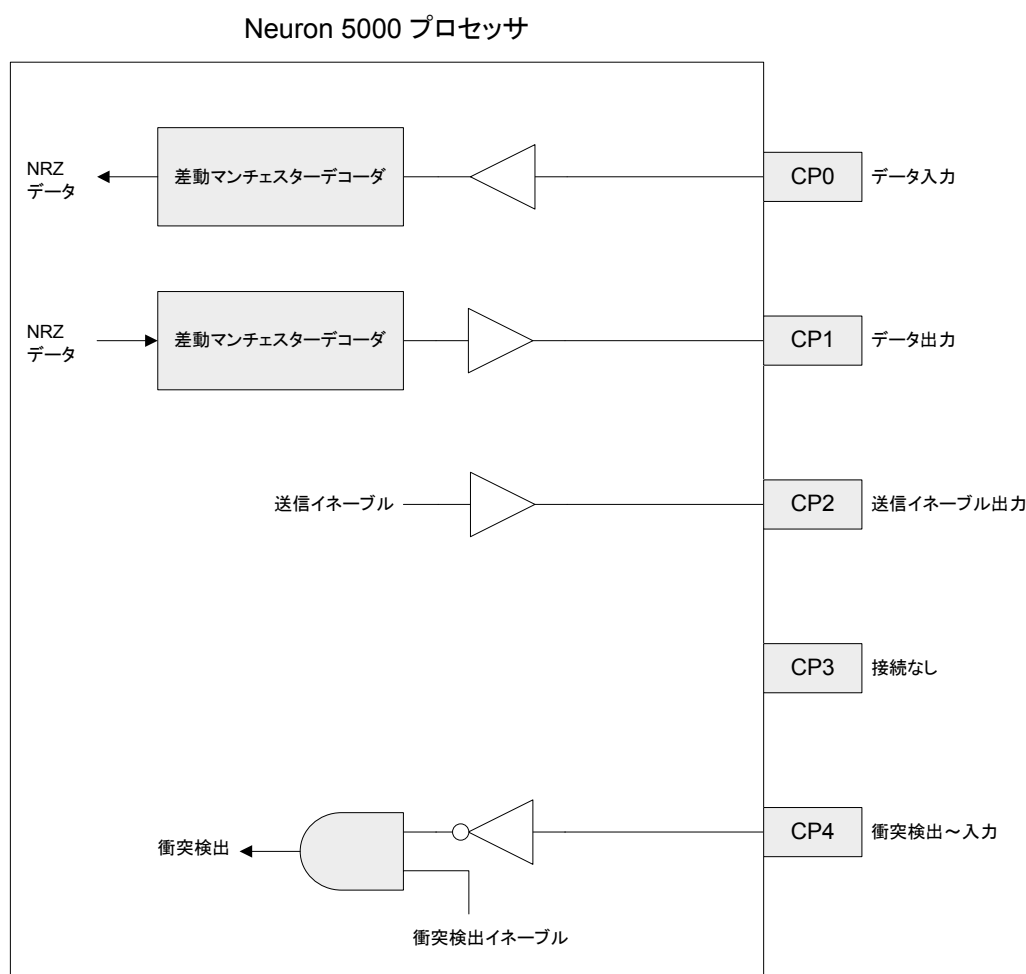


図 18 シングルエンドモードの構成

図 19 に、典型的なパケットを示します。T はビット周期で、 $1/($ ビットレート $)$ に等しくなります。クロック遷移はビット周期の先頭で発生するので、パケットの最後の有効なビットにはクロックのトレーリングエッジがありません。

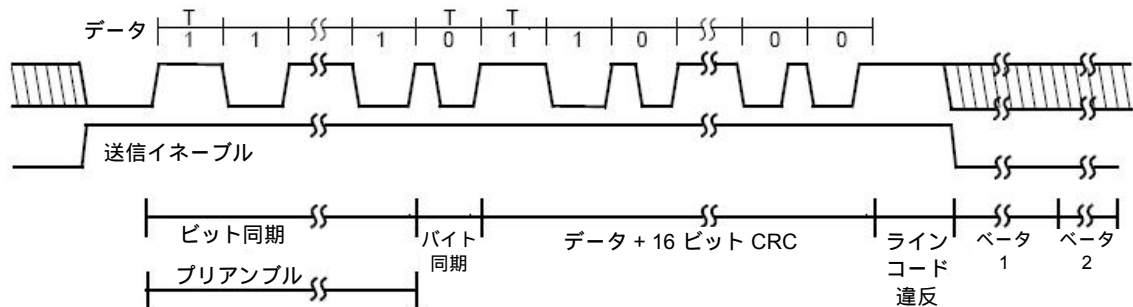


図 19 シングルエンドモードのデータフォーマット

パケットの送信を開始する前に、Neuron チップは出力データピンを初期化して LOW から開始します。次に、送信イネーブルピン (CP2) をアサートして、パケットの最初の遷移が LOW から HIGH になるようにします。この最初の遷移がパケットの開始を意味します。この遷移は、送信イネーブルをアサートしてから 1 ビット時間以内に発生します。

重要： シングルエンドモードでは、送信イネーブルは常にアクティブに駆動されます。シングルエンドモードでは 8 mA ドライバが CP1 に接続され、パケット受信時に高インピーダンス状態にはなりません。

差動マンチェスターのコード違反後のパケットの最後で CP2 ピンの送信イネーブルが LOW に駆動され、転送が終了したことを知らせます。

シングルエンドモードにおける衝突検出

Neuron チップには、トランシーバからアクティブローの衝突検出を受信する機能がオプションとして用意されています。衝突検出が有効の場合、送信中に 1 システムクロック周期 (システムクロック 80 MHz の場合で 12.5 ns) よりも長い間 CP4 が LOW になると、Neuron チップは衝突が発生した (または発生中である) と認識し、メッセージの再送が必要であると判断します。次に、デバイスはチャネルへの再アクセスを試みます。

ファームウェアは、プリアンプルの終わりとパケットの終わりで衝突検出フラグをチェックします。衝突検出以外で、送信したメッセージが受信されていないことをノードが知る唯一の手段として、ACK (確認応答) の要求があります。確認応答を使用する場合、再送タイマの値はメッセージの送信に必要な時間と確認応答の受信に必要な時間の合計に設定されます (伝送経路にルータがない場合、通常は 1.25 Mbps で 48 ms ~ 96 ms)。再送タイマがタイムアウトになると、デバイスはチャネルへの再アクセスを試みます。衝突検出を利用すると、デバイスはパケットの送信時に衝突を検出できるため、再送タイマのタイムアウトを待たずにメッセージを再送できるという利点があります。

シングルエンドモードにおけるベータ 1 およびベータ 2 タイムスロット

重要： この項の内容は、新規ネットワークタイプの開発にのみ関係します。LONWORKS ネットワークで標準の LONMARK チャネルを使用する場合は、ベータ 1 およびベータ 2 タイムスロットを使用する必要はありません。

パケットと後続のパケットの間アイドル期間は、「ベータ 1」および「ベータ 2」タイムスロットで構成されます。「ベータ 1」時間は、パケット送信後のアイドル時間における固定要素です。この要素は、以下の要因によって決まります。

- さまざまなネットワークデバイスの発振器の周波数と精度。
- 通信媒体の不確定時間 — パケット送信後に、ラインのリングングによってネットワークがビジーのように見える時間。
- 最小パケット間ギャップ — トランシーバ依存のタイミング要件。
- 受信側の遅延 — トランスミッタ側の Neuron チップから見たパケット終了時点とレシーバ側の Neuron チップから見たパケット終了時点のスキュー。このスキューは、トランシーバのバッファリングによって発生する可能性があります（主に、特定用途モードのトランシーバで発生）。

MAC（メディアアクセス制御）層のタイミングは、構成データに格納された 5 つのパラメータによって決まります。これらのパラメータによって、プリアンプル長、パケットサイクル、ベータ 2 スロット幅、送信パケット間パディング、受信パケット間パディングが決まります。

タイミングはすべて Neuron チップのプロセッササイクル数で考えます。1 サイクルは、80 MHz 時で 37.5 ns、40 MHz 時で 75 ns、20 MHz 時で 150 ns、10 MHz 時で 0.3 μs、5 MHz 時で 0.6 μs です。

- 送信後のベータ 1 時間 = 583 サイクル + 送信パケット間パディング + ベータ 2 スロット幅
- 受信後のベータ 1 時間 = 565 サイクル + 受信パケット間パディング + ベータ 2 スロット幅

不確定時間は、チャンネルの遷移がすべて無視されるベータ 1 期間に定義されます。この期間は、送信パケットまたは受信パケットが終了すると開始します。この期間の長さは、次のように定義されます。

- 送信後の不確定時間 = 313 サイクル + 送信パケット間パディング
- 受信後の不確定時間 = 295 サイクル + 受信パケット間パディング

優先 (P) スロットと非優先スロットは、どちらも「ベータ 2」時間によって定義されます。デバイスは、パケット送信前にネットワークをリッスンします。これにより、パケットがほぼ同時に開始された場合を除き、両方のデバイスによるパケット送信が重ならないようにしています。さらに、デバイスは時間をランダムに選択してからネットワークへの送信を開始します。ネットワークがアイドル状態の場合は、すべてのノードが 16 のスロットからランダムに時間を選択します。ネットワーク負荷の増大が予想されると、デバイスはさらに多くのスロットからランダムに時間を選択して衝突の確率を低下させます。ランダムに選択できるスロットの数 (R) は、チャンネルバックログの推定値「n」によって 16 ~ 1008 の間に決まります (R = n・16、n = 1 ~ 63)。これを図 20 に示します。



図 20 パケットのタイミング

パケットが終了してからランダム選択を開始するまでの期間は、優先スロットの待ち時間となります（優先スロットの数は設定可能）。優先パケットがあり、優先スロットが設定されているデバイスは優先スロットで送信を行います。優先スロットを使用すると、衝突の確率が大幅に低下します。優先スロット（P）の数は 0 ~ 127 の範囲で、チャンネルごとに設定されます。

「ベータ 2」時間は次の要素によって定義されます。

- さまざまなネットワークデバイスの発振器の周波数と精度。
- チャンネルの優先スロット数。
- 受信開始遅延 — デバイスが送信を開始してから受信側デバイスが送信の開始を検出するまでの時間。この遅延は、トランシーバが受信してから送信するまでのターンアラウンドタイム、通信媒体のビットレートと長さ、レシーバ側の遅延、失われた最初のプリアンプルのビット数によって決まります。
- Neuron チップとトランシーバの間のフレーミング遅延（特定用途モードのトランシーバの場合）。

レシーバがエッジ遷移を検出できるように、各ビット周期 T に対して 2 つのウィンドウを設定します。最初のウィンドウは $T/2$ に設定され、0 が受信されているかどうかを判定します。2 番目のウィンドウは T に設定され、1 を定義します。この遷移によって、次の 2 つのウィンドウ ($T/2$ と T) が設定されます。遷移がなければ、差動マンチェスターのコード違反が検出され、パケットが終了したものと見なされます。

表 18（47 ページ）は、このウィンドウの幅を Neuron チップの入力クロック（MHz）と選択したネットワークビットレート（Mbps）の比の関数として示したものです。遷移がどちらのウィンドウにも含まれない場合は検出されません。通信媒体が変化したり、送信側または受信側デバイスの入力クロックが不安定だと、遷移タイミングが不安定になることがあります（ジッタ）。以下に、ジッタ許容ウィンドウをビット周期 T に対する比で示します。

表 18 レシーバのジッタ許容度ウィンドウ

Neuron チップのシステムクロック とネットワークビットレートの比	次のデータエッジ			次のクロックエッジ			ライン コード違反の受信
	最小	標準	最大	最小	標準	最大	最小
8:1	0.375T	0.500T	0.622T	0.875T	1.000T	1.122T	1.62T
16:1	0.313T	0.500T	0.685T	0.813T	1.000T	1.185T	1.46T
32:1	0.345T	0.500T	0.717T	0.845T	1.000T	1.155T	1.46T
64:1	0.330T	0.500T	0.702T	0.830T	1.000T	1.170T	1.46T
128:1	0.323T	0.500T	0.695T	0.823T	1.000T	1.177T	1.46T
256:1	0.318T	0.500T	0.690T	0.818T	1.000T	1.182T	1.46T
512:1	0.315T	0.500T	0.687T	0.815T	1.000T	1.185T	1.46T
1024:1	0.315T	0.500T	0.687T	0.815T	1.000T	1.185T	1.46T

パケットの受信を正常に終了するには、Neuron チップがパケットの終了を検出できるまで、受信したラインコード違反期間中に遷移があってはなりません。受信側の Neuron チップは、最終ビット以降にクロック遷移が検出されなければパケット受信を終了します。表 18 は、最後のクロックエッジから Neuron チップがラインコード違反を確実に認識するまでの最小時間を示しています。この期間内であればデータ遷移は許可されます（ただし、データウィンドウ内で遷移する必要があります）。

Neuron チップでは、12 バイトのメッセージを送信するためのアプリケーションソフトウェアの呼び出しが発行されてからパケットが送信されるまでの時間は、システムクロック 80 MHz 時で約 175 μ s です（この時間はシステムクロックレートに反比例します）。

特定用途モード

特殊な用途では、Neuron チップから符号化もプリアンプルもない状態でパケットデータを取得したい場合があります。このような場合、インテリジェントトランスミッタで未符号化データを受信してフォーマットとプリアンプル挿入を行います。そして、インテリジェントレシーバでプリアンプルとフォーマットを検出、除去し、復号化したデータを Neuron チップに返します。

特許に関する注意

特定用途モードは米国特許 No. 5,182,746 およびこの特許に基づく外国特許によって保護されています。これらの特許に対して、本書では明示的、暗黙的を問わずライセンスは一切許諾されません。これら特許に対する非独占的な無償ライセンスをご希望の方は、エシエロン社までお問い合わせください（電話番号：+1 (408) 938 5200、Contracts Management 部門）。

このようなインテリジェントトランシーバには専用の入力および出力データバッファとインテリジェントな制御機能が用意されており、ハンドシェイク信号を用いて Neuron チップとトランシーバの間でデータを適切にやりとりすることができます。このほかにも、特定用途トランシーバでは以下のように多くの機能を定義して組み込むことができます。

- トランシーバの各種パラメータを Neuron チップから設定する機能
- トランシーバのさまざまなパラメータを Neuron チップへ報告する機能
- マルチチャネル動作
- マルチビットレート動作
- 前方誤り訂正（FEC）の使用
- 特別なメッセージヘッダとフレーミングを必要とする媒体固有の変調方式
- 衝突検出

このように特定用途モードではカスタム機能を利用できますが、通常のトランシーバではほとんどの通信媒体でシングルエンドモードを使用するのが一般的です。これは、シングルエンドモードでは差動マンチェスター符号化によってクロックリカバリが行われるためです。特定用途モードにはこの機能はありません。また、特定用途モードは Neuron チップとトランシーバをセットで販売する場合のみエシエロン社からライセンスが提供される制限付きのプロトコルです。詳細については、エシエロン社のサポートまでお問い合わせください。

特定用途モード（3.3 V）を使用する場合、Neuron 5000 プロセッサとトランシーバはそれぞれが 16 ビット（8 ビットのステータスと 8 ビットのデータ。図 21 参照）を最大 20.0 Mbps（Neuron チップのシステムクロック 80 MHz の場合）で同時かつ継続的に交換するプロトコル方式を使用します。20.0 Mbps のビットレートがあれば、CD（Carrier Detect）など時間制約のあるフラグをビットレート最大 625 kbps のネットワークインターフェースで交換することもできます。ハンドシェイクによるオーバーヘッドがあるため、最大ビットレートは 625 kbps です。

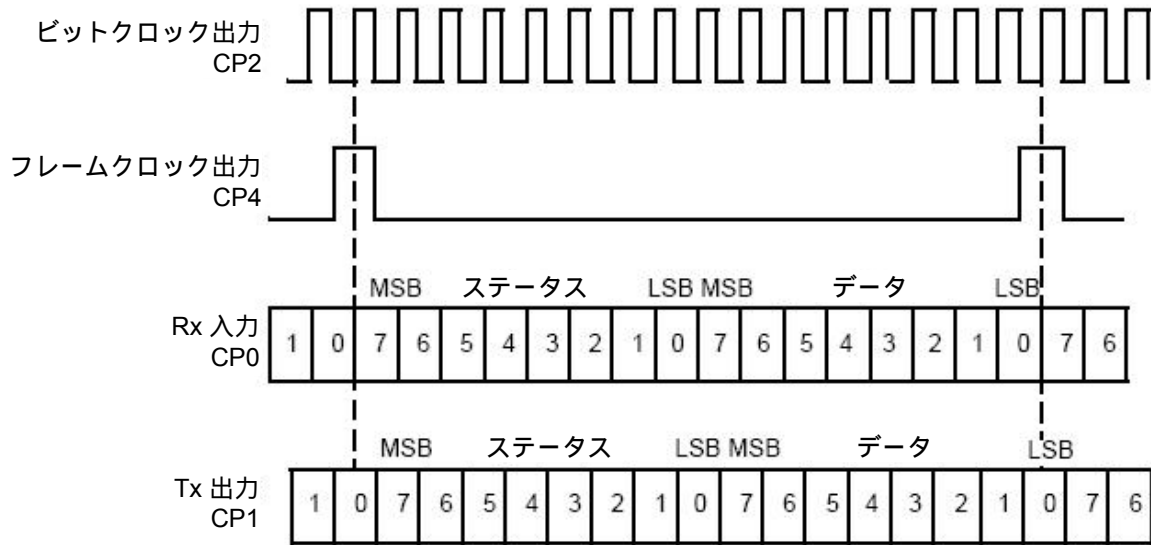


図 21 特定用途モードのデータフォーマット

Neuron チップは CP[4:0] ピンを使ってトランシーバと通信します。CP4 と CP2 は、Neuron チップから生成される同期クロックで、CP4 がフレームクロック、CP2 がビットクロックです。CP0 と CP1 はデータ交換用で、CP0 はトランシーバから Neuron チップへデータを転送し、CP1 は Neuron チップからトランシーバへデータを転送します。

Neuron チップとトランシーバは、CP0 ピンおよび CP1 ピンを使用して継続的にデータ交換を行います。ビットクロックは、データストリームにおけるビット間の遷移を定義します。Neuron チップは、ビットクロックの立ち下がりエッジを利用して CP0 をサンプリングし、CP1 を次のビットに変化させます。トランシーバはビットクロックの立ち上がりエッジを使用して CP1 のサンプリングと CP0 の更新を行う必要があります。

CP0 と CP1 のシリアルデータストリームは、16 ビットのフレームに分割されます。フレームの境界は、フレームクロック (CP4) で定義します。Neuron チップが CP1 からフレームの最下位ビット (LSB) を出力している間は、フレームクロックがアクティブ (HIGH) になります。フレームクロックの立ち下がりエッジで、Neuron チップは CP0 の次のフレームの最上位ビット (MSB) をサンプリングします。

各フレームの前半の 8 ビットはステータスフィールドで、後半の 8 ビットがデータフィールドです。ステータスフィールドはトランシーバの動作を制御し、Neuron チップとトランシーバ間のデータのやりとりを制御します。表 19 と表 20 に、各ステータスビットの意味を示します。

表 19 特定用途モードの送信ステータスビット

ビット	フラグ	説明
7	TX_FLAG	Neuron チップがパケットを送信中
6	TX_REQ_FLAG	Neuron チップからネットワークに対する送信要求
5	TX_DATA_VALID	Neuron チップはこのフレームでトランシーバにネットワークデータを送信
4	Don't Care	未使用

ビット	フラグ	説明
3	TX_ADDR_R/W	「0」の場合、Neuron チップがトランシーバの内部レジスタに書き込み中
2	TX_ADDR_2	内部トランシーバレジスタ [1..7] のアドレスビット 2
1	TX_ADDR_1	内部トランシーバレジスタ [1..7] のアドレスビット 1
0	TX_ADDR_0	内部トランシーバレジスタ [1..7] のアドレスビット 0
注記： ビット [2..0] で内部トランシーバレジスタ 0 は無効です。レジスタ [1..7] はトランシーバの実装によって定義されます。		

表 20 特定用途モードの受信ステータスビット

ビット	フラグ	説明
7	SET_TX_FLAG	トランシーバがパケット送信要求を許可
6	CLR_TX_REQ_FLAG	パケット送信要求に対するトランシーバからの確認応答
5	RX_DATA_VALID	トランシーバはこのフレームで Neuron チップにネットワークデータを送信
4	TX_DATA_CTS	Neuron チップがネットワークデータのバイトを送信可能な状態であることをトランシーバが通知
3	SET_COLL_DET	プリアンプル送信中にトランシーバが衝突を検出
2	RX_FLAG	トランシーバがネットワーク上にパケットを検出
1	RD/WR_ACK	内部レジスタへの読み出し/書き込みに対するトランシーバからの確認応答
0	TX_ON	トランシーバがネットワークに対して送信中

各フレームで送受信可能なデータは、次の 3 種類です。

1. ネットワークパケットデータ — 送受信の対象となる実際のデータ（一度に 8 ビットずつ）
2. 構成データ — Neuron チップからトランシーバに送られる、トランシーバのセットアップや構成を指示する情報
3. ステータスデータ — Neuron チップから要求された場合にトランシーバから Neuron チップに報告される情報パラメータ

構成データとステータスデータの内容は、トランシーバによって定義されます。

Neuron チップは、ステータスビットをアサートおよび検査してトランシーバとの通信を制御します。Neuron チップがトランシーバに対して行う基本的な操作は、パケット送信、パケット受信、構成データの書き込み、ステータスデータの読み出しの 4 つです。

Neuron チップからパケットを送信するには、出力ステータスフィールドの TX REQ FLAG ビットをセットします。トランシーバは、この要求を許可または拒否します。トランシーバが要求を拒否するには、CLR TX REQ FLAG ビットをセットし、SET TX FLAG ビットをクリアします。送信してもよい場合は、1 フレームだけ CLR TX REQ FLAG ビットと SET TX FLAG ビットをセットします。トランシーバは、その同じフレームで TX DATA CTS ビットもセットして、Neuron チップがデータの最初のバイトを送信できることを知らせる必要があります。

Neuron チップは、トランシーバが送信要求を許可した場合のみデータパケットを送信します。次に、Neuron チップはパケットの期間全体で TX FLAG ビットをセットします。パケット送信中は、トランシーバ側で TX ON ビットをセットしておく必要があります。

Neuron チップからトランシーバへは、1 バイトごとにハンドシェイクプロトコルを使って送信します。トランシーバが1 バイトの受信準備ができている場合は、1 フレームだけ TX DATA CTS ビットをセットして通知します。Neuron チップはこのフラグを利用して、次のフレームで新しい1 バイトを送信します。また、Neuron チップはデータバイトを含むフレーム全体で TX DATA VALID ビットをセットします。

パケットの最後のバイトを送信したら、Neuron チップは TX FLAG ビットをクリアして送信終了を通知します。エラーコードを含め、トランシーバからの送信がすべて完了すると、トランシーバは TX ON ビットをクリアしてネットワークを解放したことを通知する必要があります。

トランシーバは、衝突を検出したら1 フレームだけ SET COLL DET ビットをセットして送信を中止することができます。その場合、Neuron チップは TX FLAG ビットをクリアしてパケットの再送に備えます。

トランシーバは、RX FLAG ビットをセットしてパケットの受信を開始します。トランシーバは、RX FLAG ビットをセットした後のフレームで Neuron チップへのデータ送信を開始できます。有効なデータを含むフレームでは、必ず RX DATA VALID ビットをセットしなければなりません。トランシーバは、1 パケットの受信を完了したら RX FLAG ビットをクリアし、Neuron チップがパケットの受信を終了します。

Neuron チップが構成レジスタの書き込みやステータスの読み出しを行うには、TX ADDR R/W ビットと TX ADDR [2:0] ビットを使用します。TX ADDR [2:0] ビットは、トランシーバの7つのレジスタのどれにアクセスしているかを示し、TX ADDR R/W ビットは現在の操作が構成レジスタへの書き込み(0)であるかステータスレジスタの読み出し(1)であることを示します。レジスタ0 (TX ADDR [2:0] = 000) は未使用なので、TX ADDR R/W = 0 で TX ADDR [2:0] = 000 の場合、読み出しも書き込みも行われなことを示します。

構成レジスタへの書き込みを行うには、Neuron チップは TX ADDR R/W ビットをクリアして、対象となるレジスタを TX ADDR [2:0] ビットで指定します。操作が完了したら、トランシーバは RD/WR ACK ビットをセットして確認応答を行う必要があります。Neuron チップは、RD/WR ACK ビットがセットされたフレームを受信するまで構成レジスタ書き込みコマンドの送信を続けます。

ステータスレジスタを読み出すには、Neuron チップは TX ADDR R/W ビットをセットして、対象となるレジスタを TX ADDR [2:0] ビットで指定します。操作が完了したら、トランシーバは RD/WR ACK ビットをセットして、要求された情報をデータフィールドに格納して確認応答を行う必要があります。Neuron チップは、RD/WR ACK ビットがセットされたフレームを受信するまでステータス要求コマンドの送信を続けます。

ネットワーク接続

シリーズ 5000 デバイスをネットワークに接続する方法は、シリーズ 5000 デバイスが FT 5000 スマートトランシーバ内蔵か Neuron 5000 プロセッサ内蔵かによって異なります。FT 5000 スマートトランシーバ内蔵の場合は、FT-X3 通信トランスを使用します。Neuron 5000 プロセッサ内蔵の場合は外部トランシーバと専用の接続回路を使用します。

FT 5000 スマートトランシーバの接続

図 22 (52 ページ) に、FT 5000 スマートトランシーバと FT-X3 通信トランスの推奨接続を示します。この図には、過渡電流保護回路も示してあります。FT-X3 通信トランスのピン 1 とピン 6 を、図のように FT 5000 スマートトランシーバに接続します。この図は完全な回路図ではなく、FT 5000 スマートトランシーバのクロック、リセット、電源バイパス回路は省略しています。FT-X3 通信トランスの接続図については、付録 C 「FT-X3 通信トランス」 (129 ページ) を参照してください。

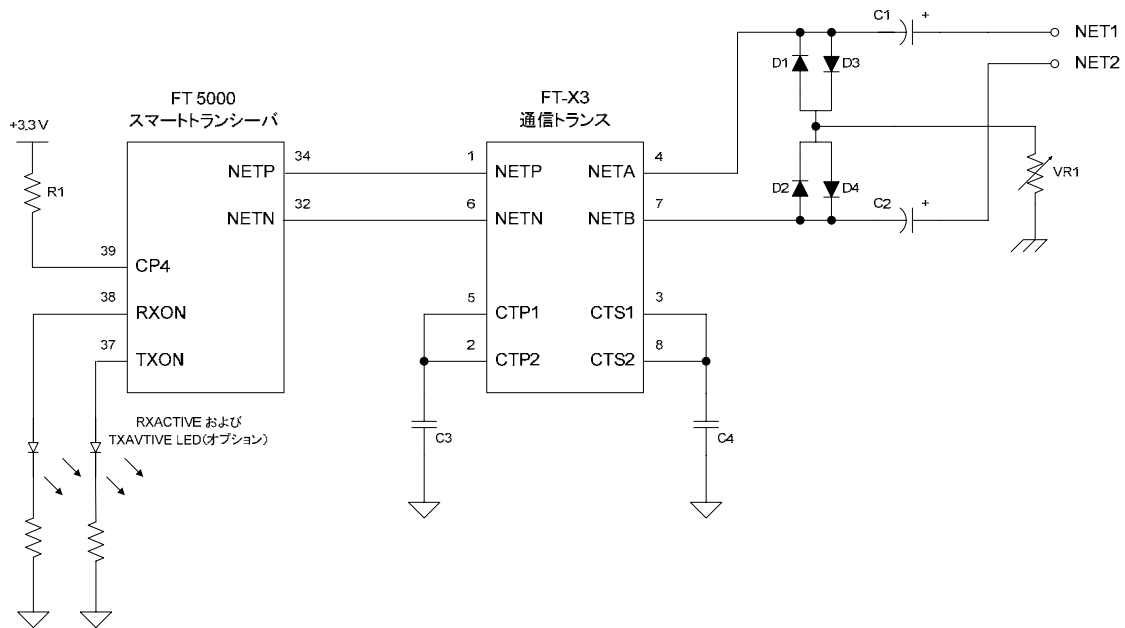


図 22 FT 5000 スマートトランシーバと FT-X3 の相互接続

表 21 FT 5000 スマートトランシーバの外付け部品

名称	値	説明
R1	4.99 kΩ	プルアップ抵抗
VR1	470 V MOV、5 mm、40 pF (typ.)	パナソニック ERZV05D471、Digi-Key P7186-ND または相当品
C1、C2	22 μF、≥50 V、有極性	DC ブロッキングコンデンサ
C3、C4	100 pF、5%	オプションのセンタータップコンデンサ

名称	値	説明
D1、D2、D3、D4	BAV99、1N4148 相当品 1N4934、1N4935、FR1D、RS1D、RS1DB	差動ネットワークのクランプダイオード 最大 2 kV のサージ保護 最大 6 kV のサージ保護

図 22 に示したコンデンサ C1 および C2 は、FT 5000 スマートトランシーバをリンクパワーネットワークで使用した場合の DC 電圧絶縁や、ネットワークケーブルに DC 電源障害が生じた場合の保護として使用しています。これらのコンデンサは、TP/FT-10 チャネル用の LONMARK 相互運用性ガイドラインに適合している必要があります。デバイスをリンクパワーネットワークに接続しない場合や、DC 流入に対する保護が必要ない場合は、これらのコンデンサは不要です。2 つの有極性コンデンサを使っているのは、どちらの DC 極性を持つ応用機器も守れるようにするために、これらの総静電容量は 11 μ F です。あるいは、ネットワークに接続している 2 つの足のどちらかに 10 μ F の無極性コンデンサを 1 つ使用することも可能です。コンデンサの初期許容範囲は $\pm 20\%$ 以下に抑え、老化や温度の影響による性能劣化が初期最小値の 20% 以下になるようにしてください。

コンデンサ C3 と C4 は、EMC 特性を調整するために使用するオプションのセンタータップコンデンサです。

なお、シリーズ 3100 FT スマートトランシーバには **COMM_ACTIVE** と呼ばれるピン（シリーズ 3100 Neuron チップでは CP2 ピン）が 1 本あり、これを専用の **COMM_ACTIVE LED** 回路に接続して 2 つのネットワークアクティビティ LED を駆動していました。FT 5000 スマートトランシーバには、**TXON** と **RXON** の 2 本の通信ピンがあり、特別な回路なしにネットワークアクティビティ LED (**RXACTIVE** と **TXACTIVE**) に接続することができます。ただし、LED の視認性を高めたい場合は、パケットアクティビティ信号に対するパルスストレッチング回路を追加することもできます。ネットワークアクティビティ LED が不要な場合は、ピン 37 および 38 は「接続なし」として扱います。

FT 3120/FT 3150 デバイスとの比較

FT 3120/FT 3150 スマートトランシーバとネットワークトランスの接続方法は、FT 5000 スマートトランシーバの場合（52 ページの「FT 5000 スマートトランシーバの接続」の項を参照）とほぼ共通しています。ただし、FT 3120/FT 3150 スマートトランシーバでは、FT-X1（スルーホール品）、FT-X2（表面実装品）、FT-X3（表面実装品）のいずれかを使用できません。

FT 5000 スマートトランシーバでも FT-X1 または FT-X2 トランスを使用できますが、その場合、FT 3120/FT 3150 スマートトランシーバを FT 5000 スマートトランシーバで単純に置き換えることはできません。これは、電源電圧（FT 5000 スマートトランシーバは 3.3 V 動作で、FT 3120/FT 3150 スマートトランシーバは 5 V 動作）、パッケージ、ピン配置が異なるためです。また、ネットワークアクティビティ LED を使用する際も、シリーズ 3100 デバイスでは専用の **COMM_ACTIVE** 回路が必要ですが、FT 5000 スマートトランシーバでは 2 つのネットワークアクティビティ LED に対応したシンプルな LED 駆動回路を使用します。

FT 3120/FT 3150 スマートトランシーバのインターフェースの詳細については、『FT 3120 / FT 3150 Smart Transceiver Data Book』を参照してください。

FTT-10A トランシーバとの比較

The FTT-10A トランシーバは、Neuron チップ（シリーズ 3100 およびシリーズ 5000）と組み合わせて使用するよう設計されています。シリーズ 3100 Neuron チップからシリーズ 3100 スマートトランシーバへは、きわめて容易に移行できます。

- シリーズ 3100 スマートトランシーバと対応するシリーズ 3100 Neuron チップはパッケージサイズが共通です。
- FT-X1 トランスと FTT-10A トランシーバはパッケージサイズが共通です。
- FT-X1 トランスのピン配置は、シリーズ 3100 Neuron チップと FTT-10A トランスの接続と互換性があります。

これらのピン配置とパッケージサイズの詳細については、データシート『FT 3120 and FT 3150 Smart Transceiver』を参照してください。

シリーズ 3100 スマートトランシーバと FT-X1/FT-X2 トランスを組み合わせたデバイスは、3100 Neuron チップと FTT-10A トランシーバを組み合わせた場合と同じ機能で同じアプリケーションを実行できます。また、シリーズ 3100 スマートトランシーバと FT-X1/FT-X2/FT-X3 トランスを組み合わせたデバイスでは、同等の過渡電流耐性が得られ、磁場ノイズ耐性とコモンモードネットワークノイズ耐性は改善されます（EN 61000-4-6 でテスト済み）。いくつかの部品を取り替えると、コモンモードネットワークノイズ耐性は FTT-10A トランシーバを使用したデバイスに比べてさらに改善します（レベル 3）。3100 Neuron チップと FTT-10A トランシーバの組み合わせからシリーズ 3100 スマートトランシーバと FT-X1/FT-X2 トランスの組み合わせへの移行の詳細については、『FT 3120 / FT 3150 Smart Transceiver Data Book』を参照してください。

シリーズ 3100 Neuron チップからシリーズ 5000 スマートトランシーバへの移行には、以下の点にも注意が必要です。

- シリーズ 5000 スマートトランシーバの電源電圧は 3.3 V ですが、シリーズ 3100 Neuron チップは 5 V です。
- シリーズ 5000 スマートトランシーバと対応するシリーズ 3100 Neuron チップではパッケージサイズが異なります。
- FT-X3 トランスと FTT-10A トランシーバではパッケージサイズが異なります。
- FT-X3 トランスのピン配置は、シリーズ 3100 Neuron チップと FTT-10A トランスの接続と完全には互換性がありません。

シリーズ 5000 スマートトランシーバと FT-X3 トランスを組み合わせたデバイスは、3100 Neuron チップと FTT-10A トランシーバ、またはシリーズ 3100 スマートトランシーバと FT-X1/FT-X2 トランスを組み合わせた場合と同じ機能で同じアプリケーションを実行できます。また、シリーズ 5000 スマートトランシーバと FT-X3 トランスを組み合わせたデバイスでは、シリーズ 3100 デバイスと同等の過渡電流耐性、磁場ノイズ耐性、コモンモードネットワークノイズ耐性が得られます（EN 61000-4-6 でテスト済み）。

Neuron 5000 プロセッサの接続

Neuron 5000 プロセッサと外部トランシーバを接続して、TP/XF-1250 チャネルまたは EIA-485 ネットワークと通信を行うことができます。TP/FT-10 チャネルと通信を行う場合は、FT 5000 スマートトランシーバを使用します。

TPT/XF-1250 トランシーバ

Neuron 5000 プロセッサは、エシェロン社の TP/XF-1250 チャンネルタイプ専用 TPT ツイストペアトランシーバモジュールと組み合わせて使用できます。ただし、Neuron 5000 プロセッサはオンチップの差動トランシーバを内蔵しておらず、Neuron 3120 チップや Neuron 3150 チップでサポートされている差動動作モードをサポートしていないため、以下の注意が必要です。

- NodeBuilder FX 開発ツールまたは Mini FX 評価キットのハードウェアテンプレートエディタで、トランシーバの種類を「TP/XF-1250」と指定する。これにより、Neuron ファームウェアは Neuron 5000 プロセッサの通信ポートを 3.3 V シングルエンドモードで動作するように設定します。
- 技術資料『Connecting a Neuron 5000 Processor to an External Transceiver』に記載された方法で、差動モードコンバータ回路にシングルエンドモードを追加する。この回路により、Neuron 5000 プロセッサの 3.3 V シングルエンドモード信号が TPT/XF-1250 トランシーバで使用する 5 V 差動モード信号に変換されます。

図 23 (55 ページ) に、Neuron 5000 プロセッサと TPT/XF-1250 トランシーバの基本的な接続方法を示します。

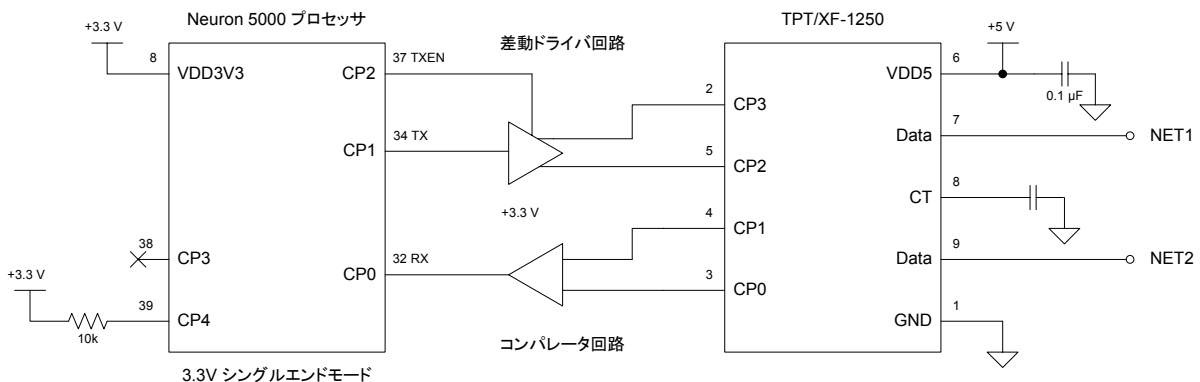


図 23 Neuron 5000 プロセッサと TP/XF-1250 トランシーバの接続

この図で Neuron チップの CP4 ピンに使用しているプルアップ抵抗はオプションですが、この抵抗を使用すると Neuron チップが特定用途モードで動作するように正しく設定されていない場合に CP4 ピンに逆バイアスが流れるのを防ぐことができます。また、TPT/XF-1250 トランシーバのトランスセンタータップ (CT) ピンのコンデンサの値は、デバイスのプリント基板レイアウトおよび EMI 特性によって異なります。TPT/XF-1250 トランシーバの詳細については、『LONWORKS TPT Twisted Pair Transceiver Module User's Guide』(078-0025-01C) を参照してください。

必要な差動ドライバ回路およびコンパレータ回路の詳細については、技術資料『Connecting a Neuron 5000 Processor to an External Transceiver』を参照してください。

EIA-485 トランシーバ

Neuron 5000 プロセッサは、市販品の EIA-485 トランシーバと組み合わせて使用できます。複数のデータレート (最大 5.0 Mbps) とさまざまな種類のケーブルがサポートされます。

EIA-485 トランシーバを使用する場合、コモンモード電圧範囲は $-7\text{ V} \sim +12\text{ V}$ となります。EIA-485 デバイスを実装する場合、Neuron 5000 プロセッサの通信ポートはシングルエンドモードで動作します。

単位負荷、データレート、ケーブルサイズ、ケーブル距離の詳細については、EIA-485 の仕様書に記載されています。デバイス間の相互運用性を確保するため、LONMARK 相互運用性

ガイドラインでは、EIA-485 トランシーバを使用したデバイスのデータレートを 39 kbps とするように定められています。また、Neuron 5000 プロセッサと接続する EIA-485 トランシーバは、TTL 互換入力でなければなりません。図 24 (56 ページ) に示す典型的な回路構成では、最大 32 の負荷をサポートできます。

EIA-485 ネットワークでは、共通電源が推奨されます。デバイス個別の電源を使用すると、共通電圧が -7 V、+12 V を超えたり、過大な地絡が発生した場合にデバイスが損傷するといった問題が起こることがあります。

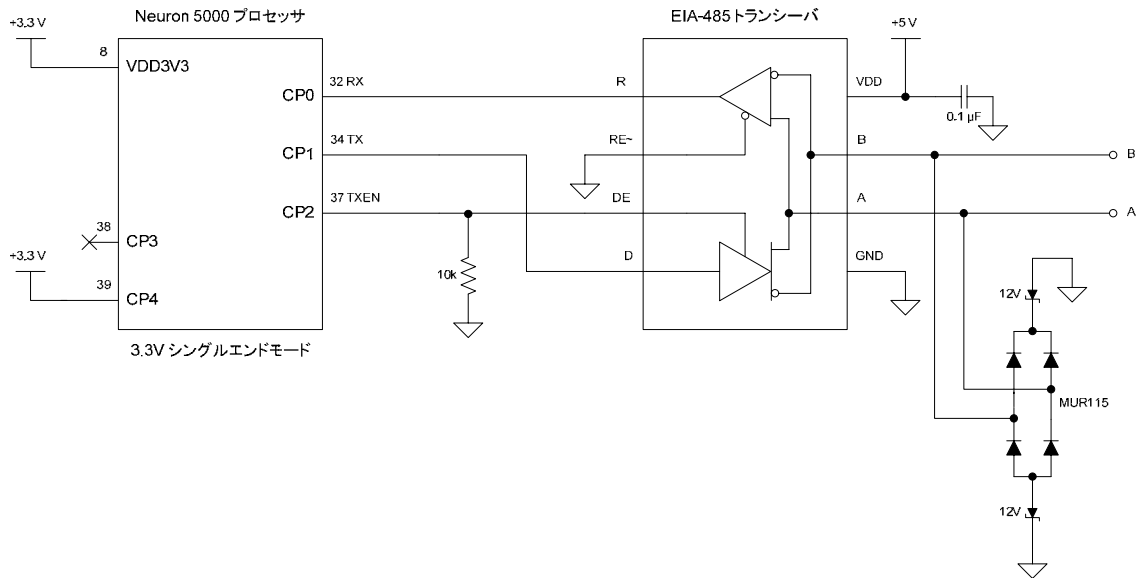


図 24 EIA-485 ツイストペアインターフェース (シングルエンドモードを使用)

EIA-485 仕様では、すべてのトランシーバで共通のグランド基準を使用するよう定められています。共通のグランド基準を得るには、ネットワークケーブルに 3 本目の導線を追加するか、または各デバイスで共通グランドへの専用の接続を追加します。

クロック要件

シリーズ 5000 チップでは、10 MHz の外部クリスタルまたは発振器からの入力クロック信号が必要です。この入力周波数に、デバイスのハードウェアテンプレートで指定した乗数を通じて内部システムクロック周波数を得ます (ハードウェアテンプレートでの指定は、デバイス開発時に NodeBuilder FX 開発ツールまたは Mini FX 評価キットを使用して行います)。乗数が 1 より大きい場合は、PLL (Phase-Locked Loop) を使用して安定した内部オンチップシステムクロック周波数を生成します。

以下、外部クリスタルの要件、およびシリーズ 5000 チップとシリーズ 3100 チップのクロック周波数の用語の違いについても解説します。

外部クリスタル

シリーズ 5000 チップの動作には、10.0 MHz の外部クロック信号が必要です。シリーズ 5000 チップで要求される条件を満たした部品の例としては、Abracon Corporation 社の ABMM2100000MHzD1 セラミック表面実装 (ロープロファイル) タイプのクォーツクリスタルがあります。

クリスタルは、負荷容量が定格 18 pF のものを使用する必要があります。シリーズ 5000 チップにはオンチップの内部負荷容量がないため、図 25 (57 ページ) に示すように合計 30 pF の直列容量を外付けする必要があります。

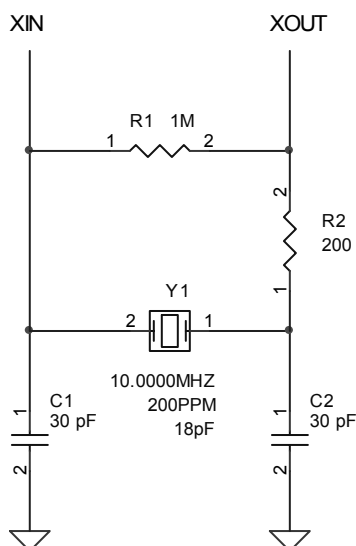


図 25 シリーズ 5000 チップのクロック生成回路

FT 5000 スマートトランシーバの場合、入力クロック周波数の総合精度は ± 200 ppm 以内でなければなりません。この条件を満たす適切なクリスタルを使用してください。発振器の公差、クリスタルの公差、プリント基板およびコンデンサのばらつき、経年劣化を合わせて ± 200 ppm に抑える必要があります。このクロックを得るには、図 25 に示したようにシリーズ 5000 チップの XIN ピンおよび XOUT ピンに適切な並列共振クリスタルを接続します。

シリーズ 3100 チップとは異なり、シリーズ 5000 チップの XOUT ピンは、外部 CMOS 負荷を駆動することはできません。デバイスで共通クロック信号が必要な場合は、外部 3.3 V 発振器モジュール（Vishay[®] Intertechnology 社の XOSM-533 表面実装発振器など）を使用し、XOUT には何も接続しないようにします。また、シリーズ 5000 チップの I/O ピンのいずれか（IO0..IO11）に対して出力周波数 I/O モデルを定義し、負荷のクロック信号をシリーズ 5000 チップの I/O ピンに接続することもできます。

外部発振器は、図 26 に示すようにデューティサイクルの対称性を 60/40 以内とする必要があります。外部発振器からは、LVTTTL（Low-Voltage Transistor-Transistor Logic）レベルの電圧（0 ~ 3.3 V）を XIN ピンに与える必要があります。

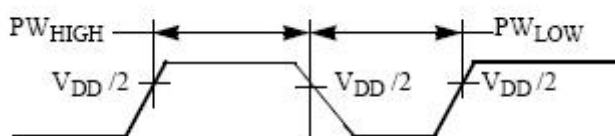


図 26 XIN のデューティサイクル測定用のテストポイントレベル

発振器を正しく起動させるため、クリスタルの等価直列抵抗仕様は $\leq 50 \Omega$ とし、クリスタルのシャント容量は 7 pF 以内とする必要があります。

シリーズ 5000 チップでは、部品の公差および動作条件の全範囲において ± 200 ppm の周波数精度が求められます。まず、シリーズ 5000 チップ内のばらつきがあるため、 ± 200 ppm のエラーバジェットの一部が使用されます。

「クリスタルの総不確実性」に対応するための残りのエラーバジェットは ± 85 ppm です（選択したクリスタルの負荷容量仕様が回路負荷と一致している場合）。「クリスタルの総不確実性」とは、クリスタル本来の周波数公差と温度公差および劣化公差を合わせたものです。一般的なクリスタルの劣化仕様は 5 ppm/年 ですが、劣化による影響の増大は対数曲線となるため、10 年間での劣化は通常 10 ~ 15 ppm の範囲です（具体的な仕様については各クリスタルのメーカーにお問い合わせください）。

クリスタルの負荷容量仕様が実際の回路の負荷容量と一致していない場合、公称周波数が設計仕様と一致しなくなるので、クリスタルのエラーバジェットはさらに小さくなります。たとえば、2 pF 変動する回路で 18 pF のクリスタルを使用した場合、公称発振周波数は約 40 ppm 上昇します。つまり、2 pF の不一致があるだけでエラーバジェットの片側の約半分を使い切ってしまう。結局、この例ではクリスタルに +45/-125 ppm の精度が求められることとなります。この例でも分かるように、配線容量の違いによって公称周波数と仕様値の不一致が生じないように、選択したリファレンスレイアウトを直接コピーするようにしてください。

シリーズ 5000 デバイスのプリント基板上ですでに 10.0 MHz のクロック信号を利用している場合、そのクロック信号がいくつかの条件を満たしていればシリーズ 5000 チップのクロックソースとして使用できます。まず、全動作条件下でクロックの精度が ± 200 ppm であること。次に、デューティサイクルの対称性が 60/40% 以内であること。さらに、クロック信号の電圧振幅がシリーズ 5000 チップの電源レール (GND ~ V_{DD33}) の範囲内であることです。以上の条件を満たした既存のクロックを使用する場合は、適切なクロック信号をシリーズ 5000 チップの XIN ピンに接続し、シリーズ 5000 チップの XOUT ピンはオープンにしておく必要があります。なお、適切な高周波クロック分配を使用して、シリーズ 5000 チップの XIN ピンにクリーンなクロック信号が供給されるようにしてください。

シリーズ 3100 のクロックとの比較

シリーズ 3100 チップでは、適切な外部クリスタルまたは発振器を選択する (例: 10 MHz クリスタル) ことによってシステムクロックの値を指定していました。シリーズ 5000 デバイスでは、ソフトウェアツール (NodeBuilder FX 開発ツールまたは Mini FX 評価キット) を使用してシステムクロックレートを指定します。シリーズ 5000 デバイスでは、外部クロックは常に 10 MHz クリスタルを使用しますが、内部システムクロックは 5 MHz ~ 80 MHz で可変です。

シリーズ 3100 チップでは、外部クリスタルのクロックを 2 分周倍して内部システムクロックを得ていました。つまり、10 MHz 外部クリスタルの場合、内部システムクロックレートは 5 MHz となります。これに対し、シリーズ 5000 チップでは、外部クリスタルの周波数 10 MHz にデバイスのハードウェアテンプレートで指定した乗数を逡倍して内部システムクロックレートを得ます。つまり、乗数 1 の場合は内部システムクロックレートが 10 MHz となり、乗数 8 の場合は内部システムクロックレートが 80 MHz となります。有効な乗数の値は、 $\frac{1}{2}$ 、1、2、4、8 です。乗数 $\frac{1}{2}$ の場合、シリーズ 5000 チップの動作速度は乗数 1 の場合と同じ 10 MHz ですが、Neuron システムファームウェアはアプリケーションが 5 MHz で動作するようにアプリケーションをスケジューリングします。

内部システムクロックレートは分周ではなく逡倍して得られるため、シリーズ 5000 チップのシステムクロックレートとシリーズ 3100 チップの入力クロックレートが同じならシリーズ 5000 チップの方が動作速度は約 2 倍高速になります (たとえば、システムクロック 20 MHz の FT 5000 スマートトランシーバは、入力クロック 20 MHz の場合の FT 3150 スマートトランシーバの約 2 倍の速度で動作します)。この差はおおよそのものであり、シリーズ 5000 デバイスの Neuron アーキテクチャで必要なハードウェアやソフトウェアの個体差により、アプリケーションによってはシリーズ 5000 デバイスにおける動作速度がシリーズ 3100 デバイスの 2 倍以上になることや 2 倍以下になることもあります。

シリーズ 5000 デバイスの関連文書でシステムクロックレートの記述がある場合、それは外部クリスタルの 10 MHz ではなく、デバイスのハードウェアテンプレートで指定した 10 MHz ~ 80 MHz の内部システムクロックレートのことを指しています。

リセット機能

組み込みマイクロプロセッサ/マイクロコントローラにとって、リセット機能は重要な動作の1つです。シリーズ 5000 デバイスでは、以下の状況でリセット機能が重要な役割を果たします。

- V_{DD33} の最初のパワーアップ — シリーズ 5000 チップを正しく初期化
- V_{DD33} パワーダウン — 正しいシャットダウンを実行
- V_{DD33} 電源変動 — V_{DD33} が安定化した後でシリーズ 5000 デバイスの回復を管理
- プログラムの回復 — アドレスまたはデータの破損によりアプリケーションが失われた場合、外部リセットを用いて回復するか、ウォッチドッグタイマのタイムアウトによるウォッチドッグリセットが可能

シリーズ 5000 チップでは、以下の場合にリセットが開始されます。

- 外部スイッチまたは回路を使って RST~ ピンをいったん LOW に引き下げてからリリースした場合。
- アプリケーション実行中にウォッチドッグタイマがタイムアウトになった場合。ウォッチドッグタイマの周期はシステムクロックレートにかかわらず、840 ms (1.19 Hz) に固定されています。実際のタイムアウトの範囲は 0.8 秒 ~ 1.7 秒の間となります。
- アプリケーションプログラムまたはネットワークからのソフトウェアコマンドでリセットが実行された場合。
- 例外トラップ (割り込み) が発生した場合。
- 内部 LVI (Low-Voltage Indicator) 回路が設定レベルよりも低い電源電圧降下を検出した場合。

リセット中 (RST~ ピンが LOW 状態の間)、シリーズ 5000 チップの各ピンは以下の状態に移行します。

- 発振器は動作を継続
- プロセッサの全機能が停止
- SVC~ ピンは内部プルアップ抵抗によって高インピーダンス状態へ移行
- I/O ピンは高インピーダンス状態へ移行
- すべてのメモリインターフェースピンが高インピーダンス状態へ移行

図 28 (62 ページ) に、リセット中のピンの状態と、RST~ ピンがリリースされた後のシリーズ 5000 チップの初期化シーケンスを示します。

RST~ ピンがリリースされて HIGH 状態に戻ると、シリーズ 5000 チップはアドレス 0x0001 から初期化シーケンスを開始します。シリーズ 5000 チップの初期化にかかる時間は、使用している外部シリアルメモリの種類 (SPI または I²C)、実行しているファームウェアのバージョン、およびアプリケーション (コードおよびデータ) が使用しているメモリ容量によって異なります。詳細については、「リセットのプロセスおよびタイミング」の項 (61 ページ) を参照してください。

RST~ ピン

RST~ ピンは入力と出力の両方です。入力の場合、RST~ ピンは内部抵抗によって HIGH に引き上げられます。以下のいずれかのイベントが発生すると、RST~ ピンは出力になります。

- ウォッチドッグタイマイベント (タイムアウト)

- ソフトウェアリセット初期化
- 内部 LVI が低電圧状態を検出

場合によっては、RST~ ピンの入力機能を利用して、外部デバイスからシリーズ 5000 デバイスをリセットしたいことがあります。このような目的で使用する外部デバイスの例としては、プッシュボタンスイッチ、マイクロコントローラ、外部低電圧検出器などがあります。

重要：正しい外部リセット回路を使用しないと、シリーズ 5000 デバイスはアプリケーションレス状態または未構成状態になる場合があります。リセットシーケンスが不適切だと、チェックサムエラー確認ルーチンによってメモリ破損が誤検出され、これによってアプリケーションレスまたは未構成状態になることがあります。

シリーズ 5000 デバイスのリセット機能を正しく動作させるには、以下のガイドラインに従う必要があります。

- RST~ ピンに接続するデバイスは、オープンドレイン（または相当の）出力を備えている必要があります。外部デバイスが能動的に RST~ ピンを HIGH に駆動した場合、外部デバイスとシリーズ 5000 チップの内部回路が競合してアプリケーションレスエラーやデバイス障害などの異常が発生することがあります。
- シリーズ 5000 チップの RST~ ピンに外部デバイスを接続する場合は、RST~ とグラウンドの間にコンデンサを接続してノイズ耐性を確保する必要があります。このコンデンサの容量は、100 pF ~ 1000 pF の間としてください。さらにノイズ耐性を高めたい場合は、RST~ ピンからグラウンドの間に 1 つと、RST~ から V_{DD33} の間にもう 1 つの合計 2 つのコンデンサ（合わせて ≤ 1000 pF）を使用することができます。これらのコンデンサは、いずれもシリーズ 5000 チップの RST~ ピンから 5 mm 以内に配置してください。
- ボードレベルのインサーキットテスト（ICT）時には、「pogo」ピンを使用して RST~ ピンをグラウンドに接続する必要があります。

図 27 に、リセット回路の例を示します。

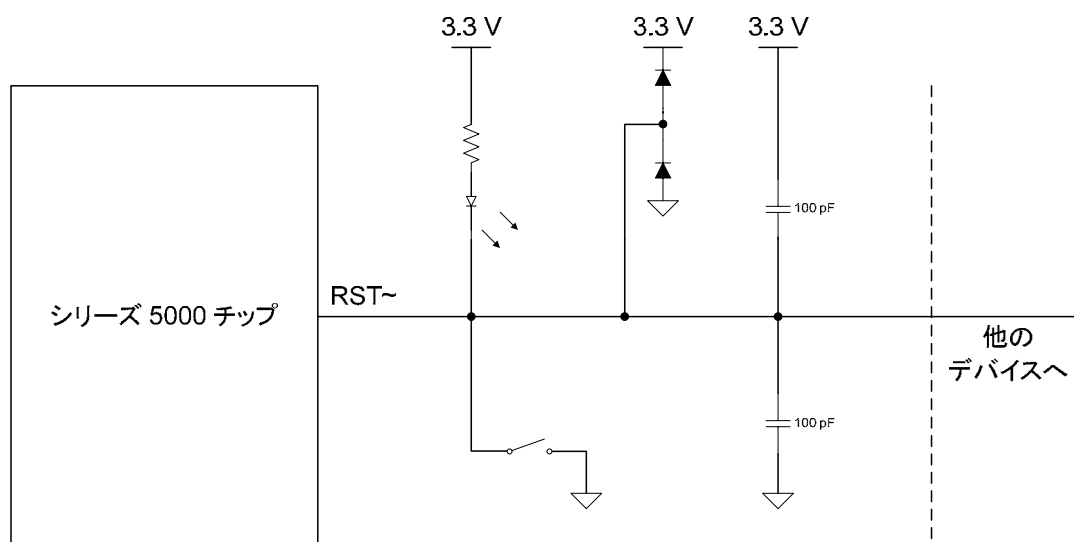


図 27 リセット回路

パワーアップシーケンス

パワーアップシーケンスの間、RST~ ピンは電源が安定化するまで内部 LVI によって LOW に保持されます。同様に、パワーダウンのときは電源電圧がシリーズ 5000 チップの最小動作電圧未満になると RST~ ピンが LOW に駆動されます。

内部 LVI のトリップポイントについては、FT 5000 フリートポロジースマートトランシーバのデータシートまたは Neuron 5000 プロセッサのデータシートを参照してください。

ソフトウェア制御リセット

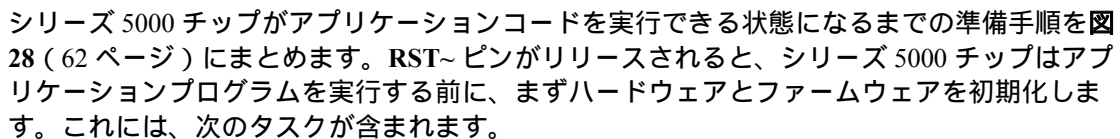
CPU ウォッチドッグタイマがタイムアウトになるか、ソフトウェアによるリセットコマンドが発生すると、256 XIN クロックサイクル (25.6 μ s) の間、RST \sim ピンが LOW に引き下げられます。

ウォッチドッグタイマ

シリーズ 5000 チップは、3 つのウォッチドッグタイマ (Neuron コアを形成する各プロセッサに対して 1 つずつ) によって、ソフトウェア誤動作またはメモリ障害から保護されています。アプリケーションまたはシステムソフトウェアがこれらのタイマを定期的のリセットしないと、シリーズ 5000 チップ全体が自動的にリセットされます。ウォッチドッグタイマの周期はシステムクロックレートにかかわらず、840 ms (1.19 Hz) に固定されています。実際にタイムアウトになるまでの時間は、0.8 秒 ~ 1.7 秒の間となります。ウォッチドッグタイマ回路は常に動作しており、無効にすることはできません。

リセットのプロセスおよびタイミング

リセット期間中に、I/O ピンは高インピーダンス状態になります。データラインは LOW に駆動されるため、フロート状態になって過大電流が流入することがありません。SVC \sim ピンは、リセット中は内部プルアップ抵抗によって高インピーダンスになります。

シリーズ 5000 チップがアプリケーションコードを実行できる状態になるまでの準備手順を  28 (62 ページ) にまとめます。RST \sim ピンがリリリースされると、シリーズ 5000 チップはアプリケーションプログラムを実行する前に、まずハードウェアとファームウェアを初期化します。これには、次のタスクが含まれます。

- システムイメージを ROM から RAM にコピーする (このプロセスには約 43 ms かかります)
- 3 つのメインプロセッサ (NET、MAC、APP) が動作を開始し、システムイメージの実行が開始される
- スタックの初期化と BIST (Built-In Self-Test) が開始する
- 外部不揮発性メモリ (NVM) の内容が RAM にシャドーコピーされる (このプロセスにかかる時間は、コピーするデータの量および NVM デバイスの種類によって異なります)
- デバイスの状態に基づいて SVC \sim ピンが初期化される
- システムクロックレートが構成データで指定された値に設定される (ここまではチップは 10 MHz で動作)
- 構成データに含まれる情報に基づいて、拡張 RAM が初期化される
- システムの状態が初期化される
- 乱数種が計算される
- システム RAM がセットアップされる
- 通信ポートが初期化される
- アプリケーションのチェックサムが実行される

- 1秒タイマが初期化される
- スケジューラが初期化される



図 28 シリーズ 5000 チップのリセットタイムライン

RST~ピンがリリースされてから約 10 μ s 後に、Neuron コアが実行を開始します。SVC~ピンは強い LOW と弱い HIGH の間を振動します。

デフォルトのファームウェアシステムイメージが ROM から RAM へコピーされます。このプロセスには約 43 ms かかります。このプロセスは、デフォルト以外のシステムイメージが存在する場合も実行されます。デフォルト以外のシステムイメージは、システムが動作を開始し、BIST が完了した後にロードされます。システムイメージのロードが完了したら、チップは再リセットされますが、このとき、ROM からのシステムイメージのコピーは行われません。

3 つのメインプロセッサ (NET、MAC、APP) が動作を開始し、システムが実行を開始します。スタック初期化と BIST タスクでは、オンチップ RAM、タイマ/カウンタロジック、およびカウンタロジックをテストします。スタック初期化と BIST タスクにかかる時間は約 16 ms です。このテストに合格するには、3 つのプロセッサすべてと ROM が正常に機能している必要があります。シリーズ 5000 チップが BIST に合格したかどうかを示すフラグが設定されます。このステップの最後に、RAM がすべて 0 にセットされます。

RAM のセルフテストに失敗すると、デバイスはオフラインになり、サービス LED が点灯して、デバイスのステータス構造内にエラーログが記録されます。

セルフテストの結果は、RAM の最初のバイト (0xE800) に表 22 の形式で書き込まれます。

表 22 セルフテストの結果

値	説明
0	障害なし
1	RAM 障害
2	タイマ/カウンタ障害
3	カウンタ障害

外部不揮発性メモリ (NVM) の内容が EEPROM またはフラッシュメモリから RAM にシャドウコピーされます。このプロセスにかかる時間は、コピーする NVM の容量およびデバイスの種類によって以下のように異なります。

- I²C EEPROM : EEPROM の容量が最小値の 2 KB の場合、このプロセスにかかる時間は 52 ms です。EEPROM の容量がそれより大きい場合は、EEPROM の容量 1 KB につき 25 ms かかります (最大容量の 44 KB の場合で 1102 ms)。
- SPI EEPROM : EEPROM の容量が最小値の 2 KB の場合、このプロセスにかかる時間は 35 ms です。EEPROM の容量がそれより大きい場合は、EEPROM の容量 1 KB につき 17.2 ms かかります。
- SPI フラッシュデバイス : フラッシュメモリの容量 1 KB につき 17.7 ms かかります。

SVC~ピン初期化タスクは、SVC~ピンをオフ (HIGH) にします。

状態初期化タスクは、シリーズ 5000 チップのブートが必要かどうかを決定し、必要な場合はブートを実行します。シリーズ 5000 チップがブランクの場合、または外部 EEPROM が初期化されていない場合にブートが実行されます。

拡張 RAM 初期化タスクは、メモリマップをチェックして、拡張 RAM が含まれているかどうかを判断し、含まれている場合にはすべての拡張 RAM をテストしてクリアします。このタスクにかかる時間は、動作速度 80 MHz の場合で拡張 RAM 1 KB につき約 7.81 ms です (10 MHz の場合は拡張 RAM 1 KB につき 8.88 ms)。

乱数種計算タスクは、乱数発生器の値を作成します。

システム RAM セットアップタスクは、内部システムポインタおよびシステムバッファの連結リストをセットアップします。

チェックサム初期化タスクは、アプリケーションのチェックサムを生成またはチェックします。チェックサムはイメージ中の値のうち 2 の補数合計を符号反転したものです。

1 秒タイマ初期化タスクは、1 秒タイマを初期化します。この時点で、ネットワークプロセッサは着信パケットの受け入れが可能になります。

スケジューラ初期化タスクでは、アプリケーションプロセッサが以下に示すアプリケーション関連の初期化を実行します。

- **状態待ち** - デバイスのアプリケーションレス状態が終了するのを待ちます。
- **ポインタ初期化** - グローバルポインタの初期化を行います。
- **初期化ステップ** - スタティック変数とタイマ/カウンタの初期化を処理するためにコンパイラ/リンカーによって作成された初期化タスクを実行します。
- **I/O ピン初期化ステップ** - アプリケーション定義に従って I/O ピンを初期化します。ここまでは、I/O ピンの状態は高インピーダンスです。
- **状態待ち II** - デバイスの未構成状態またはハードオフライン状態が終了するのを待ちます。待機が必要な場合、デバイスをオフラインとして表示する必要があることを示すフラグが設定されます。
- **パラレル I/O 同期** - パラレル I/O を使用するデバイスがマスター/スレーブ同期プロトコルの実行を試みます。
- **リセットタスク** - アプリケーションのリセットタスクを実行します (`when(reset){}`)。
- **フラグチェック** - オフラインフラグが設定されている場合は、オフラインに移行してオフラインタスク (`when(offline){}`) を実行します。障害を示す BIST フラグが設定されている場合は、SERVICE LED がオンになり、オフラインタスクが実行されます。それ以外の場合は、スケジューラは通常のタスクスケジューリンググループを開始します。

以上のステップに必要な時間は、シリーズ 5000 チップのモデル、システムクロックレート、デフォルト以外のシステムイメージのブートの有無、デバイスの状態 (アプリケーションレス状態、構成済み状態、未構成状態)、拡張 RAM の容量、割り当てられたバッファの数、アプリケーションの初期化など、多くの要因によって決まります。シリーズ 5000 チップでの各ステップの所要時間を、表 23 にまとめます。これらの時間は概算値であり、最上位アプリケーション変数の関数として指定されます。拡張 RAM 初期化ステップの前までは、チップは 10 MHz のシステムクロックで動作します。それ以降のステップでは、指定したシステムクロックレート (5 ~ 80 MHz) で動作するため、所要時間はクロックサイクル数で表記しています。

表 23 シリーズ 5000 チップのリセットシーケンス時間

ステップ	所要時間	注記
スタック初期化および BIST	16 ms	
SVC~ ピン初期化	100 μs	
拡張 RAM 初期化	拡張 RAM 1 KB につき 7.81 ms (80 MHz 時)	

ステップ	所要時間	注記
状態初期化	250 クロックサイクル (ブートなし) 2,275,000 クロックサイクル (ブートあり)	
乱数種の計算	0	このタスクは他のタスクと並行して実行されます。
システム RAM セットアップ	21,000 クロックサイクル + (600*B クロックサイクル)	B は割り当てられたアプリケーションバッファまたはネットワークバッファの数です。
通信ポート初期化	0	このタスクは他のタスクと並行して実行されます。
チェックサム初期化	3,400 クロックサイクル + (175*M クロックサイクル)	M はチェックサムの対象となるバイトの数です。
1 秒タイマ初期化	6,100 クロックサイクル	
スケジューラ初期化	≥ 7,400 クロックサイクル	標準的な初期化タスク、リセットタスクなし、構成済み状態の場合を仮定しています。

例： FT 5000 スマートトランシーバで、動作速度 80 MHz、ブート不要、10 以上のアプリケーションまたはネットワークバッファ、6 KB の SPI EEPROM 不揮発性メモリ、26 KB の拡張 RAM、5 KB のアプリケーションの場合、リセットに必要な時間は以下に示すように約 377.05 ms となります。

- RAM 変数領域の初期化に 203 ms
- EEPROM NVM から RAM へのシャドウコピーに 103.2 ms
- ROM から RAM へのシステムファームウェアイメージのコピーに 43 ms
- スタック初期化と BIST に 16 ms
- 5 KB のアプリケーションのチェックサム初期化に 11.2 ms
- 残りの時間 (0.65 ms) で上記以外のすべてのリセットステップが実行されます。

SVC~ ピン

SVC~ ピンは、76Hz (デューティサイクル 50%) で入力とオープンドレイン出力交互に切り替わります。出力の場合、LED を駆動するために最大 8 mA をシンクすることができます。このピンを入力専用として使用する場合は、オプションの外部プルアップ抵抗を使用して入力を HIGH 状態 (非アクティブ) にします。

このピンは、Neuron ファームウェアの制御のもとで、シリーズ 5000 チップを含むデバイスの構成、設置、および保守に使用されます。シリーズ 5000 チップにネットワークアドレス情報が構成されていない場合、ファームウェアは 1/2 Hz で LED を点滅させます。SVC~ ピンを接地すると、シリーズ 5000 チップはネットワーク管理メッセージを送信します。このメッセージには、一意の 48 ビット Neuron ID とアプリケーションのプログラム ID が含まれます。ネットワーク管理ツールはこの情報を用いてデバイスの設置と構成を行います。表 24 に、デバイスの各種状態におけるサービス LED の状態を示します。Neuron ファームウェアは、SVC~ ピンが能動的に LOW に駆動されていない場合はこのピンを常時サンプリングしています。

SVC~ ピン LED と押しボタンの標準的な回路を図 29 に示します。リセット中、SVC~ ピンは内部プルアップ抵抗によって HIGH に引き上げられます。

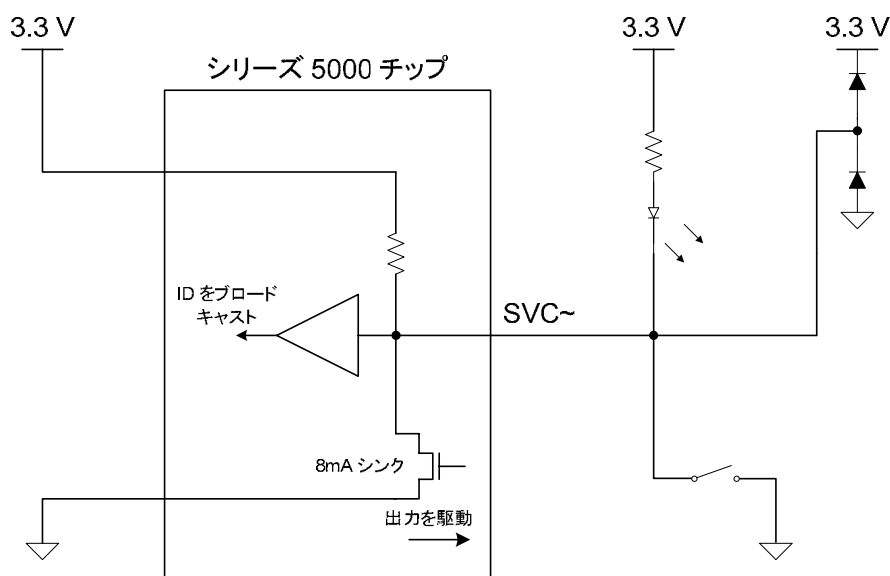


図 29 SVC~ ピン回路

表 24 各種状態におけるサービス LED の動作

デバイスの状態	状態コード	サービス LED
アプリケーションレスおよび未構成	3	オン
未構成 (ただし、アプリケーションあり)	2	点滅
構成済み、ハードオフライン	6	オフ
構成済み	4	オフ
外部メモリ不良	-	オン

SVC~ピンはアクティブ LOW で、サービスピンメッセージは SVC~ピンの状態が 1 回遷移するたびに 1 回送信されます。サービスピンメッセージは、次に利用可能な非優先出力ネットワークバッファに進みます。

整合性機構

シリーズ 5000 チップの Neuron アーキテクチャには、システム整合性を維持するための機構として、プロセッサ整合性とアプリケーション整合性を確保する機能が用意されています。

プロセッサ整合性

アプリケーション実行中のプロセッサ整合性を維持するため、Neuron アーキテクチャにはさまざまなエラー状態に対応した割り込みが用意されており、アプリケーションやファームウェアの動作を継続できるようになっています。エラー状態の中には、割り込みを利用しなければプロセッサの実行停止やデバイスのリセットを招くものもあります。シリーズ 5000 チップでは、次のエラー状態をシステムレベルトラップで処理するようになっています。

- ウォッチドッグタイマのタイムアウト
- システムイメージへの書き込み時のメモリ保護違反
- スタック例外（データスタック、リターンスタック、ISR スタックのアンダーフロー、オーバーフロー、衝突状態など）
- 不正な Neuron アセンブリ言語オペコードの実行
- Neuron アセンブリ言語の HALT 命令の実行

システムレベルトラップは割り込みの中で最も優先度が高く、無効にすることはできません（マスク不可）。システムトラップが発生すると、システムファームウェアが割り込みを処理し、必要な場合にはリセットを開始して、チップのエラーログを更新します。

チェックサムを用いたアプリケーション整合性

アプリケーションの整合性を確保するため、Neuron ファームウェアはアプリケーションイメージのチェックサムを保持しています。チェックサムは 1 バイトで、対象となるすべてのバイトの合計の 2 の補数です。このチェックサムはリセット処理中に確認されるほか、バックグラウンド診断プロセスを通じて継続的に確認されます。

オンチップ EEPROM 内のアプリケーションコードだけでなく、拡張 EEPROM やフラッシュメモリにアプリケーションコードが含まれる場合もアプリケーションイメージチェックサムの対象になります。デフォルトでは、アプリケーションチェックサムエラーが発生するとデバイスがアプリケーションレス状態になります。EEPROM またはフラッシュに格納されたアプリケーション読み取り/書き込みデータはチェックサムの対象になりません。

デバイスがアプリケーションレス状態の場合、チェックサムは計算されません。

チェックサムエラーが検出されると、リセットプロセスは適切な状態を強制的に発生させ、エラーログにエラーを記録します。リセット処理中にチェックサムが 2 回失敗すると、チェックサムエラーと見なされます。アプリケーションチェックサムが不良で、アプリケーション回復オプションが設定されていない場合、アプリケーションチェックサムエラーがログに記録され、デバイスはアプリケーションレス状態になります。

アプリケーションチェックサムが不良で、アプリケーション回復オプションが設定されており、なおかつブートアプリケーションがフラッシュ、EEPROM、RAM コードへの参照を含んでいない場合、あるいはこれら領域のいずれにもチェックサムエラーがない場合は、アプリケーションが回復されます。それ以外の場合は、アプリケーションチェックサムエラーがログに記録され、デバイスはアプリケーションレス状態になります。

3

ハードウェア設計の考慮事項

本章では、シリーズ 5000 チップのプリント基板レイアウトに関するガイドライン、および FT 5000 スマートトランシーバをホストマイクロプロセッサと組み合わせて使用方法について説明します。

プリント基板レイアウトに関するガイドライン

デバイスのプリント基板レイアウトを行う際に考慮すべき最重要事項として、ESD (Electrostatic Discharge = 静電放電) の問題と EMI (Electromagnetic Interference = 電磁干渉) の問題があります。設計時における ESD と EMI の注意事項については、第 4 章「電磁適合性 (EMC) に関する設計と試験」(73 ページ) を参照してください。

ESD やその他のネットワーク過渡電流に対する耐性を確保するには、電源、グランド、その他のデバイス回路のレイアウトに注意する必要があります。一般に、ESD 電流はアースグランドまたは近くの金属製物体に還っていきます。デバイスのグランド回路の役割は、デバイスのプリント基板上に大きな電位差を発生させずに、ネットワーク接続点からデバイスの外部接地点にこの ESD 電流を通過させることにあります。この目的を達成するには、低インダクタンスのスター型グランド回路構成を使用します。スター型グランド回路構成では、過渡電流の発生時、他の機能ブロックにほとんど影響を与えずに電流をデバイスの外に逃がすことができます。

以下、FT 5000 スマートトランシーバおよび Neuron 5000 プロセッサのプリント基板レイアウトで特に注意が必要な点についてまとめます。

スター型グランド回路構成：デバイスの各種ブロックのうち、ボード外部 (ネットワーク、外部 I/O、電源ケーブルなど) と直接接続するブロックは、プリント基板外縁の 1 辺に並ぶように配置します。このような配置にすると、ある接続から過渡電流が流入した場合に、別の接続を通してデバイスの外に逃すことができます。

プリント基板のグランドと金属製エンクロージャを接続する場合は、スター型グランドの中心で低インダクタンスの接続 (短いスタンドオフなど) を用いて行うようにします。スター型グランドの中心は、ボード外部との接続付近にある共通グランド領域ならどこでもかまいません。

4 層プリント基板の場合、グランドプレーンによってスター型グランドの中心からフロアプレーン上の各種機能ブロックへグランドが分配されます。2 層プリント基板の場合、はんだ面に (可能なら部品面にも) グランドパターンを配置して、各種機能ブロックのグランドをスター型グランドの中心に接続するようにします。

ESD 緩衝帯：FT 5000 スマートトランシーバのネットワーク接続に使用する配線と部品の周辺は ESD が発生しやすいため、他の配線や部品 (および内部プレーン) はこの場所から 0.25 インチ (6.4 mm) 以上離し、最上層のグランド領域のスパークギャップ付近以外で ESD 弧絡が起こらないようにする必要があります。

プリント基板のレイアウトを設計する際には、ネットワークから非常に大きな ESD 衝撃を受けた場合に直接スター型グランドの中心に放電されるようにしてください。ネットワークコネクタの近くとスター型グランドの中心近くに 470 V MOV を配置すると、ネットワークからの ESD 衝撃エネルギーの大部分がスター型グランドの中心にシャントされるため、FT-X3 通信トランスを貫通する過渡電流を制限することができます。

外部に金属製パッケージがある場合は、プリント基板のグランド層でスター型グランドの中心から金属製パッケージへ低インダクタンスの経路を確保してください。金属製パッケージがない場合は、このグランド領域を電源コネクタまたは外部 I/O コネクタ近くのグランド領域に接続してください。MOV によってクランプされた過渡電流はなるべく直接プリント基板から外部へ逃がすようにして、シリーズ 5000 チップやその他の回路 (ホストマイクロプロセッサなど) を貫通することのないようにしてください。

トランシーバ側のクランプダイオード：2つのダイオードによって、FT-X3 トランスの FT 5000 スマートトランシーバ側を V_{DD33} とグラウンドの間にクランプします。これらダイオードとトランス間の V_{DD33} およびグラウンドの接続は、なるべく短く幅広にして低インダクタンスとする必要があります。これにより、二次過渡エネルギー（MOV を貫通した一次放電の残り）による FT スマートトランシーバへの妨害を防ぐことができます。これらダイオード間の V_{DD33} およびグラウンド接続は、過渡電流をスター型グラウンドの中心に戻す役割を果たします。

ネットワーク側のクランプダイオード：4つのダイオードで、ESD およびサージ過渡電流発生時に FT-X3 トランスのネットワーク側を MOV を通じてグラウンドにクランプします。これらダイオードと MOV 間の接続には低インダクタンスの配線を使用し、MOV を貫通した一次放電の残りの二次過渡エネルギーによる FT スマートトランシーバへの妨害を防ぐ必要があります。この MOV の接続は、過渡電流をスター型グラウンドの中心に戻す役割を果たします。

シリーズ 5000 チップのグラウンドリターン：FT 5000 スマートトランシーバには、NETP ピンおよび NETN ピンに内部保護回路が組み込まれています。ネットワークから流入した ESD またはサージ過渡電流は、シリーズ 5000 チップに到達するとチップの V_{DD33} 電源ピンとグラウンドピンにクランプされます。 V_{DD33} はシリーズ 5000 チップでグラウンドにバイパスされるため、過渡電流は 4 層プリント基板の場合はグラウンド層、2 層プリント基板の場合はグラウンドパターンを通してスター型グラウンドの中心に戻ります。シリーズ 5000 チップからスター型グラウンドの中心に戻るグラウンド経路はなるべく短く幅広にしてください。

グラウンド面：グラウンドは、スター型グラウンドの中心から基板上の機能ブロックへと経由するため、グラウンド配置全体のインダクタンス（ひいてはインピーダンス）を低くできるように、グラウンドプレーンは広い平面または幅広の経路にする必要があります。

V_{DD33} デカップリングコンデンサ：経験則として、プリント基板上の IC のすべての V_{DD33} 電源ピンに少なくとも 1 つの V_{DD33} デカップリングコンデンサを付けるようにします。シリーズ 5000 チップのような表面実装タイプのデバイスの場合、すべてのデカップリングコンデンサを基板の最上層でなるべくチップの近くに配置して、コンデンサとチップの V_{DD33} パッドの間の V_{DD33} 配線の長さを最小化する必要があります。コンデンサのグラウンド側は、短く幅広の配線でグラウンドに接続します。これらの接続を短く幅広にしておくことでインダクタンスを抑え、デカップリング効果を高めることができます。接続を非常に短くできるのであれば、0.1 μF の表面実装タイプのコンデンサで十分にデカップリングが行えます。一般的に、I/O の V_{DD33} とグラウンドの間に ESD クランプダイオードを使用する場合は、ダイオードクランプ 2 個に対して少なくとも 1 個、デカップリングコンデンサをダイオードクランプのなるべく近くに配置するようにします。

ホストマイクロプロセッサとネットワーク接続の分離：ホストマイクロプロセッサ（ShortStack デバイスまたは FTXL デバイスで使用するオプション）はデジタルノイズ源となる可能性があり、このノイズが外部ネットワーク、電源、I/O 接続に結合すると放射 EMI の問題が起こることが考えられます。このような結合を防ぐため、ホストマイクロプロセッサなどノイズ源となるデジタル回路は、シリーズ 5000 チップのネットワーク側から離すようにします。たとえば、シリーズ 5000 チップから見てネットワーク、電源、I/O コネクタと反対側にホストマイクロプロセッサを配置します。

図 30（72 ページ）は、FT 5000 スマートトランシーバの 4 層プリント基板レイアウト（最上層の一部）をプリント基板設計の他の部品も含めて示したものです。Neuron 5000 プロセッサのプリント基板レイアウトも**図 30**と同様です。

以上のガイドラインで示した基本的な原則さえ守っていれば、多少はレイアウトの方法を変えてもかまいません。スルーホールタイプのコンデンサやダイオードも使用できますが、一般には表面実装タイプの部品の方が直列インダクタンスが低いので有利です。

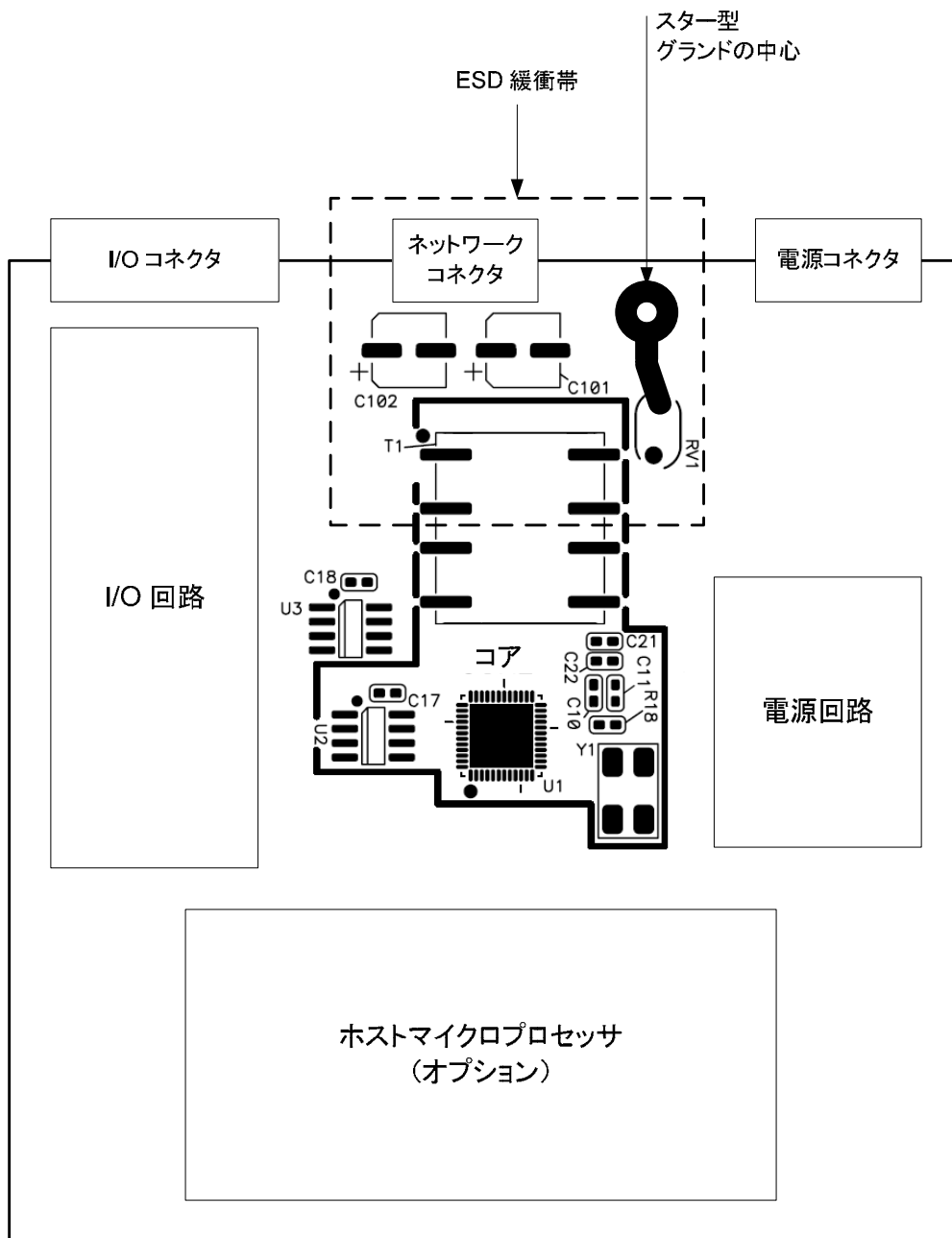


図 30 FT 5000 スマートランシーバのプリント基板レイアウト設計例

開発およびテストボードで使用できる Neuron 5000 プロセッサ/FT 5000 スマートランシーバ用ソケットとしては、Plastronics Socket Company, Inc. 社の 48LQ50S17070 オープントップデュアルラッチ QFN ソケットや Emulation Technology, Inc. 社の S-MLF-00-048-A1 オープントップ QFN/MLF ソケットなどがあります。

4

電磁適合性（EMC）に関する 設計と試験

本章では、シリーズ 5000 デバイスを設計する際の電磁適合性（EMC）に関する注意事項、およびイミュニティを確認するための試験方法について説明します。

概要

電磁適合性（EMC）を備えた製品を設計するには、外部からの干渉に対する耐性（イミュニティ）に関する厳しい試験に合格するとともに、製品からの電磁干渉（EMI）の発生レベルが低いことを実証する必要があります。特に EU（欧州連合）で販売する製品については、CE（Conformité Européene）⁴マーク認定試験に合格できるだけの EMC レベルを備えていることを実証しなければなりません。製品を EU で販売しない場合でも、イミュニティ試験を行うことはより良質で堅牢な製品を設計するのに役立ちます。

シリーズ 5000 デバイスに関して、エシェロン社では CE マーク対応のイミュニティ試験をはじめ、高イミュニティ/低 EMI を確認するための各種試験を実施しています。エシェロン社で行っているイミュニティ試験の内容は以下のとおりです。

- Comité Européen de Normalisation⁵（CEN）規格 EN 61000-4-2 適合のための ESD（静電放電）試験（気中放電および接触放電）
- CEN 規格 EN 61000-4-3 適合のための放射 RF イミュニティ試験
- CEN 規格 EN 61000-4-4 適合のためのバースト試験
- CEN 規格 EN 61000-4-5 適合のためのサージ試験
- CEN 規格 EN 61000-4-6 適合のための伝導 RF イミュニティ試験

エシェロン社で行ったシリーズ 5000 デバイスの試験結果については、「試験結果のまとめ」の項（85 ページ）にまとめてあります。

実際に設計、開発したシリーズ 5000 デバイスについては、個別にイミュニティ試験を行っていただく必要があります。

CEN 規格 EN 61000-4 シリーズの試験結果はすべて製品の仕様および標準的な動作条件の範囲内におけるものです。製品の試験結果は、「性能判定基準」に応じて以下のカテゴリに分類されます。

1. 通常の製品仕様範囲内の性能
2. 機能や性能が一時的に低下または喪失。ただし自己回復可能
3. 機能や性能が一時的に低下または喪失。オペレータによるシステムリセットが必要
4. 機能の低下または喪失。回復不能

たとえば、LONWORKS ネットワークの場合、ESD やサージ衝撃によってネットワークパケットが 1 つ失われただけであれば、シリーズ 5000 デバイスは確認応答（ACK）機能を利用してデータの喪失を判断し、データを再送できるので、上記の「1」に該当すると考えられます。

CEN 規格に準拠した試験の詳細および規格文書（写し）の購入方法については、IHS（Information Handling Services）のグローバルページ（global.ihs.com）を参照してください。

⁴ European Conformity（英）。「欧州規格への適合」の意

⁵ 欧州標準化委員会

高イミュニティの実現

ESD やその他のネットワーク過渡電流に対する耐性を確保するには、電源、グランド、その他のデバイス回路を正しくレイアウトする必要があります。一般に、ESD 電流はアースグランドまたは近くの金属製物体に還っていきます。デバイスのグランド回路の役割は、デバイスに大きな電位差を発生させずに、ネットワーク接続点からデバイスの外部接地点にこの ESD 電流を通過させることにあります。

機器のイミュニティを十分に高めるため、以下の一般的なガイドラインに従ってください。

- デバイスのレイアウトをスター型グランド構成とする。
- デバイスへの ESD 電流の流入点を制限する。
- スwitching電源の制御ループをガードグランド配線で保護する。
- V_{DD33} および V_{DD18} 入力に十分なデカップリングを行う。
- デジタル回路とネットワーク/電源の配線を十分に分離する。

スター型グランド回路構成とは、電源、ネットワークカップリング回路、およびすべての I/O 回路をプリント基板上でスター型の配置となるように分散し、それぞれのコネクタやシャーシグランド接続をすべてスター型の中心に配置するという構成です。ホストマイクロプロセッサなど感受性の高い回路はスターの中心から離して配置するようにします。スター型グランド回路構成の目的は、あるケーブルからデバイスに流入した過渡電流を、なるべくデバイスの他の機能ブロックに影響を与えずに、別のケーブルを通じてデバイスの外へ逃がすことにあります。デバイスのシャーシが金属製であれば、ESD やその他の過渡電流はスター型グランドの中心を通過してシャーシに還っていきます。デバイスのロジックグランドをこのシャーシグランドに接続する場合はスター型グランド中心の一点で短いスタンドオフを利用して接続します。ノイズの多いデジタルライン（ホストマイクロプロセッサやメモリアレイのラインなど）は金属製エンクロージャ壁面から遠ざけるようにしてください。デバイスのエンクロージャがプラスチック製で、絶縁トランスによって電源が供給されている場合、明示的なアースグランドまたはシャーシグランドが得られないことがあります。このような場合でも、ネットワークコネクタと電源コネクタをスター型グランドの中心付近に配置することが重要です。

スイッチング電源の制御ループは、高周波ノイズを拾って整流してしまうことがあります。RF イミュニティを高めるには、このような高周波ノイズを拾う可能性を抑えることが重要になるため、スイッチング電源の制御ループはガードグランド配線で十分に保護する必要があります。

V_{DD33} および V_{DD18} 入力を十分にデカップリングするには、 V_{DD33} と V_{DD18} をグランドの場合と同様に低インダクタンスのパターンやプレーンを利用して分散する必要があります。FT 5000 スマートトランシーバまたは Neuron 5000 プロセッサのグランドピンはすべてグランドプレーン（4 層以上の基板の場合）に接続するか、FT 5000 スマートトランシーバまたは Neuron 5000 プロセッサ直下にある基板のはんだ面側のグランドパッド（2 層基板の場合）に接続してください。FT 5000 スマートトランシーバまたは Neuron 5000 プロセッサとグランドの間の電源ピン 1 本につき表面実装タイプのデカップリングコンデンサを 1 つ配置するようにします。これらのデカップリングコンデンサはいずれもプリント基板の部品面に配置し、 V_{DD33} ピンまたは V_{DD18} ピンへの接続はなるべく短くします。

デジタル回路とネットワーク/電源の配線を十分に分離しておくことにより、ネットワークや電源に関するパターン（およびデバイスから出て行く I/O ライン）への RF クロストークを抑えることができます。

静電放電 (ESD)

工業用や商業用の環境で使用される電子システムでは、ESD (静電放電) の問題が頻繁に発生します。ESD イベントとは、電位差のある 2 つの帯電した物質 (片方がグランドの場合を含む) の間に瞬間的に電流が流れることをいいます。ESD の最も一般的な形態は電気火花ですが、火花の発生しない ESD 衝撃もあります。

システムの信頼性を高めるには、設計時に ESD の影響を考慮し、影響を受けやすい素子を保護する必要があります。静電放電が起こりやすいのは、湿度の低い環境で人間 (オペレータ) が電子機器に触れた場合です。キーボード、コネクタ、ケースなどが経路となって、ESD の影響を受けやすい部品に静電放電が到達することがあります。EC (欧州共同体) では ESD 試験が義務化されています。

電子製品における ESD の影響を最小限に抑える方法としては、次の 2 つのアプローチがあります。

- 静電電流が筐体内部の敏感な回路に到達しないよう、製品を密封する。
- ユーザーが金属部分に触れて発生した ESD 衝撃が敏感な回路を迂回するように製品の接地を設計する。

LONWORKS ネットワークコネクタにはユーザーの接触が想定されるため、シリーズ 5000 デバイスを完全に密封することは現実的ではありません。とはいえ、ESD 衝撃がデバイスの回路基板に放電してしまうような可能性をなるべく低くするように筐体を設計しなければなりません。製品筐体がプラスチック製の場合、プリント基板上にある保護されていない回路が筐体の接合部の近くに位置しないようにプリント基板をパッケージ内で支持しておく必要があります。静電電流は、プラスチックの表面を伝ってクリープし、筐体の接合部を通してプリント基板上に放電してしまう可能性があるため、筐体の接合部付近のプラスチックにプリント基板が触れてはなりません。

ESD 衝撃によって製品に放電された電流は、あらゆる経路を伝ってアースグランドに還っていきます。プリント基板を接地し、ユーザーが触れる可能性のある回路を保護することによって、シリーズ 5000 チップ、ホストマイクロプロセッサ、およびその他のデバイス回路の正常な動作を乱すことなく ESD 電流をアースグランドに逃がす必要があります。通常、これを実現するには、「高イミュニティの実現」の項 (75 ページ) に示すように、ESD 電流をスター型グランドの中心に導き、製品のシャーシあるいはアースグランド接続から外に逃がすようにします。デバイスがアースグランドに接続されていない場合、ESD 電流は静電容量的に結合したネットワークワイヤ、電源供給ワイヤ、プリント基板のグランドプレーンを通してアースグランドに還っていきます。

EN 61000-4-2 ESD イミュニティ試験に適合するための ESD 試験は、ESD 過渡電流発生器を使用して金属製の試験機で行います。Level 4 試験では、最大 ± 8 kV の接触放電および最大 ± 15 kV の気中放電を被験製品に印加します。製品の設計によって、ネットワークコネクタ、電源コネクタ、またはその他のユーザーが接触可能な部位に放電を印加します。試験中、ESD 衝撃によって時折パケットが喪失するのはかまいませんが、デバイスは通常動作を継続できなければなりません。

電磁干渉 (EMI)

マイクロコントローラの高速度デジタル信号によって、意図しない電磁干渉 (EMI) の問題が発生することがあります。この干渉は、電気回路の信号が急速に変化することによって RF 電流が発生し、これが原因となって他の回路に不要な信号が混入するというものです。これらの不要信号によって、他の回路の実効性能が妨害を受けたり低下したりすることがあります。

一般に、FT 5000 スマートトランシーバまたは Neuron 5000 プロセッサを使用した製品は、さまざまな規制機関が定める EMI 規格に適合する必要があります。たとえば、米国の FCC (連邦通信委員会) では、工業製品については CFR (Code of Federal Regulations) Title 47, Part 15, Subpart A、住宅環境で使用される製品については Subpart B への適合が義務化されています。また、欧州の CENELEC (Comité Européen de Normalisation Electrotechnique⁶) EN 55022 規格や、国際規格である CISPR (Comité International Spécial des Perturbations Radioélectriques⁷) 22 規格でも同様の適合が求められるなど、このような規定は世界各国に存在します。

一般的なシリーズ 5000 デバイスでは、スイッチング速度が数 kHz ~ 数 MHz のデジタル I/O 信号がいくつも使用されます。これらの信号により、信号パターン付近に電圧ノイズが発生するほか、信号パターンおよび電源パターンには電流ノイズも発生します。これらの電圧ノイズや電流ノイズが製品筐体の外にカップリングして干渉を起こすことがないように配慮することがデバイス設計の際の目標となります。十分な注意を払ってプリント基板をレイアウトすることにより、シリーズ 5000 デバイスの EMI エミッションを目標レベルにまで抑えることができます。

デバイスの回路パターンからデバイス近隣にある金属部分への漏洩静電容量によって、デジタルノイズが製品筐体の外にカップリングして出て行く経路ができてしまうため、この静電容量を小さく抑えることが重要です。図 31 は、アースグランドに対するデバイスのロジックグランドからの漏洩静電容量 ($C_{leak,GND}$) とデバイス内のデジタル信号ラインからの漏洩静電容量 ($C_{leak,SIGNAL}$) を示したものです。

LonWorks ネットワーク上のフローティングデバイス

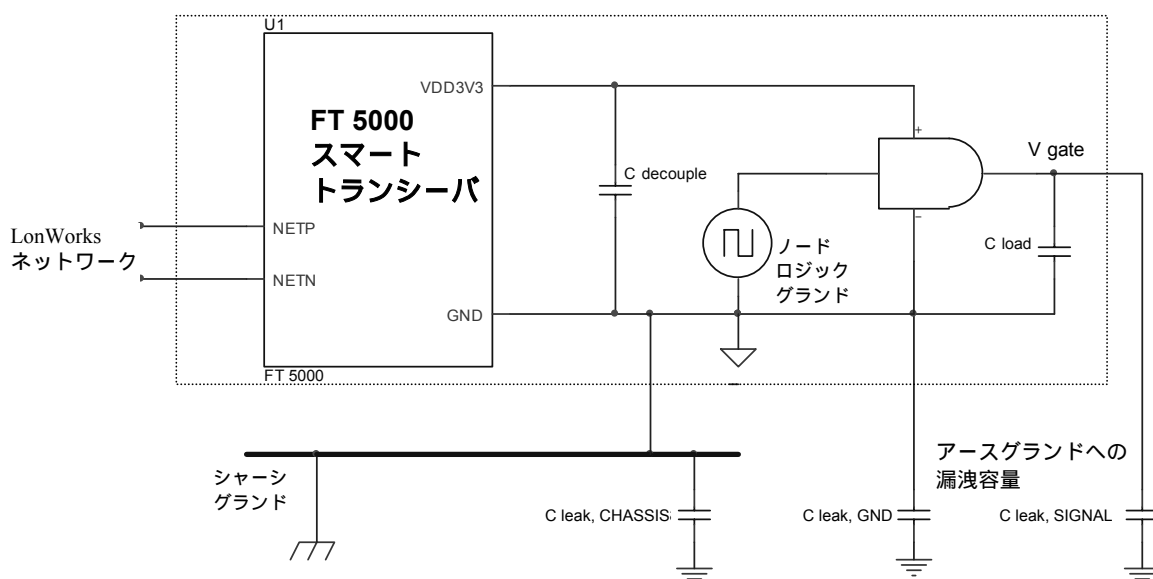


図 31 アースグランドに対する寄生的な漏洩静電容量の発生

シリーズ 5000 デバイスのシャーシが金属製の場合、その金属シャーシから近くの金属部分に対する漏洩静電容量が最も大きくなると考えられます。デバイスのシャーシがプラスチック製の場合は、 $C_{leak,SIGNAL}$ を最小にするためにプリント基板にガードグランド配線を使用する必要があります。デジタルパターンをロジックグランドで囲んで保護すると、 $C_{leak,SIGNAL}$ が大幅に削減され、これによってネットワークケーブル上に発生する共通モードの高周波電流も低減されます。

⁶ 欧州電気標準化委員会

⁷ 国際無線障害特別委員会

設置されたデバイスの近くに金属部分があり、特にその金属が接地されている場合、高速信号ラインからその外部金属への漏洩静電容量が経路となって高周波電流が流れます。 V_{gate} がロジックグランドにプルダウンされていると、ロジックグランドの電圧はアースグランドよりわずかに高くなります。 V_{gate} が V_{DD33} にプルアップされていると、ロジックグランドの電圧はアースグランドよりわずかに低くなります。

$C_{leak,SIGNAL}$ が大きくなると、 V_{gate} の遷移時に流れる電流も大きくなり、より多くのコモンモード高周波電流がネットワークツイストペアに結合します。このコモンモード高周波電流によって、クロックラインとアースグランドの間の静電容量 $C_{leak,SIGNAL}$ が 1 pF 未満の場合でも、30 ~ 500 MHz の周波数帯で CFR Part 15 Subpart B や CISPR 22 Level B のレベルを大きく超える EMI が発生することがあります。このため、Subpart B の規定に適合するためには、クロックラインにガード配線を使用すること（そして可能なら、プリント基板の部品面にこれらを配置すること）が必要となります。

すべてのデジタル IC 電源ピンに 0.1 μ F または 0.01 μ F のデカップリングコンデンサを使用すると、 V_{DD33} とロジックグランドのノイズを低減できます。これにより、ノイズの多いデジタル信号ラインやクロックラインのためのグランドシールドとして、ロジックグランドを使用することが可能になります。

また、アプリケーション回路によって発生するノイズのレベルによっては、シリーズ 5000 デバイスの電源入力に何らかのフィルタリングが必要になることがあります。このようなフィルタリングを効果的に行うには、電源コネクタの近くに電源入力パターンと直列にフェライトチョークを接続します。図 32 に、フェライトチョークを用いた場合の典型的な電源回路を示します。

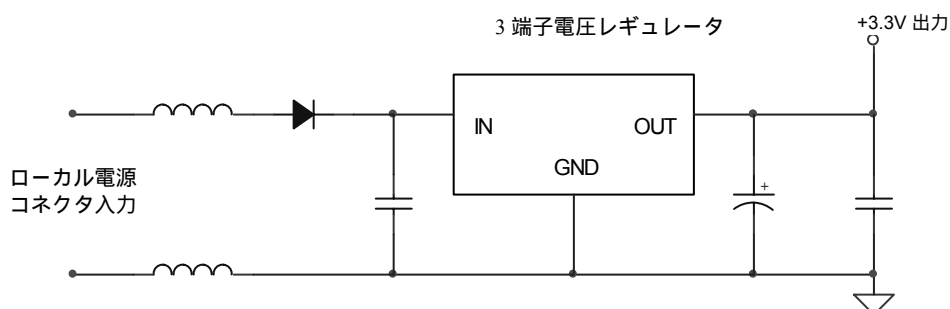


図 32 フェライトチョークを用いた電源入力フィルタリング

CISPR 22 無線妨害波特性試験に適合した EMI 試験は、次の 2 つの内容で行います。

- ネットワークおよび電源ケーブル（またはデバイス内部）から放射される高周波ノイズを測定する放射 EMI 試験
- 電源から交流主電源への配線から放射される高周波ノイズを測定する伝導 EMI 試験

工業用製品には CISPR 22 Class A 規格への適合、住宅環境で使用される製品には Class B 規格への適合が要求されます。

以下に、EMI に関する設計上の一般的な原則とガイドラインを示します。

- シリーズ 5000 デバイスのシステムクロックレートが高いほど、EMI のレベルは大きくなる。
- V_{DD3} を適切にデカップリングすると RF ノイズを発生源（デジタル IC）で抑えることができ、放射 EMI を低減することができる。
- プリント基板の層が多い方が V_{DD3} のデカップリングおよびロジックグランドのガード配線を効果的に行えるため、2 層基板よりも 4 層基板の方が EMI の発生が少ない。

放射イミュニティと伝導イミュニティ

EN 61000-4-3 放射 RF イミュニティ試験と EN 61000-4-6 伝導 RF イミュニティ試験は、携帯電話や携帯型ラジオの近くで発生する強い電磁場によってデバイスの動作が妨害されないことを確認するための試験です。

一般に、EN 61000-4-3 放射 RF イミュニティ試験は、電波無響室内において高出力トランスミッタで駆動されたアンテナをテスト対象装置 (EUT) に向けて行います。EN 61000-4-3 放射 RF イミュニティ試験の間、RF 信号発生装置の振幅変調 (AM) 深度を 80% (1 kHz) に設定し、周波数を 30 MHz から 1 GHz までゆっくりと掃引します。以上の条件で、3 つのレベルで試験を行います。

- Level 1 : EUT を 1 V/m の電界強度に暴露する
- Level 2 (中程度の電磁放射環境を想定) : EUT を 3 V/m の電界強度に暴露する
- Level 3 (悪条件の電磁放射環境を想定) : EUT を 10 V/m の電界強度に暴露する

EN 61000-4-6 伝導 RF イミュニティ試験の間、RF 信号発生装置の振幅変調 (AM) 深度を 80% (1 kHz) に設定し、周波数を 150 kHz から 80 MHz までゆっくりと掃引します。以上の条件で、3 つのレベルで試験を行います。

- Level 1 : EUT のネットワークケーブルに 1 V_{RMS} (5 V_{P-P}、80% AM を含む) のコモンモード電圧を注入します。
- Level 2 (軽工業環境を想定) : EUT のネットワークケーブルに 3 V_{RMS} (15.3 V_{P-P}、80% AM を含む) のコモンモード電圧を注入します。
- Level 3 (過酷な工業環境を想定) : EUT のネットワークケーブルに 10 V_{RMS} (50.9 V_{P-P}、80% AM を含む) のコモンモード電圧を注入します。

ツイストペアネットワークでは、BCI (Bulk Current Injection) 法と呼ばれる電流注入法による試験が推奨されています。これは、電流クランプを使用してツイストペア通信ケーブルにコモンモードノイズを注入し、補助装置と EUT の両方がネットワーク接続部において同じコモンモードノイズとなるようにする試験法です。この配線がカップリング/デカップリングネットワーク (CDN) を通る場合でも、試験中に現れる RF ノイズによって補助装置と外部の制御 PC の間の有線通信が妨害されることがあります。このため、外部のコンピュータをケーブルで接続して試験結果を確認するのではなく、試験の合否が視覚的に分かるような仕組みを補助装置の側に用意しておく必要があります。

図 33 (80 ページ) に、シリーズ 5000 デバイスとシールドなしツイストペア (UTP) ネットワークケーブルに対する EN 61000-4-6 試験の一般的なセットアップ例を示します。

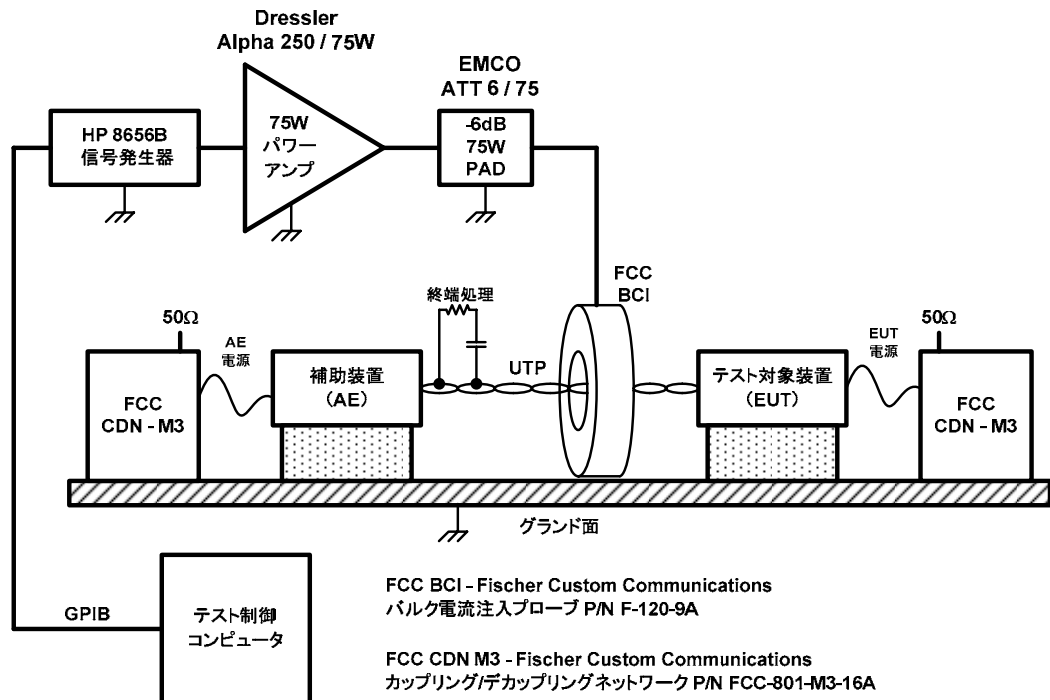


図 33 シールドなしツイストペア (UTP) ケーブルに対する EN 61000-4-6 試験の一般的なセットアップ

EN 61000-4-6 試験では、金属製のグランドプレーンに 10 cm の高さの絶縁支持台を載せ、その上に EUT を設置します。EUT の通常使用時にシャーシをアースに接地する場合は、短い線で金属製のグランドプレーンに直接接続して試験を行います。通常使用時に EUT を接地しない場合は、EN 61000-4-6 試験の際も EUT とアースを接続しないでください。

補助装置と EUT の電源接続は、非駆動の M3 CDN (カップリング/デカップリングネットワーク) デバイスなどの適切なデカップリングデバイスを経由する必要があります。ネットワークイミュニティ試験の間は、補助装置または EUT から出るすべての I/O 線もデカップリングネットワークを経由しなければなりません。BCI 電流クランプの目的は、大きなコモンモードノイズ信号を EUT のネットワークケーブルに送り込むことです。M3 CDN を経由することにより、補助装置および EUT への電源入力 RF のリターンパスを防ぐことができます。

シールド付きツイストペア (STP) ネットワークの場合は、BCI 電流クランプによって STP ケーブルにコモンモードノイズを注入します。ケーブルのシールドは、図 34 (81 ページ) に示すように並列抵抗とコンデンサを使ってアースに接地します。通常、抵抗は 470 kΩ、0.25 W、5% とします。コンデンサは、通常、0.1 μF、10%、金属ポリエステルで、電圧定格 100 VDC 以上のものを使用します。

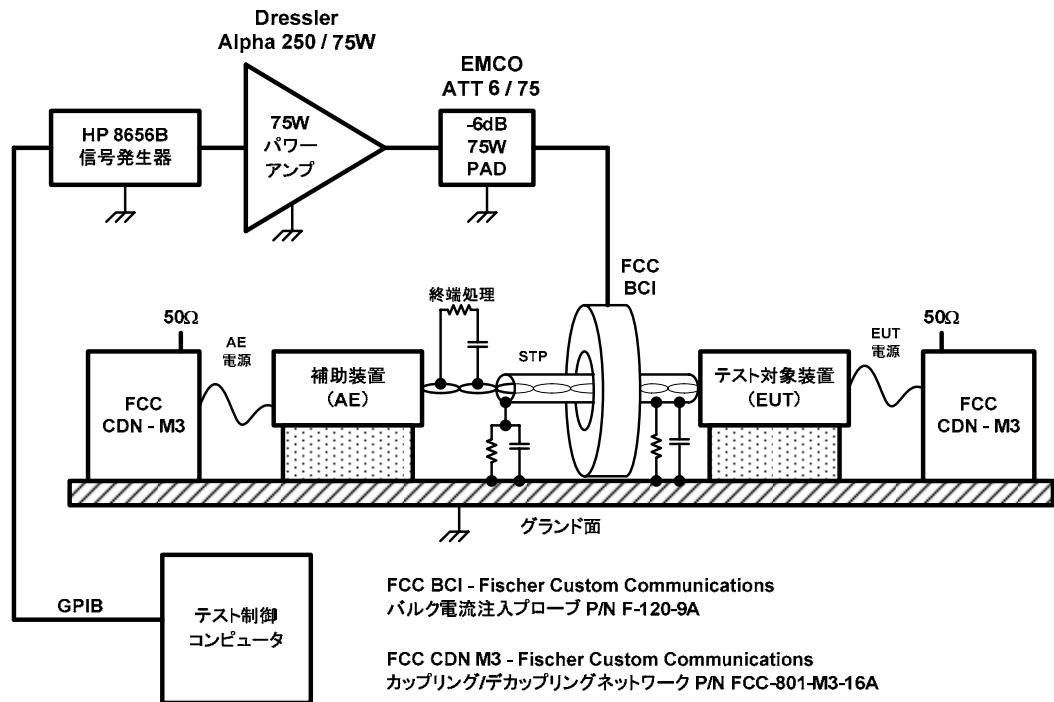


図 34 シールド付きツイストペア (STP) ケーブルに対する EN 61000-4-6 試験の一般的なセットアップ

サージおよびバースト

EMC 試験では、数 kV の過渡的な過電圧のうち、立ち上がり時間がマイクロ秒またはナノ秒単位、持続時間がマイクロ秒単位のをサージと呼びます。高速トランジェントのバーストや ESD と比べると、サージの立ち上がりは比較的緩やかですが、持続時間は長くなります。

サージは、AC 電源分配ネットワークにおけるスイッチングイベントや絶縁不良、あるいは無効負荷（電気モーターなど）のスイッチングによって発生します。サージは雷によっても発生しますが、EN 61000-4-5 では雷の影響については間接的に取り上げるにとどめています。

EN 61000-4-5 サージ試験は非導電性の机の上で専用のサージ発生装置を使用して行います。サージは（コモンモード方式で）配線に直接注入するか、またはカップリング回路を経由して電源ケーブルに注入します。試験中、サージによって時折パッケージが喪失するのはかまいませんが、デバイスは通常動作を継続できなければなりません。

シリーズ 5000 デバイスに関するネットワーク試験には、次の 3 つのレベルがあります。

- Level 2 : ±1 kV のサージをネットワークに伝導的に結合
- Level 3 : ±2 kV のサージをネットワークに伝導的に結合
- Level “X” : ユーザー定義のサージ電圧をネットワークに伝導的に結合

FT 5000 スマートトランシーバでは、次の異なるサージ試験レベルへの適合が確認されています。

- 2 kV コンボ波形、ソース抵抗 2 Ω (EN 61000-4-5 準拠)
- 6 kV コンボ波形、ソース抵抗 12 Ω (EN 61000-4-5 準拠)
- 6 kV リング波形、ソース抵抗 12 Ω (EN 61000-4-12 準拠)

ネットワークケーブルに対する EN 61000-4-4 バースト試験は、非導電性の机の上で1メートルのケーブルを高電圧バースト発生装置にクランプして行います。この試験では、高電圧のバーストノイズをネットワークケーブルに容量的に注入します。ネットワークケーブルに対するバーストの注入は毎秒3回行われます。試験中、バーストによって時折パケットが喪失するのはかまいませんが、デバイスは通常動作を継続できなければなりません。

シリーズ 5000 デバイスに関するネットワーク試験には、次の2つのレベルがあります。

- Level 3 (一般的な工業環境を想定) : ± 1 kV のバーストを 60 秒間連続で注入
- Level 4 (悪条件の工業環境を想定) : ± 2 kV のバーストを 60 秒間連続で注入

上記に加え、電源入力ケーブルに対してもバースト試験を実施します。シリーズ 5000 デバイスに関する電源入力ケーブル試験には、次の2つのレベルがあります。

- Level 3 (一般的な工業環境を想定) : ± 2 kV のバーストを 60 秒間連続で注入
- Level 4 (悪条件の工業環境を想定) : ± 4 kV のバーストを 60 秒間連続で注入

落雷保護

屋外に敷設する制御ネットワークには、落雷保護が必要です。

ビル引込口の保護

エシェロン社では、ビルなどの建造物に敷設するネットワークの全体または一部について、シールド付きツイストペアケーブルの使用を推奨しています。ケーブルのシールドと2本のネットワークラインは、ビルの引込口でデータラインの雷/サージアレスタを経由して接地するようにします。このように接続しておくことで、過剰なエネルギーサージや雷撃エネルギーがネットワークシールドやデータラインを通過してビル内部に侵入するのを防ぎ、グラウンドへ逃がしてやることができます。したがって、ビル引込口ではシールド付きツイストペアケーブル1本に対して3つのアレスタが必要です。

ネットワークラインの保護

ネットワークデータラインには必ずガス放電管型のアレスタを使用してください。原理上、このタイプのアレスタは対地間の静電容量が一般に 5 pF 未満と小さく、データ信号の破壊を最小限に抑えることができます。また、静電容量が小さいため、ガス放電管型アレスタを使用してもネットワークセグメントあたりの最大デバイス数には影響しません。

重要： MOV や TVS などの保護デバイスは静電容量がはるかに大きく (200 pF 以上)、容量差のマッチングが難しいことがあるため、ネットワークデータラインには使用しないでください。これらの保護デバイスを使用すると、デバイス間のネットワーク通信が妨害、中断されるおそれがあります。

シールド保護

シールド対グラウンドの保護には、ガス放電管型アレスタ、MOV、TVS などのデバイスを使用します。ただし、ネットワークデータラインの保護には、MOV および TVS デバイスを使用しないでください。

推奨されるガス放電管型アレスタ

データネットワークラインには3極アレスタを推奨します。3極アレスタなら、1つの物理的デバイスで両方のラインを保護できます。アレスタの外側2つの電極にネットワークラインを接続し、中央の電極は安定したアースグラウンドに接地します。あるいは、2極アレスタを2個使用することもできます (詳細については各メーカーにお問い合わせください)。表 25 に、3極ガス放電管型アレスタのメーカーを示します。

表 25 ガス放電管型アレスタ推奨製品のメーカー

メーカーおよび極数	シリーズ	電圧
サンコーシャ、3 極 www.sankosha-usa.com/arresters.asp?id=2	3H、3P	90 VDC
Citel、3 極 www.citelprotection.com/citel/gas_cover.htm	BT、BTR、BTS	90 VDC
Littelfuse、3 極 www.littelfuse.com/series/PMT8.html	PMT8	90 VDC

図 35 (83 ページ) に、屋外環境で使用するツイストペアネットワークへのガス放電管型アレスタの一般的な取り付け例を示します。

シールド付きツイストペア

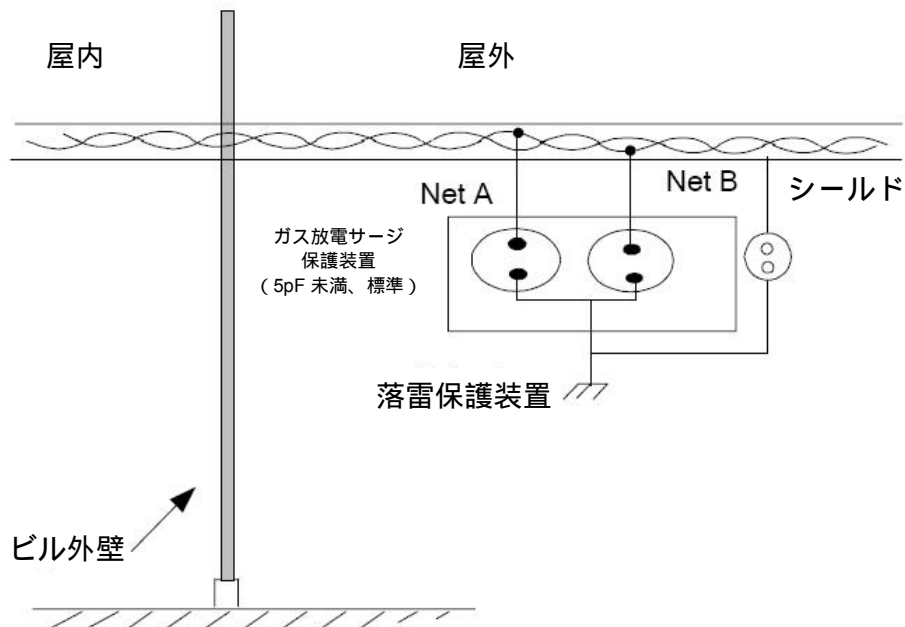


図 35 ネットワークとシールドの落雷保護

ネットワークデータラインがビルなどの建造物から屋外に延びている場合、そのネットワークセグメントにある FT 5000 スマートトランシーバと Neuron 5000 プロセッサは、屋内のものも含めてすべてサージ保護回路を付ける必要があります。さらに、ネットワークケーブルがビルなどの建造物から外に出る場所すべてにネットワーク保護デバイスを追加する必要があります。

磁場干渉の防止

トランスを利用したトランシーバはすべて、トランス結合が浮遊磁場の影響を受ける可能性があります。通常的环境下、FT 5000 スマートトランシーバ（または外部トランシーバを使用した Neuron 5000 プロセッサ）で浮遊磁場ノイズが問題になることはほとんどありません。ただし、高周波の外部磁場からのエネルギーが大きいと、トランシーバに結合してネットワークパフォーマンスが不安定になったり、場合によってはデータトラフィックの転送が行われなくなることもあります。

トランシーバの近くに、シールドされていないスイッチングインダクタを使用した DC-DC スwitching 電源やレギュレータがあると浮遊磁場が発生します。トランシーバへの磁気結合を最小限に抑えるには、スイッチング電源の磁性部品を FT 5000 スマートトランシーバ（または外部トランシーバを使用した Neuron 5000 プロセッサ）から 7.5 cm（3 インチ）以上離すようにしてください。そうしないと、レシーバに誘導されたノイズによって通信が影響を受けることがあります。

磁場干渉の疑いがある場合は、FT 5000 スマートトランシーバ（または外部トランシーバを使用した Neuron 5000 プロセッサ）のノイズレベルを測定してください。スイッチング電源によって誘導されたノイズを測定するには、同相入力電圧範囲 5 V 以上、同相除去比 50 dB 以上の差動プローブを備えたオシロスコープを使用して、パケット転送のない状態でシリーズ 5000 チップの NETP ピンと NETN ピンの間の電圧を測定します。また、FT 5000 スマートトランシーバ（または外部トランシーバを使用した Neuron 5000 プロセッサ）に 15 cm 以上のツイストペアケーブルを接続し、NETP ピンおよび NETN ピンのノイズを測定しながら磁気ノイズ源の疑いがあるものを遠ざけることによって、磁気ノイズ源を特定することもできます。

NETP ピンと NETN ピンのノイズ差は 15 mVp-p 以内としてください。スイッチング電源から磁気結合したノイズは、電源のスイッチング周波数との同期ノイズです。このノイズの周波数がネットワークのデータ通信帯域の中心である 10 kHz ~ 300 kHz のときがワーストケースとなります。ノイズが 15 mVp-p より大きい場合は、結合効果を抑えるための対策が必要です。最も簡単な方法は、電源と FT 5000 スマートトランシーバ（または外部トランシーバを使用した Neuron 5000 プロセッサ）の距離を離すことです。

パワーコンバータのノイズが大きい場合は、シールド付きインダクタによって磁場干渉を抑えることができます。一般的に使用される降圧型 DC-DC コンバータでは、オープンスラグではなくシールド付きのインダクタを使用することで、DC-DC コンバータによって発生する浮遊磁場の量を大幅に抑えることができます。たとえば、太陽誘電なら LHL シリーズではなく LHFP シリーズ、TDK なら EL や ELF シリーズではなく FS シリーズのインダクタを使用するようにします。トランスを使用した DC-DC コンバータでは、外部の浮遊磁場を最小限に抑えられるようなトランスを選択するように電源を設計してください。たとえば、E-E コアのトランスよりもポットコア DC-DC トランスの方が一般に浮遊磁場の発生が少なく、たとえ浮遊磁場が発生してもプリント基板のプレーンを通過する際に垂直磁場となります。電源トランスから発生する磁場を最小化する一般的な方法として、トランスの周囲にトランスの巻き線と同じ方向で銅テープを「短絡巻き」で覆います。

電源以外のノイズ源としては、DC モータのコントローラや産業用オープン/ヒーターなどがあります。一般に、磁場干渉の問題を解決するにはこれらのノイズ源をシールドするのが最も効果的なアプローチです。

試験結果のまとめ

表 26 に、一般的な LONWORKS アプリケーションのイミュニティ試験および EMI 試験の結果をまとめます。

表 26 イミュニティ試験および EMI 試験の結果

試験	FT 5000 スマートトランシーバ	Neuron 5000 プロセッサ
EN 61000-4-2 ESD	15 kV (気中) 8 kV (接触) (Level 4)	15 kV (気中) 8 kV (接触) (Level 4)
EN 61000-4-3 放射 RF	10 V/m (Level 3)	10 V/m (Level 3)
EN 61000-4-4 ネットワークバースト	2 kV (Level 4)	2 kV (Level 4)
EN 61000-4-5 ネットワークサージ	2 kV (Level 3)	2 kV (Level 3)
EN 61000-4-6 伝導 RF	10 V _{RMS} (Level 3)	10 V _{RMS} (Level 3)
CISPR 22 放射 EMI	Level B	Level B
CISPR 22 伝導 EMI	Level B	Level B

5

FT デバイスの ネットワーク配線と接続

本章では、FT デバイスのネットワーク接続とサポートされているケーブルの種類について説明します。

ネットワーク接続

TP/FT-10 チャンネルでは、ネットワーク接続（NETP ピンおよび NETN ピン）は無極性です。したがって、ツイストペアケーブルの 2 本のワイヤをそれぞれどちらのピンに接続してもかまいません。

サポートされているケーブルのいずれに関しても、個々のワイヤセグメントの耐久温度は +85 ですが、ワイヤの平均温度が +55 を超えないようにしてください。

原則として、TP/FT-10 ネットワークチャンネル通信ケーブルは、高圧電源ケーブルからは遠ざけてください。ケーブルの配置に関しては各国の電気法令に従ってください。

ネットワークトポロジーの概要

TP/FT-10 ネットワークは、フリーストポロジー配線をサポートできるように設計されており、バス型、スター型、ループ型トポロジーを単独または任意の組み合わせで使用できます。シリーズ 5000 デバイスは、ネットワーク配線の任意の場所に設置できます。これにより、システムのインストールを簡単に行えるだけでなく、ネットワークの拡張が必要になった場合もデバイスを簡単に追加することができます。図 36 ~ 図 40（90 ページ）に、5 種類のネットワークトポロジーを示します。実際の終端回路はアプリケーションにより異なります。

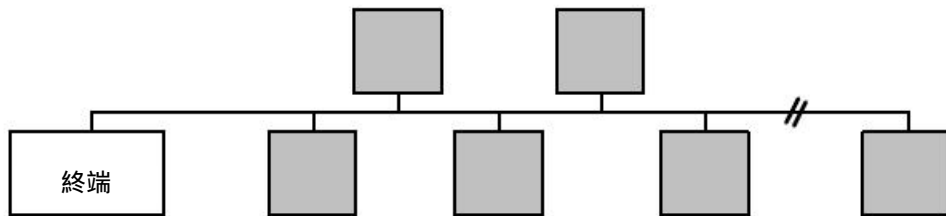


図 36 単一終端バス型トポロジー

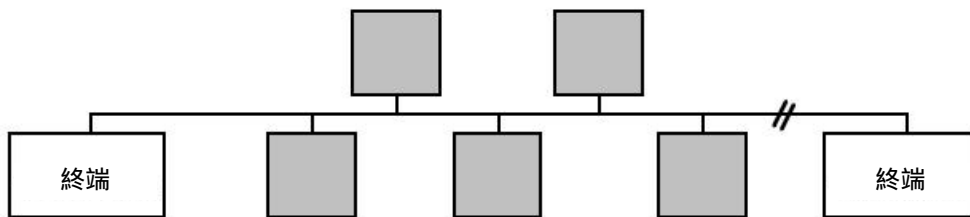


図 37 両終端バス型トポロジー

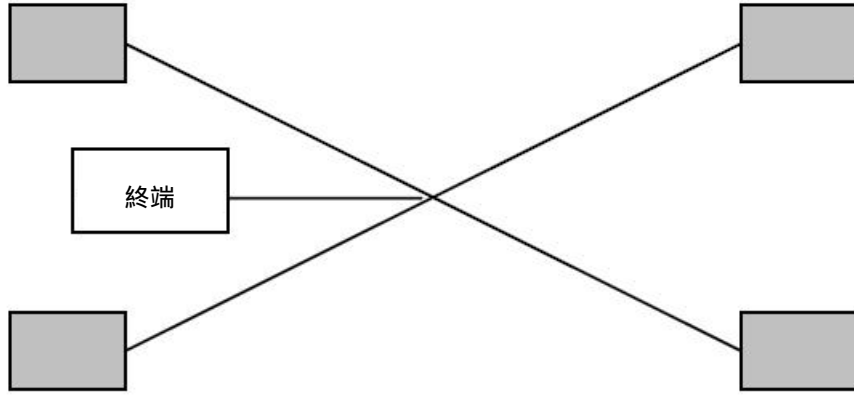


図 38 スター型トポロジー

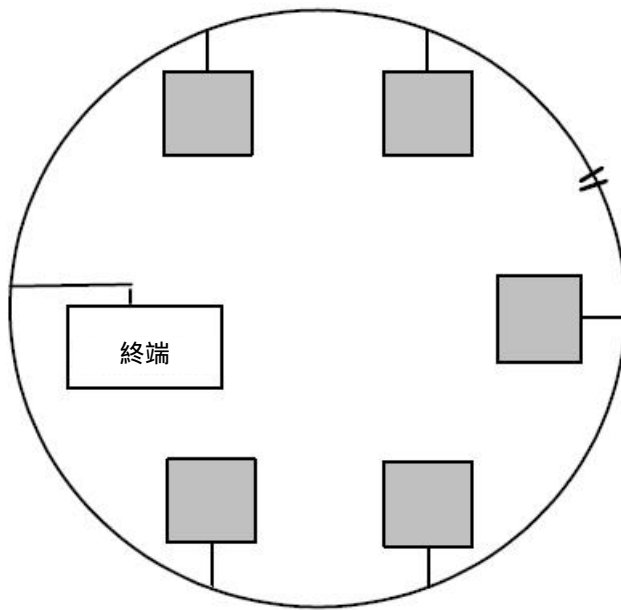


図 39 ループ (リング) 型トポロジー

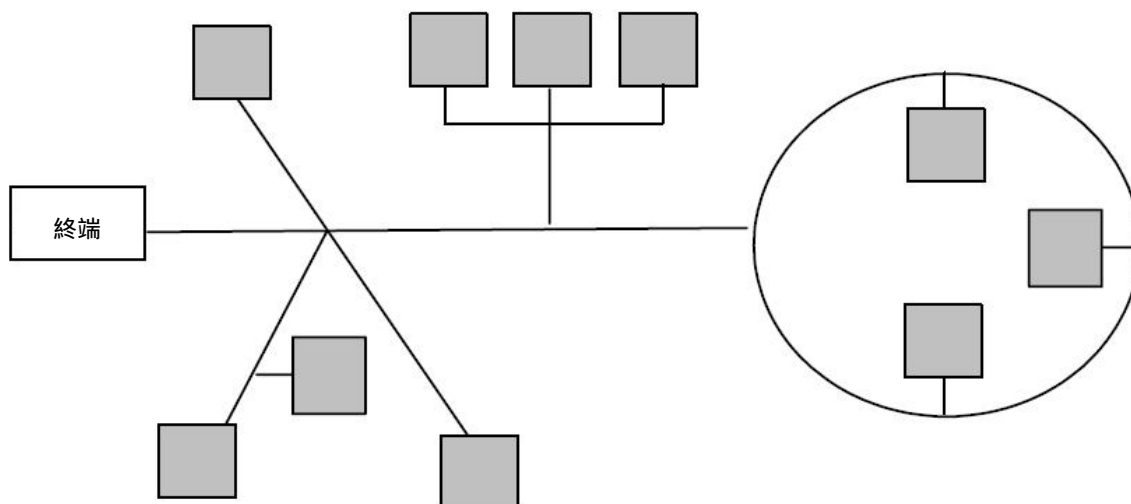


図 40 混合型トポロジー

トランシーバ数またはワイヤ総距離が制限を超えている場合、FTT 物理層リピータ (PLR) を追加して 2 つのセグメントを相互接続すると、システム全体の能力を倍増することができます。PLR は FTT-10A トランシーバを使用して構築します。PLR の詳細については、『FTT-10A Free Topology Transceiver User's Guide』を参照してください。

システムパフォーマンスとケーブルの選択

エシェロン社では、TP/FT-10 チャンネルで使用できるケーブルの種類として以下のものを認定しています。

- 汎用 AWG (American Wire Gauge) 16 (直径 1.3 mm) プレナムツイストペアケーブル (Belden[®] 85102 相当の 2 線式ワイヤ)
- 汎用 AWG 16 (直径 1.3 mm) 標準ツイストペアケーブル (Belden 8471 相当の 1 ペアワイヤ)
- NEMA (National Electrical Manufacturers Association) Type 4 ケーブル (このケーブルは TIA カテゴリ 4 ケーブルとは同等ではありません)
- AWG 24 (0.511 mm) ANSI/TIA/EIA-568-B.2-2001 カテゴリ 5 ツイストペアケーブル
- EN 50441 電気通信ケーブル (J-Y(ST)Y など)

システム設計者は、コスト、性能、入手しやすさといった要因を考慮しつつ、さまざまな種類のケーブルの中から各アプリケーションに最適なものを選択することができます。

これらケーブルの電氣的仕様は、付録 B 「認定 TP/FT-10 ケーブルの仕様」 (123 ページ) に記載しています。サポートされている各種ケーブルの販売業者一覧については、技術資料『Junction Box and Wiring Guidelines for Twisted Pair LONWORKS Networks』 (005-0023-01) を参照してください。この技術資料は、エシェロン社のホームページ (www.echelon.com) でダウンロードできます。エシェロン社が認定するこれらのケーブルは、汎用形式のものです。販売業者は、シールド付き、シールドなし、プレナムジャケット付き、プレナムジャケットなしなど、さまざまな形式のケーブルを販売しています。さらに、エシェロン社は、2 種類の 16 AWG (直径 1.3 mm) Belden ケーブルとヨーロッパ市場で一部のアプリケーションに使用されているケーブル (J-Y(ST)Y ケーブル) も認定しています。

TP/FT-10 チャンネルは、以下に示すシステム仕様および送信機能仕様を満たしていなければなりません。TP/FT-10 チャンネルについての文書あるいはインストール手順を作成する際は、TP/FT-10 システム仕様に加え、利用するケーブルの伝送距離仕様も必ず含めるようにしてください。これらの仕様を含めることにより、インストールがより円滑に行われるようになります。

インストール時にトラブルが発生した場合でも、担当者に必要な情報を提供できるようになります。

注記： 以下に示す仕様は、単一のネットワークセグメントに関するものです。FTT-10A による物理層リピータを使用して複数のセグメントを連結すれば、デバイス数と距離を増やすことができます（『FTT-10A Free Topology Transceiver User's Guide』を参照）。

システム仕様

1 つのネットワークセグメントに含めることのできる FT-X3（または FT X1、FT-X2）トランスと FT スマートトランシーバの合計は最大 64 個までです。

FTT-10A トランシーバおよび FT スマートトランシーバを使用しているネットワークセグメントで LPT-11 トランシーバも使用することができますが、その場合は距離の問題など、いくつかの制限があります。詳細については、『LONWORKS LPT-11 Link Power Transceiver User's Guide』を参照してください。

個々のワイヤセグメントの耐久温度は +85 ですが、ワイヤの平均温度が +55 を超えないようにしてください。

原則として、TP/FT-10 ネットワークチャネル通信ケーブルは、高圧電源ケーブルからは遠ざけてください。ケーブルの配置に関しては各国の電気法令に従ってください。

伝送距離に関する仕様

表 27 と表 28 に、サポートされている各ケーブルの伝送距離仕様を示します。

表 27 両終端バス型トポロジー仕様

ケーブルの種類	最大バス長（メートル）
Belden 85102	2700
Belden 8471	2700
NEMA Type 4、22 AWG	1400
J-Y(ST)Y 2x2x0.8	900
ANSI/TIA/EIA カテゴリ 5	900

両終端バスでは、バスから各デバイスまで最長 3 メートルのスタブを使用することができます。

表 28 フリートポロジー仕様

ケーブルの種類	最大デバイス間距離（メートル）	最大総ワイヤ長（メートル）
Belden 85102	500	500
Belden 8471	400	500
NEMA Type 4、22 AWG	400	500
J-Y(ST)Y 2x2x0.8	320	500
ANSI/TIA/EIA カテゴリ 5	250	450

シールド付きツイストペアケーブルの接地

シールド付きツイストペアケーブルを使用する場合は、ツイストペアの終端処理をするとともに、ケーブルシールドを接地してください（図 42 参照）。

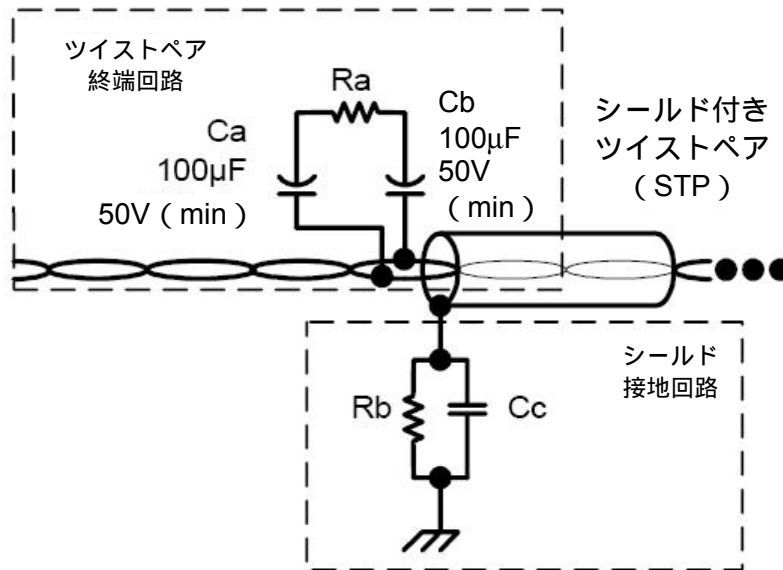


図 42 シールド付きツイストペアケーブルの終端処理と接地

「フリートポロジーのネットワークセグメント」の項（92 ページ）または「両終端バス型トポロジーのセグメント」の項（92 ページ）で説明した方法で終端処理を行ってください。ケーブルシールドを接地するには、コンデンサを使用してシールドを接地グランドにつなぎ、大きな値の抵抗でシールドの静電気を逃がします。

シールドをグランドに直接つなぐことなくコンデンサ経由でつなぐことで、シールド内に DC や 50/60 Hz のグランド経路が形成されるのを防ぐことができます。 R_b と C_c の値 (typ) は以下のとおりです。

- $C_c = 0.1 \mu\text{F}$ 、10%、金属被膜ポリエステル、 $\geq 100 \text{ V}$
- $R_b = 470 \text{ k}\Omega$ 、1/4 W、 $\pm 5\%$

ケーブルシールドは少なくとも 1 セグメントに 1 箇所接地する必要がありますが、なるべくすべてのデバイスで接地するようにしてください。すべてのデバイスで接地することによって、50/60 Hz の定在波を効果的に抑えることができます。

6

シリーズ 5000 の I/O インターフェース

本章では、シリーズ 5000 デバイスで利用できる I/O モデルの概要について説明します。

利用可能な I/O モデルの詳細については、『I/O Model Reference for Smart Transceivers and Neuron Chips』を参照してください。

概要

エシロン社の Neuron チップおよびスマートトランシーバは、11 本または 12 本の I/O ピン (IO0 ~ IO11) を利用してアプリケーション固有の外部ハードウェアと接続します。これらのピンを設定することにより、最小限の外部回路で柔軟な入出力 (I/O) 機能を実現できます。これらの機能を「I/O モデル」と呼びます。

Neuron C プログラミング言語では、1 本以上の I/O ピンを使用する I/O オブジェクトを宣言することができます。I/O オブジェクトとは I/O モデルのソフトウェアインスタンスであり、指定したオンチップ I/O ハードウェア構成、および指定した入力または出力波形定義の I/O ドライバに対して、プログラマブルなアクセスを可能にします。プログラムからは、`io_in()` および `io_out()` システムコールによってこれらオブジェクトのほとんどを呼び出すことができ、これによってプログラム実行中に実際の入力機能または出力機能を実行します。入力値の変化にはイベントが割り当てられるため、入力値が変化するとタスクスケジューラは関連するアプリケーションコードを実行することができます。

Neuron チップおよびスマートトランシーバでは多くの I/O モデルを利用できます。ほとんどの I/O モデルは、デフォルトのシステムイメージに用意されています。アプリケーションで必要とする I/O モデルがデフォルトのシステムイメージに含まれていない場合は、開発ツールによって適切な I/O モデルが利用可能なメモリ領域にリンクされます。FT 3120、PL 3120、PL 3170 スマートトランシーバでは、内部 EEPROM 領域に I/O モデルが追加されます。FT 3150、PL 3150 スマートトランシーバでは、外部フラッシュまたは EEPROM 領域 (システムイメージ用に確保された 16 KB 以降の領域) に I/O モデルが追加されます。シリーズ 5000 デバイスでは、I/O モデルはアプリケーションイメージに追加されます。

また、シリーズ 5000 チップではアプリケーション固有の割り込みも利用できます。この割り込みは、どの I/O オブジェクトが関連付けられた I/O ピンでも、立ち上がりエッジや立ち下がりエッジ (またはその両方)、HIGH レベルまたは LOW レベルでトリガできます。割り込みの詳細については、『Neuron C Programmer's Guide』を参照してください。

利用可能な I/O モデルの詳細とその使用方法については、『I/O Model Reference for Smart Transceivers and Neuron Chips』を参照してください。

2 つの 16 ビットタイマ/カウンタ

内部タイマ/カウンタを使用する I/O モデルには 2 種類があります。タイマ/カウンタは、アプリケーションプロセッサから書き込み可能なレジスタ、16 ビットカウンタ、プロセッサから読み出し可能なラッチの組み合わせとして実装されています。16 ビットレジスタは一度に 1 バイトずつアクセスされます。シリーズ 5000 チップには、2 つのタイマ/カウンタがあります (97 ページの図 43 参照)。

- タイマ/カウンタ 1 — ピン IO4 ~ IO7 の間で入力を選択し、ピン IO0 に出力
- タイマ/カウンタ 2 — ピン IO4 から入力し、ピン IO1 に出力

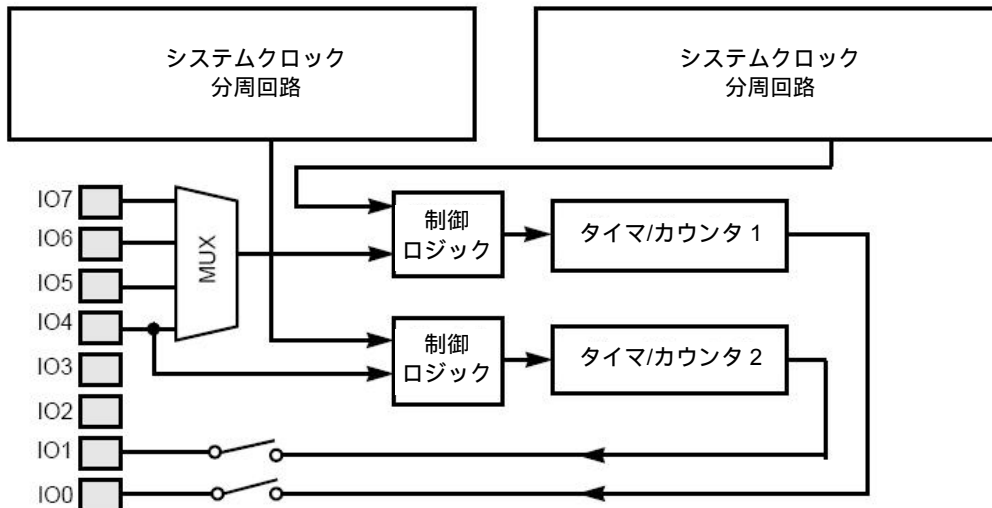


図 43 タイマ/カウンタ回路

タイマ/カウンタ機能専用の I/O ピンはありません。たとえば、タイマ/カウンタ 1 が入力信号のみで使用されている場合、IO0 はその他の入力または出力に使用することができます。タイマ/カウンタのクロックおよびイネーブル入力は、外部ピンから供給することも、システムクロックをスケーリングしたクロックを使用することもできます。2つのタイマ/カウンタのクロックレートは互いに独立しています。外部クロックは、入力の立ち上がりエッジ、立ち下がりエッジ、またはその両方のエッジで動作することも可能です。

シリーズ 5000 チップでは、タイマ/カウンタユニット 1 つにつき最大 1 つのアプリケーション固有割り込みタスクもサポートされます。これらの割り込みがどのような条件でトリガされるかは、タイマ/カウンタユニットを使用する I/O オブジェクトによって異なります。タイマ/カウンタ割り込みの詳細については、『Neuron C Programmer's Guide』を参照してください。

タイマ/カウンタの詳細な使用方法については、『I/O Model Reference for Smart Transceivers and Neuron Chips』を参照してください。

利用可能な I/O オブジェクトの一覧

Neuron チップおよびスマートトランシーバでは、多くの I/O モデルを利用できます。特定の種類のチップでしか利用できない I/O モデルもありますが、ほとんどの I/O モデルはすべての Neuron チップとスマートトランシーバで利用できます。I/O モデルは以下のカテゴリに分類されます。

- **直接 I/O モデル**：I/O ピンの論理レベルに基づく I/O モデルです。これらの I/O モデルでは、Neuron チップやスマートトランシーバに内蔵されたハードウェアのタイマ/カウンタは一切使用しません。直接 I/O モデルは、複数の重複した組み合わせを 1 つの Neuron チップまたはスマートトランシーバ内で利用できます。直接 I/O モデルには次の種類があります。

入力モデルの種類

bit
byte
leveldetect
nibble
touch

出力モデルの種類

bit
byte
nibble
touch

- タイマ/カウンタ I/O モデル：Neuron チップまたはスマートトランシーバのタイマ/カウンタ回路を使用します。Neuron チップおよびスマートトランシーバには、それぞれ 2 つのタイマ/カウンタ回路が内蔵されています。1 つは入力をマルチプレクサで選択するようになっており、もう 1 つは入力ピンが固定されています。タイマ/カウンタ I/O モデルには次の種類があります。

入力モデルの種類	出力モデルの種類
dualslope	edgedivide
edgelog	frequency
infrared	infrared_pattern
ontime	oneshot
period	pulsecount
pulsecount	pulsewidth
quadrature	stretchedtriac
totalcount	triac
	triggeredcount

- シリアル I/O モデル：1 本または複数のピンでデータをシリアルに転送するために使用します。**neurowire**、**i2c**、**magcard**、**magcard_bitstream**、**magtrack1**、**serial** の I/O モデルについては、1 つの Neuron チップまたはスマートトランシーバで同時に使用できるのはいずれか 1 つのみです。1 つの Neuron チップまたはスマートトランシーバで同じシリアル I/O モデルの入力バージョンと出力バージョンを共存させることができます。シリアル I/O モデルには次の種類があります。

シリアル入力モデルの種類	シリアル出力モデルの種類
bitshift	bitshift
magcard	serial
magcard_bitstream	
magtrack1	
serial	
wiegand	

シリアル入出力モデルの種類
i2c
neurowire
sci
spi

- パラレル I/O モデル：双方向の高速 I/O に使用します。このカテゴリの I/O モデルは、Neuron チップまたはスマートトランシーバの I/O ピンをすべて使用します。パラレル I/O モデルには次の種類があります。

パラレル入力/出力モデルの種類
muxbus
parallel

表 29 から表 33 (101 ページ) に、利用可能な I/O モデルを各カテゴリ別に示します。図 44 (104 ページ) に、各 I/O モデルのピン構成をまとめます。種類の異なる I/O モデルなら、1 つのデバイスで複数のものを同時に使用できます。

表 29 直接 I/O モデルの一覧

I/O モデル	該当する I/O ピン	オブジェクトあたりの総ピン数	入出力値
Bit 入力 ¹	IO0 ~ IO11	1	バイナリデータ (0, 1)
Bit 出力 ¹	IO0 ~ IO11	1	バイナリデータ (0, 1)
Byte 入力	IO0 ~ IO7	8	バイナリデータ (0 ~ 255)
Byte 出力	IO0 ~ IO7	8	バイナリデータ (0 ~ 255)
Leveldetect 入力	IO0 ~ IO7	1	ロジック 0 レベル検出
Nibble 入力	IO0 ~ IO7 のうち、 任意の隣接する 4 本	4	バイナリデータ (0 ~ 15)
Nibble 出力	IO0 ~ IO7 のうち、 任意の隣接する 4 本	4	バイナリデータ (0 ~ 15)
Touch 入出力	IO0 ~ IO7	1	入力または出力ビットのうち、 最大 2048 ビット
注記： 1. IO11 ピンを利用できるデバイスは、PL 3120-E4、PL 3150、PL 3170、FT 5000、Neuron 5000 のみです。			

表 30 パラレル I/O モデルの一覧

I/O モデル	該当する I/O ピン	オブジェクトあたりの総ピン数	入出力値
Muxbus I/O	IO0 ~ IO10	11	双方向パラレルポート (アドレスを多重化)
Parallel I/O ¹	IO0 ~ IO11	12	双方向パラレルポート (ハンドシェイク)
注記： 1. IO11 ピンを利用できるデバイスは、FT 5000 と Neuron 5000 のみです。			

表 31 シリアル I/O モデルの一覧

I/O モデル	該当する I/O ピン	オブジェクトあたりの総ピン数	入出力値
Bitshift 入力	任意の隣接する 2 本 (IO7 + IO8、IO10 + IO11 を除く)	2	最大 16 ビットのクロック同期データ
Bitshift 出力	任意の隣接する 2 本 (IO7 + IO8、IO10 + IO11 を除く)	2	最大 16 ビットのクロック同期データ
I ² C	IO8 + IO9 または IO0 + IO1	2	最大 255 バイトの双方向シリアルデータ
Magcard Bitstream	IO8 + IO9 + (IO0 ~ IO7 のうちの 1 つ)	2 または 3	磁気カードリーダーからの未処理シリアルデータストリーム
Magcard 入力	IO8 + IO9 + (IO0 ~ IO7 のうちの 1 つ)	2 または 3	磁気カードリーダーからのエンコードされた ISO7811 トラック 2 データストリーム
Magtrack1	IO8 + IO9 + (IO0 ~ IO7 のうちの 1 つ)	2 または 3	磁気カードリーダーからのエンコードされた ISO3554 トラック 1 データストリーム
Neurowire 入出力	IO8 + IO9 + IO10 + (IO0 ~ IO7 のうちの 1 つ)	4	最大 256 ビットの双方向シリアルデータ
SCI (UART) ¹	IO8 + IO10	2	最大 255 バイトの入力および 255 バイトの出力
Serial 入力	IO8	1	8 ビット文字
Serial 出力	IO10	1	8 ビット文字
SPI	IO8 + IO9 + IO10 + (IO7)	3 または 4	最大 255 バイトの双方向データ
Wiegand 入力	IO0 ~ IO7 のうち、任意の隣接する 2 本	2	Wiegand カードリーダーからのエンコードされたデータストリーム
注記： 1. SCI (UART) モデルを利用できるデバイスは、PL 3120-E4、PL 3150、PL 3170、FT 5000、Neuron 5000 のみです。			

表 32 タイマ/カウンタ入力モデルの一覧

I/O モデル	該当する I/O ピン	オブジェクトあたりの総ピン数	入出力値
Dualslope 入力	IO0、IO1 + (IO4 ~ IO7 のうちの 1 つ)	2	二重積分型 A/D コンバータロジックのコンパレータ出力
Edgelog 入力	IO4	1	入力遷移のストリーム
Infrared 入力	IO4 ~ IO7	1	赤外線復調器からのエンコードされたデータストリーム
Ontime 入力	IO4 ~ IO7	1	パルス幅 (0.2 μ s ~ 1.678 s)
Period 入力	IO4 ~ IO7	1	信号周期 (0.2 μ s ~ 1.678 s)
Pulsecount 入力	IO4 ~ IO7	1	0.839 秒間の入力エッジ数 (0 ~ 65,535)
Quadrature 入力	IO4 + IO5、IO6 + IO7	2	バイナリのグレイコードの遷移回数 (\pm 16,383)
Totalcount 入力	IO4 ~ IO7	1	入力エッジ数 (0 ~ 65,535)

表 33 タイマ/カウンタ出力モデルの一覧

I/O モデル	該当する I/O ピン	オブジェクトあたりの総ピン数	入出力値
Edgedivide 出力	IO0、IO1 + (IO4 ~ IO7 のうちの 1 つ)	2	入力周波数をユーザーが指定した値で割った出力周波数
Frequency 出力	IO0、IO1	1	0.3 Hz ~ 2.5 MHz の矩形波
Infrared Pattern 出力	IO0、IO1	1	特定周波数の矩形波信号を連続出力
Oneshot 出力	IO0、IO1	1	持続時間 0.2 μ s ~ 1.678 s のパルス
Pulsecount 出力	IO0、IO1	1	パルス数 (0 ~ 65,535)
Pulsewidth 出力	IO0、IO1	1	デューティサイクル 0 ~ 100% のパルス列

I/O モデル	該当する I/O ピン	オブジェクトあたりの総ピン数	入出力値
Stretched Triac 出力 ¹	IO0、IO1 + (IO4 ~ IO7 のうちの 1 つ)	2	入力エッジを基準にした出力パルスの遅延
Triac 出力 ²	IO0、IO1 + (IO4 ~ IO7 のうちの 1 つ)	2	入力エッジを基準にした出力パルスの遅延
Triggered-Count 出力	IO0、IO1 + (IO4 ~ IO7 のうちの 1 つ)	2	入力エッジのカウントによって制御した出力パルス

注記：

1. Stretched Triac 出力モデルを利用できるデバイスは、FT 5000 と Neuron 5000 のみです。
2. デュアルエッジトリガは、Neuron 3150、FT 3150、PL 3150 では利用できません。

Neuron チップおよびスマートランシーバには 2 つの 16 ビットタイマ/カウンタがオンチップに内蔵されています。タイマ 1 (マルチプレクサ付きタイマ/カウンタ) の入力にはプログラマブルなマルチプレクサによってピン IO4 ~ IO7 の間で選択できます。出力はピン IO0 に接続できます。タイマ/カウンタ 2 (専用タイマ/カウンタ) の入力にはピン IO4 に接続でき、出力はピン IO1 に接続できます。

タイマ/カウンタは CPU から書き込み可能な 16 ビットロードレジスタ、16 ビットカウンタ、CPU から読み出し可能な 16 ビットラッチの組み合わせとして実装されています。ロードレジスタとラッチは一度に 1 バイトずつアクセスされます。タイマ/カウンタ機能専用の I/O ピンはありません。たとえば、タイマ/カウンタ 1 が入力信号のみで使用されている場合、IO0 はその他の入力または出力に使用することができます。タイマ/カウンタのクロックおよびイネーブル入力は、外部ピンから供給することも、システムクロックをスケールしたクロックを使用することもできます。2 つのタイマ/カウンタのクロックレートは互いに独立しています。外部クロックは、入力の立ち上がりエッジ、立ち下がりエッジ、またはその両方のエッジで動作することも可能です。

シリーズ 5000 デバイスでは、多くのタイマ/カウンタ I/O モデルで割り込みタスクをトリガすることもできます。アプリケーションでこの機能を利用すると、タイマ/カウンタモデルに関連した I/O イベントを最小限の遅延で実行できます。シリーズ 5000 デバイスで割り込みを定義して使用する方法について、詳しくは『Neuron C Programmer's Guide』を参照してください。

1 つのアプリケーション内で、複数のピンに対して複数のタイマ/カウンタ入力オブジェクトを宣言することができます。アプリケーションでは、`io_select()` 関数を呼び出すことにより、タイマ/カウンタ 1 を利用して最大 4 つの異なる入力オブジェクトを実装できます。タイマ/カウンタが出力モデルのうちの 1 つを実装するよう構成されている場合や、quadrature 入力オブジェクトとして構成されている場合、そのタイマ/カウンタを同じアプリケーションプログラム内の別のタイマ/カウンタオブジェクトに再割当することはできません。

図 44 (104 ページ) に示す I/O モデルについては、I/O オブジェクトの宣言に関して以下のガイドラインが適用されます。

- I/O オブジェクトは最大 16 個まで宣言できます。
- タイマ/カウンタ 1 はマルチプレクサで最大 4 つの入力オブジェクトを選択できます。

- **neurowire**、**i2c**、**magcard**、**magcard_bitstream**、**magtrack1**、**serial** の I/O モデルについては、同時に使用できるのはいずれか 1 つのみです。これらの I/O モデルは、同じ種類であれば 1 つまたは複数を 1 つのプログラム内で宣言できます。
- 一部の Neuron チップやスマートトランシーバでは、**parallel** および **muxbus** I/O モデルによってすべての I/O ピンが占有されるため、これらのオブジェクトを宣言した場合は他のオブジェクトを宣言することはできません。PL 3120-E4、PL 3150、PL 3170 に関しては、**parallel** または **muxbus** オブジェクトを宣言した場合でも IO11 ピンを **bit** 入力または出力として宣言できます。シリーズ 5000 デバイスでは、**parallel** (マスターまたはスレーブ A モード) または **muxbus** オブジェクトを宣言した場合でも IO11 ピンを **bit** 入力または出力として宣言できます。この場合、IO11 ピンは **parallel** (スレーブ B モード) オブジェクトの IRQ ピンとして機能します。
- 直接 I/O オブジェクト (**bit**、**nibble**、**byte** など) は任意の組み合わせで宣言できます。タイマ/カウンタ、**serial**、**neurowire** の各 I/O オブジェクトを宣言すると、重複したピンで宣言されている直接 I/O オブジェクトのピン方向よりも優先されます。
- **quadrature** および **dualslope** 入力オブジェクトは、他の入力オブジェクトと同時にタイマ/カウンタ 1 のマルチプレクサ入力に割り当てることができません。**edgelog** 入力はタイマ/カウンタを 2 つとも使用するため、他のタイマ/カウンタオブジェクトと同時に使用できません。
- **bitshift** I/O オブジェクトはタイマ/カウンタオブジェクトと同じ I/O ピンでは宣言できません。直接 I/O オブジェクトは、**bitshift** I/O オブジェクトと同じピンで宣言することができます。隣接する 2 つの **bitshift** I/O オブジェクトで I/O ピンを共有することはできません。

		I/O ピン												
		0	1	2	3	4	5	6	7	8	9	10	11	
直接 I/O モデル	Bit 入力、Bit 出力	任意のピン												
	Byte 入力、Byte 出力	0 ~ 7 の任意のピン												
	Leveldetect 入力	0 ~ 7 の任意のピン												
	Nibble 入力、Nibble 出力	任意の隣接する 4 本のピン												
	Touch 入出力													
パラレル I/O モデル	Muxbus I/O	データピン 0 ~ 7							ALS	WS	RS			
	Parallel I/O	マスター/スレーブ A	データピン 0 ~ 7							CS	R/W	HS		
		スレーブ B	データピン 0 ~ 7							CS	R/W	A0	IRQ	
シリアル I/O モデル	Bitshift 入力、Bitshift 出力	C	D	C	D	C	D	C	D	C	D	C		
	I ² C 入出力	C	D							C	D			
	Magcard Bitstream	オプションのタイムアウト							C	D				
	Magcard 入力	オプションのタイムアウト							C	D				
	Magtrack 1 入力	オプションのタイムアウト							C	D				
	Neurowire	マスター	オプションのチップセレクト							C	D	D		
		スレーブ	オプションのタイムアウト							C	D	D		
	SCI(UART)													
	Serial 入力													
	Serial 出力													
	SPI													
	Wiegand 入力	任意の 2 本のピン(オプションのタイムアウト)												
	タイマ/カウンタ 入力モデル	Dualslope 入力	コントロール											
Edgelog 入力														
Infrared 入力														
Ontime 入力														
Period 入力														
Pulsecount 入力														
Quadrature 入力								4 + 5	6 + 7					
Totalcount 入力														
タイマ/カウンタ 出力モデル	Edgedivide 出力													
	Frequency 出力													
	Infrared Pattern 出力													
	Oneshot 出力													
	Pulsecount 出力													
	Pulsewidth 出力													
	Stetched Triac 出力	コントロール												
	Triac 出力	コントロール												
Triggered-Count 出力	コントロール													
		0	1	2	3	4	5	6	7	8	9	10	11	
		ハイシंक			ブルアップ				標準			ブルアップ		

注記:

- I/O 11 ピンを利用できるのは、PL 3120、PL 3150、PL 3170、およびシリーズ 5000 デバイスのみです。
- ハイシंकとブルアップはシリーズ 3100 デバイスの場合のみです。
- Infrared Pattern、Magcard Bitstream、SCI(UART)、SPI の I/O モデルを利用できるのは、PL 3120、PL 3150、PL 3170、およびシリーズ 5000 デバイスのみです。
- Stretched Triac I/O モデルを利用できるのはシリーズ 5000 デバイスのみです。

凡例:

- ALS = アドレスラッチストローブ
- WS = Write ストローブ
- RS = Read ストローブ
- CS = チップセレクト
- R/W = Read/Write
- HS = ハンドシェイク
- A0 = アドレス 0
- IRQ = 割り込み要求
- C = クロック
- D = データ

タイマ/カウンタ 1 デバイス:

- 次のうちの 1 つ:
- IO_4 入力 edgelog
- IO_6 入力 quadrature
- IO_0 出力 [frequency | infrared_pattern | oneshot | pulsecount | pulsewidth]
- IO_0 出力 [edgedivide | stretchedtriac | triac | triggeredcount] sync (IO_4 ~ IO_7)

または、次のうちの最大 4 つ:

- IO_4 入力 [dualslope | infrared | ontime | period | pulsecount | totalcount] mux
- IO_5 ~ IO_7 入力 [dualslope | infrared | ontime | period | pulsecount | totalcount]

タイマ/カウンタ 2 デバイス:

- 次のうちの 1 つ:
- IO_4 入力 edgelog
- IO_4 入力 quadrature
- IO_4 入力 [dualslope | infrared | ontime | period | pulsecount | totalcount] ded
- IO_1 出力 [frequency | infrared_pattern | oneshot | pulsecount | pulsewidth]
- IO_1 出力 [edgedivide | stretchedtriac | triac | triggeredcount] sync (IO_4)

図 44 I/O モデルのピン構成一覧

例： Neuron チップまたはスマートトランシーバでは、以下の種類の I/O オブジェクトを組み合わせて使用できます。

- parallel I/O オブジェクト (IO_0 ~ IO10) を 1 つ

または

- muxbus I/O オブジェクト (IO_0 ~ IO10) を 1 つ

または

- 表 34 の A ~ E に示すその他の I/O モデルの組み合わせ (すべての組み合わせも可)

表 34 I/O モデルの組み合わせ例

A	B	C	D	E
最大 4 つのタイマ/カウンタ入力 (IO_4、IO_5、IO_6、IO_7 をマルチプレクサで選択)。 quadrature 入力 (IO_6) を含む または タイマ/カウンタ出力 (IO_0) を 1 つ	1 つのタイマ/カウンタ入力 (IO_4)。 quadrature 入力 (IO_4) を含む または タイマ/カウンタ出力 (IO_1) を 1 つ	1 つの neurowire I/O オブジェクト (IO_8、IO_9、IO_10) と IO_0 ~ IO_7 のいずれか 1 つ または シリアル I/O オブジェクト (IO_8、IO_10) を 1 つ	任意のピン (IO_0 ~ IO_10) に任意の直接 I/O オブジェクト	1 つのビット I/O オブジェクト (IO_11)

ハードウェアに関する考慮事項

I/O ピンの電気的特性については、「デジタル I/O ピンの特性」の項 (41 ページ) が、シリーズ 3100 またはシリーズ 5000 デバイスのデータシートを参照してください。出力として構成したピンを入力として読み取り、ピンに最後に書き込まれた値を返すこともできます。このほか、オプションとしてデジタル出力の初期値をアプリケーションプログラムで指定することもできます。

シリーズ 3100 デバイスのピン IO4 ~ IO7、IO11 は、プルアップ抵抗の役割を果たすプルアップ電流ソースをオプションで備えています。これらのプルアップを有効にするには、Neuron C コンパイラの `#pragma enable_io_pullups` 指令を使用します。また、シリーズ 3100 デバイスのピン IO0 ~ IO3 は、大電流シンク能力 (20 mA) を備えています。その他のピンは、標準的な電流シンク能力です。

シリーズ 3100 FT スマートトランシーバでは、I/O のプルアップはスタック初期化および BIST (Built-In Self-Test) 時に有効になります (スタック初期化および BIST 処理の詳細については、『FT 3120 / FT 3150 Smart Transceiver Data Book』を参照してください)。ただし、シリーズ 3100 PL スマートトランシーバでは、スタック初期化および BIST の時点では I/O のプルアップは有効になりません。

推奨： シリーズ 3100 PL スマートトランシーバ（特にエネルギー蓄積型電源を使用したデバイス）の場合、アプリケーションで使用していない I/O ピンはプリント基板上で HIGH または LOW に接続するか、未接続のままアプリケーションによってビット出力に設定し、不要な消費電力を抑える必要があります。詳細については、『PL 3120 / PL 3150 / PL 3170 Power Line Smart Transceiver Data Book』を参照してください。

シリーズ 5000 デバイスの I/O ピンには、構成可能なプルアップ抵抗や大電流シンク機能はありません。I/O 回路にプルアップ抵抗が必要な場合は、デバイスのハードウェア設計にプルアップ抵抗を追加する必要があります。シリーズ 5000 デバイスの I/O ピンは、電流ソース/シンク能力とともに 8 mA です。I/O 回路でこれ以上の大電流を扱う必要がある場合は、外部ドライバ回路を追加してください(Fairchild Semiconductor[®] 社の 74AC245/74ACT245 Octal Bidirectional Transceiver または 74VHC245/74VHCT245 Octal Buffer/Line Driver など)。

また、シリーズ 5000 デバイスのピンはすべて 3.3 V ピンです。入力ピンは 5 V 耐性があり、出力ピンは CMOS 互換です。シリーズ 3100 デバイスのピンはすべて 5 V ピンです。

シリーズ 3100 およびシリーズ 5000 デバイスのどちらも、ピン IO0 ~ IO7 には LOW レベル検出ラッチがあります。

I/O ピンはシステムファームウェアによって制御されるため、I/O ピンの読み出しおよび書き込みのタイミングには遅延が含まれることになり、その遅延は I/O モデルや I/O ピンによっても異なります。すべての入力ピンは、Neuron C の **when** ステートメントの処理中にソフトウェアでサンプリングされます。一般に、遅延の大きさはシステムクロックレートに反比例します。

外部イベントに対する動作の一貫性を保ち、セットアップとホールドのメタスタビリティを防ぐため、すべての I/O ピンは、シンプルな入力として構成されている場合、内部システムクロックでサンプリングされるハードウェア同期ブロック（図 45 参照）を通ります。

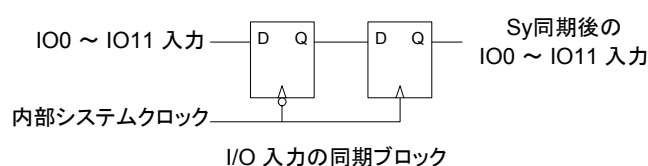


図 45 同期ブロック

I/O ピンを他の機能に使用する場合は、このような同期は必要ありません。

シリーズ 3100 デバイスでは、サンプルレートは常に入力クロックの半分になります（たとえば、入力クロックが 10 MHz の場合、サンプルレートは 5 MHz）。信号を 10 MHz 入力クロックに確実に同期させるには、信号の持続時間が少なくとも 220 ns 必要です（図 46 参照）。

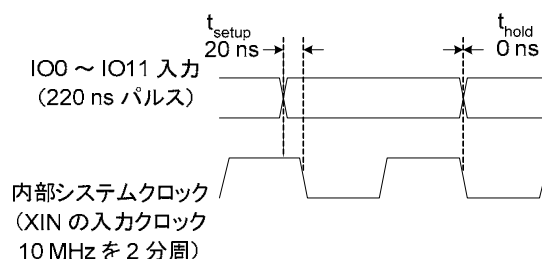


図 46 シリーズ 3100 デバイスでの外部信号の同期

シリーズ 5000 デバイスでは、サンプルレートとシステムクロックレートは同一です。信号を 80 MHz システムクロックに確実に同期させるには、図 47（107 ページ）に示すように信号の持続時間が少なくとも 17.5 ns 必要です。

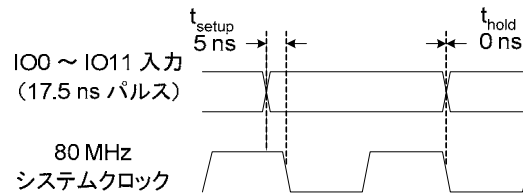


図 47 シリーズ 5000 デバイスでの外部信号の同期

持続時間が 220 ns 以上（クロックレート 10 MHz のシリーズ 3100 デバイスの場合）または 17.5 ns 以上（クロックレート 80 MHz のシリーズ 5000 デバイスの場合）のイベントはハードウェアによって同期がとられますが、ソフトウェアサンプリングの遅延によってイベントの検出が遅れることがあります。状態変化がソフトウェアサンプリングよりも速い場合、中間の変化は検出されません。

同期ブロックの利用には次の例外が適用されます。

- 平行 I/O オブジェクトのスレーブ B モードで使用するチップセレクト (CS~) 入力は、立ち上がりエッジを非同期で認識します。
- `leveldetect` 入力は 200 ns クロック（シリーズ 3100 デバイスの場合）または 12.5 ns クロック（シリーズ 5000 デバイスの場合）のフリップフロップによってラッチされます。レベル検出遷移イベントはラッチされますが、ソフトウェア検出に遅延が発生します。
- SCI (UART) オブジェクトおよび SPI オブジェクトはハードウェアによってバイト境界でバッファリングされ、割り込みを利用してメモリに転送されます。
- Neuron チップやスマートトランシーバ内のアプリケーションプロセッサや割り込みプロセッサの状態にかかわらず、入力タイマ/カウンタ機能の I/O ピンで発生するイベントは正確に測定され、値がレジスタに戻されます。ただし、アプリケーションプロセッサがレジスタを読み取るときに遅延が生じることがあります。

7

プログラミングに関する考慮事項

本章では、シリーズ 5000 デバイスで動作するアプリケーション開発用のソフトウェアツールについて説明します。

アプリケーションプログラム開発

Neuron C アプリケーションの初期段階の開発とテストは、Mini FX 評価キットまたは NodeBuilder FX 開発ツールを使って行うことができます。NodeBuilder 開発ツールではアプリケーションのデバッグも行えます。アプリケーションの開発、テスト、デバッグの詳しい手順については、『Mini FX User's Guide』および『NodeBuilder FX User's Guide』を参照してください。

初期段階のデバイス開発には、Mini FX/FT 評価キットまたは NodeBuilder FX/FT 開発ツールに含まれる FT 5000 EVB 評価ボードを使用してください。この評価ボードには、FT 5000 スマートトランシーバ用のシンプルな Neuron C サンプルアプリケーションが付属しています。FT 5000 EVB 評価ボードの詳細については、『FT 5000 EVB Hardware Guide』を参照してください。

Mini FX 評価キット

エシェロン社の Mini FX 評価キットは、ISO/IEC 14908 (ANSI/CEA-709.1 および EN14908) 制御ネットワークプロトコルを利用した制御ネットワークアプリケーションの開発を評価するためのツールです。Mini FX 評価キットを使用すると、特にスマートなライトスイッチやサーモスタット、その他のシンプルなデバイスやセンサーなど、省コスト性が求められる現在急成長中の巨大市場に向けたネットワーク型の制御システムの試作品や製品を効率的に開発することができます。また、Mini FX 評価キットを使用すると、LONWORKS プラットフォームを使用した制御ネットワーク用のアプリケーション開発を評価することもできます。

シリーズ 5000 デバイス用のアプリケーションを開発するには、Mini FX 以降の評価キットが必要です。

Mini FX 評価キットの詳しい使用方法については、『Mini FX/FT Quick Start』および『Mini FX User's Guide』を参照してください。

NodeBuilder FX 開発ツール

NodeBuilder FX 開発ツールは、Neuron チップおよびエシェロン社のスマートトランシーバ用アプリケーションの開発に使用するハードウェア/ソフトウェアプラットフォームです。

NodeBuilder 開発ツールでは、以下のことが行えます。

- SNVT、SCPT、および標準機能プロファイルの標準リソースファイル定義を表示する。
- UNVT、UCPT、ユーザー機能プロファイルのカスタムリソースファイルを作成する。
- 個々のデバイスインターフェースを実装した Neuron C コードを自動で生成する。
- Neuron C コードを編集してデバイスに独自機能を実装する。
- アプリケーションをコンパイル、ビルドして FT 5000 EVB 評価ボードや実際のデバイスにダウンロードする。
- FT 5000 EVB 評価ボード上で試作品の I/O ハードウェアを使ってテストを行う、FT 5000 EVB を使用して独自の I/O ハードウェアの試作とテストを行う、または独自のカスタムデバイスを使用する。
- デバイスを LONWORKS ネットワークに設置して、デバイスと他の LONWORKS デバイスとの相互運用性をテストする。
- LNS プラグインフレームワークを利用してデバイスの LNS プラグインを開発する。
- LonMaker インテグレーションツールを使って LNS プラグインをテストし、デバイスを容易に設定、設置できることを確認する。

シリーズ 5000 デバイス用のアプリケーションを開発するには、NodeBuilder FX 以降の開発ツールが必要です。

NodeBuilder FX 開発ツールの詳しい使用方法については、『NodeBuilder FX/FT Quick Start』および『NodeBuilder FX User's Guide』を参照してください。

開発ハードウェアのセットアップ

TP/FT-10 接続の LNS 互換ネットワークインターフェースを使用する場合、NodeBuilder 開発ツールで TP/FT-10 チャンネルを使用するように設定します。デバイス開発の初期段階では、FT 5000 評価ボード (BFT5000) のデバイステンプレートを使用し、FT 5000 EVB 評価ボードを開発環境として使用するか、またはこのデバイステンプレートをもとに、実際に使用するシリーズ 5000 デバイスのデバイステンプレートを作成します。FT 5000 EVB プラットフォームのデフォルトのハードウェアテンプレートは 80 MHz のシステムクロックを使用します。システムクロックは、デバイスで利用できるレートを自由に選択できます。詳細については、『NodeBuilder FX User's Guide』を参照してください。

新規デバイステンプレートの作成時には、NodeBuilder Device Template ウィザードが起動します。このウィザードで、あらかじめ定義されたハードウェアテンプレートを選択します。開発中に後からこのハードウェアテンプレートにアクセスするには、プロジェクトペインの「Development」フォルダおよび「Release」フォルダを参照します。

デバイス開発の初期段階では、FT 5000 評価ボードのハードウェアテンプレートを使用してください。NodeBuilder Device Template ウィザードでこのテンプレートを選択しなかった場合、「Hardware Templates」フォルダにある「Standard Templates」フォルダから FT 5000 Evaluation Board アイコンを現在のデバイスのデバイステンプレートの「Development」フォルダにドラッグすると利用できるようになります。

リリースハードウェアのセットアップ

FT 5000 EVB 評価ボードでアプリケーションの開発、テスト、デバッグが完了したら、最終的なターゲットハードウェアに合わせてハードウェアテンプレートを作成する必要があります。

NodeBuilder 開発ツールには、一般的なシリーズ 5000 デバイス用の定義済みハードウェアテンプレートは用意されていません。FT 5000 評価ボードのデバイステンプレートをカスタマイズして、実際に使用する Neuron 5000 プロセッサまたは FT 5000 スマートトランシーバ用のデバイステンプレートを作成することができます。

NodeBuilder 開発ツールを利用したデバイス開発の初期段階では、NodeBuilder Device Template ウィザードでこのテンプレートを選択してください。このテンプレートに後でアクセスするには、FT 5000 Evaluation Board のアイコンを「Standard Templates」フォルダから現在のデバイスの「Release」フォルダにドラッグしてください。

標準テンプレートアイコンを「User Templates」フォルダに置くと、NodeBuilder Hardware Template Properties ウィンドウが開き、選択した標準テンプレートの値が表示されます。テンプレート名を変更し、テンプレートのプロパティを以下のとおり変更します。

- 「Hardware」タブで、
 - **Neuron chip model** ドロップダウンリストでシリーズ 5000 デバイスの種類 (Neuron 5000 プロセッサまたは FT 5000 スマートトランシーバ) を指定します。
 - **Clock multiplier** ドロップダウンリストでクロック倍率を指定します。この倍率によってデバイスのシステムクロックレートが決まります。

- 「Memory」タブで、
 - **Extended non-volatile** フィールドに不揮発性メモリ（外部 EEPROM およびオプションのフラッシュ）の開始アドレスと終了アドレスを指定します。ここでは、不揮発性メモリの全容量から必須 EEPROM メモリの 2 KB 分（0x800）を差し引いた値を指定するように注意してください。
 - **Extended on-chip RAM** フィールドに RAM の残り容量を指定します。
 - **例：** 32K EEPROM デバイスを使用する場合は、**Extended non-volatile** の開始アドレスを 0x4000、終了アドレスを 0xB7FF と指定します。**Extended on-chip RAM** の開始アドレスを 0xB800 と指定します（終了アドレスは常に 0xE7FF）です。この設定により、30 KB の EEPROM が RAM にシャドウコピーされ、アプリケーションは汎用 RAM として 12 KB を使用できるようになります。

ハードウェアテンプレートを作成したら、新しいハードウェアテンプレートをデバイスにドラッグします。「User Templates」フォルダ内に新しく作成されたアイコンをデバイステンプレートの「Release」フォルダにドラッグしたら、この手順は完了です。

ユーザー定義のハードウェアテンプレートは、テンプレートのアイコンをダブルクリックすればいつでも更新できます。テンプレートを変更すると、そのテンプレートを使用して開き、コンパイルされるすべてのプロジェクトが影響を受けます。ハードウェアテンプレートを変更すると、それ以外は何も変更していなくても、**Build All** の実行が必要となることがあります。

A

シリーズ 5000 の 設計チェックリスト

この付録では、チップの接続、電源、プリント基板レイアウト、ネットワーク配線などを確認するためのチェックリストを掲載します。シリーズ 5000 チップを使った設計を行う際は、これらのチェックリストを利用して本書の記載内容に適合しているかどうかを確認してください。

この付録の内容は、自由に複製して配布することができます。

チェックリスト 1: シリーズ 5000 チップの接続

このチェックリストは、すべてのシリーズ 5000 チップ (FT 5000 スマートトランシーバと Neuron 5000 プロセッサ) に共通です。

チェック欄	項目	説明
	CC1	VDD3V3 ピン (8、18、29、30、41、42) が V_{DD3} (+3.3 V) に接続されている。→「ピン接続」(38 ページ) 参照。
	CC2	VDD1V8 ピン (6、16、44) が VOUT1V8 ピン (27) に接続されている。→「ピン接続」(38 ページ) 参照。
	CC3	AVDD3V3 ピン (31) がアナログ V_{DD3} (デジタル V_{DD3} と異なる場合) または +3.3 V に接続されている。→「ピン接続」(38 ページ) 参照。
	CC4	チップのパッド (ピン 49) がロジックグランドに接続されている。→「ピン接続」(38 ページ) 参照。
	CC5	AGND ピン (33) がアナロググランド (ロジックグランドと異なる場合) またはロジックグランドに接続されている。→「ピン接続」(38 ページ) 参照。
	CC6	ピン 6、8、16、18、27、29、30、31、41、44 について、 V_{DD3} とグランドの間にデカップリングコンデンサ (0.1 μ F 10% 16V X7R) が配置されている。各コンデンサがプリント基板の最上層で V_{DD3} ピンに隣接して配置されており、短い配線でグランドに接続されている。→「ピン接続」(38 ページ) 参照。
	CC7	VOUT1V8 ピン (27) にも V_{DD3} とグランドの間にデカップリングコンデンサ (0.1 μ F 10% 6.3V X7R) が配置されている。このコンデンサがプリント基板の最上層で VOUT1V8 ピンに隣接して配置されており、短い配線でグランドに接続されている。→「ピン接続」(38 ページ) 参照。
	CC8	未使用の I/O ピンは 10 k Ω の抵抗で V_{DD3} にプルアップ、またはグランドにプルダウンされている。
	CC9	XIN ピン (23) と XOUT ピン (24) にクリスタルまたは発振器が接続されている。これらは 10 MHz、18 pF の並列共振タイプで、「クロック要件」(56 ページ) に記載の精度要件を満たしている。
	CC10	XIN ピン (23) と XOUT ピン (24) にコンデンサ (30 pF 5% 50V NPO) が配置されている。→「クロック要件」(56 ページ) 参照。各コンデンサがプリント基板の最上層で XIN ピンおよび XOUT ピンに隣接して配置されており、短い配線でグランドに接続されている。

チェック欄	項目	説明
	CC11	XIN ピン (23) と XOUT ピン (24) の間に 1 M Ω のフィードバック抵抗が追加されている。→「クロック要件」(56 ページ) 参照。
	CC12	XOUT ピン (24) に 200 Ω の直列抵抗が追加されている。→「クロック要件」(56 ページ) 参照。
	CC13	XIN ピンと XOUT ピンにはクリスタル、コンデンサ、直列抵抗、フィードバック抵抗以外に何も接続されていない。
	CC14	VDDPLL ピン (25) が適切なチップフェライトビーズを使用して VOUT1V8 ピン (27) に接続されている。→「ピン接続」(38 ページ) 参照。
	CC15	GNDPLL ピン (26) が適切なチップフェライトビーズを使用して GND に接続されている。→「ピン接続」(38 ページ) 参照。
	CC16	PLL ピン (25 および 26) の間に安定化コンデンサ (0.01 μ F 10% 50V X7R と 0.1 μ F 10% 16V X7R) が追加されている。→「ピン接続」(38 ページ) 参照。各コンデンサがプリント基板の最上層で PLL ピンに隣接して配置されている。
	CC17	外部メモリデバイスの接続が「外部シリアルメモリアンターフェース」(24 ページ) に記載の条件を満たしている。
	CC18	JTAG TCK ピン (19) に V _{DD3} へのプルアップ抵抗 (4.99 k Ω) が接続されている。→「ピン接続」(38 ページ) 参照。

チェックリスト 2 : FT 5000 スマートトランシーバの接続

このチェックリストは FT 5000 スマートトランシーバ専用です。

チェック欄	項目	説明
	FC1	「チェックリスト 1 : シリーズ 5000 チップの接続」(114 ページ)のチェック項目がすべて確認できている。
	FC2	『FT 5000 Free Topology Smart Transceiver』データシートに記載された環境および電氣的仕様を満たしている。
	FC3	FT-X3 通信トランスのピンが「トランスの電氣的接続」(131 ページ)に記載されたとおりに接続されている。
	FC4	FT 5000 スマートトランシーバと FT-X3 通信トランスが同じプリント基板上で隣接して配置されている。
	FC5	NETP ピン(34)と NETN ピン(32)の接続が「FT 5000 スマートトランシーバの接続」(52 ページ)に記載の条件を満たしている。
	FC6	CP4 ピン(39)が 4.99 k Ω のプルアップ抵抗で V_{DD3} に接続されている。→「FT 5000 スマートトランシーバの接続」(52 ページ)参照。

チェックリスト 3 : Neuron 5000 プロセッサの接続

このチェックリストは Neuron 5000 プロセッサ専用です。

チェック欄	項目	説明
	NC1	「チェックリスト 1 : シリーズ 5000 チップの接続」 (114 ページ) のチェック項目がすべて確認できている。
	NC2	『Neuron 5000 Processor』データシートに記載された環境および電氣的仕様を満たしている。
	NC3	CP0 ~ CP4 ピン (32、34、37、38、39) の接続が「Neuron 5000 プロセッサの接続」 (54 ページ) に記載の条件を満たしている。

チェックリスト 4 : 電源

このチェックリストは、すべてのシリーズ 5000 チップ (FT 5000 スマートトランシーバと Neuron 5000 プロセッサ) に共通です。

チェック欄	項目	説明
	PS1	デバイスの動作温度範囲およびアプリケーション電流範囲 (リップルを含む) の全域にわたって $V_{DD3} = 3.3V \pm 0.3V$ である。
	PS2	V_{DD3} のリップル (帯域幅 20 MHz) が 50 mV_{p-p} 以内である。
	PS3	ホストベースのデバイス (FTXL または ShortStack デバイス) の場合、電源投入時の V_{DD3} の立ち上がり時間がホストマイクロプロセッサの条件を満たしている (最大許容立ち上がり時間は、通常ホストマイクロプロセッサのデータシートに記載されています)。

チェックリスト 5 : デバイスのプリント基板レイアウト

このチェックリストは、すべてのシリーズ 5000 チップ (FT 5000 スマートトランシーバと Neuron 5000 プロセッサ) に共通です。

チェック欄	項目	説明
	LO1	ネットワークコネクタ、カップリング回路、電源入力、外部からアクセス可能な I/O をプリント基板の 1 辺 (または隣接する 2 つの辺) にすべてまとめた「スター型グラウンド回路」レイアウトを採用している。
	LO2	デバイスのエンクロージャが金属製の場合、エンクロージャが低インダクタンスの接続でスター型グラウンドの中心に接続されている (オプションとして、低インダクタンスの DC ブロッキングコンデンサを直列に使用する)。
	LO3	4 層基板の場合、内部のグラウンドプレーンを使用して各機能ブロックのグラウンドがスター型グラウンドの中心に接続されている。 2 層基板の場合、部品面とはんだ面にグラウンドパターンを配置して各機能ブロックのグラウンドがスター型グラウンドの中心に接続されている。
	LO5	FT 5000 スマートトランシーバデバイスの場合、 図 30 (72 ページ) に示した ESD 緩衝帯には、NETA および NETB から通信トランスへの配線 (カップリングコンデンサ経由) 以外、何もパターンやプレーンが配置されていない。
	LO6	シリーズ 5000 チップ内部でクランプされた ESD やサージ過渡電流が他の敏感な回路に影響を与えることなくプリント基板の外に還るよう、シリーズ 5000 チップからスター型グラウンドの中心に低インダクタンスの経路がある。
	LO7	ホストマイクロプロセッサやその他のデジタル回路など、RF ノイズ源となるものはネットワークケーブル、電源ケーブル、I/O ケーブルから十分に離して配置している。
	LO8	高周波回路パターンから外部の金属表面への漏洩静電容量がガード配線によって抑制されている。

チェックリスト 6：ネットワークの配線と終端処理

このチェックリストは FT 5000 スマートトランシーバ専用です。

チェック欄	項目	説明
	NT1	LONWORKS ネットワークにおいて、第 5 章「FT デバイスのネットワーク配線と接続」（87 ページ）に記載の認定ケーブルを使用している。
	NT2	LONWORKS ネットワークにおいて「ケーブル終端とシールド接地」（92 ページ）に記載されたとおり適切な終端処理を行っている。

チェックリスト 7: デバイスのプログラミング

このチェックリストは、すべてのシリーズ 5000 チップ (FT 5000 スマートトランシーバと Neuron 5000 プロセッサ) に共通です。

チェック欄	項目	説明
	PG1	FT 5000 スマートトランシーバの場合、開発ツールでチャンネルの種類を TP/FT-10 に指定している。 Neuron 5000 プロセッサの場合は、チャンネルの種類が適切に指定されている。
	PG2	デバイスのハードウェアテンプレートで、シリーズ 5000 チップのシステムクロックレートを得るためのクロック倍率を正しく設定している。

B

認定 TP/FT-10 ケーブルの仕様

この付録では、TP/FT-10 チャンネルでの使用をエシエロン社で認定したケーブルの一般的な仕様について説明します。

概要

この付録では、TP/FT-10 チャンネルでの使用をエシェロン社で認定したケーブルの一般的な仕様について説明します。ここではいくつかのメーカーとそのケーブル製品を紹介していますが、これらはごく一例であり、一般的な仕様基準を満たした製品は各社から発売されています。

認定ケーブル

エシェロン社では、5種類のケーブルを認定していますが、これらのケーブルはさまざまなメーカーから発売されています。表 35 に、これらのケーブルを示します。

表 35 認定ケーブル

ケーブルの種類	AWG	直径	備考
TIA 568A カテゴリ 5 ケーブル	24 AWG	0.5 mm	ごく一般的に入手可能。CommScope® Inc. Systimax® Structured Connectivity Solutions (もともと AT&T® Bell Laboratories が開発) などの構内配線システムにも採用。
NEMA Type 4 ケーブル	16 AWG	1.3 mm	より線/単線、ケーブルあたり 1 対/2 対、シールド付き/シールドなし、プレナム/PVC など、さまざまな種類がある。 「NEMA Type 4 ケーブル仕様」の項 (125 ページ) も参照。
Belden 8471 ケーブル	16 AWG	1.3 mm	「16 AWG (1.3 mm) 「一般」ケーブル仕様」の項 (127 ページ) を参照。
Belden 85102 ケーブル	22 AWG	0.65 mm	「16 AWG (1.3 mm) 「一般」ケーブル仕様」の項 (127 ページ) を参照。
J-Y(ST)Y 2x2x0.8 ケーブル	20.4 AWG	0.8 mm	ヨーロッパでのみ入手可能。詳細については、技術資料『Junction Box and Wiring Guidelines for Twisted Pair LONWORKS Networks』(005-0023-01) を参照。
注記： <ul style="list-style-type: none">• AWG : American Wire Gauge。AWG の定義については、『ASTM B258 - 02(2008) Standard Specification for Standard Nominal Diameters and Cross-Sectional Areas of AWG Sizes of Solid Round Wires Used as Electrical Conductors』 (www.astm.org/Standards/B258.htm) を参照してください。• NEMA : 米国電機工業会。 www.nema.org• TIA : 米国電気通信工業会。 www.tiaonline.org			

各種ケーブルメーカーの一覧は、技術資料『Junction Box and Wiring Guidelines for Twisted Pair LONWORKS Networks』(005-0023-01) に記載されています。この文書はエシェロン社のホームページ (www.echelon.com) でダウンロードできます。

カテゴリ 5 ケーブル仕様

TIA の仕様『Commercial Building Telecommunications Cabling Standard』（ANSI/TIA/EIA-568-A-95）は、IHS（Information Handling Services）のグローバルページ（global.ihs.com）でダウンロードできます。

NEMA Type 4 ケーブル仕様

エシエロン社で使用する Type 4 ケーブル仕様はもともと NEMA（National Electrical Manufacturers Association）によって定義されたものであり、米国電子工業会/米国電気通信工業会（EIA/TIA）によって提案されたカテゴリ 4 仕様とは異なります。

表 36 ~ 表 39（126 ページ）に、Type 4 ケーブル仕様を示します。特に記載のない限り、この表の仕様はシールド付きとシールドなしの 22 AWG（0.65 mm）ケーブルの両方に適用されます。

表 36 一般仕様

仕様	値
単線/より線、金属被覆の有無にかかわらず、単一銅線の DC 抵抗（max）（ Ω /1000 フィート、20 °C）	18 [22 AWG（0.65 mm）ケーブルの場合] 28.6 [24 AWG（0.5 mm）ケーブルの場合]
DC 抵抗不均衡（max）（%）	5
ペア相互の静電容量（max）（pF/フィート）	17
ペア対グラウンドの容量不均衡（max）（pF/1000 フィート）	1000

表 37 インピーダンス特性

周波数	インピーダンス（ Ω ）
772 kHz	102 \pm 15% (87 ~ 117)
1.0 MHz	100 \pm 15% (85 ~ 115)
4.0 MHz	100 \pm 15% (85 ~ 115)
8.0 MHz	100 \pm 15% (85 ~ 115)
10.0 MHz	100 \pm 15% (85 ~ 115)
16.0 MHz	100 \pm 15% (85 ~ 115)
20.0 MHz	100 \pm 15% (85 ~ 115)

表 38 減衰 (max) (dB/1000 フィート、20 時)

周波数	減衰 (dB/1000 フィート、20 時)
772 kHz	4.5 [22 AWG (0.65 mm) ケーブルの場合] 5.7 [24 AWG (0.5 mm) ケーブルの場合]
1.0 MHz	5.5 [22 AWG (0.65 mm) ケーブルの場合] 6.5 [24 AWG (0.5 mm) ケーブルの場合]
4.0 MHz	11.0 [22 AWG (0.65 mm) ケーブルの場合] 13.0 [24 AWG (0.5 mm) ケーブルの場合]
8.0 MHz	15.0 [22 AWG (0.65 mm) ケーブルの場合] 19.0 [24 AWG (0.5 mm) ケーブルの場合]
10.0 MHz	17.0 [22 AWG (0.65 mm) ケーブルの場合] 22.0 [24 AWG (0.5 mm) ケーブルの場合]
16.0 MHz	22.0 [22 AWG (0.65 mm) ケーブルの場合] 27.0 [24 AWG (0.5 mm) ケーブルの場合]
20.0 MHz	24.0 [22 AWG (0.65 mm) ケーブルの場合] 31.0 [24 AWG (0.5 mm) ケーブルの場合]

表 39 ワーストペアの近端漏話減衰量 (min) (dB)

仕様	値 (dB)
772 kHz	58
1.0 MHz	56
4.0 MHz	47
8.0 MHz	42
10.0 MHz	41
16.0 MHz	38
20.0 MHz	36

表 39 に示す数値は単なる参考値です。どのようなペアの組み合わせでも、室温における最小近端漏話減衰量 (NEXT) は、長さ 1000 フィート (305 m)、0.772 MHz ~ 20 MHz のすべての周波数範囲において次式で得られる値よりも大きくなります。

$$\text{NEXT}(F_{\text{MHz}}) > \text{NEXT}(0.772) - 15 * \log\left(\frac{F_{\text{MHz}}}{0.772}\right)$$

16 AWG (1.3 mm) 「一般」ケーブル仕様

表 40 と表 41 (127 ページ) に、エシエロン社が TP/FT-10 ネットワークでの使用を認定した 16 AWG (1.3 mm) 一般ケーブルの仕様を示します。一般的なツイストペア (1 対) は、すすめっき銅のより線 (19 x 29) です。

表に記載した条件は、『ASTM D4566 - 05e1 Standard Test Methods for Electrical Performance Properties of Insulations and Jackets for Telecommunications Wire and Cable』 (www.astm.org/Standards/D4566.htm) に基づいて定めています。

表 40 一般仕様

仕様	最小値	標準	最大値	条件
DC 抵抗、各導線	14.0	14.7	15.5 Ω/km	20
DC 抵抗、不均衡	—	—	5%	20
相互容量	—	—	55.9 nF/km	—
特性インピーダンス	92	100	108	64 kHz ~ 1 MHz

表 41 減衰および伝播遅延特性

特性	最大値	条件
減衰		20
20 kHz	1.3 dB/km	
64 kHz	1.9 dB/km	
78 kHz	2.2 dB/km	
156 kHz	3.0 dB/km	
256 kHz	4.8 dB/km	
512 kHz	8.1 dB/km	
772 kHz	11.3 dB/km	
1000 kHz	13.7 dB/km	
伝播遅延	5.6 ns/m	78 kHz

C

FT-X3 通信トランス

この付録では、FT-X3 通信トランスのピン配置、電氣的接続、パッドレイアウトについて説明します。

トランスのピン配置

図 48 に、FT-X3 通信トランスのピン配置を示します。表 42 に、FT-X3 通信トランスのピン割り当てを示します。

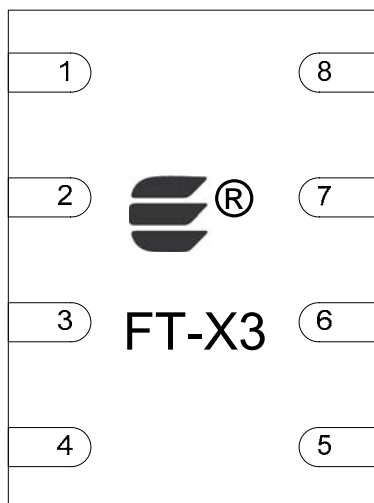


図 48 FT-X3 通信トランスのピン配置図

表 42 FT-X3 通信トランスのピン割り当て

名称	ピン番号	種類	説明
NETP	1	入力	FT 5000 スマートトランシーバからの NETP 接続
CTP2	2	グラウンド	一次側センタータップ 2
CTS1	3	出力	二次側センタータップ 1
NETA	4	グラウンド	LONWORKS ネットワークへの NETA 接続
CTP1	5	グラウンド	一次側センタータップ 1
NETN	6	入力	FT 5000 スマートトランシーバからの NETN 接続
NETB	7	グラウンド	LONWORKS ネットワークへの NETB 接続
CTS2	8	出力	二次側センタータップ 2

トランスの電氣的接続

図 49 に、FT-X3 通信トランスの電氣的接続を示します。NETP と NETN の各信号は、FT 5000 スマートトランシーバの NETP (34) ピンと NETN (32) ピンに接続します。ポート NETB と NETA は LONWORKS ネットワークへの接続を表しています (131 ページの図 50 参照)。

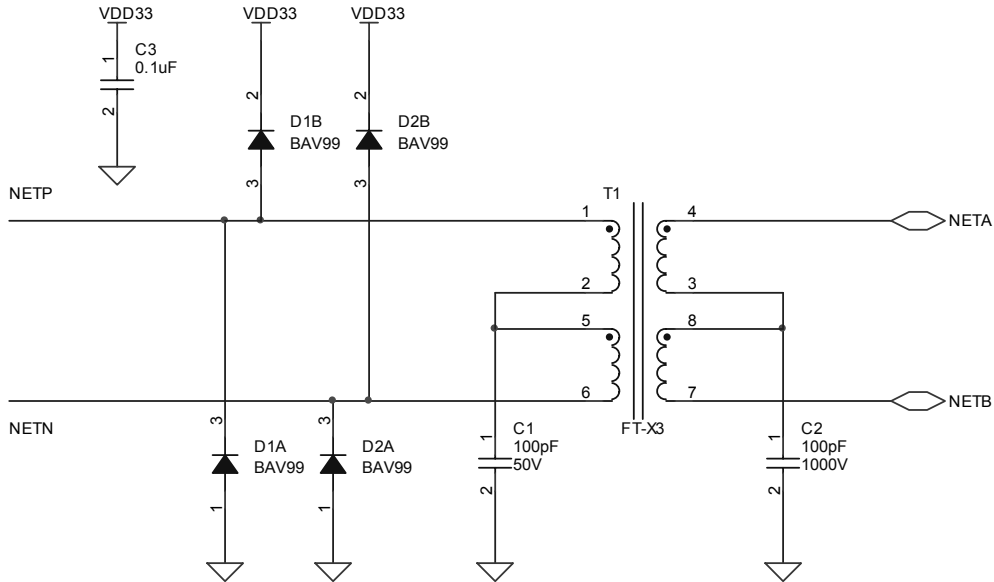


図 49 FT-X3 の電氣的接続

この図で、ダイオード D1 と D2 は ESD 過渡電流のクランプダイオードです。コンデンサ C1 と C2 は、トランスの一次側および二次側のセンタータップに使用するオプションのコンデンサです。C1 と C2 の値は、実際の EMC 性能の要件に応じて調整してください。コンデンサ C3 は、ESC クランプダイオードのデカップリングコンデンサです。

図 50 (131 ページ) に、FT ネットワークコネクタを LONWORKS ネットワークに接続する際の電氣的接続を示します。

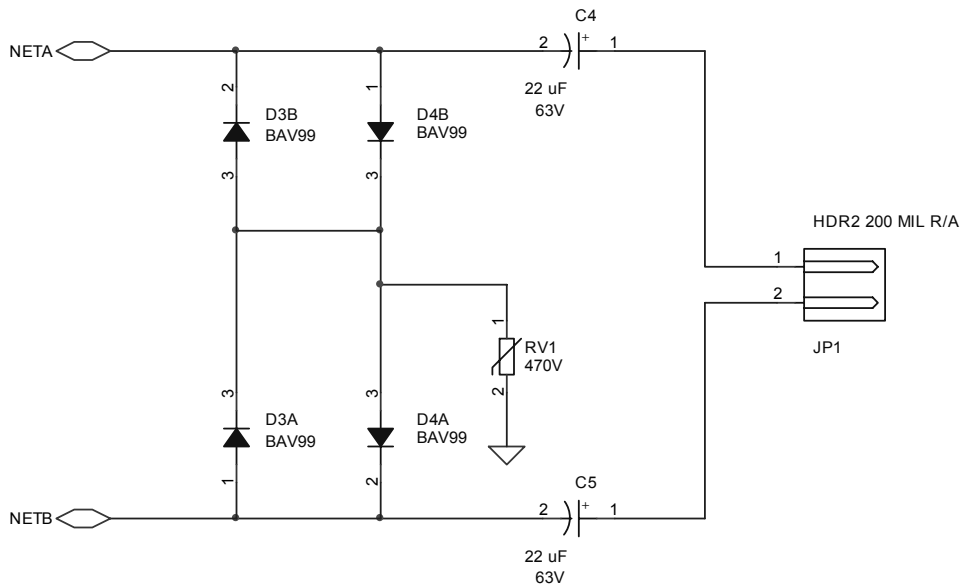


図 50 FT ネットワークの電氣的接続

この図で、ダイオード D3 と D4 は差動ネットワーククランプダイオードです。コンデンサ C4 と C5 は DC ブロッキングコンデンサで、22 μ F、63 V の有極性アルミ電解コンデンサを使用します。バリスタ RV1 は 470 V、5 mm です。ネットワーク接続の詳細については、「FT 5000 スマートトランシーバの接続」の項（52 ページ）を参照してください。

トランスのパッドレイアウト

FT-X3 通信トランスのパッドレイアウトの詳細については、FT 5000 フリートポロジースマートトランシーバのデータシートを参照してください。

推奨： トランスの機械的サポートをより確実にするため、各ピンパッド接続の端（SMT の四角形パッドのすぐ外）にビアを追加してください。

D

取り扱いおよび製造に関する ガイドライン

この付録では、Neuron 5000 プロセッサまたは FT 5000 スマートランシーバを使用した機器の取り扱いと製造に関するガイドラインについて説明します。はんだプロファイルや ESD 対策のガイドラインについても取り上げます。

アプリケーションに関する考慮事項

ここでは、LONWORKS デバイスの設計と製造に関するアプリケーションの考慮事項について説明します。

未使用ピンの終端処理

シリーズ 5000 デバイスは CMOS デバイスであるため、入力として構成された未宣言または未接続の I/O ピンやスリーステートピンを含め、未使用の入力ピンはすべて終端処理を行い、適正な動作と信頼性を確保する必要があります。

図 51 に、CMOS 入力ピンで一般的に使用されている CMOS インバータ回路を示します。入力ピンがロジック 0 のとき、P チャンネルトランジスタは「オン」（導通）で、N チャンネルトランジスタは「オフ」です。入力ピンがロジック 1 のとき、P チャンネルトランジスタは「オフ」で、N チャンネルトランジスタは「オン」です。これらのトランジスタは、比較的広いスイッチポイントを持ったリニアデバイスです。入力が電源電圧の半分の値付近を遷移するとき、両方のトランジスタが導通する時間が生じます。立ち上がり時間の速いデジタル信号が入力にある場合、この持続時間は非常に短くなります。インバータが線形領域の外側にある場合、電流はほとんど流れません。CMOS デバイスの全体的な消費電流がスイッチング速度に直接比例するのは、このためです。ほとんどすべての消費電流は、トランジスタが線形領域を通過して内部容量を充電・放電することに起因します。ピンが入力またはスリーステートとして構成されている場合、電源ノイズによって入力が発振したり、電源電圧の半分の値付近に浮動して消費電流が大きくなることがあります。今日の設計技法では、入力の浮動によるラッチアップは起こりにくくなっていますが、入力として構成されていない（高インピーダンス）未使用 I/O ピンや、入力として構成されている未使用 I/O ピンは終端処理を行っておいた方がよいでしょう。

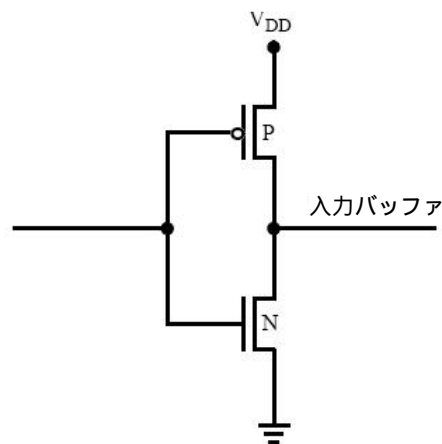


図 51 CMOS インバータ

未使用の I/O ピンの終端処理として理想的なのは、各未使用ピンに個別にプルアップ抵抗またはプルダウン抵抗を付けるという方法です。あまり推奨できませんが、これ以外にも以下の方法があります。

- 未使用の入力ピンどうしを互いに接続し、共通の終端ポイントに接続する。この方法はコストとスペースの節約にはなりますが、個々のピンの構成を後で変更することができなくなり、ピンを出力として宣言し直した場合に競合が発生する可能性があります。

- 未使用の I/O ピンをそれぞれ直接 GND または V_{DD} に接続する。この方法は、ソフトウェアエラーの可能性や、出力として反対の状態に宣言される可能性があるため推奨できません。
- 未使用のピンを出力として宣言する。

このように、出力として構成可能なピンどうしを接続したり、GND や V_{DD} に直接接続したりしないでください。

損傷防止対策

集積回路デバイスは、仕様で定められた電圧や周囲環境の限界値を超えると損傷したり、破壊したりする可能性があります。これらの限界値は、仕様の範囲内での動作信頼性を保証するために、やや余裕をもって設定されています。

シリーズ 5000 チップの最大ピーク温度は 260 度です。「推奨はんだプロファイル」の項（138 ページ）を参照してください。また、最適なりフロープロファイルについては、はんだメーカーのデータシートを参考にしてください。実際には、ピーク温度の限界値を考慮してリフロープロファイルを選択してください。

最も危険な AC 波形は次の 2 種類に分類できます。

- ESD 放電による高電圧（10 kV ~ 25 kV）、低エネルギーのスパイク（持続時間 100 ns 以内）。ESD モデリングによると、人体からは最大 12 kV の静電放電が起こる可能性があることが分かっています。
- 数百マイクロ秒以上続く低電圧、高エネルギーの過渡電流。落雷による容量性結合や誘導性負荷ソースによって発生します。

これらの破壊的な波形に対する保護デバイスの種類はそれぞれ異なるため、実際の動作環境でどちらが予想されるかによって、適切なデバイスを実装する必要があります。障害モードを定量化して保護予防策を講じることにより、製品の動作不良を防ぐことができます。対策としては、プリント基板レイアウトに関するものや、外部保護デバイスを使用するものがあります。人体との接触がある製品や、他の装置と接続されるような製品では、外部保護デバイスが必要です。ESD 保護の詳細については、第 4 章「電磁適合性（EMC）に関する設計と試験」（73 ページ）を参照してください。

違反条件がシリーズ 5000 デバイスに与える影響の度合いは、環境温度や半導体のロット間のプロセスばらつきなど多くの要因に左右されます。グランドピンは内部でシリコンダイの基板に接続されており、すべての電圧の基準点となっています。シリーズ 5000 チップ内の V_{DD} 電源の回路は、プラス電源ピンに接続されています。一部の温度環境では、本デバイスはより広い範囲の V_{DD} でも動作しますが、タイミング、駆動能力、FT トランシーバ、その他の仕様は満たされません。 V_{DD} が長期的にわたって 3.3 V を超えた場合、ゲート酸化膜に悪影響が及ぶ可能性もあります。

このほか、CMOS チップに損傷を与えるメカニズムとして、静電気破壊とラッチアップの 2 つがあります。

- 静電気破壊とは、非常に高電圧の静電気との接触によって起こる損傷をいいます。静電気破壊が起こると、通常は比較的薄いゲート酸化膜が破損して、漏れ電流や短絡という症状が現れます。多くの場合、最初の静電気破壊で短絡が起きた後で二次的な損傷が起こります。
- ラッチアップは、寄生的バイポーラシリコン制御整流器（SCR）がオンになることにより生じる現象で、通常は破壊的な状態をもたらします。ラッチアップは、集積回路のレイアウト中の N および P 領域により形成され、これらが寄生トランジスタのコレクタ、ベース、およびエミッタの役割を果たします。基板とウェル内のシリコンのバルク抵抗が SCR 回路の抵抗として機能します。 $V_{DD} + 0.3 V$ よりも高い電圧または $GND - 0.3 V$ よりも低い電圧をピンに印加し、寄生抵抗の両端に電圧を生じさせるのに十分な電流が流れると、SCR がオンになります。いったんオンになった SCR

は、すべての電源と印加電圧を除去しない限りオフになりません。SCR 回路のオンインピーダンスは低いため、IC が過熱して破壊に至ります。

図 52 は、デジタル入力専用ピンの MOS 回路を示したものです。入力バッファのゲートは、このピンに印加されるあらゆる電圧に対して非常に高いインピーダンスを示します。 V_{DD} に対してダイオードの役割を果たす P チャネルトランジスタと、GND に対してダイオードの役割を果たす N チャネルトランジスタによって、保護策が講じられています。ピンをフロートさせたり、電源中央レベルに駆動したりすると、入力バッファの N チャネルと P チャネルの両デバイスが同時に部分的にオンになり、 V_{DD}/GND 電源に過剰な電流とノイズがもたらされます。デジタル入力が V_{DD} よりも高い電圧に駆動されると、擬似ダイオードが導通して入力を保護します。電流が増大すると (100 mA)、損傷が起こることがあります。

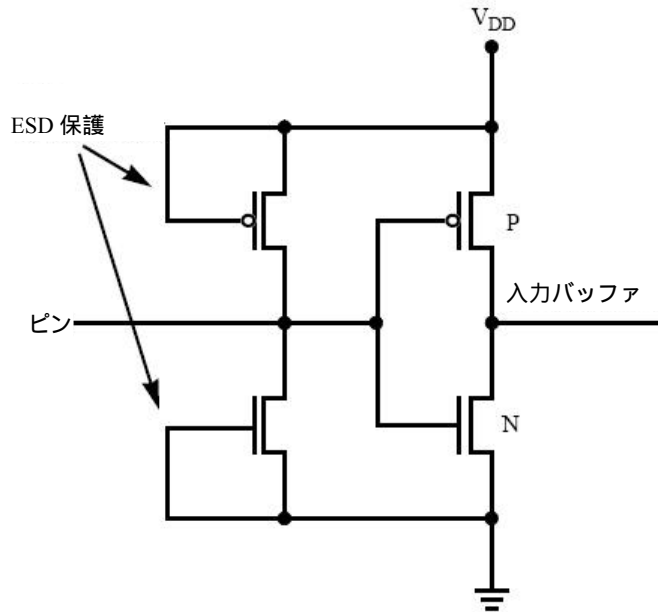


図 52 デジタル入力

図 53 (136 ページ) に、デジタル I/O ピンの CMOS 回路を示します。

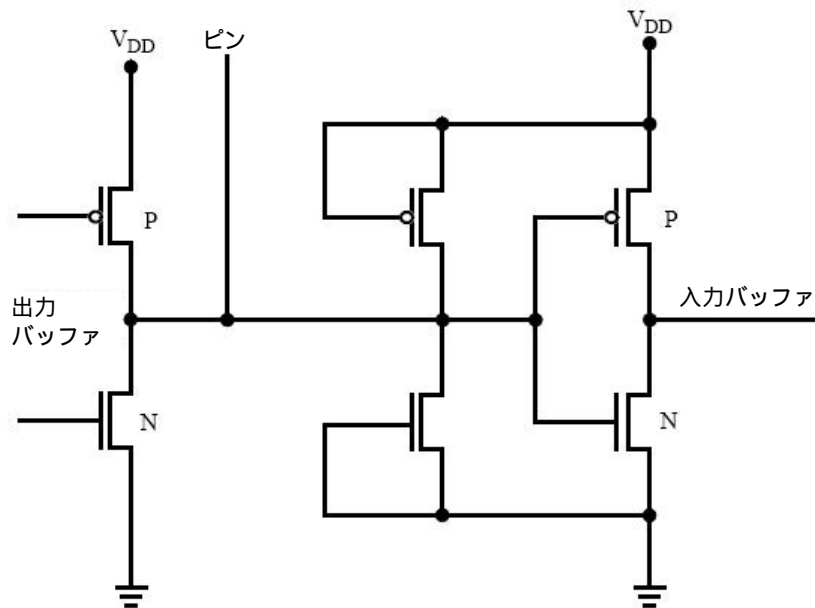


図 53 デジタル I/O

静電放電 (ESD) に関するガイドライン

ESD 対策には、以下のようにさまざまな方法があります。

- 接触点から回路に流れるエネルギーを迂回または制限する。
- 高周波フィルタリング用にまず一連の電磁干渉 (EMI) フェライトまたは抵抗を用いる。
- 高速クランプ用にダイオード、過渡電圧サプレッサ (MOSorb、transorb など) を用いる。
- コンデンサを用いて重要な入力を保護する。
- 正しい電源分配を行う。
- 低インピーダンスの ESD グランド専用経路を用いてエネルギーを迂回し、電子部品を保護する。たとえば、第 4 章「電磁適合性 (EMC) に関する設計と試験」(73 ページ) で説明したスター型グランド構成など。

注記: 300 MHz におけるワイヤのインピーダンスは約 $20 \Omega/\text{cm}$ です。長さとの幅の比が 3:1 以下の導体を使用してください。

電源、グランド、ノイズに関する考慮事項

プリント基板レイアウトで特に注意が必要なのが、ノイズ対策です。ノイズの原因としては、電源やデバイスのデジタル回路のほか、デジタル信号線とアナログ信号線のカップリングノイズなどがあります。ノイズの問題を防ぐには、以下のガイドラインに従ってプリント基板をレイアウトするようにしてください。

- デジタル信号をできるだけアナログ信号から遠ざける。
- アナログ回路に低インダクタンスの短いパターンを使用することにより、誘導性、容量性、および RF ノイズの感度を下げる。
- デジタル回路に低インダクタンスの短いパターンを使用することにより、誘導性、容量性、RF 放射ノイズを抑える。
- V_{DD} と GND のペアの間できるだけ短いパターンでバイパスコンデンサを接続する。これらのコンデンサは、デバイスの他の部分や電源の他の回路で生じたノイズをデカップリングするとともに、デジタル回路の瞬間電流を供給します。
- 短く広い低インダクタンスのパターンを使用して、すべての GND ピンをまとめて接続する。一部のアプリケーションでは、両面基板を用いて、デバイスの下にあるグランドプレーンにすべてのデジタルおよびアナログ GND ピンをまとめて接続するのが効果的な接地方法となります。多層基板を用い、グランドプレーンにすべてのデジタルおよびアナログ GND ピンをまとめて接続すると、最適なグランド構成となります。これらの方法により、グランド回路内の抵抗とインダクタンスが最小になります。これは、高速デジタル電流スパイクに起因してグランド回路内に生じる電圧スパイクを低減するために重要です。GND ピンが複数ある理由は、集積回路上のこれらの電圧スパイクを抑圧するためです。
- 短く広い低インダクタンスのパターンを使用して、すべての V_{DD} 電源ピンをまとめて接続する。一部のアプリケーションでは、両面基板で V_{DD} バイパスコンデンサをデバイスの下にあるグランドプレーンに接続することにより、電源の低インピーダンスカップリングを完成できます。電源プレーンのある多層基板の場合、すべてのデジタルおよびアナログ V_{DD} ピンを電源プレーンに接続するのが最適の電源分配方法です。3.3 V_{DD} 電源回路のための集積回路レイアウトおよびパッケージングの注意事項は、グランド回路の場合と基本的に同じです。

デカップリングコンデンサ

ノイズの問題を引き起こすスイッチングスパイクを吸収するには、以下の CMOS デバイスを 0.022 μF ~ 0.33 μF の良質なデカップリングコンデンサでバイパスするようにします。

- 同じバスを駆動するデバイスで、出力が同時にスイッチするもの。
- すべての同期カウンタ。
- 発振器素子として使用されるデバイス。
- 入力立ち上がり立ち下がり時間が遅いシュミットトリガデバイス。立ち上がり時間および立ち下がり時間が遅いほど大きなバイパスコンデンサが必要です。実験室でテストしておくことをお勧めします。

バイパスコンデンサは回路基板全体に分配してください。さらに、1 μF のコンデンサで基板をデカップリングすることもできます。また、ロジックデバイスの入出力経路のインピーダンスを低く抑えるように基板をレイアウトすることも必要です。

基板のはんだ付けに関する考慮事項

ここでは、シリーズ 5000 デバイスの設計および製造に関する考慮事項として、プリント基板のはんだ付けについて説明します。

推奨はんだプロファイル

シリーズ 5000 チップをプリント基板にはんだ付けする際は、IPC/JEDEC 規格 J-STD-020D.1 に記載された全般的なガイドラインに従ってください。この規格には、いくつかの分類のリフロープロファイルに関する情報が記載されています。シリーズ 5000 チップはすべて欧州連合 (European Union) の RoHS (有害物質使用制限) 指令 (2002/95/EC) に適合しており、ピーク温度 $T_p = 260$ の鉛フリーアセンブリのはんだプロファイル (表 43 参照) を使用します。

表面実装 (SMT) 部品のはんだ付け

表 43 に、表面実装 (SMT) 部品の最大リフロー温度を示します。最適なりフロープロファイルについては、各はんだメーカーのデータシートを必ず参照してください。実際のリフロープロファイルは、ピーク温度の制約を考慮して選択してください。

表 43 表面実装部品のピーク温度

製品	RoHS 指令	モデル番号	ピーク温度
FT 5000 フリートポロジースマートトランシーバ	適合	14235R	260
Neuron 5000 プロセッサ	適合	14305R	260
FT-X3 通信トランス	適合	14255R-400	245

IPC/JEDEC 規格 J-STD-020D.1 に基づく測定では、シリーズ 5000 チップは Level 3 に分類されます。シリーズ 5000 チップのはんだ付け方法としては、表面実装リフローを推奨します。部品全体を浸漬するようなはんだ付け方法は推奨しません。最適なりフロープロファイルについては、各はんだメーカーのデータシートを参照してください。

ドライパックとは、表面実装 (SMT) パッケージをゆっくりとベーキングして水分を追い出してから防湿効果のある袋に密封し、大気中の湿気から保護することをいいます。袋の外側

には、吸湿管理が必要なデバイスであることを明記したラベルと、バッグを封止した日付が刻印されています（これらデバイスの保管寿命は1年です）。

表面実装デバイスをいったんドライパックから取り出したら、一定の時間内に使用する必要があります。ドライパックから取り出したパッケージは、168時間以内（相対湿度 $\leq 60\%$ 、温度 ≤ 30 ）に表面実装を行ってください。ドライパックなしで出荷された場合や、ドライパックから取り出してから上記以上の時間が経過している場合は、125 で12時間ベーキングしてからプリント基板にはんだ付けを行ってください。これを怠ると、一部のデバイスでははんだ付けの後で破壊的な故障や潜在的な故障が発生します。

ESD に関する一般的な取り扱いガイドライン

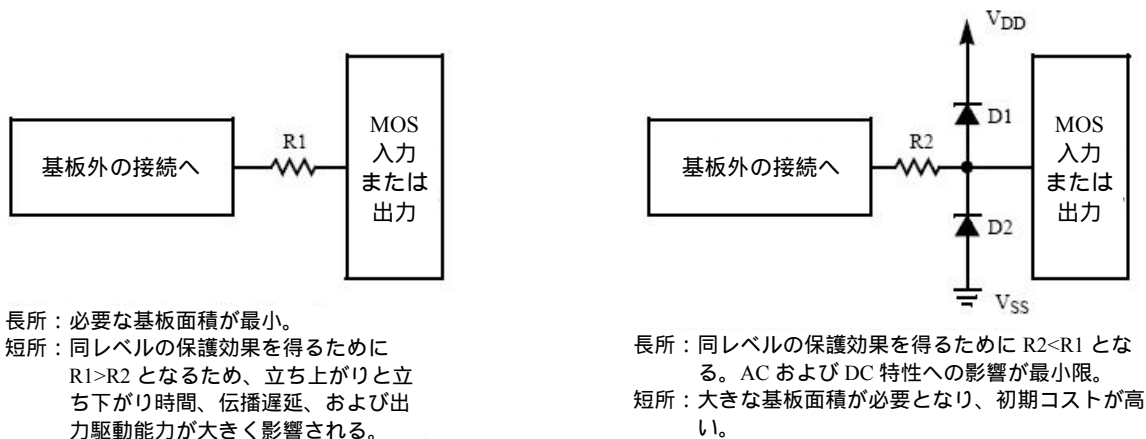
すべての CMOS デバイスにはゲート絶縁膜があり、この部分への過電圧によって絶縁破壊が起こる可能性があります。これらデバイスの高インピーダンスゲートは、オンチップネットワークにより保護されています。しかし、これらのオンチップネットワークはチップに ESD 耐性を与えるものではありません。実験室のテストでも、きわめて高電圧の放電が1回発生するだけでデバイスが故障する可能性のあることが確認されています。それほど高電圧でなくても、何回かの放電による累積的な影響でデバイスが故障することがあります。

静電気による損傷を受けたデバイスは、損傷の度合いによってさまざまな動作を示します。損傷が最も深刻な場合、入力または出力が完全に破壊され、 V_{DD} または GND に短絡になったり、オープン回路になったりするため、簡単に検出されます。このような損傷を受けると、デバイスはもはや機能しません。これほど損傷が激しくない場合は、間欠的に障害が発生したり性能が低下したりするだけなので、問題の発見は困難になります。多くの場合、静電気による損傷を受けると漏れ電流が増加します。

CMOS デバイスは、取り扱い中に発生することのある大きな静電放電に対して耐性がありません。たとえば、ワックスをかけた床の上を歩く人からは4kV ~ 15kV の静電気が発生します（湿度や表面の状態などにより異なります）。したがって、一般的な注意事項として必ず以下の点を守るようにしてください。

1. データーシートに記載された最大定格を超えないようにする。
2. デバイスで使用していない未使用入力はすべて V_{DD} または GND に接続する。
3. 低インピーダンスの装置（パルス発生器など）は必ずデバイスの電源をオンにした後で CMOS 入力に接続する。同様に、デバイスの電源をオフにしてから取り外す。
4. CMOS デバイスを実装した回路基板は、デバイスの延長と見なすことができるため、デバイスと同様の注意を払って取り扱うこと。デバイスに直接配線されているコネクタに接触すると損傷のおそれがあります。プラスチックラッピングは避けてください。プリント基板への外部接続が CMOS 集積回路のピンに来ている場合、入力または出力と直列に抵抗を用いてください。この直列抵抗を使用すると、直列抵抗と入力容量によって形成される時定数だけ遅延が付加されることに注意してください。この抵抗は、プリント基板を取り外して静電気発生物と接触したときの損傷を抑える働きをします。参考までに、直列抵抗値に起因する伝播遅延の増加と立ち上がり時間効果の式を図 54（140 ページ）に示します。
5. CMOS デバイスを保管または輸送する際は、必ず静電気防止材料で覆うこと。デバイスを通常の発泡プラスチックや Styrofoam[®]、プラスチックトレイなどに入れないでください。デバイスは、使用直前まで元の容器から出さないでください。
6. CMOS デバイスは必ず設置されたベンチ表面に置くこと。また、作業者がベンチ表面に対して帯電している可能性があるため、作業者はデバイスを取り扱う前に自分の身体を接地しておく必要があります。手首ストラップを皮膚に接触させて使用することを強く推奨します。図 55（141 ページ）を参照してください。
7. ナイロンなどの静電気発生材料を CMOS 回路に接触させないこと。

8. 自動取り扱い装置を使用している場合、デバイスやベルト、ボードの動きによって高レベルの静電気が発生することがあります。ブロータイプのイオナイザや室内加湿器を用いて静電気の蓄積を防いでください。IC パッケージの上面、底面、側面と接触する機械部品はすべて接地された金属その他の導電性材料でできていなければなりません。
9. 冷却用に CO₂ を使用したコールドチャンバーにはバッフルを装備し、デバイスは導電性材料の中または上に置くか、プリント基板にはんだ付けしておくこと。
10. リードストレートニングや手付けはんだが必要な場合は、使用する装置にグラウンドストラップをつけ、はんだコテのコテ先を必ず接地すること。
11. ウェーブはんだ付けの際は、以下の点に注意してください。
 - a. ウェーブはんだ付け装置のはんだ槽と導電性コンベヤシステムはアースグラウンドに接地しておく必要があります。
 - b. ローディング/アンローディングワークベンチの上面は導電性のものを用い、アースグラウンドに接地しておく必要があります。
 - c. 作業者は、前述の注意事項を守る必要があります。
 - d. 完成したアセンブリは、静電気防止容器に入れてから次のステーションに移動してください。



注記：これらのネットワークは以下の保護に役立ちます。

- a. デジタル入出力
- b. アナログ入出力
- c. スリープステート出力
- d. 双方向 I/O ポート

式 1 (伝播遅延対直列抵抗)

$$R \approx \frac{t}{C \cdot k}$$

R = 最大許容直列抵抗 ()
 t = 最大許容伝播遅延 (秒)
 C = 基板容量 + 駆動されるデバイスの入力容量 (F)
 k = 0.33 (TTL 入力レベル、スイッチポイント = 1.3 V)

式 2 (立ち上がり時間対直列抵抗)

$$R \approx \frac{t}{C \cdot k}$$

R = 最大許容直列抵抗 ()
 t = データシートに基づく最大立ち上がり時間 (秒)
 C = 基板容量 + 駆動されるデバイスの入力容量 (F)
 k = 2.3 (その他のデバイス)

図 54 ESD を最小限に抑え、CMOS ラッチアップを抑えるためのネットワーク

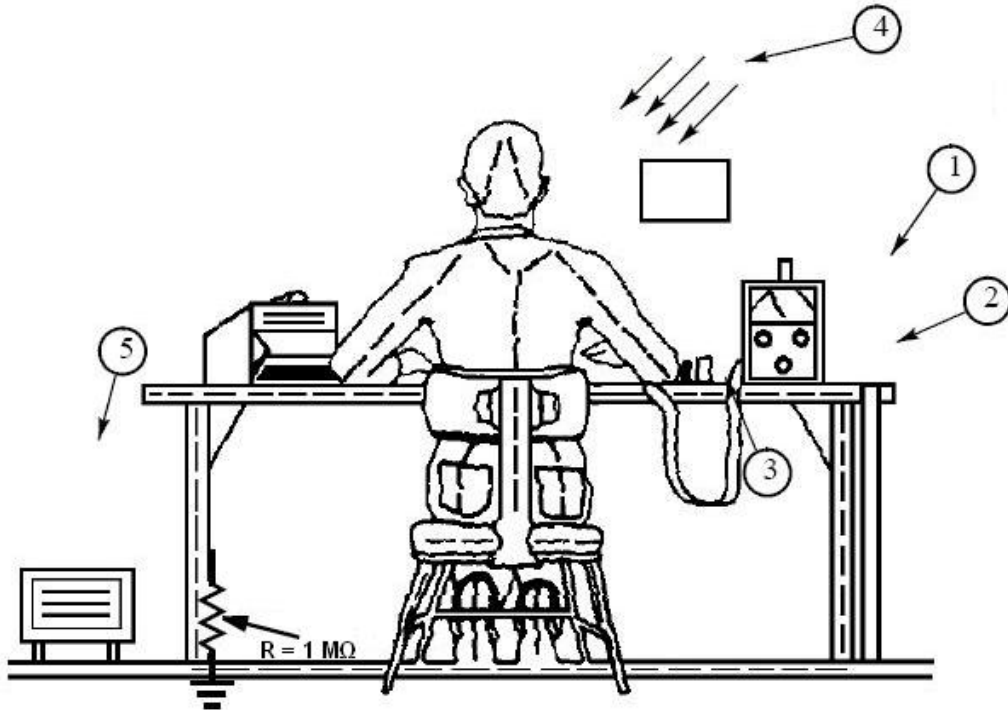


図 55 標準的な製造作業台

図 55 に関する注記：

1. ベンチトップの作業エリアを覆う 1/16 インチの導電性シート素材。
2. グランドストラップ。
3. 皮膚と接触する手首ストラップ。
4. 静電気中和器（プロワータイプのイオナイザを作業台に向ける）。主に、直接的な接地が難しい場合に使用。
5. 室内加湿器。主に、相対湿度が 45% 未満の場合に使用。注意：通常、ビル空調システムは空気を乾燥させるため、建物内部の相対湿度は屋外の湿度よりも低くなります。

基板を洗浄する際は、以下の手順に従ってください。

1. 蒸気脱脂洗浄器およびバスケットは必ずアースグランドに接地する。作業者も同様に接地する。
2. ブラシやスプレー洗浄は使用しない。
3. アセンブリを静電気防止容器から取り出したら、すぐに蒸気脱脂洗浄器に入れる。
4. 洗浄後のアセンブリを洗浄バスケットから取り出したら、すぐに静電気防止容器に入れる。
5. 高速な空気の流れや、溶剤、被覆剤の使用などは、モジュール回路が接地されていて、静電気除去装置がモジュールに向けられているとき以外は避けること。
6. ライン監視用に静電気検出メーターの使用を強く推奨します。
7. 装置仕様では、ユーザーに CMOS デバイスの存在について注意を喚起し、デバイスやモジュールの保守や交換の際には事前にこの仕様を理解することを要件とする。
8. 通電中には CMOS デバイスをテストソケットに挿入したり、取り出したりしない。テスト用デバイスの電源すべてについて、過渡電圧がないことを確認する。

9. パラメータテストまたは機能テストを行う前に、装置セットアップの電圧極性が正しいことを再確認する。
10. 輸送用レールを再利用しないこと。長く使用を続けると静電防止被覆が劣化します。
11. 手首ストラップと装置記録の保守と検査を定期的に行う。手首ストラップの不良動作は見逃されることがあります。また、装置を取り外して戻したときにグラウンドが正しく再接続されない場合があります。

電源ラインおよびデカップリングコンデンサ

電源ライン内のインダクタンスにより、スイッチング過渡電流からノイズが発生します。

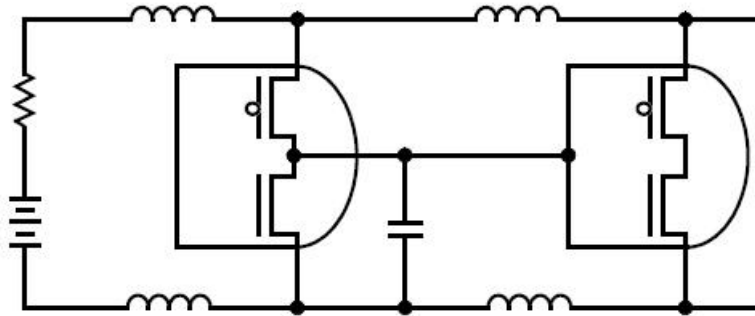


図 56 インダクタンスによるノイズの発生

たとえば、サージ特性が 25 mA、5 ns の場合、200 nH インダクタによって 1 V のノイズが発生します。

$$V_{\text{noise}} = L \frac{dI}{dt}$$

$L = 200 \text{ nH}$ 、 $dI = 25 \text{ mA}$ 、 $dt = 5 \text{ ns}$ とすると、 $V_{\text{noise}} = 200 \text{ nH} * (25 \text{ mA} / 5 \text{ ns}) = 1 \text{ V}$

バイパスコンデンサの推奨配置

FT 5000 スマートトランシーバや Neuron 5000 プロセッサを正しく動作させるには、適正なデカップリングが必要です。V_{DD} デカップリングコンデンサをシリーズ 5000 チップに接続するときは、リードをできるだけ短くしてください。V_{DD} ピンはすべて +3.3 V に接続し、GND ピンはすべてグラウンドに接続しなければなりません。クリスタル回路はシリーズ 5000 チップの近くに配置し、通信ラインから分離します。

バイパスコンデンサには、0.1 μF または 0.33 μF のセラミックまたはディップマイカコンデンサを使用し、できるだけ V_{DD33} ピンの近くに配置します。V_{DD33} と GND のループは避けてください。推奨構成は次のとおりです。

- VDD3V3 ピン : 8、18、29、30、31、41
- VDD1V8 ピン : 6、16、27、44

推奨 : シリーズ 5000 チップの内部電圧レギュレータをさらに確実に保護し、安定性を高めるために、上記以外にも 1.0 μF (6.3 V、10%、X7R) コンデンサをピン 27 に追加してください。

図 57 に、推奨されるバイパスコンデンサの配置とクリスタル回路パターンを示します。これらのコンデンサの配置について、詳しくは「ピン接続」の項 (38 ページ) を参照してください。

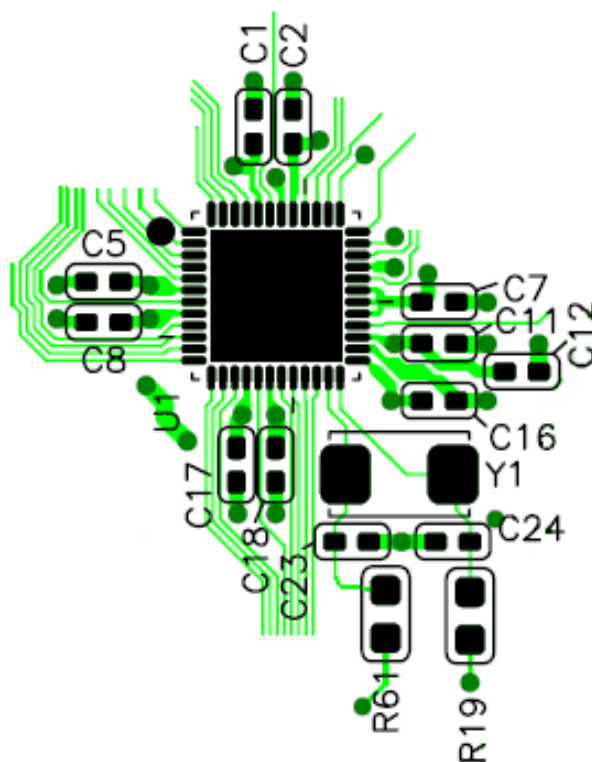


図 57 最低限の推奨コンデンサ配置

図の中の参照番号は単なる例として記載したものです。

表 44 上図の使用部品

参照番号	部品
C1	VDD1V8 (ピン 44) 用、0.1 μ F
C2	VDD3V3 (ピン 41) および VDD3V3 (ピン 42) 用、0.1 μ F
C5	VDD1V8 (ピン 6) 用、0.1 μ F
C7	AVDD3V3 (ピン 31)、VDD3V3 (ピン 30)、VIN3V3 (ピン 29) 用、0.1 μ F
C8	VDD3V3 (ピン 8) 用、0.1 μ F
C11	VOUT1V8 (ピン 27) 用、0.1 μ F
C12	VOUT1V8 (ピン 27) 用、1.0 μ F
C16	VDDPLL (ピン 25) と GNDPLL (ピン 26) の間、0.01 μ F
C17	VDD1V8 (ピン 16) 用、0.1 μ F
C18	VDD3V3 (ピン 18) 用、0.1 μ F

参照番号	部品
C23	XIN (ピン 23) 用、30 pF
C24	XOUT (ピン 24) 用、30 pF
R19	XOUT (ピン 24) 用、200 Ω
R61	XIN (ピン 23) と XOUT (ピン 24) の間、1 MΩ
Y1	外部 10 MHz クリスタル

主なレイアウト規則：

1. 可能なら 4 層 (またはそれ以上) のプリント基板を使用する。これによりレイアウトがシンプルになり、ノイズ関係および接地の問題が緩和されます。
2. 2 層基板の場合は、4 つのバイパスコンデンサをシリーズ 5000 チップのすぐ近くに配置する必要があります。V_{DD} とグラウンドは回路パターンを大きくし、インダクタンスとノイズを低減する必要があります。
3. 2 層基板の場合は、クリスタル回路や通信ポートの下 (基板の裏側) に高周波数のデジタル信号パターンを配線しないこと。
4. 電源とグラウンドは回路パターンを大きくしてピークサージスイッチング電流に対応できるようにすること。そうしないと、V_{DD} ピンの電源電圧が一時的に低下し、チェックサム の計算でエラーが発生してシリーズ 5000 チップがリセットされることがあります。

E

サンプル回路図

この付録では、FT 5000 スマートトランシーバのサンプル回路図を紹介します。

サンプル回路図

この付録では、FT 5000 スマートトランシーバのサンプル回路図を紹介します。これらのサンプル回路図は、NodeBuilder FX 開発ツールおよび Mini FX 評価キットに付属する FT 5000 評価ボードを基に作成しています。これらのサンプル回路図は、以下の項で説明した設計要件を満たしています。

- 24 ページの外部シリアルメモリアンターフェース
- 38 ページのピン接続
- 52 ページの FT 5000 スマートトランシーバの接続
- 56 ページのクロック要件
- 131 ページのトランスの電氣的接続

基本的な電氣的接続

図 58 に、FT 5000 スマートトランシーバの基本的な電氣的接続を示します。

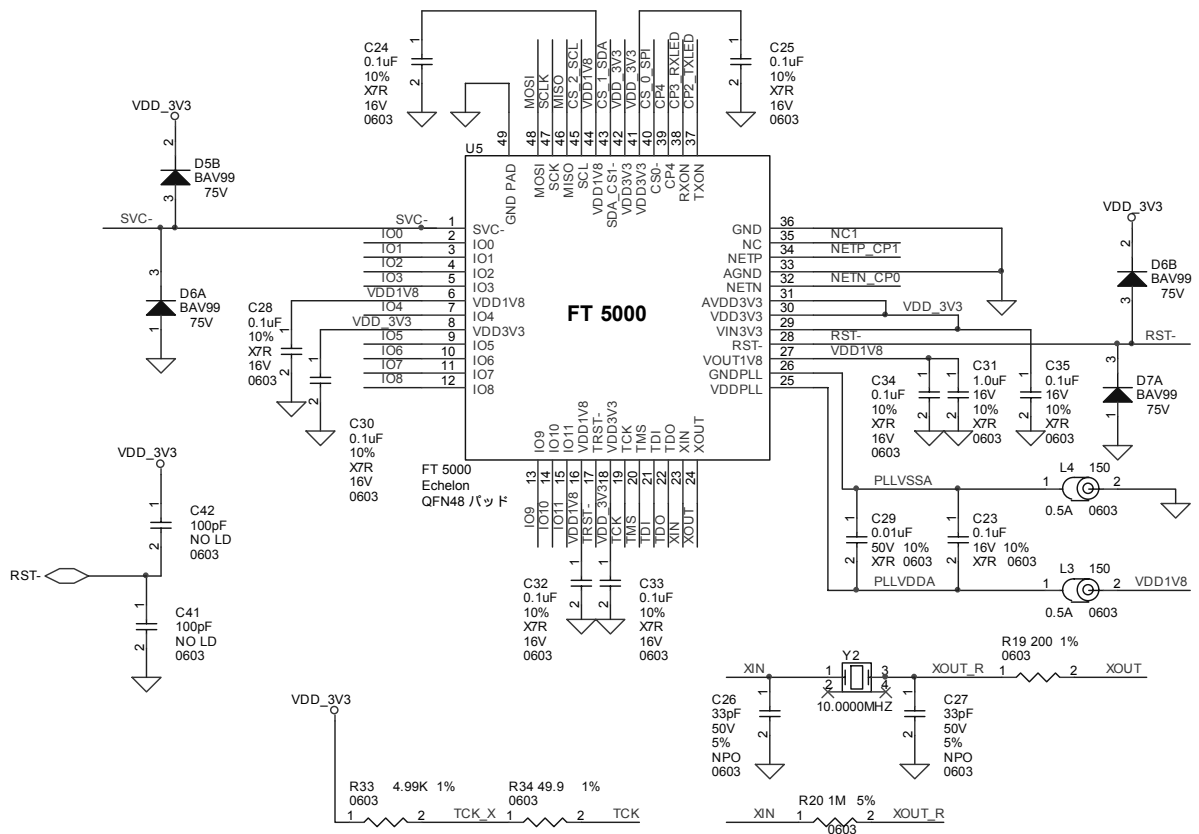


図 58 基本的な電氣的接続

メモリアンタフェースの接続

図 59 に、シリアルメモリアンタフェースの接続を示します。この図には、シリアル EEPROM デバイスとフラッシュメモリデバイスの両方の接続を記載しています。

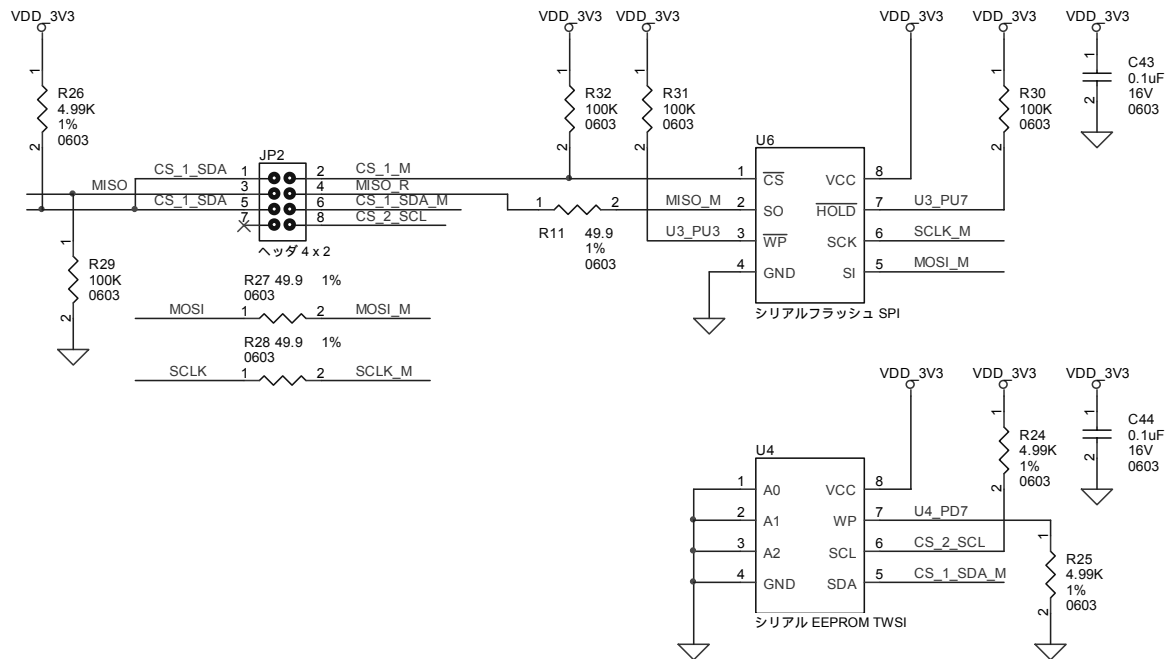


図 59 メモリアンタフェースの接続

トランスの接続

図 60 (148 ページ) に、通信トランスの接続を示します。この図には、FT-X2 通信トランスと FT-X3 通信トランスの両方の接続を記載しています。

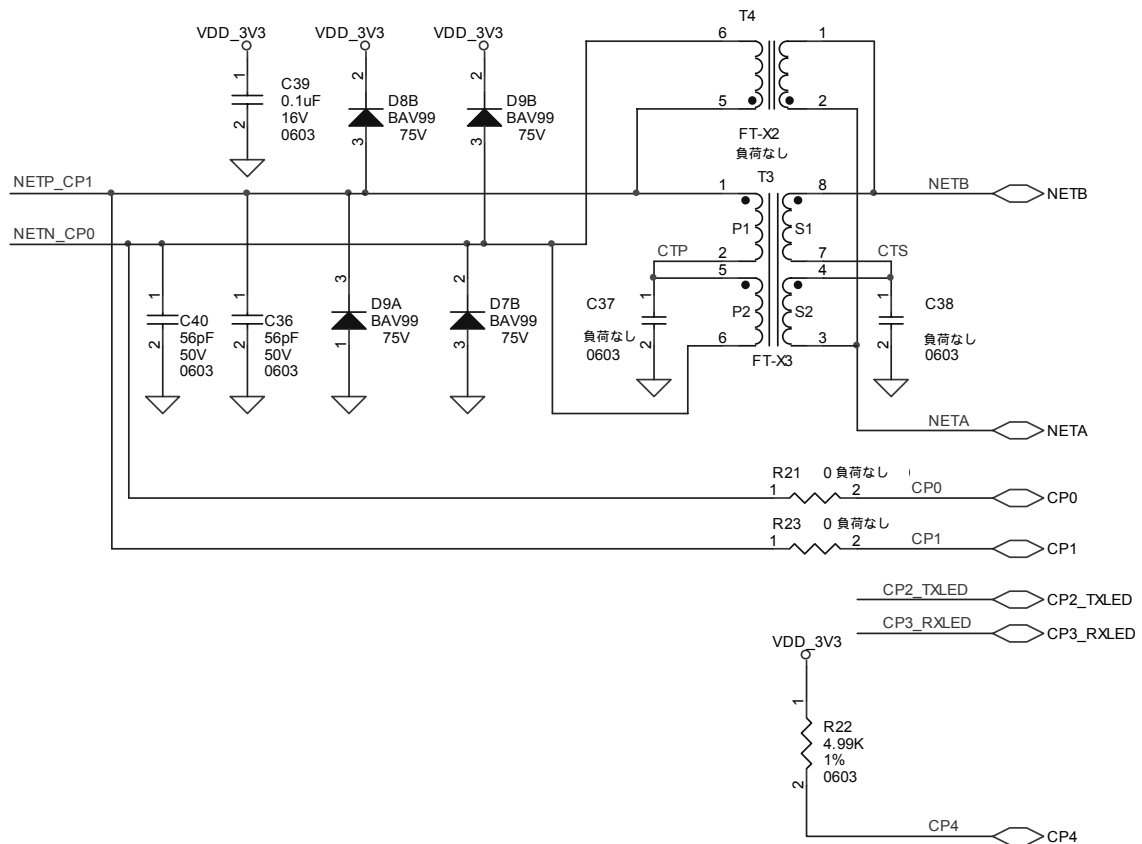


図 60 トランスの接続

I/O およびネットワークの接続

図 61 (149 ページ) に、基本的な I/O 接続とネットワーク接続を示します。この図には外部 I/O デバイスは記載していません。したがって、IO0 ~ IO11 信号のプルアップ抵抗またはプルダウン抵抗も記載されていません。

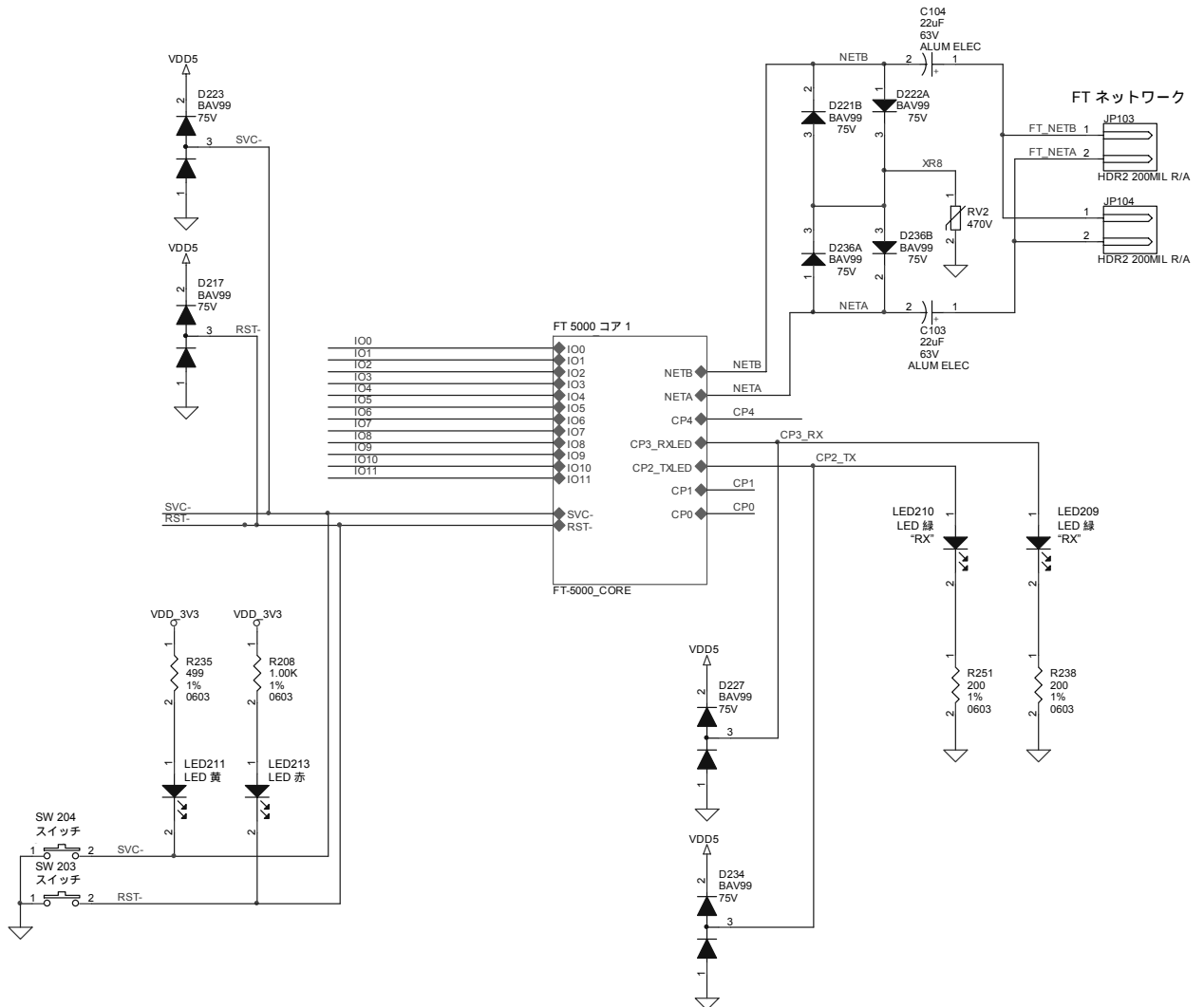


図 61 I/O およびネットワークの接続

サンプル回路図の部品表 (BOM)

表 45 に、本付録で示したサンプル回路図の部品表 (BOM) を一部紹介します。

表 45 サンプル回路図の BOM 例

参照番号	値
C29	0.01 μ F
C26、C27	33 pF
C36、C40	56 pF
C37、C38、C41、C42	100 pF
C23、C24、C25、C28、C30、C32、C33、C34、C35、C39、C43、C44	0.1 μ F
C31	1.0 μ F
C103、C104	22 μ F
D5、D6、D7、D8、D9、D217、D221、D222、D223、D227、D234、D236	BAV99
L3、L4	150 Ω
R11、R27、R28、R34	49.9 Ω
R19、R238、R251	200 Ω
R235	499 Ω
R208	1.00 k Ω
R22、R24、R25、R26、R33	4.99 k Ω
R29、R30、R31、R32	100 k Ω
R20	1 M Ω
RV2	470 V
T3	FT-X3
T4	FT-X2
Y2	10.0000 MHz

F

メーカーお問い合わせ先

この付録では、本書で紹介した関連製品メーカー各社のお問い合わせ先情報を記載します。

メーカー情報

この付録では、本書で紹介した主な関連製品のメーカー情報を記載します。情報は、本書の発行時点における最新のものであります。以下に示すメーカーの製品は、シリーズ 5000 チップとの組み合わせをエシロン社で検証しています。ただし、本書で紹介した関連製品のほとんどは、ここに記載したメーカー以外の製品をご使用いただくことも可能です。

Abracon Corporation

本社

30332 Esperanza
Rancho Santa Margarita, CA 92688 USA
電話：+1 949-546-8000
FAX：+1 949-546-8001

www.abracon.com

Atmel Corporation

本社

2325 Orchard Parkway
San Jose, CA 95131 USA
電話：+1 408-441-0311

www.atmel.com

Belden Inc.

本社

7733 Forsyth Boulevard, Suite 800
St. Louis, MO 63105 USA
電話：+1 314-854-8000
FAX：+1 314-854-8001

www.belden.com

BPM Microsystems

本社

5373 West Sam Houston Pkwy N, Suite 250
Houston, TX 77041 USA
電話：+1 713-688-4600
通話料無料（米国のみ）：800-225-2102
FAX：+1 713-688-0920

www.bpmmicro.com

Citel Inc.

本社

11381 Interchange Circle South
Miramar, FL 33025 USA
電話：+1 954-430-6310
通話料無料（米国のみ）：800-248-3548
FAX：+1 954-430-7785

www.citelprotection.com

CommScope Inc.

本社

1100 CommScope Place SE
Hickory, NC 28603 USA
電話：+1 828-324-2200
通話料無料（米国のみ）：800-982-1708

www.commscope.com

Emulation Technology Inc.

本社

2320 Walsh Avenue
Building H, Suite E
Santa Clara, CA 95051 USA
通話料無料（米国のみ）：800-ADAPTER
（800-232-7837）

www.emulation.com

Fairchild Semiconductor Inc.

本社

82 Running Hill Road
South Portland, ME 04106 USA
電話：+1 207-775-8100
通話料無料（米国のみ）：800-341-0392

www.fairchildsemi.com

支社

3001 Orchard Parkway
San Jose California 95134 USA
電話：+1 408-822-2000

HiLo System Research Company Ltd.

本社

4F, No. 18, Lane 76
Rueiguang Rd., Neihu Dist.
Taipei 11491, Taiwan
電話：886-2-8792-3301
FAX：886-2-8792-3285

www.hilosystems.com.tw

Laird Technologies PLC

本社

100 Pall Mall
London UK
SW1Y 5NQ

電話 : +44 (0)20 7468 4040
FAX : +44 (0)20 7839 2921

www.lairdtech.com

米国支店

16401 Swingley Ridge Road
Suite 700
Chesterfield, MO 63017 USA

電話 : +1 636-898-6000
FAX : +1 636-898-6100

Littelfuse Inc.

本社

8755 West Higgins Road Suite 500
Chicago IL 60631 USA

電話 : +1 773-628-1000
FAX : +1 847-391-0894

www.littelfuse.com

Numonyx BV

本社

A-One Biz Center
Z.A. Vers la Piece
Rte de l'Etraz
1180 Rolle
Switzerland

電話 : +41.21.822.3700

www.numonyx.com

北南米地域営業所

1900 Prairie City Road, FM3-N
Folsom, CA 95630 USA

通話料無料 (米国のみ) : 888-GO-NUMONYX

NXP Semiconductors BV

本社

High Tech Campus 45
5656 AE Eindhoven
Netherlands
電話：+31 40 27 29999
FAX：+31 40 27 43375

www.nxp.com

ON Semiconductor

本社

5005 East McDowell Road
Phoenix, AZ 85008 USA
電話：+1 602-244-6600
通話料無料（米国のみ）：888-743-7826

www.onsemi.com

パナソニック株式会社

本社

〒571-8501 大阪府門真市
大字門真 1006 番地
電話：06-6908-1121
FAX：06-6908-2351

panasonic.co.jp/index3.html

米国支店

1 Panasonic Way
Secaucus, New Jersey 07094 USA
電話：+1 201-348-7000
FAX：+1 201-348-7016

panasonic.com

Plastronics Socket Company Inc.

本社

2601 Texas Drive
Irving, Texas 75062 USA
電話：+1 972-258-2580
通話料無料（米国のみ）：800-582-5822
FAX：+1 972-258-6771

www.plastronicsusa.com

株式会社サンコーシャ

本社

〒141-0032 東京都品川区
大崎4丁目3番8号
電話：03-3491-7181
FAX：03-3494-7574

www.sankosha-usa.com

米国支店

406 Amapola Avenue, Suite 135
Torrance, CA 90501 USA
電話：+1 310-320-1661
通話料無料（米国のみ）：888-711-2436
FAX：+1 310-618-6869

Silicon Storage Technology Inc.

本社

1171 Sonora Court
Sunnyvale, CA 94086 USA
電話：+1 408-735-9110
FAX：+1 408-735-9036

www.sst.com

太陽誘電株式会社

本社

〒110-0005 東京都台東区
上野 6 丁目 16 番 20 号 松村ビル

電話 : 03-3833-5441
FAX : 03-3835-4754

米国支店

1930 North Thoreau Drive, Suite 190
Schaumburg, IL 60173 USA
電話 : +1 847-925-0888
FAX : +1 847-925-0899

www.t-yuden.com または www.yuden.co.jp/e/index.html

TDK 株式会社

本社

〒103-8272 東京都中央区
日本橋 1 丁目 13 番 1 号

www.tdk.com

米国支店

901 Franklin Avenue
P O Box 9302
Garden City, NY 11530-9302 USA
電話 : +1 516-535-2600
FAX : +1 516-294-8318

Total Phase Inc.

本社

735 Palomar Avenue
Sunnyvale, CA 94085 USA
電話 : +1 408-850-6500

www.totalphase.com

Vishay Intertechnology Inc.

本社

63 Lancaster Avenue
Malvern, PA 19355-2143 USA
電話：+1 402-563-6866
FAX：+1 402-563-6296

www.vishay.com

索引

- 5**
5000 シリーズ, 2
- A**
ANSI/CEA 709.1-B, 3
APP プロセッサ, 15
AWG 16 ケーブル仕様, 127
- B**
BSDL ファイル, 29
- C**
CE マーク, 74
CEN 61000 試験結果, 85
CISPR 22, 77
CP ピン, 42
- E**
EEPROM デバイス, 24
EIA 485 トランシーバ, 55
EMC, 74
EMI, 76
EN 14908.1, 3
EN 61000 試験結果, 85
ESD, 76, 137
ESD 緩衝帯, 70
- F**
FT 5000 フリートポロジースマートトランシーバ
概要, 2
ネットワーク接続, 52
ピン配置, 32
FT-X3 通信トランス
接続, 131
ピン配置, 130
レイアウト, 132
- I**
I/O オブジェクト, 96
I/O ピン, デジタル, 41
I/O モデル, 96
I2C メモリ, 25, 27
IRQ プロセッサ, 15
ISO 7498-1, 3
ISO/IEC 14908, 3
- J**
JTAG
インターフェース, 29
ピン接続, 40
- L**
LonTalk プロトコル, 4
LonWorks
概要, 3
ネットワークプロトコル, 3
- M**
MAC プロセッサ, 15
Mil-Std-883 Method 3015.7, 41
Mini EVK 評価キット, 110
- N**
NEMA Type 4 ケーブル仕様, 125
NET プロセッサ, 15
Neuron 5000 プロセッサ
CP ピン, 42
EIA 485 トランシーバ, 55
TPT/XF-1250 トランシーバ, 55
概要, 2
シングルエンドモード, 44
特定用途モード, 48
ネットワーク接続, 54
ピン配置, 35
Neuron アーキテクチャ, 13
NodeBuilder 開発ツール, 110
NVM デバイス, 24
- O**
OSI モデル, 3
- P**
PLL ピン, 接続, 40
- R**
RoHS 適合, 2
RS 485 トランシーバ, 55
RST~ ピン, 59

S

SPI
メモリ, 26, 27
SVC~ピン, 66

T

TPT/XF-1250 トランシーバ, 55

V

VDD1V8 ピン, 接続, 38
VDD3V3 ピン, 接続, 38

X

XIN および XOUT ピン, 56
XTAL, 56

あ

アーキテクチャ
Neuron, 13
シリーズ 5000, 12
マルチプロセッサ, 15
メモリ, 22
割り込み, 17
アセンブリ命令セット, 17
アプリケーションプログラム開発, 110

い

イミュニティ, 75

う

ウォッチドッグタイマ, 61

お

主な特長, 7

か

ガイドライン、取り扱いと製造, 134
回路図、サンプル, 146
ガス放電管型アレスタ, 82
カテゴリ 5 ケーブル仕様, 125

く

グランドピン、接続, 39
グランド面, 71
グランドリターン, 71
クランプダイオード, 71
クリスタル, 56
クロック要件, 56

け

ケーブル、認定, 124

さ

サージ試験, 81
サービスピンの, 66
サンプル回路図, 146

し

シールド保護, 82
磁場干渉, 84
終端, 92
仕様一覧, 10
衝突検出, 45
シリアルメモリインターフェース, 24
シリーズ 5000
アーキテクチャ, 12
主な特長, 7
概要, 2
クロック要件, 56
仕様一覧, 10
接続, 38
デジタル I/O ピン, 41
動作範囲, 30
ハードウェアリソース, 12
リセット機能, 59
新機能, iii
シングルエンドモード
概要, 44
衝突検出, 45
ベータ 1 およびベータ 2 タイムスロット, 45

す

スター型グラウンド, 70

せ

整合性
プロセッサ, 67
メモリ, 67
リセット, 67
静電放電, 76
接続
FT-X3 通信トランス, 131
JTAG ピン, 40
PLL ピン, 40
VDD1V8 ピン, 38
VDD3V3 ピン, 38
グランドピン, 39

そ

ソケット, 72

た

タイマ/カウンタ, 96

ち

チェックサム, 67
チェックリスト, 113

つ

通信ポート、ピン, 42

て

デカップリングコンデンサ, 71, 138
デジタル I/O ピン, 41
電磁干渉, 76
電磁適合性 (EMC), 74
伝導イミュニティ, 79

と

動作範囲、シリーズ 5000 チップ, 30
ドキュメント, v
特定用途モード, 48
トラップ, 17
取り扱いガイドライン, 139

ね

ネットワーク
 終端, 92
 仕様, 91
 トポロジー, 88
 配線, 88
 パフォーマンス, 90
 保護, 82
ネットワーク接続
 FT 3120/FT 3150 との比較, 53
 FT 5000 フリートポロジースマートトラン
 シーバ, 52
 FTT-10A との比較, 54
 Neuron 5000 プロセッサ, 54
ネットワーク配線, 88

の

ノイズ対策, 137

は

バースト試験, 81
ハードウェア
 同期, 106
配線, 88
バイパスコンデンサ, 142
発振器, 56
はんだプロファイル, 138

ひ

標準規格, vii
ピン
 互換性, 106
 デジタル I/O, 41
ピン、未使用, 134
ピン配置
 FT 5000 フリートポロジースマートトラン
 シーバ, 32
 FT-X3 通信トランス, 130
 Neuron 5000 プロセッサ, 35

ふ

フラッシュメモリデバイス, 24
フリートポロジー、概要, 5
プリント基板
 FT 5000 フリートポロジースマートトラン
 シーバ, 71
 レイアウトに関するガイドライン, 70
プロセッサ, 15
プロセッサ整合性, 67

へ

ベータ 1 およびベータ 2 タイムスロット, 45

ほ

放射イミュニティ, 79

み

未使用ピン, 134

め

命令セット、アセンブリ, 17
メーカー問い合わせ先, 152
メモリ
 アーキテクチャ, 22
 インターフェース, 24
 オンチップ, 22
 対応デバイス, 28
 デバイスへの書き込み, 28
 マップ, 23

ら

落雷保護, 82

り

リセット機能
 ウォッチドッグタイマ, 61
 概要, 59
 ソフトウェアリセット, 61
 タイミング, 61

パワーアップシーケンス, 60
リセット処理, 67

れ

レイアウトに関するガイドライン, 70

レジスタ, 15

わ

割り込み, 17