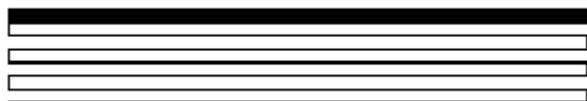


**PL 3120<sup>®</sup>/PL 3150<sup>®</sup>**  
**Power Line**  
**Smart Transceiver**  
**Data Book**

**Version 2.0**

**日本語版**

 **ECHELON**  
Corporation



*005-0154-01B*

Echelon、LON、LONWORKS、LonBuilder、NodeBuilder、LonManager、LonTalk、Neuron、LONMARK、3120、3150、Echelon のロゴ、および LONMARK は、エシエロン社の登録商標です。LonMaker、LNS、i.LON、ShortStack、および LonSupport は、エシエロン社の商標です。

その他のブランド名および製品名は、各社の商標または登録商標です。

スマートトランシーバ、Neuron チップ、およびその他の OEM 製品は、人体の健康や安全に対する危害または物損を招くおそれのある機器やシステムでの使用を目的に設計されたものではありません。スマートトランシーバまたは Neuron チップをそのような機器あるいはシステムに対して使用することについて、エシエロン社は一切の責任を負いません。

エシエロン社は PL 3120<sup>®</sup> および PL 3150<sup>®</sup> 電力線スマートトランシーバの外部回路の作成方法を開発し、特許を取得しています。これらの特許は『Echelon PL 3120 / PL 3150 Power Line Smart Transceiver Development Support Kit License Agreement』に準拠してライセンス契約されます。

エシエロン社以外の販売業者により製造されたパーツを本書中で参照している場合もありますが、これは説明のために記載しているだけであり、必ずしもエシエロン社でこれらのパーツについてのテストを行っているわけではありません。各アプリケーションに対するパーツの適合性については、お客様の判断にお任せいたします。

製品の市販性または特定目的の適合性に関しては、明示もしくは黙示の如何にかかわらず、また書面もしくはその他いかなる手段によるものにかかわらず、エシエロン社はお客様にいかなる保証もなすことはありません。

ここで明示的に許諾されている場合を除き、本書の内容の一部または全部を、エシエロン社の書面による事前の承諾なしに複製、検索システムへの登録、または送信することは、電子的、機械的、複写、記録、その他のいかなる形式、手段にかかわらず禁じられています。

Copyright©1996-2005 by Echelon Corporation.

Echelon Corporation  
550 Meridian Ave  
San Jose, CA 95126, USA

エシエロン・ジャパン株式会社  
〒105-0001 東京都港区虎ノ門5丁目11番2号  
オランダヒルズ森タワー 18階

[www.echelon.com](http://www.echelon.com)

[www.echelon.co.jp](http://www.echelon.co.jp)

※本書は Echelon Corporation により作成された『PL 3120/PL 3150 Power Line Smart Transceiver Data Book』をエシエロン・ジャパン株式会社にて翻訳したものです。本書と原文の間に生じるいかなる相違に関する保証するものではなく、かような相違が発生した場合には原文の解釈に従うものとします。

# 目次

<b>Chapter 1 – はじめに</b> .....	<b>1</b>
概要 .....	2
製品の概要 .....	2
LonWorks ネットワーク .....	2
2つの製品ファミリ .....	3
電力線信号 .....	3
搬送波周波数 2 重化動作 .....	4
前方向エラー訂正 .....	5
強力な出力アンプ .....	5
広ダイナミックレンジ .....	5
低消費電流 .....	5
世界中の規格に適合 .....	5
内蔵低コスト小型設計 .....	6
電気事業アプリケーションと家庭 / 商業 / 工業アプリケーションの比較 .....	7
豊富な開発リソース .....	7
対象読者 .....	7
本書の内容 .....	7
関連ドキュメント .....	7
<b>Chapter 2 – ハードウェアリソース</b> .....	<b>9</b>
概要 .....	10
Neuron プロセッサのアーキテクチャ .....	10
メモリ .....	16
メモリ割り当ての概要 .....	16
PL 3150 スマートトランシーバのメモリ割り当て .....	16
PL 3120 スマートトランシーバのメモリ割り当て .....	16
EEPROM .....	17
スタティック RAM .....	18
あらかじめプログラムされた ROM .....	19
PL 3150 スマートトランシーバの外部メモリインターフェース .....	19
入出力 .....	20
12本の双方向性 I/O ピン .....	20
2つの 16 ビットタイマ / カウンタ .....	20
クロック入力 .....	21
帯域使用中 (BIU) およびパケット検出 (PKD) LED 接続 .....	23
TXON 出力信号 .....	23
付加的な機能 .....	24
リセット機能 .....	24
RESET ピン .....	25
パワーアップシーケンス .....	25
ソフトウェア制御リセット .....	25
ウォッチドッグタイマ .....	26
LVI の考慮事項 .....	26
リセットのプロセスおよびタイミング .....	27

SERVICE ピン.....	32
整合性機構.....	34
チェックサムを用いたメモリ整合性.....	34
リブートおよび整合性オプションワード.....	35
リセット処理.....	36
シグネチャ.....	36
<b>Chapter 3 – 入出力インターフェース.....</b>	<b>37</b>
はじめに.....	38
ハードウェアの考慮事項.....	39
I/O タイミングの問題.....	44
スケジューラ関連 I/O タイミング情報.....	44
ファームウェアおよびハードウェア関連 I/O タイミング情報.....	46
直接 I/O オブジェクト.....	46
ビット入出力 (Bit Input/Output).....	46
バイト入出力 (Byte Input/Output).....	48
レベル検出入力 (Leveldetect Input).....	49
ニブル入出力 (Nibble Input/Output).....	50
パラレル I/O オブジェクト.....	51
マルチプレクサバス入出力 (Muxbus Input/Output).....	51
パラレル入出力 (Parallel Input/Output).....	53
マスター/スレーブ A モード.....	53
スレーブ B モード.....	57
シリアル I/O オブジェクト.....	59
ビットシフト入出力 (Bitshift Input/Output).....	59
I <sup>2</sup> C 入出力 (I2C Input/Output).....	61
マグカード入力 (Magcard Input).....	63
マグトラック 1 入力 (Magtrack1 Input).....	64
マグカードビットストリーム入力 (Magcard Bitstream Input).....	65
Neurowire 入出力オブジェクト (Neurowire Input/Output Object).....	65
Neurowire マスターモード.....	66
Neurowire スレーブモード.....	67
シリアル入出力 (Serial Input/Output).....	69
タッチ入出力 (Touch Input/Output).....	71
Wiegand 入力 (Wiegand Input).....	73
SCI (UART) 入出力 (SCI (UART) Input/Output).....	74
SPI 入出力 (SPI Input/Output).....	75
タイマ/カウンタ入力オブジェクト.....	80
デュアルスロープ入力 (Dualslope Input).....	81
エッジログ入力 (Edgelog Input).....	82
赤外線入力 (Infrared Input).....	83
オンタイム入力 (Ontime Input).....	84
ピリオド入力 (Period Input).....	84
パルスカウント入力 (Pulsecount Input).....	86
クアドラチャ入力 (Quadrature Input).....	87
トータルカウント入力 (Totalcount Input).....	89

タイマ/カウンタ出力オブジェクト .....	90
エッジデバインド出力 (Edgedivide Output) .....	90
周波数出力 (Frequency Output) .....	92
赤外線パターン出力 (Infrared Pattern Output) .....	93
ワンショット出力 (Oneshot Output) .....	94
パルスカウント出力 (Pulsecount Output) .....	95
パルス幅出力 (Pulsewidth Output) .....	96
トライアック出力 (Triac Output) .....	97
トリガードカウント出力 (Triggered Count Output) .....	99
注記 .....	100
<b>Chapter 4 – カップリング回路 .....</b>	<b>103</b>
はじめに .....	104
電力線通信 .....	104
カップリング技法 .....	106
電力線カップリングの基礎 .....	106
電力線カップリングの詳細 .....	109
安全性の問題 .....	112
安全絶縁に関する考慮事項 .....	112
グラウンド漏れ電流 .....	114
コンデンサの電荷蓄積 .....	115
ヒューズの選択 .....	115
三相カップリング回路 .....	115
二相カップリング回路 .....	116
ラインサージ保護 .....	119
低電圧カップリング回路 .....	119
低電圧 AC カップリング回路 .....	119
低電圧 DC カップリング回路 .....	120
低電圧カップリング回路の部品削減 .....	120
壁コンセントカプラおよび電源 .....	121
推奨カップリング回路図 .....	122
例 1 : ライン・ニュートラル間、非絶縁カップリング回路 .....	123
例 2 : ライン・ニュートラル間、トランス絶縁カップリング回路 .....	125
例 3 : ライン・アース間 (L・E 間) 非絶縁カップリング回路 .....	127
例 4 : ライン・アース間 (L・E 間) トランス絶縁カップリング回路 .....	129
例 5 : 三相非絶縁カップリング回路 .....	131
例 6 : 三相トランス絶縁カップリング回路 .....	133
例 7 : 二相非絶縁カップリング回路 .....	135
例 8 : 二相トランス絶縁カップリング回路 .....	137
例 9 : 低電圧 AC 非絶縁カップリング回路 .....	139
例 10 : 低電圧 AC トランス絶縁カップリング回路 .....	141
例 11 : 低電圧 DC 非絶縁カップリング回路 .....	143
例 12 : ライン・ニュートラル間 (L・N 間) 絶縁壁コンセント電源 / カプラ .....	145
回路例のサージ耐性 .....	147

<b>Chapter 5 – PL スマートトランシーバの電源</b> .....	<b>151</b>
はじめに .....	152
電源設計上の考慮事項 .....	153
電源に起因する減衰 .....	153
電源ノイズ .....	153
VA 電源電圧範囲 .....	153
蓄電式電源 .....	154
蓄電式コンデンサ入力電源 .....	156
蓄電式リニア電源 .....	159
従来のリニア電源 .....	160
壁コンセント電源 / カプラ .....	160
スイッチング電源 .....	160
電源に起因する減衰 .....	160
電源入力におけるノイズ .....	163
スイッチング電源の周波数選択 .....	164
スイッチング電源の入力ノイズマスク .....	164
スイッチング電源の出力ノイズマスク .....	170
スイッチング電源のオプション .....	172
事前設計済みの蓄電式スイッチング電源 .....	172
事前設計済みのスイッチング電源 .....	174
市販のスイッチング電源 .....	177
フルカスタムスイッチング電源 .....	178
<b>Chapter 6 – 電磁的適合性のための設計とテスト</b> .....	<b>179</b>
はじめに .....	180
EMI 設計上の問題 .....	180
電磁的適合性 (EMC) のためのシステム設計 .....	180
ESD 設計上の問題 .....	182
ESD 耐性のためのシステム設計 .....	182
伝導放射テスト .....	183
<b>Chapter 7 – 通信パフォーマンスの検証</b> .....	<b>187</b>
はじめに .....	188
通信パフォーマンスを検証する理由 .....	188
検証手順 .....	188
電力線テストアイソレータ .....	189
テスト装置 .....	189
作成する必要があるテスト装置 .....	190
「5Ω 負荷」回路 .....	190
「7Ω 負荷」回路 .....	190
インピーダンス回路 .....	191
減衰回路 .....	191
「善良市民」検証 .....	191
意図的でない出力ノイズの検証 .....	192
過剰な負荷の検証 .....	193
送信パフォーマンスの検証 .....	194
受信パフォーマンスの検証 .....	196

NodeUtil を使ったパケットエラー測定 .....	196
受信パフォーマンスの検証 .....	197
<b>Chapter 8 – PL スマートトランシーバのプログラミング .....</b>	<b>203</b>
はじめに .....	204
搬送波周波数 2 重化モード .....	204
CENELEC アクセスプロトコル .....	204
電源管理 .....	205
標準トランシーバタイプ .....	206
NodeBuilder ツールサポート .....	207
PL スマートトランシーバのチャンネル定義 .....	207
PL スマートトランシーバのクロック速度の選択 .....	208
アプリケーションおよびトランシーバタイプパラメータのダウンロード .....	208
<b>Appendix A – PL スマートトランシーバの参照設計 .....</b>	<b>211</b>
はじめに .....	212
開発サポートキットの内容 .....	213
参照設計ファイル .....	214
参照設計仕様 .....	215
開発サポートキット (DSK) 参照設計を使用することの重要性 .....	216
<b>Appendix B – PL スマートトランシーバ使用デバイスのチェックリスト .....</b>	<b>219</b>
はじめに .....	220
デバイスチェックリスト .....	220
<b>Appendix C – 絶縁トランスの仕様 .....</b>	<b>225</b>
12 $\mu$ H 漏洩トランスの仕様 .....	226
低漏洩トランスの仕様 .....	227
<b>Appendix D – 製造テストおよび取り扱いのガイドライン .....</b>	<b>229</b>
生産テストのガイドライン .....	230
物理層生産テスト .....	230
生産テストの方法 .....	230
回路内テスト (ICT) .....	230
トランスミッタパフォーマンスの検証 .....	230
レシーバのパフォーマンスの検証 .....	231
A/D、D/A を使ったテストシステム .....	232
ハードウェアの説明 .....	232
ソフトウェアの説明 .....	233
テストシステムの検証 .....	234
バックグラウンドノイズの検証 .....	234
照会 ID メッセージ振幅の検証 .....	235
製造取り扱いガイドライン .....	235
基板のハンダ付けに関する考慮事項 .....	235
取り扱い上の注意と静電放電 .....	236
CMOS デバイス .....	236

---

目次

---

ウェーブソルダー操作 .....	237
基板洗浄操作 .....	237
参考文献 .....	238
<b>Appendix E – 参考文献.....</b>	<b>239</b>

**1**

はじめに

## 概要

本書では、PL 3120®およびPL 3150®電力線スマートトランシーバの電気的および機械的なインターフェースおよび動作環境特性に関する技術的な仕様について詳しく説明します。また、NodeBuilder®開発ツールを使ってアプリケーションをPLスマートトランシーバに移行するためのガイドラインも記載されています。

さらに、PLスマートトランシーバを応用機器と統合する作業を簡略化するため、製造・販売業者についての情報が記載されています。本章最後の第1.5節「関連文書」には、関連文書のリストがあります。この節に列記されている文書は、特に断りのない限り、エシエロン社のホームページ ([www.echelon.com](http://www.echelon.com)) にも掲載されています。

## 製品の概要

PLスマートトランシーバを使用すると、コストを抑えながら、日常的に使用するデバイスにLONWORKS®電力線信号およびネットワーク機能を簡単に付加することができます。これらのスマートトランシーバは、オープンANSI/EIA規格に準拠しているため、ネットワーク化された電気機器、オーディオ/ビデオ、照明、冷暖房、セキュリティ、メーター検針、および灌漑用のアプリケーションに適しています。

価格、性能、およびパッケージサイズの面で優れたPLスマートトランシーバは、LONMARK® PL-20チャンネルタイプと完全に互換性がある電力線トランシーバとNeuron®プロセッサコアを集積化しています。このスマートトランシーバは、実質的にシステムオンチップであり、ANSI/EIA 709.2に準拠した信頼性の高い狭帯域の電力線トランシーバ、ANSI/EIA 709.1に準拠したアプリケーションの実行とネットワーク通信のNeuronプロセッサコア、内蔵または外部メモリの選択肢を備えた、超小型の製品です。PLスマートトランシーバは、あらかじめ設計された低コストの外部カップリング回路を用いることにより、ほとんどのACまたはDC電源を重複した電力線および非給電ツイストペアにおいて通信可能です。

## LONWORKS ネットワーク

今日では、ほとんどの業界において、自社独自の制御方式および集中システムを避ける傾向があります。オープンで分散型、かつピアツーピアのLONWORKSネットワークへの移行の推進力は、LONWORKSベースのソリューションがもたらす相互運用性、堅牢な技術、開発時間の短縮、および規模の経済性であるといえます。LONWORKSネットワーク内のすべての日常的なデバイスは、ANSI/EIA 709.1プロトコル規格を使用しています。この7層OSIプロトコルは、デバイス内のアプリケーションプログラムがネットワークのトポロジーや他のデバイスの機能を知らなくても、デバイス間でメッセージの送受信を可能にするサービスのセットを提供します。

LONWORKSネットワークは、エンドツーエンド確認応答、認証、および優先メッセージ配送を含むメッセージサービスの完全パッケージを備えています。ネットワーク管理サービスは、ネットワークツールがネットワーク上で相互作用することを可能にします。これには、ネットワークアドレスおよびパラメータのローカルまたはリモート再構成、アプリケーションプログラムのダウンロード、ネットワークの問題の報告、およびデバイスアプリケーションプログラムのスタート/ストップ/リセットが含まれます。

Neuronチップは、エシエロン社が設計したマイクロプロセッサのファミリであり、サードパーティ半導体メーカーにライセンス供与されています。このチップは、アプリケーション実行とネットワーク通信管理用のANSI/EIA 709.1に準拠したプロセッサコアとメディアに依存しない通信ポート、メモリ、I/O、および一意の48ビット識別番号 (Neuron ID) を組み合わせたものです。この通信ポートは、短距離のNeuronチップ間の通信を許容し、ほとんどすべてのタイプの外部ラインドライバおよびトランシーバとともに使用することができます。

Neuron 3120チップファミリは、内蔵アプリケーションプログラムメモリ (外部メモリバスなし) に加え、リアルタイムオペレーティングシステム (RTOS) およびROMにあらかじめプログラムされたアプリケーションライブラリを含んでいます。Neuron 3150チップファミリは、内部メモリおよび外部メモリバスの両方を備えています。

PLスマートトランシーバは、各IC内にNeuronプロセッサコアとANSI/EIA 709.2に準拠した電力線トランシーバを1つずつ集積しているため、外部トランシーバを必要としません。また、次に示すPLスマートトランシーバの変型も入手可能です。

- **PL 3120** チップは、内蔵アプリケーションプログラムメモリ、RTOS、およびROMにあらかじめプログラムされたアプリケーションライブラリを含んでいます。
- **PL 3150** チップは、内部メモリおよび外部メモリバスの両方を備えています。

## 2つの製品ファミリー

広範囲のアプリケーションとパッケージ条件に対応するため、PLスマートトランシーバには3つの異なるバージョンが用意されています。

製品名	モデル番号	最大入力クロック	EEPROM	RAM	ROM	外部メモリインターフェース	ICパッケージ
PL 3120-E4T10	15310-1000B	10 MHz	4キロバイト	2キロバイト	24キロバイト	なし	38 TSSOP
PL 3150-L10	15320-960B	10 MHz	0.5キロバイト	2キロバイト	適用外	あり	64 LQFP

PL 3120スマートトランシーバは、最大4キロバイトのアプリケーションコードを必要とする小型のデバイス設計に適しています。PL 3120は、6.5536MHz (Aバンド) または10.0MHz (Cバンド) で動作し、4キロバイトのEEPROMと2キロバイトのRAMを備えています。Neuronシステムファームウェア (RTOS) とアプリケーションライブラリは、オンチップROMに含まれています。

より大きなメモリを要するアプリケーション用のPL 3150スマートトランシーバは、6.5536MHz (Aバンド) または10.0MHz (Cバンド) で動作し、0.5キロバイトのEEPROMおよび2キロバイトのRAMを備え、64ピンのLQFPパッケージを使用します。PL 3150スマートトランシーバは、外部メモリバスを通じて最大58キロバイトの外部メモリのアドレス指定が可能で、そのうち16キロバイトはNeuronシステムファームウェア専用です。

PL 3120およびPL 3150スマートトランシーバの内蔵EEPROMは、データロスなしに最大1万回の書き込みが可能で、このEEPROMに格納されたデータは少なくとも10年間保持されます。

これらのPLスマートトランシーバは、あらかじめ定義された38種類の標準入出力モードでの動作設定が可能な、12本のI/Oピンを備えています。広範囲のI/Oモデルと2つの内蔵タイマ/カウンタおよびハードウェアSCI/SPI UARTを組み合わせたことにより、外部ロジックまたはソフトウェアの開発作業を最小限に抑えながら、PLスマートトランシーバをアプリケーション回路に接続することができます。

いずれのPLスマートトランシーバも、改訂版B (パッケージマーキングの右下隅の「B」で識別) はオンチップのクリスタルを備えています。これにより、以前必要とされたオフチップのインバータが不要になりました (詳細については第2章の「クロック入力」節を参照)。

## 電力線信号

PLスマートトランシーバで使用されている基本的な信号技術は、10年以上の現場テストを通じて開発・最適化されたものです。これまでに世界中の消費者向け製品、ユーティリティ (電力・ガス・水道)、建築、工業、運輸の各アプリケーションで使用されてきたエシエロン社の狭帯域トランシーバの数は、2,000万個以上に上ります。狭帯域BPSK信号、搬送波周波数2重化動作、適応搬送波およびデータ相関、インパルスノイズ消去、トーン除去、および低オーバーヘッドエラー訂正により、妨害ノイズ源があるときでも高い信頼性を実現します。

## 搬送波周波数2重化動作

PLスマートトランシーバは、搬送波周波数2重化信号技術を用いることにより、妨害ノイズ源があるときでも高い通信信頼性を実現します。確認応答メッセージの場合、パケットはまず一次周波数で送信され、確認応答が受信されないとそのパケットは二次周波数で再送信されます。確認応答なし/リピートありのメッセージの場合、パケットは一次周波数と二次周波数で交互に送信されます。公益事業アプリケーションの場合、一次および二次通信周波数は図1.1に示すAバンドに入っています。非公益事業アプリケーションの場合、一次通信周波数は図1.1に示すCバンドに存在し、二次周波数はCENELEC用語でBバンドと呼ばれるところに存在します。図1.2は、一次および二次通信周波数がさまざまな周波数バンドに収まっている様子を図解しています。

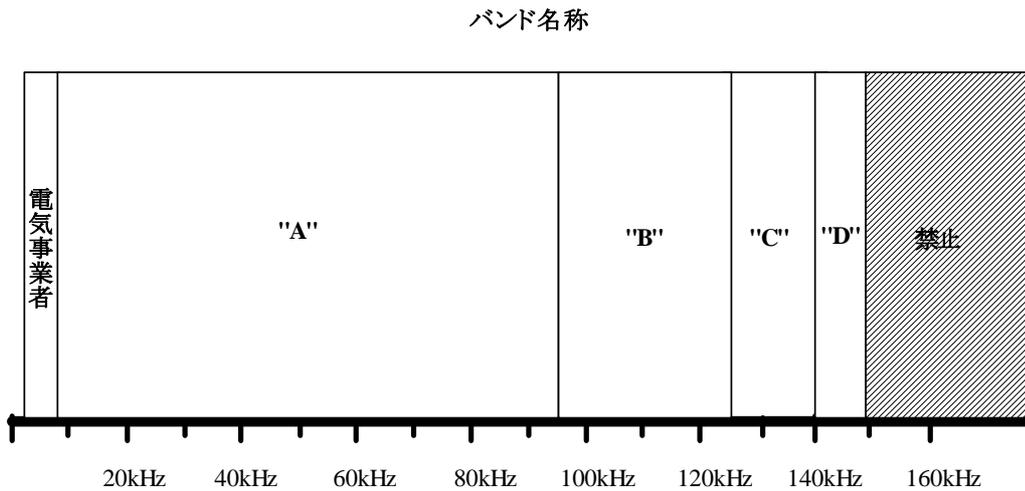


図1.1 CENELEC周波数バンド名

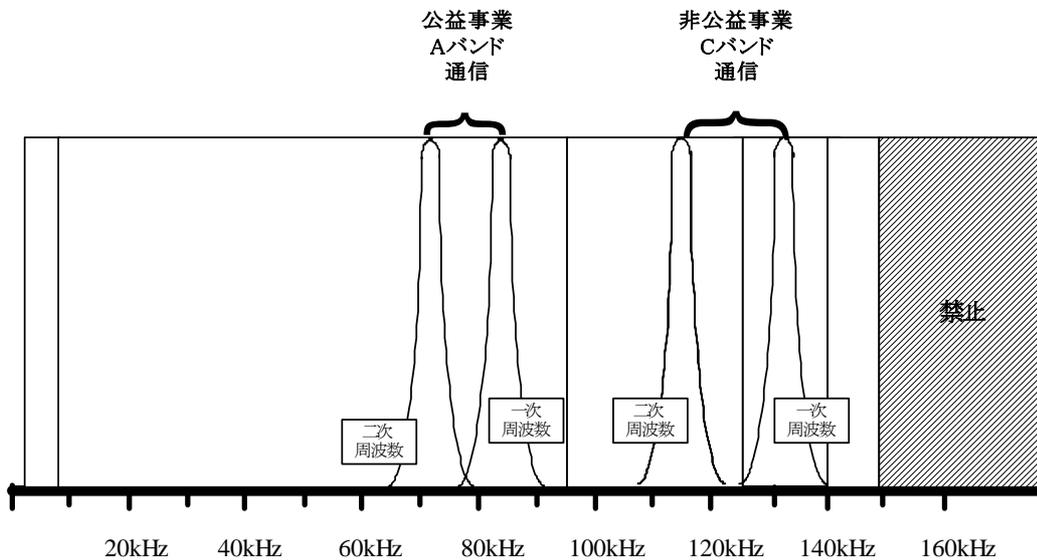


図1.2 搬送波周波数2重化動作

## 前方向エラー訂正

多くのノイズ源は、データパケットを破壊することにより電力線信号を妨害します。PL スマートトランシーバは、巡回冗長チェック (CRC) に加え、高効率かつ低オーバーヘッドの前方向エラー訂正 (FEC) アルゴリズムを使用して、パケットエラーを克服します。

## 強力な出力アンプ

PL スマートトランシーバと連動するように開発された外部高性能アンプ設計は、 $1\ \Omega$  の出力インピーダンスと  $1\text{Ap-p}$  の電流供給能力により、高出力レベルで低インピーダンス回路を駆動するとともに、厳しい国際 EMC 規格に適合するために必要な超低信号歪みレベルを維持しています。さらに大きな出力電力を要するアプリケーションの場合は、最大出力電流  $2\text{Ap-p}$  を供給する大電力設計もオプションで入手可能です。

## 広ダイナミックレンジ

ダイナミックレンジはレシーバの感度に関連しています。PL スマートトランシーバのダイナミックレンジは  $80\text{dB}$  を超えます。低ノイズのラインであれば、1 万分の 1 以下に減衰した信号でも受信可能です。

## 低消費電流

PL スマートトランシーバおよび付属のパワーアンプ回路は、ユーザー支給の  $\text{DC}+8.5\sim+18.5\text{V}$  ( $V_A$ ) および  $\text{DC}+5\text{V}$  ( $V_{\text{DD5}}$ ) 電源によって動作します。内蔵電源管理機能と広い電源電圧範囲により、低価格の電源を設計できます。電源管理は、電気スイッチ、コンセント、白熱電球調光器などの大量生産される低コストな消費者向け製品で特に有用です。

受信モードの消費電流は、 $V_A$  電源から標準わずか  $350\ \mu\text{A}$ 、 $V_{\text{DD5}}$  電源からは標準  $9\text{mA}$  であるため、電源のサイズとコストを小さく抑えることができます。

PL スマートトランシーバは、ロービットレート  $5.4\text{kbps}$  (Cバンド) または  $3.6\text{kbps}$  (Aバンド) で通信します。これはそれぞれ最大パケットレート  $20/\text{秒}$  および  $13/\text{秒}$  に対応します。これらの高スループットなトランシーバは、家庭用、商業用、および工業用自動化アプリケーションに適しています。

## 世界中の規格に適合

PL スマートトランシーバは、FCC (米国連邦通信委員会) [1]、カナダの産業省、日本の総務省の電波法、およびヨーロッパの CENELEC EN50065-1 規格 [2] に適合しており、世界中のアプリケーションで使用可能です。PL スマートトランシーバは CENELEC 通信プロトコルを完全に実装しているため、ユーザーは CENELEC EN50065-1 が要求する複雑なタイミングおよびアクセスアルゴリズムを開発する必要がありません。さらに、PL スマートトランシーバは CENELEC の公益事業バンド (Aバンド) または民生バンド (Cバンド) のどちらでも動作可能です。前ページの図 1.1 は、EU 加盟国で義務化されており、多くの EU 非加盟国でも遵守されている CENELEC 周波数規格を示しています。FCC、カナダの産業省、日本の総務省が定める規格は、CENELEC の要件ほど厳しくありません。これらの国における周波数割当は、図 1.3 にまとめられています。

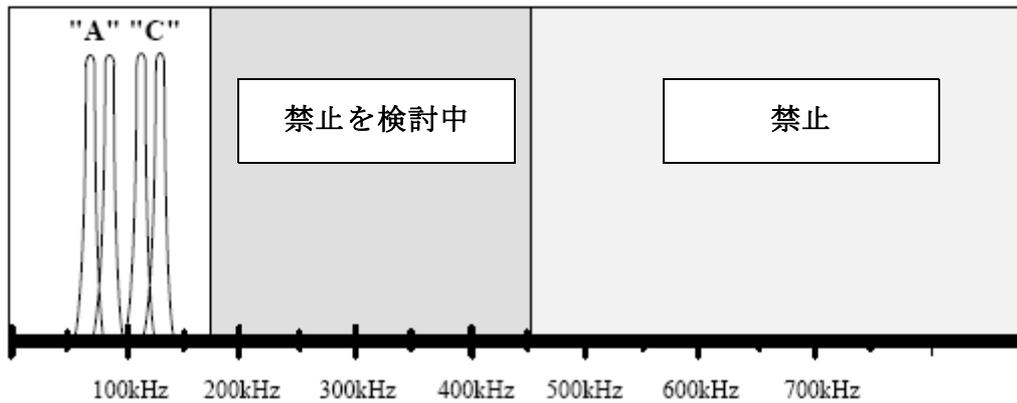
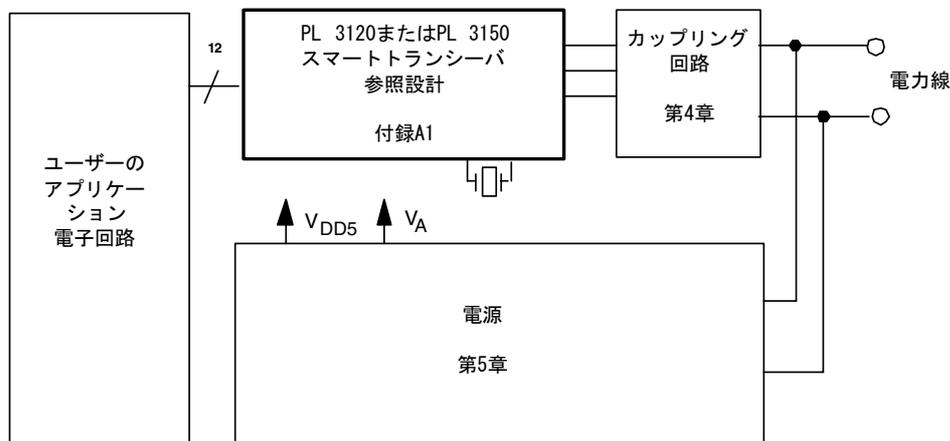


図1.3 FCC、カナダの産業省、日本の総務省の電力線信号

## 内蔵低コスト小型設計

PL スマートトランシーバをベースにしたデバイスを完成させるには、少数の低価格な外部部品しか必要となりません。図1.4に、PL スマートトランシーバをベースにしたデバイスのブロック図を示します。エシエロン社からは総合的な開発サポートキット (DSK) を入手できます。このキットには、サンプルPLスマートトランシーバ、回路図、プリント基板 (PCB) レイアウト、部品一覧表、およびこのインターフェース回路を実装するために使用できるサンプルアプリケーションコード付きの技術エミュレーションハードウェア (注記参照) が含まれています。

**注記：**エミュレーションハードウェアおよびサンプルアプリケーションコードは、2004年の第4四半期から入手可能になります。



LonWorksノード – 第6、7、8章

図1.4 LONWORKSデバイスのブロック図

## 電気事業アプリケーションと家庭/商業/工業アプリケーションの比較

PLスマートトランシーバは、最終アプリケーションに応じて2つの周波数範囲（LONWORKSチャンネル）のどちらかで動作するように設計されています。スマートトランシーバは、電気事業アプリケーションで使用するように構成されている場合はAバンド周波数範囲で通信し、家庭/商業/工業アプリケーションの場合はCバンド周波数範囲で通信します。公益事業と非公益事業で別々の動作周波数を使用する習慣はヨーロッパで始まったもので、帯域幅管理、セキュリティ、およびプライバシーの観点から多くの長所があるために事実上の標準となっています。

## 豊富な開発リソース

お客様のプロジェクトを支援するため、豊富な種類の技術文書、診断ツール、サポートプログラム、およびトレーニングコースが用意されています。さらに、エシエロン社は、お客様の製品、回路図、プリント基板レイアウト、および部品一覧表が既存のガイドラインに適合するかどうかを確認するための生産前設計レビューを有料で提供しています。正常に動作するデバイスを送っていただければ、通信性能確認テストをご提供いたします。

## 対象読者

『PL 3120/PL 3150 Power Line Smart Transceiver Databook』は、PL スマートトランシーバをお買い上げのお客様のために仕様と使用説明を記載したものです。

## 本書の内容

本ユーザーガイドでは、公益事業（Aバンド）および家庭/商業/工業（Cバンド）の両アプリケーションにおけるPLスマートトランシーバの使用について説明します。

## 関連ドキュメント

次に示すドキュメントも参考にしてください。

*PL 3120 and PL 3150 Smart Transceiver Data Sheet* (003-0378-01)

*Neuron C Programmer's Guide* (078-0002-02)

*Neuron C Reference Guide* (078-0140-02)

*Neuron 3150 Chip External Memory Interface Engineering Bulletin* (005-0013-01)

*LonWorks Microprocessor Interface Program User's Guide* (078-0017-01)

*NodeBuilder User's Guide* (078-0141-01)

*Parallel I/O Interface to the Neuron Chip Engineering Bulletin* (005-0021-01)

*PLCA-22 Power Line Communication Analyzer User's Guide* (078-0147-01)

*LonWorks PCLTA-20 PCI Interface User's Guide* (078-0179-01)

*Neuron Chip Quadrature Input Function Interface Engineering Bulletin* (005-0003-01)

*Power Line SLTA Adapter and Power Line PSG/3 Users's Guide* (078-01188-01)



2

---

# ハードウェアリソース

## 概要

PL 3120 スマートトランシーバは、最大4キロバイトのメモリを要する設計用の完全SoC (システムオンチップ) です。一方、PL 3150 スマートトランシーバは、より複雑なアプリケーション用に外部メモリをサポートしています。特に記載のない限り、両プロセッサの主なハードウェアブロックは同一です (表2.1と図2.1を参照)。

表 2.1 PLスマートトランシーバの比較

特徴	PL 3150スマートトランシーバ	PL 3120スマートトランシーバ
RAM (バイト)	2,048	2,048
ROM (バイト)	—	24,576
EEPROM (バイト)	512	4,096
汎用I/Oピン	12	12
16ビットタイマ/カウンタ	2	2
外部メモリインターフェース	あり	なし
パッケージ	64ピンLQFP	38ピンTSSOP

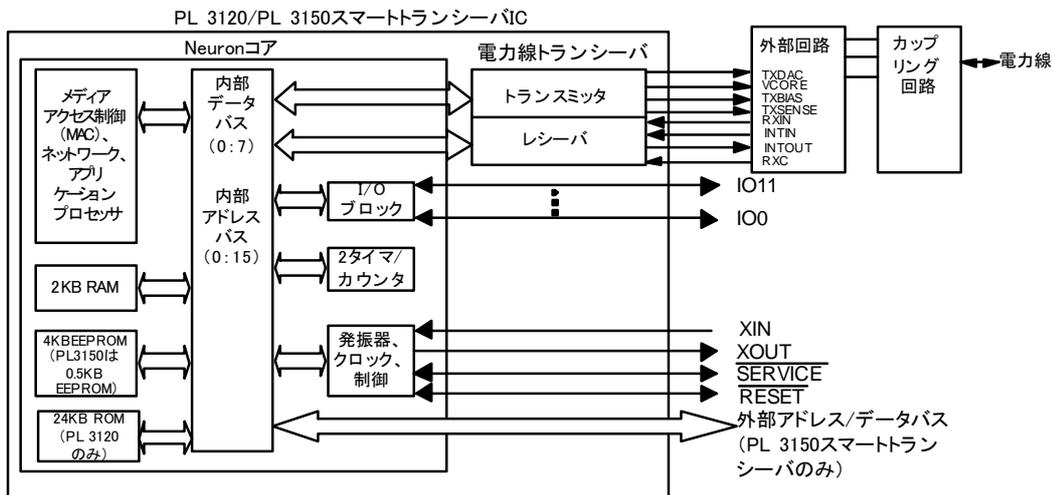


図2.1 PLスマートトランシーバのブロック図

## Neuron プロセッサのアーキテクチャ

Neuron コアは3つのプロセッサで構成されています。これらのプロセッサは、Neuron ファームウェアによって以下の機能に割り当てられています。

プロセッサ1は、7層LonTalk®プロトコルスタックの第1、2層を扱うMAC層プロセッサです。これには、通信サブシステムハードウェアの駆動とメディアアクセス制御アルゴリズムの実行が含まれます。プロセッサ1は、共有RAMメモリの中のネットワークバッファを使ってプロセッサ2と通信します。

プロセッサ2は、LonTalkプロトコルスタックの第3~6層を実装するネットワークプロセッサです。プロセッサ2は、ネットワーク変数の処理、アドレス指定、トランザクション処理、認証、バックグラウンド診断、ソフトウェアタイマ、ネットワーク管理、およびルーティング機能を扱います。プロセッサ2は、共有メモリの中のネット

ワークバッファを使用してプロセッサ1と通信し、アプリケーションバッファを使用してプロセッサ3と通信します。このバッファも共有RAMメモリ内にあります。これらのバッファへのアクセスはハードウェアセマフォによって仲介されますが、これは共有データを更新するときの競合を解消するためです。

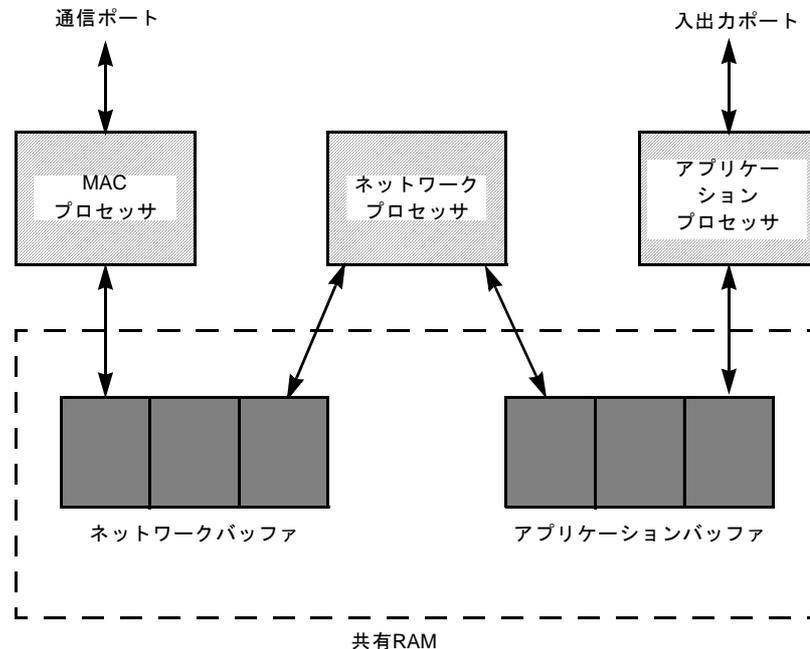


図2.2 プロセッサ共有メモリ割り当て

プロセッサ3は、アプリケーションプロセッサであり、ユーザーが作成したコードをユーザーコードによって呼び出されたオペレーティングシステムサービスとともに実行します。アプリケーションが使用する主要なプログラミング言語は、Neuron Cです。この言語は、ANSI C言語をLONWORKS分散制御アプリケーション用に最適化し、機能強化したものです。主な拡張機能は以下のとおりです（詳細については、『*Neuron C Programmer's Guide*』を参照してください）。

- 同種および異種のデバイス間のデータ共有を簡易化し、推進するネットワーク通信モデル。機能ブロックとネットワーク変数をベースにしています。
- ネットワーク構成ツールの相互運用を容易にするネットワーク構成モデル。機能ブロックと構成プロパティをベースにしています。
- 複数メーカーのデバイスの統合を簡易化することにより、相互運用可能なデバイスのマーケットを拡張するタイプモデル。標準およびユーザーリソースファイルをベースにしています。
- NeuronコアのI/O機能をサポートする豊富なI/Oドライバのセット。
- ネットワーク、I/O、およびタイマイベントの処理を容易にする、強力なイベント駆動の拡張されたプログラミング。

上記の機能は、すべてNeuronファームウェアに含まれているため、プログラマが作成する必要はありません。

これら3つの同一プロセッサは、それぞれがレジスタセットを持っています（表2.2）が、3つのプロセッサすべてがデータ、ALU（算術論理演算ユニット）、およびメモリアクセス回路を共有しています（図2.3）。PL 3150スマートトランシーバの場合、内部アドレス、データ、およびR/W信号が内部プロセッサのどれかに利用されると、対応する外部ラインにそれが反映されます。各CPUマイナーサイクルは、3つのシステムクロックサイクルから成り、各システムクロックサイクルは、2つの入力クロックサイクルで構成されます。3つのプロセッサのマイナーサイクルは互いに1システムクロックサイクルだけオフセットされているため、各プロセッサは命令サイクルご

とに一度だけメモリとALUにアクセスすることができます。図2.3は、1つのマイナーサイクルに3つのフェーズがある中で、その1つにおける各プロセッサのアクティブエレメントを示したものです。そのため、システムは3つのプロセッサをパイプライン接続して、性能を損なうことなくハードウェアの必要条件を軽減しています。これにより、時間のかかる割り込みやコンテキストスイッチングを行わずに、3つのプロセッサを並列実行できます。

表 2.2 レジスタセット

簡略記号	ビット	内容
FLAGS	8	CPU番号、高速I/Oセレクト、キャリービット
IP	16	次の命令ポインタ
BP	8	256バイトベースページのアドレス
DSP	8	ベースページ内のデータスタックポインタ
RSP	8	ベースページ内のリターンスタックポインタ
TOS	8	データスタックのトップ、ALU入力

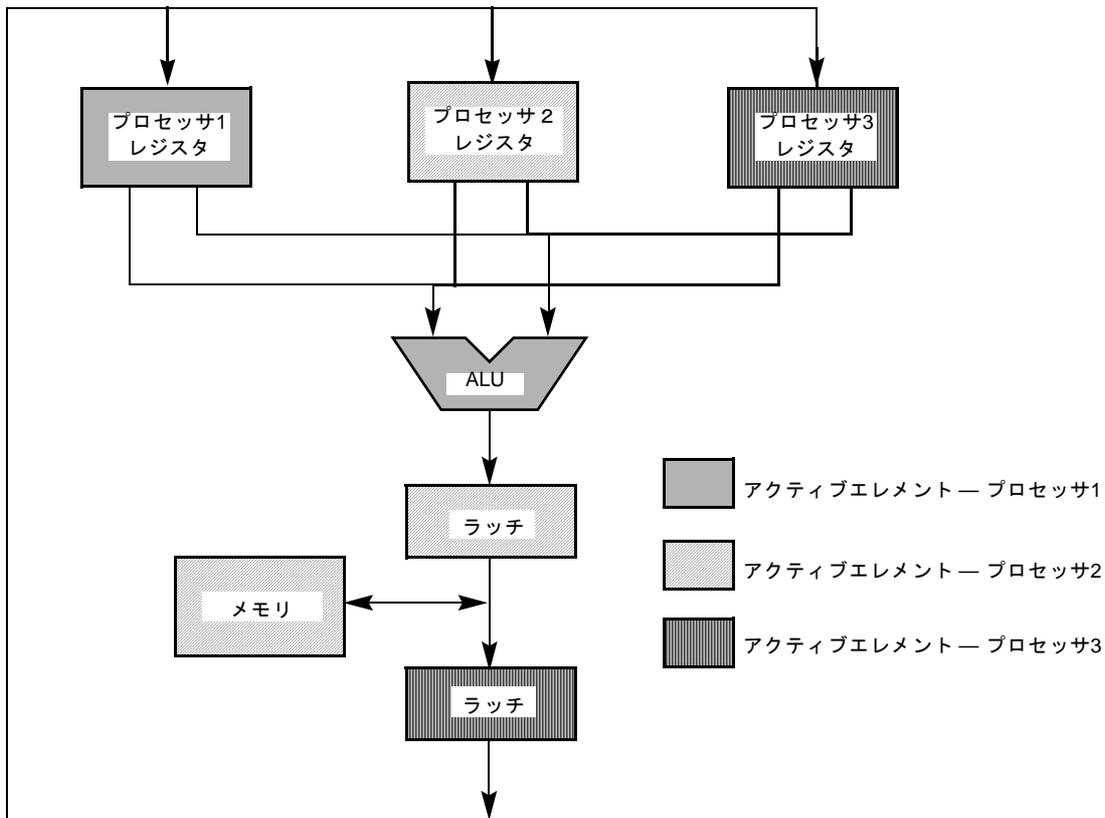


図2.3 マイナーサイクルの3システムクロックサイクルのうちの一つにおけるプロセッサ/メモリアクティビティ

アーキテクチャはスタック指向型です。つまり、データ参照用に8ビット幅のスタックが1つ使用され、ALUはTOS（スタックのトップ）レジスタおよびRAM内のデータスタック内の次のエントリー上で実行されます。2番目のスタックはCALL命令のリターンアドレスを格納し、また一時的なデータ保存にも使用できます。このスタックアーキテクチャにより、コードが非常にコンパクトになります。表2.3、2.4、および2.5は、命令セットを概説したものです。

図2.4は、ベースページのレイアウトを示したものです。ベースページは最大256バイト長です。3つのプロセッサはそれぞれ別のベースページを使用し、ベースページのアドレスは、そのプロセッサのBPレジスタの内容によって与えられます。データスタックのトップは8ビットTOSレジスタ内にあり、データスタック内の次のエレメン

トは、ベースページ内のDSPレジスタの内容によって与えられたオフセットの位置にあります。データスタックはローメモリからハイメモリに向かって拡大します。アセンブラの簡略記号NEXTは、メモリ内の (BP+DSP) 位置の内容を示しています。これは、実際のプロセッサレジスタではありません。

1バイトのデータをデータスタック上にPUSHするには、DSPレジスタの値を1つ増やし、TOSの現在の内容をメモリ内のアドレス (BP+DSP) に格納して、そのデータのバイトをTOSに移動します。

1バイトのデータをデータスタックからPOPするには、TOSを行き先に移動し、メモリ内のアドレス (BP+DSP) の内容をTOSに移動して、DSPレジスタの値を1つ減らします。

リターンスタックはハイメモリからローメモリに向かって拡大します。サブルーチンコールを実行するには、命令ポインタレジスタIPのハイバイトをメモリ内のアドレス (BP+DSP) に格納し、RSPの値を1つ減らし、IPのローバイトをメモリ内のアドレス (BP+DSP) に格納して、RSPの値を1つ減らし、行き先アドレスをIPレジスタに移動します。

同様に、サブルーチンからのリターンを行うには、RSPの値を1つ増やし、(BP+DSP) の内容をIPレジスタのローバイトに移動し、RSPの値を1つ増やして、(BP+DSP) の内容をIPレジスタのハイバイトに移動します。

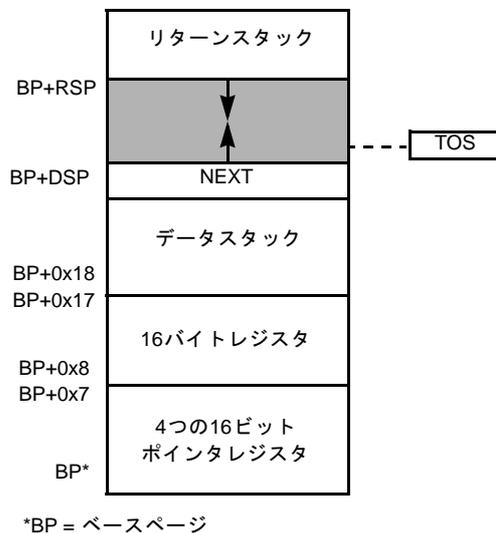


図2.4 ベースページのメモリレイアウト

プロセッサ命令サイクルは、3システムクロックサイクル、すなわち6入力クロック (XIN) サイクルです。ほとんどの命令は、1~7プロセッサ命令サイクルです。入力クロックレートが10MHzのとき、命令時間は0.6 $\mu$ s~4.2 $\mu$ sで変化します。実行時間は入力クロックレートに反比例します。命令実行時間の式は以下のとおりです。

$$(\text{命令実行時間}) = (\text{サイクル数}) \times 6 / (\text{入力クロック})$$

表2.3、2.4、および2.5は、プロセッサ命令、そのタイミング (サイクル単位)、およびサイズ (バイト単位) を一覧にしたものです。これらの表は、コードシーケンスのサイズと実行時間を計算するために提供されています。PLスマートトランシーバのプログラミングはすべて、NodeBuilder開発ツールを用いたNeuron Cで実行されます。Neuron Cコンパイラは、オプションでアセンブリリストを生成することができます。プログラマは、このリストを検証することによってNeuron Cソースコードを最適化することができます。

表 2.3 プログラム制御命令

簡略記号	サイクル	サイズ (バイト)	説明	備考
NOP	1	1	動作なし	
SBR	1	1	短無条件分岐	オフセット0~15
BR/BRC/BRNC	2	2	分岐、キャリーのとき(でないとき)分岐	オフセット-128~+127
SBRZ/SBRNZ	3	1	TOSがゼロのとき(でないとき)短分岐	オフセット0~15。TOSを落とす。
BRF	4	3	無条件分岐遠方	絶対アドレス
BRZ/BRNZ	4	2	TOSがゼロのとき(でないとき)分岐	オフセット-128~+127。TOSを落とす。
RET	4	1	サブルーチンからリターン	リターンスタックから2バイトを落とす
BRNEQ	4/6	3	TOSが等しくなければ分岐(取られている/取られていない)	オフセット-128~+127。等しい場合にTOSを落とす。
DBRNZ	5	2	ゼロでなければ[RSP]の値を1つ減らして分岐	オフセット-128~+127。取られなければ、リターンスタックから1バイトを落とす。
CALLR	5	2	相対的にサブルーチンを呼び出し	オフセット-128~+127。リターンスタックに2バイトをPUSH。
CALL	6	2	サブルーチンを呼び出し	アドレスはロー8KB。リターンスタックに2バイトをPUSH。
CALLF	7	3	遠方サブルーチンを呼び出し	絶対アドレス。リターンスタックに2バイトをPUSH。

表 2.4 メモリ/スタック命令

簡略記号	サイクル	サイズ (バイト)	備考/有効アドレス (EA)
PUSH TOS	3	1	TOSをPUSH
DROP TOS	3	1	NEXTをTOSに移動、DSPの値を1つ減らす
DROP_R TOS	6	1	NEXTをTOSに移動、DSPの値を1つ減らす、コールからリターン
PUSH (NEXT, DSP, RSP, FLAGS)	4	1	プロセッサレジスタをPUSH
POP (DSP, RSP, FLAGS)	4	1	プロセッサレジスタをPOP
DROP NEXT	2	1	DSPの値を1つ減らす
DROP_R NEXT	5	1	DSPの値を1つ減らして、コールからリターン
PUSH/POP !D	4	1	バイトレジスタ[8~23]
PUSH !TOS	4	1	EA = BP + TOS、NEXTにバイトをPUSH
POP !TOS	4	1	EA = BP + TOS、NEXTからバイトをPOP
PUSH [RSP]	4	1	リターンスタックからデータスタックにPUSH、RSPは不変
DROP [RSP]	2	1	RSPの値を1つ増やす
PUSHS #literal	4	1	ショート無条件分岐[0~7]をPUSH
PUSH #literal	4	2	8ビット無条件分岐[0~255]をPUSH
PUSHPOP	5	1	データスタックへPUSHしてからリターンスタックをPOP
POPPUSH	5	1	リターンスタックへPUSHしてからデータスタックをPOP
LDBPアドレス	5	3	ベースページポインタに16ビット値をロードする
PUSH/POP [DSP][-D]	5	1	EA = BP + DSP - 変位[1~8]
PUSHD #literal	6	3	16ビット無条件分岐(ハイバイトから開始)
PUSHD [PTR]	6	1	16ビットポインタ[0~3]からPUSH、ハイバイトから開始

表 2.4 メモリ/スタック命令

簡略記号	サイクル	サイズ (バイト)	備考/有効アドレス (EA)
POPD [PTR]	6	1	16ビットポインタ[0~3]にPOP、ローバイトから開始
PUSH/POP [PTR][TOS]	6	1	EA = (16ビットポインタ) + TOS
PUSH/POP [PTR][D]	7	2	EA = (16ビットポインタ) + 変位[0~255]
PUSH/POP absolute	7	3	絶対メモリアドレス (absolute) をPUSH/POP
IN/OUT	7 + 4n	1	高速I/O命令、 <i>n</i> バイトを転送

表 2.5 ALU命令

簡略記号	サイクル	サイズ (バイト)	動作
INC/DEC/NOT	2	1	TOSを1つ増やす/1つ減らす/符号反転する
ROL/RORC	2	1	キャリーを通じてTOSを左/右に回転
SHL/SHR	2	1	TOSの符号なしの左/右シフト、キャリーをクリア
SHLA/SHRA	2	1	TOSのキャリーへの符号付左/右シフト
ADD/AND/OR/XOR/ADC	4	1	TOS上のNEXTに対して演算、NEXTを落とす
ADD/AND/OR/XOR #literal	3	2	TOS上のリテラルに対して演算
(ADD/AND/OR/XOR)_R	7	1	TOS上のNEXTに対して演算、NEXTを落としてリターン
ALLOC #literal	3	1	データスタックポインタに[1~8]を加算する
DEALLOC_R #literal	6	1	データスタックポインタから[1~8]を減算してリターン
SUB NEXT,TOS	4	1	TOS = NEXT - TOS、NEXTを落とす
SBC NEXT, TOS	4	1	TOS = NEXT - TOS - キャリー、NEXTを落とす
SUB TOS,NEXT	4	1	TOS = TOS - NEXT、NEXTを落とす
XCH	4	1	TOSとNEXTを交換
INC [PTR]	6	1	16ビットポインタ[0~3]の値を1つ増やす

## メモリ

### メモリ割り当ての概要

#### PL 3150スマートトランシーバのメモリ割り当て

PL 3150スマートトランシーバのメモリマップについては、図2.5を参照してください。

- 512バイトの回路内プログラマブルEEPROMは、以下を格納しています。
  - ネットワーク構成およびアドレス指定情報。
  - 一意の48ビットNeuron ID。出荷時に書き込まれています。
  - ユーザーが作成したアプリケーションコードと大部分が読み取り専用のデータ。使用可能なEEPROMスペースについては、表2.6を参照してください。
- 2,048バイトのスタティックRAMは、以下を格納しています。
  - スタックセグメント、アプリケーション、およびシステムデータ。
  - ネットワークおよびアプリケーションバッファ。
- プロセッサは、外部メモリインターフェースを用いて、利用可能な 65,536 バイトのメモリアドレス空間のうち59,392バイトにアクセスできます。残りの6,144バイトのメモリアドレス空間は、内部でマッピングされています。
- 外部メモリ（全部で59,392バイト）のうち16,384バイトは、以下を格納するために必要とされます。
  - Neuronファームウェア (MACプロセッサとネットワークプロセッサによって実行されるシステムファームウェアを含む)、およびアプリケーションプログラムをサポートする実行可能ファイル。
- 外部メモリの残り (43,008バイト) は、以下のために使用できます。
  - ユーザーが作成したアプリケーションコード。
  - 付加的なアプリケーションの読み取り/書き込みおよび不揮発性データ。
  - 付加的なネットワークバッファおよびアプリケーションバッファ。

#### PL 3120スマートトランシーバのメモリ割り当て

PL 3120スマートトランシーバのメモリマップについては、図2.6を参照してください。

- 4,096バイトの回路内プログラマブルEEPROMは、以下を格納しています。
  - ネットワーク構成およびアドレス指定情報。
  - 一意の48ビットNeuron ID。出荷時に書き込まれています。
  - ユーザーが作成したアプリケーションコードと大部分が読み取り専用のデータ。
- 2,048バイトのスタティックRAMは、以下を格納しています。
  - スタックセグメント、アプリケーション、およびシステムデータ。
  - ネットワークバッファおよびアプリケーションバッファ。
- 24,576バイトのROMは、以下を格納しています。
  - Neuronファームウェア (MACプロセッサとネットワークプロセッサによって実行されるシステムファームウェアを含む)、アプリケーションプログラムをサポートする実行可能ファイル、およびアプリケーションライブラリ。

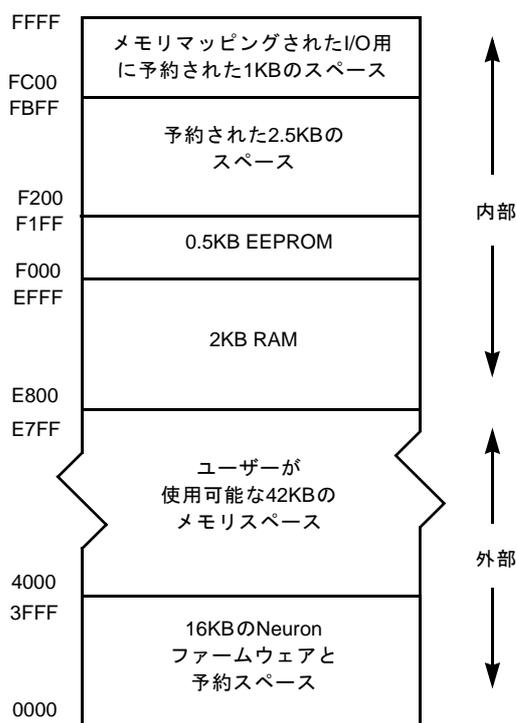


図2.5 PL 3150スマートトランシーバのメモリマップ

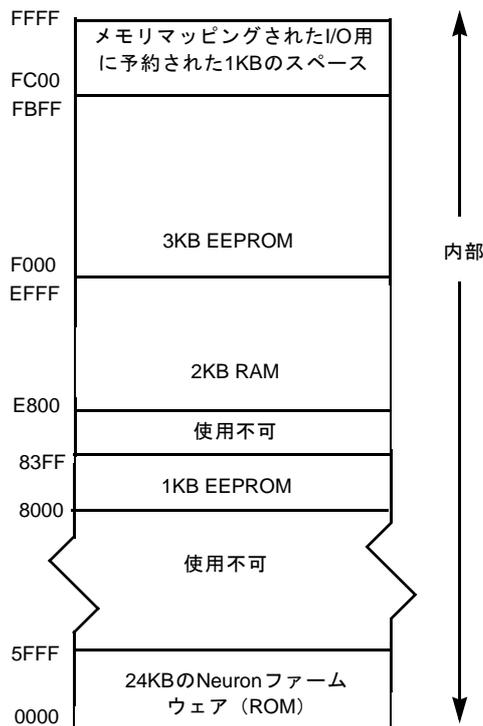


図2.6 PL 3120スマートトランシーバのメモリマップ

## EEPROM

どちらのPLスマートトランシーバにも以下を含む内部EEPROMが備わっています。

- ネットワーク構成およびアドレス指定情報。
- 一意の48ビットNeuron ID。
- ユーザーが作成したアプリケーションコードおよびデータテーブル。

EEPROMは8バイトを除いてすべてプログラム制御下で書き込めます。書き込みでは、オンチップのチャージポンプを用いて必要なプログラミング電圧が生成されます。チャージポンプの動作は、ユーザーには見えません。残りの8バイトは、出荷時に書き込まれ、Neuron IDと呼ばれるパーツごとに異なる48ビット識別子と、チップメーカーのデバイスコード用に16ビットを含んでいます。EEPROM領域の各バイトは最大1万回書き込み可能です。PL 3120およびPL 3150スマートトランシーバのEEPROMは、ネットワークアドレスや通信パラメータなど、各設置場所に特有の情報を格納します。PL 3120スマートトランシーバの場合、EEPROMは、NodeBuilder開発ツールによって生成されたアプリケーションプログラムも格納します。PL 3150スマートトランシーバのアプリケーションコードは、そのサイズに応じて、EEPROM内にオンチップで格納するか外部メモリにオフチップで格納できます。使用可能なEEPROMスペースについては、表2.6を参照してください。

内部EEPROMへの書き込み動作の場合、NeuronファームウェアはEEPROM位置にある値と書き込まれる値とを自動的に比較します。両者が等しい場合、書き込み動作は実行されません。これにより、EEPROMへの不要な書き込みサイクルを防止し、平均的なEEPROM書き込み遅延時間が短縮されます。

PLスマートトランシーバが仕様の電源電圧範囲から外れている場合、保留中または進行中のEEPROM書き込みは保証されません。PLスマートトランシーバは、 $V_{DD5}$ がある電圧よりも低いときにチップをリセット状態に保持する低電圧割り込み (LVI) 回路を内蔵しています。LVIのトリップポイントについては、『PT 3120 and PT 3150 Smart Transceiver Datasheet』を参照してください。これによりEEPROMデータの破損を防止できます。外部FLASHメモリ付きのPL 3150スマートトランシーバの場合は、外部パルス延長LVIが必要です。LVI回路の詳細については、「RESETピン」を参照してください。

障害があった場合には、EEBLANKプログラムを実行することによって、PL 3150スマートトランシーバのオンチップEEPROMを出荷時のデフォルト状態にリセットすることができます。これを行うには、まず外部メモリデバイスに適切なEEBLANKファイルをプログラムし、アプリケーションの外部ROMまたはフラッシュをEEBLANKがロードされたチップで一時的に置き換え、デバイスの電源を投入してください。EEBLANKファイルは`eeb<n>.nri`と名付けられます。ここで、`<n>`はNeuron入力クロックレート (kHz) であり、20000、10000、05000、01250、または00625のいずれかです。これらの2速度間の入力クロックを使用している場合は、それより1つ遅いEEBLANKのバージョンを選んでください。

20秒ほど (クロック速度によってはそれ以下) 待つとデバイスのサービスLEDが点灯しますが、これはEEPROMがブランクになったことを意味します。次に、元のアプリケーションROMまたはフラッシュを戻してください。EEBLANKファイルは、NodeBuilder 3.1およびそれより新しい開発ツールに付属しています。これより以前のLonBuilder®およびNodeBuilderツールに付属しているEEBLANKのバージョンは、PL 3150スマートトランシーバに使用しないでください。

EEPROMのデータを誤って破損しないように、さらに`set_eeeprom_lock()`関数を使用することもできます。アプリケーションプログラムは、この関数を使用すると、EEPROMのチェックサムされた部分のロック状態を設定できるようになります。詳細については、『Neuron C Reference Guide』を参照してください。

PLスマートトランシーバの内部EEPROMは、ユーザーコードおよびユーザーデータに加えて固定量のオーバーヘッドとネットワークイメージ (構成) を含みます。次の表は、ネットワークイメージが最小限であると仮定した場合に、ユーザーコードおよびユーザーデータとして使用できる最大EEPROMスペースを示したものです。また、ユーザーデータの最小セグメントサイズも示されています。コンスタントデータは、コードスペースの一部であると仮定されています。

表 2.6 メモリ使用内訳

デバイス	ファームウェアバージョン	EEPROMスペース (バイト)	セグメントサイズ (バイト)
PL 3120スマートトランシーバ	14	3969	8
PL 3150スマートトランシーバ	14以降	384	2

EEPROMは、デバイスのセグメントサイズを増分として割り当てる必要があります。セグメントサイズとは、変数領域に割り当てられるEEPROMの最小単位のことです。たとえば、3つの3バイト変数を使用する場合は、9バイトの変数領域が必要です。PL 3120スマートトランシーバの場合、変数領域として16バイトを割り当てることとなります。これは、デバイスセグメントサイズ (8バイト) の増分として3つの3バイト変数を格納できる最小のものは16バイトだからです。PL 3150スマートトランシーバの場合、変数領域として10バイトを割り当てることとなります。これは、デバイスセグメントサイズ (2バイト) の増分として3つの3バイト変数を保存できる最小のものは10バイトだからです。

## スタティックRAM

PLスマートトランシーバは、2048バイトのスタティックRAMを含んでいます。

RAMは以下を格納するために使用されます。

- スタックセグメント、アプリケーション、およびシステムデータ。
- ネットワークバッファおよびアプリケーションバッファ。

デバイスに電源が供給されている間は、RAMの状態が保持されます。リセットの後、スマートトランシーバの初期化シーケンスをリリースすると、RAMがクリアされます（詳細は「リセットのプロセスおよびタイミング」節を参照）。

## あらかじめプログラムされたROM

PL 3120 スマートトランシーバは、あらかじめプログラムされたROMを24,576バイト備えています。このメモリは、Neuronファームウェア（LonTalkプロトコルスタック、リアルタイムタスクスケジューラ、およびシステム関数ライブラリなど）を含んでいます。PL 3150 スマートトランシーバのNeuronファームウェアは、外部メモリに格納されます。オブジェクトコードは、NodeBuilderツールとともに提供されます。

## PL 3150 スマートトランシーバの外部メモリインターフェース

PL 3150 スマートトランシーバの外部メモリインターフェース（PL 3120 スマートトランシーバは外部メモリインターフェースを持っていません）は、ユーザープログラムおよびデータを追加するために最大42キロバイトの外部メモリスペースをサポートしています。全アドレス空間は64キロバイトです。ただし、アドレス空間の最上位6キロバイトは内部RAM、EEPROM、およびメモリマッピングされたI/O用に予約されているため（図2.5および2.6を参照）、外部アドレス空間は58キロバイトになります。このスペースのうち、16キロバイトはNeuronファームウェアによって使用されます。外部メモリスペースは、256バイトを増分としてRAM、ROM、PROM、EPROM、EEPROM、またはフラッシュメモリで埋めることができます。図2.5は、PL 3150 スマートトランシーバのメモリマップを示したものです。バスは、8本の双方向性データラインと16本のアドレスライン（プロセッサにより駆動）を備えています。インターフェースライン（ $\overline{R/W}$ および $\overline{E}$ ）は、外部メモリアクセス用に使われます。使用する外部メモリに必要とされるアクセス時間については、『PL 3150 Smart Transceiver Datasheet』を参照してください。PL 3150 スマートトランシーバがサポートしている入力クロックレートは、10MHzおよび6.5536MHzです。Enableクロック（ $\overline{E}$ ）は、入力クロックレートの半分であるシステムクロックレートで動作します。内部および外部のすべてのメモリは、命令サイクルの適切なフェーズにおいて3つのプロセッサのいずれからでもアクセス可能です。3つのプロセッサの命令サイクルは、互いに3分の1サイクルだけオフセットされているため、メモリバスを使用するプロセッサは一度に1つだけです。

『Neuron 3150 Chip External Memory Interface』技術資料には、PL 3150 スマートトランシーバをさまざまなタイプのメモリに接続するためのガイドラインが記載されています。最小限のハードウェア構成は、Neuronファームウェアとユーザーアプリケーションコードの両方を含んだ1つの外部ROM（PROMまたはEPROM）です。この構成によると、システムエンジニアは、設置後にネットワークを通じてアプリケーションコードを変更することができません。ただし、ネットワークイメージ（ネットワークアドレスおよびバインド情報）は内部EEPROMに常駐しているため、変更が可能です。メンテナンスまたはアップグレードのためにネットワークを通じてアプリケーションをダウンロードする必要があり、アプリケーションコードが内部EEPROMに収まらない場合は、外部EEPROMまたはフラッシュが必要となります。コードサイズを小さくするためのガイドラインについては、『Neuron C Programmer's Guide』を参照してください。

外部メモリの接続に使用されるピンは、表2.7に記載されています。 $\overline{E}$ クロック信号は、外部メモリへの読み取り（または書き込み）信号を生成するために使用されます。A15（アドレスライン15）またはプログラマブルアレイロジック（PAL）によりデコードした信号（ $\overline{R/W}$ でゲート）を使用すると、外部メモリへの読み取り信号を生成することができます。

表 2.7 外部メモリインターフェースピン

ピンの名称	方向	機能
A0～A15	出力	アドレスピン
D0～D7	入出力	データピン
$\overline{E}$	出力	Enableクロック
$\overline{R/W}$	出力	読み取り/書き込み選択LOW

PLスマートトランシーバを別のMPUに接続する方法として適しているのは、12本のI/Oピンを用いてシリアルまたはパラレルで接続する方法、またはCypress CY7C144、CY7C138、CY7C1342などのデュアルポートのRAMデバイスを用いる方法です。これらの方法で接続するために、あらかじめ定義されたシリアルおよびパラレルのI/Oモデルがあり、Neuron Cプログラミング言語を用いて簡単に実装することができます。また、接続を簡単にするためにMIPファームウェアを利用することもできます。デュアルポートRAM接続の詳細については、『*LonWorks Microprocessor Interface Program User's Guide*』（Echelon 078-0017-01）の付録Bを参照してください。

## 入出力

### 12本の双方向性I/Oピン

これらのピンは、複数の異なる構成で使用できるため、外部ハードウェアへの接続と内部タイマ/カウンタへのアクセスを柔軟に行うことが可能です。出力ピンの論理レベルは、アプリケーションプロセッサから読み戻すことができます。

ピンIO4～IO7およびIO11は、プログラマブルのプルアップ電流ソースを備えています。この電流ソースは、コンパイル指令でEnable（有効）またはDisable（無効）されます（『*Neuron C Reference Guide*』を参照）。ピンIO0～IO3には、大電流シンク能力（20 mA @ 0.8 V）が備わっています。その他のピンのシンク能力は1.4 mA @ 0.5 Vです。ヒステリシス付きのTTLレベル入力、すべてのピン（IO0～IO11）に備わっています。ピンIO0～IO7は、低レベル検出ラッチも備えています。

### 2つの16ビットタイマ/カウンタ

タイマ/カウンタは、プロセッサによって書き込み可能なロードレジスタ、16ビットカウンタ、およびプロセッサによって読み取り可能なラッチとして実装されています。16ビットレジスタは一度に1バイトずつアクセスされます。PL 3120およびPL 3150スマートトランシーバは両者とも、タイマ/カウンタを1つ備え、その入力はピンIO4～IO7から選択可能になっており、出力はピンIO0です。さらに2番目のタイマ/カウンタも備えており、その入力はピンIO4、出力はピンIO1です（図2.7）。タイマ/カウンタ機能専用のI/Oピンはありません。たとえば、タイマ/カウンタ1が入力信号だけに使用されているとき、IO0はその他の入力または出力に使用することができます。タイマ/カウンタクロックおよびEnable入力は外部ピンから供給することもでき、システムクロックをスケーリングしたクロックを使用することもできます。2つのタイマ/カウンタのクロックレートは互いに独立しています。外部クロックは、入力の立ち上がりエッジ、立ち下がりエッジ、または立ち上がりと立ち下りの両方のエッジで動作することも可能です。

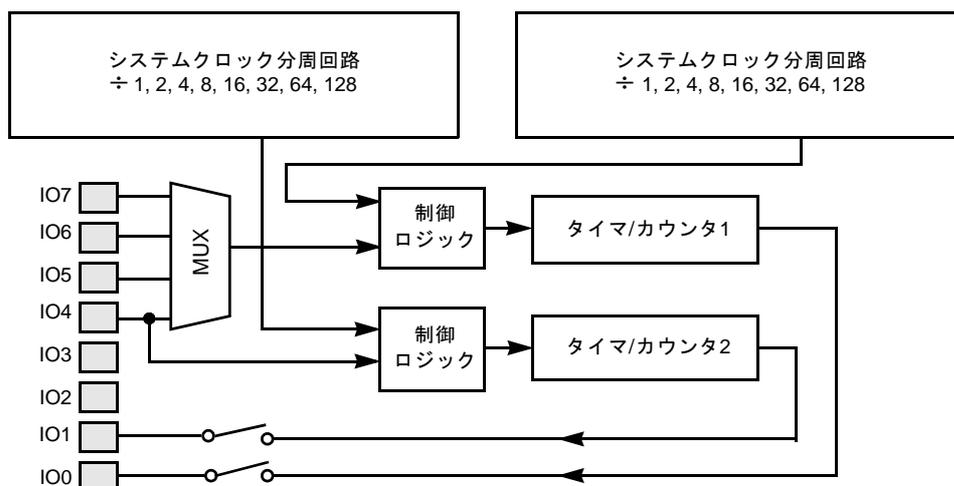


図2.7 タイマ/カウンタ回路

## クロック入力

PL スマートトランシーバは、Aバンド動作用に6.5536MHz、Cバンド動作用に10.0000MHzの入力クロックを必要とします。この入力クロックは、適切な並列共振クリスタルをPL スマートトランシーバのXINおよびXOUTピンに接続することにより供給することができます (図2.8を参照)。

改訂版BのPL 3120およびPL 3150 スマートトランシーバチップ (パッケージマーキングの右下隅の「B」で識別) は、改訂版Aが必要とする外部インバータを必要としません。現行の開発サポートキット (DSK) に記載されている新しい参考レイアウトには、このインバータはもう含まれていません。現行のPL スマートトランシーバDSKの詳細については、付録Aを参照してください。

現行の参照設計は、図2.8に示すオプションのコンデンサを含んでいます。これらのコンデンサは、クリスタルの負荷容量がPL スマートトランシーバチップおよびプリント基板トレースの合成容量とマッチングしている場合には不要です。各参照設計の回路図には、これらのオプションの負荷コンデンサがあるときとないときに必要なクリスタルの負荷容量を示す表が含まれています。これらの表では、クリスタルの負荷容量値として15pF~20pFがカバーされています。

負荷容量が20pFよりも大きいクリスタルは、PL スマートトランシーバチップとともに使用できません。オプションのコンデンサを使えば負荷容量の大きなクリスタルでも発振周波数をセンタリングできますが、そうすると、最悪条件の下では発振器がスタートしなくなる可能性があります。発振器が確実に正しくスタートアップするよう、クリスタルのESR仕様をAバンド動作の場合は100Ω以下、Cバンド動作の場合は60Ω以下にしてください。

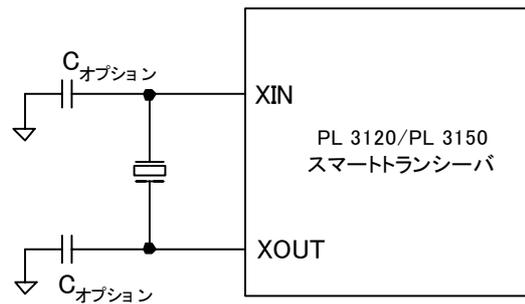


図2.8 PLスマートトランシーバのクリスタルクロックの接続

PLスマートトランシーバは、部品の許容範囲および動作条件の全域にわたって $\pm 200\text{ppm}$ の周波数精度を必要とします。PLスマートトランシーバIC内の変動は、この全体的なエラー量 $\pm 200\text{ppm}$ の一部を使います。クリスタルの全不確実性のために割り当てられている残りのエラー量は $\pm 85\text{ppm}$ です（選択されたクリスタルの負荷容量仕様が上記の回路負荷にマッチングしていると仮定します）。クリスタルの全不確実性とは、クリスタルの初期周波数許容誤差と温度および経時許容誤差を合成したものです。

クリスタルの負荷容量仕様が回路とマッチングしていない場合は、公称周波数エラーが生じ、クリスタルの不確実性を許容するためにとってあるエラー量が減少します。たとえば、負荷容量 $18\text{pF}$ 用に設計された回路で $20\text{pF}$ のクリスタルを使用した場合、発振の公称周波数は仕様の周波数より $40\text{ppm}$ 高くなります。したがって、実際の回路負荷と $2\text{pF}$ 異なる負荷容量をもつクリスタルを使用した場合、クリスタルの利用可能な全許容範囲は $+45/-125\text{ppm}$ に制限されます。

改訂版B以降のPLスマートトランシーバの周波数センタリングを適正に行うためには、以下のガイドラインに従う必要があります。

- オフチップのインバータがまだ取り付けられている場合、改訂版 B のスマートトランシーバは、このインバータが含まれている古い参照設計で使用できます。
- オフチップのインバータを取り付けずに、古い参照設計（オフチップインバータを含む）で改訂版 B の PLスマートトランシーバを使用しないでください。
- 改訂版 B の PL スマートトランシーバは、新しい参照設計（オフチップインバータを含まない）で使用できます。

Cバンド回路基板のどこかに $10.0000\text{MHz}$ クロック信号（Aバンドの場合は $6.5536\text{MHz}$ ）がすでに存在する場合、そのクロック信号がいくつかの要件を満たしていればPLスマートトランシーバのクロックソースとして使用することができます。まず、クロックの精度が動作条件の全域で $\pm 200\text{ppm}$ でなければなりません。 $33\text{pF}$ の負荷に接続して、 $0.9\text{V}$ のしきい値で測定した場合のデューティサイクルは、 $60/40\%$ あるいはそれより良好である必要があります。さらに、クロック信号の電圧スイングはGNDとPLスマートトランシーバの $V_{DD5}$ 電源電圧の範囲内でなければなりません。このクロックオプションを使用する場合、適当なクロック信号をPLスマートトランシーバのXINピンに接続し、PLスマートトランシーバのXOUTピンはオープンのままにしてください。PLスマートトランシーバのXINピンにクリーンなクロック信号が来るように、適切な高周波クロック分配技術を用いる必要があることに注意してください。

PLスマートトランシーバをベースにした各製品の設計確認段階で、クロック発振器の精度をチェックするようにしてください。この測定は、PLスマートトランシーバのXINまたはXOUTピンに容量を追加せずに行う必要があります。プローブをクロックラインに触れない程度に近づけ、高精度時間ベースを備えたスペクトルアナライザに接続すると、発振周波数に影響を与えずにこの測定を行うことができます。

## 帯域使用中 (BIU) およびパケット検出 (PKD) LED接続

PL スマートトランシーバは、低電流発光ダイオード (LED) 駆動用の2つの出力信号PKDおよびBIUを供給します。いずれの信号もアクティブHIGHであり、別々のLEDに接続する必要があります。LEDとグランドの間に直列に電流制限抵抗を付加してください。

CENELEC EN 50065-1:200 で規定されているように、帯域使用中検出器は周波数 131.5kHz ~ 133.5kHz の範囲内で 86dB $\mu$ V<sub>RMS</sub> を超える信号が4ms以上存在したときにアクティブでなければなりません。帯域使用中検出器は、CENELECアクセスプロトコルの一部としてCENELEC EN 50065-1:2001で規定されています。PL 3120およびPL 3150 スマートトランシーバは、CENELECアクセスプロトコルを導入しており、この動作をEnableあるいはDisableするようにプログラムすることが可能です (第8章の「CENELECアクセスプロトコル」節を参照)。CENELECアクセスプロトコルをEnableするようにPL スマートトランシーバがプログラムされている場合、CENELECで規定されている帯域使用中の条件が満たされるとBIU信号はアクティブHIGHになります。CENELECアクセスプロトコルがDisableされている場合、BIU信号がアクティブでもPL スマートトランシーバの送信は阻止されません。

帯域使用中機能は、CENELECのCバンド用に規定されているだけで、Aバンド動作には必要ありません。PL スマートトランシーバが適正なAバンドトランシーバパラメータ (第8章で説明) でプログラムされている場合、BIU信号がアクティブでもPL スマートトランシーバの送信は阻止されません。

PKD信号は、PL スマートトランシーバが任意のデバイスにアドレス指定されたLonTalkパケットを受信したときにアクティブになります。トランシーバの受信感度はBIUインジケータの感度よりもかなり高くなっています。PKD信号は、PL スマートトランシーバが信号レベルわずか36dB $\mu$ V<sub>RMS</sub>のパケットを受け取った場合でもアクティブになります。そのため、BIUインジケータがオンでないときにPKDインジケータがパケットの存在を示す信号を出すことは珍しくありません。この状態は、BIUのしきい値よりも弱い信号強度のパケットを受け取ったときに生じます。

BIUおよびPKD信号が2kVを超えるESDにさらされる可能性のあるLEDを駆動する場合には、BIUとPKDにESD保護ダイオードを接続してください。ESD保護に関する推奨事項については第6章の「ESD設計上の問題」節を参照してください。LEDが金属のグランド面に囲まれているとき (たとえば接地された金属管体の穴の中)、ESDダイオードは必要とならない場合があります。

## TXON出力信号

TXONは、トランシーバの出力アンプを制御するために使用される内部信号のバッファ付きバージョンです。TXON信号出力は、PL スマートトランシーバがパケットを送信するときにアクティブHIGHになります。TXONを使って低電流LEDを駆動すると、送信アクティビティを表示することができます。LEDとグランドの間には直列の電流制限抵抗が必要です。TXON信号ラインが2kVを超えるESDにさらされる可能性がある場合には、このピンにESD保護ダイオードを接続してください。

## 付加的な機能

### リセット機能

内蔵マイクロコントローラにとって、リセット機能は欠かせない動作の1つです。PL 3120およびPL 3150スマートトランシーバの場合、リセット機能は以下の状況で重要な役割を果たします。

- 初期の $V_{DD5}$ パワーアップ (PLスマートトランシーバを正しく初期化)。
- $V_{DD5}$ 電源変動 ( $V_{DD5}$ が安定化した後でスマートトランシーバの回復を管理)。
- プログラムの回復 (アドレスまたはデータの破損によりアプリケーションが失われた場合、外部リセットを用いて回復するか、ウォッチドッグタイマをタイムアウトさせてウォッチドッグリセットを生じさせることが可能)。
- $V_{DD5}$ パワーダウン (正しいシャットダウンを実行)。
- EEPROMの深刻な破損を防止。

PLスマートトランシーバには、リセットを開始するための次の4つのメカニズムがあります。

- $\overline{\text{RESET}}$ ピンがLOWに引き下げられた後、HIGHに戻される。
- アプリケーション実行中にウォッチドッグタイムアウトが起こる (タイムアウト期間は 10MHz で 840ms、クロック周波数に反比例)。
- アプリケーションプログラムまたはネットワークからのソフトウェアコマンド。
- LVI回路が設定レベルよりも低い電源電圧降下を検出。

リセットになると、PLスマートトランシーバは下のリストに示す状態になります。図2.10に、リセット中およびリセット後の初期化シーケンス中の各ピンの状態を示します。

- 発振器は引き続き作動
- プロセッサの全機能が停止
- $\overline{\text{SERVICE}}$ ピンが高インピーダンス
- I/Oピンが高インピーダンス
- すべてのアドレスピンが0xFFFF (PL 3150スマートトランシーバのみ)
- すべてのデータピンはLOW状態の出力 (PL 3150スマートトランシーバのみ)
- $\overline{\text{E}}$ クロックはHIGHに遷移 (PL 3150スマートトランシーバのみ)
- $\overline{\text{R/W}}$ がLOWに遷移 (PL 3150スマートトランシーバのみ)

$\overline{\text{RESET}}$ ピンがHIGH状態に戻ると、PLスマートトランシーバはアドレス0x0001から初期化手順を開始します。PLスマートトランシーバが初期化を完了するために要する時間は、PLスマートトランシーバの種類、実行しているファームウェアのバージョン、およびアプリケーションが使用しているメモリスペース (コードおよびデータ) によって決まります。これについては本節で後述します。

## RESETピン

RESETピンは入力と出力の両方です。入力の場合、RESETピンは、内部でプルアップ抵抗として動作する電流ソースによってHIGHに引き上げられます。以下のイベントのうちいずれかが発生すると、RESETピンは出力になります。

- ウォッチドッグタイマのタイムアウト
- ソフトウェアリセット
- 内部LVIが低電圧を検出

RESETラインに外部回路が必要になる場合もあります。RESETラインに他のデバイスが接続されている場合は、ノイズ対策としてRESETとグラウンドの間に100pF～1000pFのコンデンサを接続してください。他のデバイスの例としては、押しボタン、マイクロコントローラ、および外部パルス延長LVIなどが挙げられます。PLスマートトランシーバがRESETを0.8Vより低く駆動できることを保証するために、容量は1000pF以下でなければなりません。さらにノイズ耐性を高めるために、2つのコンデンサ（合計容量は1000pF未満）を使って、片方をRESETとグラウンドの間に、他方をRESETとVDD5の間に接続することができます。製造中の回路内テスト用には、1つのテストポイントから非常に短いトレースでRESETを制御することをお勧めします。

PL 3120 スマートトランシーバのRESETピンに何もデバイスが接続されていない場合、ノイズ対策の外部容量は不要です。

PL 3150 スマートトランシーバの場合は、10ms以上の外部パルス延長LVIを使用する必要があります（エシエロン社では、Dallas Semiconductor社の部品番号DS1233-5を推奨しています）。ノイズ対策として、100pF～1000pFのコンデンサをRESETとグラウンドの間に接続してください。図2.9にPL 3150 スマートトランシーバ用の標準的な回路を示します。

**重要：**ICT（回路内テスト）などの基板レベルのテストでは、常にポゴピンを使ってRESETピンをグラウンドにハード配線してください。PLスマートトランシーバは、初期（1回）ブート初期化シーケンスの実行中において、VDD5の中断およびRESETピンの過渡電流に敏感になります。

**注意：**正しい外部リセット回路を使用しないと、PLスマートトランシーバはアプリケーションレス状態または未構成状態になる場合があります。アプリケーションレス状態または未構成状態は、チェックサムエラー確認ルーチンがメモリ破損を検出したときに生じますが、この検出自体が不適正なリセットシーケンスまたは電源ノイズによる誤動作に起因している可能性があります。NodeBuilderツールには、チェックサム障害時にレポート（再起動）を可能にするプログラミングオプションがいくつか用意されています。

## パワーアップシーケンス

パワーアップシーケンス中は、スタートアップ誤動作を防ぐため、電源が安定化するまでRESETピンはLOWに保持されます。同様に、パワーダウンのときは、電源がPLスマートトランシーバの最小動作電圧より低くなるときに、PLスマートトランシーバのRESETピンがLOW状態になります。

## ソフトウェア制御リセット

CPUウォッチドッグタイマが時間切れになるか、リセットするためのソフトウェアコマンドが発生すると、256 XINクロックサイクルの間、RESETピンがLOWに引き下げられます。

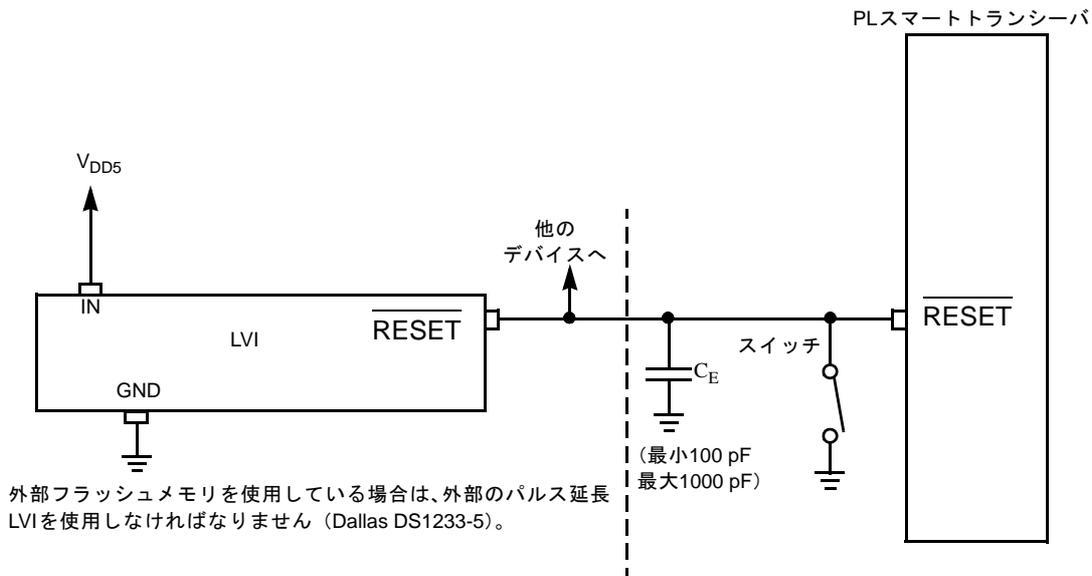


図2.9 リセット回路の例

### ウォッチドッグタイマ

PLスマートトランシーバは、3つのウォッチドッグタイマ (Neuron コアを形成する各プロセッサに対して1つずつ) によってソフトウェア誤動作またはメモリ障害から保護されています。アプリケーションまたはシステムソフトウェアがこれらのタイマを定期的にリセットしないと、PLスマートトランシーバ全体が自動的にリセットされます。ウォッチドッグ期間は入力クロックレートが10MHzのときに約840msで、入力クロックレートに反比例します。

ウォッチドッグタイマ回路をDisableにすることはできません。

### LVIの考慮事項

PLスマートトランシーバは、最小電圧しきい値より高い電圧でのみ動作するよう、LVIを内蔵しています。LVIのトリップポイントについては、『PT 3120 and PT 3150 Smart Transceiver Datasheet』を参照してください。

PL 3120またはPLT 3150スマートトランシーバのXINピンを駆動するために外部発振器を使用する場合、PLスマートトランシーバがリセットからリリースされる前に外部発振器が確実に安定化するよう、パワーオンパルス延長LVIの使用が必要になる場合があります。

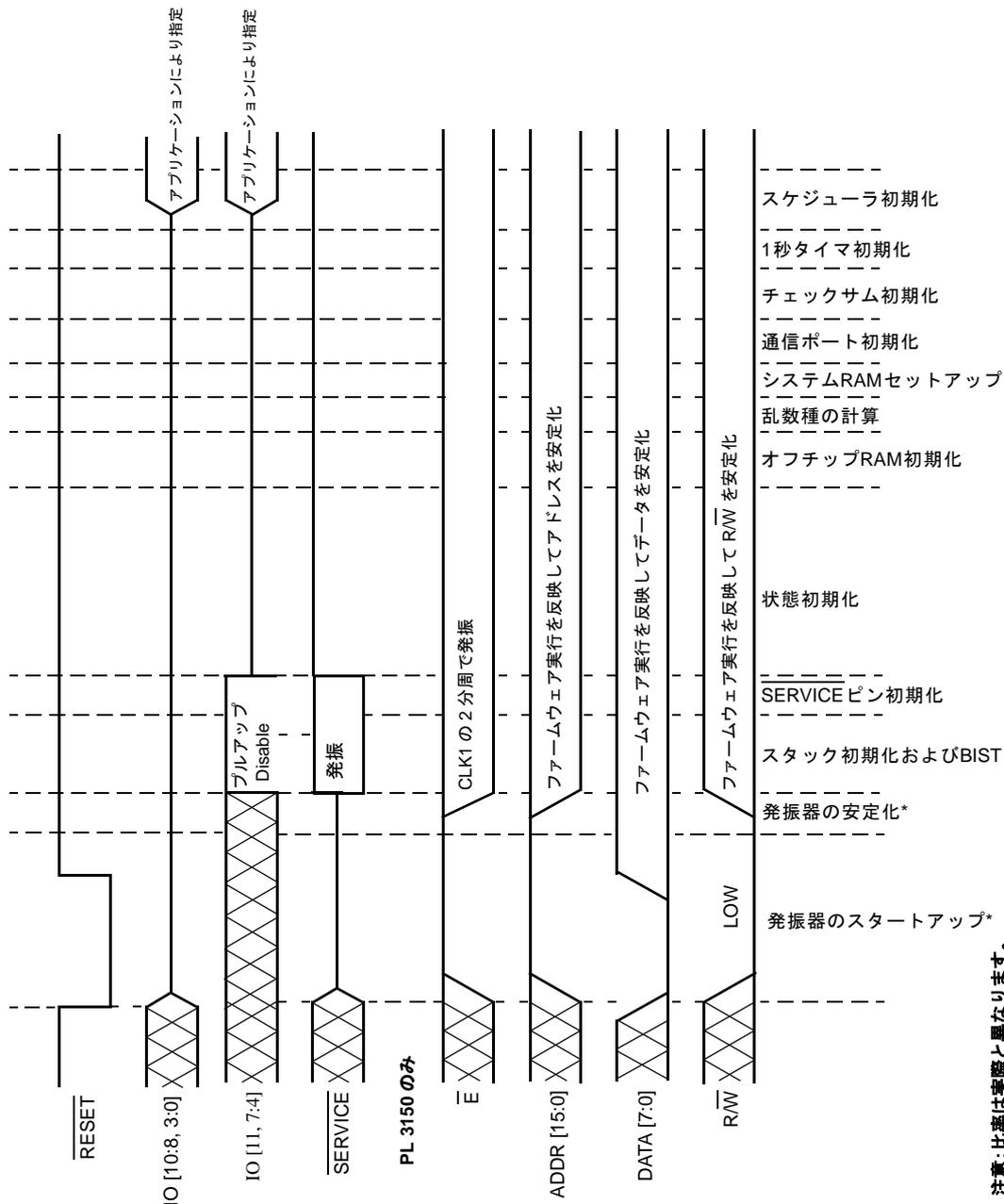
PLスマートトランシーバのRESETピンは双方向性であるため、外部LVIはオープンドレインまたはオープンコレクタ出力を備えている必要があります。外部LVIが能動的にRESETピンをHIGHに駆動している場合、PLスマートトランシーバは内部リセット中に確実にRESETピンを (LOWに) アサートすることができなくなります。PLスマートトランシーバのRESETピンにこうした競合が生じると、アプリケーションエラーからスマートトランシーバのリセット回路の物理的損傷にいたるまで、さまざまな異常な動作が発生しかねません。

## リセットのプロセスおよびタイミング

リセット期間中に、I/Oピンは高インピーダンス状態になります。PL 3150 スマートトランシーバのアドレスラインA15～A0は強制的に0xFFFFに、 $\overline{R/\overline{W}}$ は強制的に0に、そして $\overline{E}$ は強制的に1になります。データラインはLOWに駆動されるため、フローティングして過剰な電流を消費することがありません。リセット中に内部プルアップがDisableされているとき、 $\overline{SERVICE}$ ピンは高インピーダンスです。リセットはデータラインに対する $\overline{E}$ クロックの影響を無効にします。つまり、通常動作の場合、データバスはバスサイクルの中の $\overline{E}$ クロックLOW部分においてのみ駆動されますが、リセットではデータバスは強制的に駆動されます。PLスマートトランシーバがアプリケーションコードを実行するための準備手順について以下に説明します。この手順は図2.10にまとめられています。

$\overline{RESET}$ ピンがリリースされると、PLスマートトランシーバはアプリケーションプログラムを実行する前にハードウェアおよびファームウェアの初期化を行います。以下のタスクが実行されます。

- 発振器のスタートアップ
- 発振器の安定化
- スタックの初期化および内蔵セルフテスト (BIST)
- $\overline{SERVICE}$ ピン初期化
- 状態初期化
- オフチップRAM初期化
- 乱数種の計算
- システムRAMセットアップ
- 通信ポートの初期化
- チェックサムの初期化
- 1秒タイマ初期化
- スケジューラの初期化



\*注記：パワーアップ時には、RESETがリリースされる前に発振器が作動し始めます。

注意：比率は実際と異なります。

図2.10 PLスマートトランシーバのRESETタイムライン

パワーアップの後、内部発振器のスタートアップ中、PLスマートトランシーバは発振器の信号振幅が大きくなるまで待ってから発振器波形をシステムクロックに使用します。この期間は発振器のタイプおよび周波数によって決まり、発振器が通電されると直ちに始まります。また、RESETピンからは独立しています。

発振器がスタートアップした後、PLスマートトランシーバはXINの遷移をさらにカウントすることで発振器周波数が安定化するのを待ちます。RESETがアサートされてから発振器安定化期間が終了するまで、I/Oピンは高インピーダンス状態になります。E信号はリセットがLOWになると直ちに非アクティブ (HIGH) になり、アドレスバスがHIGH (0xFFFF) になって外部デバイスを選択解除します。

スタック初期化とBISTタスクはオンチップRAM、タイマ/カウンタロジック、およびカウンタロジックをテストします。このテストに合格するには、3つのプロセッサすべてとROMが機能していなければなりません。PLスマートトランシーバがBISTに合格したかどうかを示すフラグが設定されます。このステップの最後には、RAMはすべて0にクリアされます。SERVICEピンは、強いLOWと弱いHIGHの間を振動します。メモリアンターフェース信号には、これらのタスクの実行が反映されます。

RAMセルフテストが失敗すると、デバイスはオフラインになり、サービスLEDが点灯して、デバイスのステータス構造にエラーが記録されます。

セルフテストの結果は、RAMの最初のバイト（0xE800）に以下の形式で書き込まれます。

値	説明
0	障害なし
1	RAM障害
2	タイマ/カウンタ障害
3	カウンタ障害
4	設定された入力クロックレートがチップの最大値を超過

SERVICEピン初期化タスクは、SERVICEピンをオフ（HIGH）にします。

状態初期化タスクは、PLスマートトランシーバのブートが必要かどうかを決定し（PL 3150スマートトランシーバのみ）、必要に応じてブートを実行します。PLスマートトランシーバはブランクのとき、またはブートIDがROMのブートIDと一致しないときにブートを実行します。

オフチップRAM初期化タスクは、メモリマップをチェックして、オフチップRAMが存在するかどうかを決定し、すべてのオフチップRAMをテストしてクリアするか、オプションでアプリケーションRAM領域だけをクリアします。この選択は、Neuron C コンパイラ指令（pragma）を通じてアプリケーションプログラムによって制御されます。このタスクが適用されるのはPL 3150スマートトランシーバだけです。

乱数種計算タスクは、乱数発生器の種を作成します。

システムRAMセットアップタスクは、リンクされたシステムバッファのリストおよび内部システムポインタをセットアップします。

チェックサム初期化タスクは、不揮発性書き込み可能メモリのチェックサムを生成またはチェックします。状態初期化タスクでは、ブートプロセスが構成済み状態または未構成状態に対して実行された場合、チェックサムが生成されます。それ以外の場合は、チェックサムがチェックされます。このプロセスは、オンチップEEPROM、オフチップEEPROM、フラッシュ、およびオフチップ不揮発性RAMを含みます。チェックサムは2つあり、1つは構成イメージ用、もう1つはアプリケーションイメージ用です。いずれの場合も、チェックサムはイメージの中の値のうち2の補数合計を符号反転したものです。

1秒タイマ初期化タスクは、1秒タイマを初期化します。この時点で、ネットワークプロセッサは着信パケットを受け付けることができます。

スケジューラ初期化タスクにより、アプリケーションプロセッサは、以下に示すアプリケーション関連の初期化を実行できるようになります。

- **状態待ち** — デバイスがアプリケーションレスの状態を離れるのを待ちます。
- **ポインタ初期化** — グローバルポインタの初期化を行います。
- **初期化ステップ** — 初期化タスクを実行します。このタスクは、スタティック変数とタイマ / カウンタを処理するためにコンパイラ/リンカーによって作成されます。
- **I/Oピン初期化ステップ** — アプリケーション定義に従ってI/Oピンを初期化します。これ以前のI/Oピンは高インピーダンスです。
- **状態待ち II** — デバイスが未構成状態またはハードオフライン状態を離れるのを待ちます。待機が必要な場合、デバイスをオフラインとして表示する必要があることを示すフラグが設定されます。

- **パラレルI/O同期** – パラレルI/Oを使用するデバイスがこの時点でマスター/スレーブ同期プロトコルの実行を試みます。
- **リセットタスク** – アプリケーションのリセットタスクを実行します (when(reset)文)。
- オフラインフラグが設定されている場合に、オフラインにしてオフラインタスクを実行します (when(offline)文)。BISTフラグが障害を示しているときは、SERVICEピンがオンになり、オフラインタスクが実行されます。それ以外の場合は、スケジューラは通常のタスクスケジューリンググループを開始します。

これらのステップを行うために要する時間は、PLスマートトランシーバのモデル、入力クロックレート、デバイスがブートプロセスを行うかどうか、デバイスがアプリケーションレス状態、構成済み状態、または未構成状態のどれであるか、オフチップRAMの量、オフチップRAMがテストされるか単にクリアされるか、割り当てられたバッファの数、アプリケーションの初期化など、多くの要因によって決まります。表2.8と2.9は、PL 3120およびPL 3150スマートトランシーバについて、これら各ステップに要する入力クロックサイクル (XIN) の数をまとめたものです。これらの時間は概算値であり、最上位アプリケーション変数の関数として指定されます。

表 2.8 PL 3120スマートトランシーバのリセットシーケンス時間

ステップ	XINサイクル数	注記
スタック初期化およびBIST	386,000	
SERVICEピン初期化	1000	
状態初期化	250 (ブートなし) 2,275,000 (ブートあり)	
オフチップRAM初期化	0	
乱数種の計算	0	1
システムRAMのセットアップ	21,000 + 600*B	2
通信ポートの初期化	0	1
チェックサムの初期化	3400 + 175*M	3
1秒タイマ初期化	6100	
スケジューラの初期化	7400以上	4

**注記:**

- 1) これらのタスクは他のタスクと並行して実行されます。
- 2) Bは割り当てられたアプリケーションバッファとネットワークバッファの両方または一方の数です。
- 3) Mはチェックサムをするバイトの数です。
- 4) 標準的な初期化タスク、リセットタスクなし、および構成済み状態を仮定しています。

たとえば、PL 3120 スマートトランシーバアプリケーションの場合、上記の各ステップのタイミングは以下のパラメータによって示されます。

- 入力クロック 10MHz
- クリスタル発振器
- ブート不要、10以上のアプリケーションバッファおよび/またはネットワークバッファ

- 500バイトのチェックサムEEPROM

スタック初期化およびBIST	38.6000 ms
$\overline{\text{SERVICE}}$ ピン初期化	0.1000 ms
状態初期化	0.0250 ms
オフチップRAM初期化	0 ms
乱数種の計算	0 ms
システムRAMセットアップ	2.7000 ms
通信ポートの初期化	0.0000 ms
チェックサムの初期化	10.8000 ms
1秒タイマ初期化	0.6100 ms
スケジューラの初期化	<u>0.7400 ms</u>
合計	53.5757 ms

表 2.9 PL 3150 スマートトランシーバのリセットシーケンス時間

ステップ	XINサイクル数	注記
スタック初期化およびBIST	425,000	
$\overline{\text{SERVICE}}$ ピン初期化	1000	
状態初期化	1300 (ブートなし) 70,000 + 25 ms * E (ブートあり)	1
オフチップRAM初期化	24,000 + 214 * R (テストとクリア) 24,000 + 152 * R <sub>a</sub> (クリアのみ)	2 3
乱数種の計算	最大50,000	
システムRAMセットアップ	27,000 + 1500 * B	4
通信ポートの初期化	0	5
チェックサムの初期化	7200 + 175 * M (ブートなし) 82,000 + 100 ms + 175 * M (ブートあり)	6, 7
1秒タイマ初期化	6100	
スケジューラの初期化	7400以上	8

## 注記:

- 1) Eは書き込み中の非ゼロバイトの数 (10~504の範囲) です。
- 2) RはオフチップRAMバイトの数です。
- 3) R<sub>a</sub>は非システムのオフチップRAMバイトの数です。
- 4) Bは割り当てられたアプリケーションバッファとネットワークバッファの両方または一方の数です。
- 5) これらのタスクは他のタスクと並行して実行されます。
- 6) Mはチェックサムをするバイトの数です。
- 7) 構成済み状態または未構成状態にブートする場合に限られます。アプリケーションレス状態にブートする場合は「ブートなし」の式を用いてください。
- 8) 標準的な初期化タスク、リセットタスクなし、および構成済み状態を仮定しています。

たとえば、PL 3150 スマートトランシーバのアプリケーションに関する各ステップのタイミングは、10MHz 入力クロック、クリスタル発振器、ブート不要、16キロバイトの外部RAM、外部RAMのテストおよびクリア、少なくとも10個のアプリケーションバッファおよび/またはネットワークバッファ、ならびに500バイトのチェックサムEEPROMなどのパラメータを用いて示されています。

スタック初期化およびBIST	42.50 ms
SERVICEピン初期化	0.10 ms
状態初期化	0.13 ms
オフチップRAM初期化	353.00 ms
乱数種の計算	5.00 ms
システムRAMセットアップ	4.20 ms
通信ポートの初期化	0 ms
チェックサム of 初期化	12.50 ms
1秒タイマ初期化	0.61 ms
スケジューラの初期化	<u>0.74 ms</u>
合計	418.78 ms

次のコンパイラ指令を使用して、オフチップRAMのテストをDisableしてください。

```
# pragma ram_test_off
```

## SERVICEピン

入力クロックが10MHzの場合、SERVICEピンはデューティサイクル50%の76Hzで交互に入力およびオープンドレイン出力になります。6.5536MHzの場合、SERVICEピンは50Hzで交互動作します。出力の場合、LEDを駆動するために20mAをシンクすることができます。このピンは、入力としてのみ使用される場合、入力を非アクティブなHIGH状態にするためのオンチッププルアップをオプションで備えており、LEDとプルアップ抵抗が接続されていないときにそれを使用できるようになります。このピンは、Neuronファームウェアの制御のもとで、PLスマートトランシーバを含むデバイスの構成、設置、および保守に使用されます。PLスマートトランシーバがネットワークアドレス情報で構成されていない場合、ファームウェアは1/2 HzでLEDを点滅させます。SERVICEピンを接地すると、PLスマートトランシーバはネットワーク管理メッセージを送信します。このメッセージには、一意の48ビットNeuronIDとネットワーク上のアプリケーションのプログラムIDが含まれます。ネットワークツールは、この情報を用いてデバイスのインストールと構成を行います。図2.11は、SERVICEピンLEDおよび押しボタンの標準的な回路を示したものです。リセット中、SERVICEピンの状態は不確定です。SERVICEピンのプルアップのデフォルト状態はEnableです。

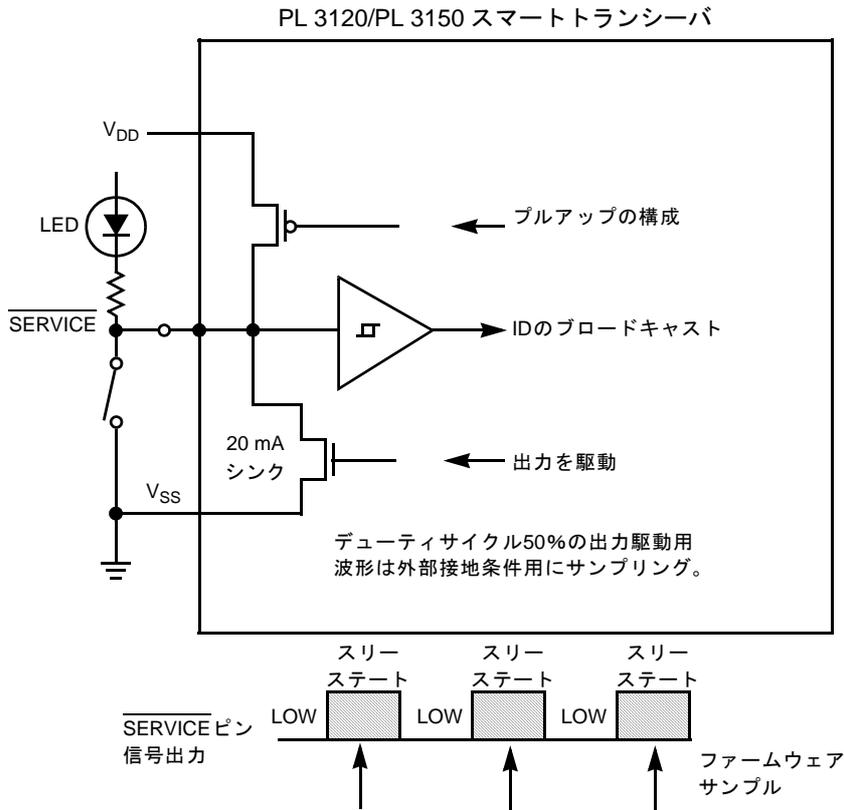


図2.11 PLスマートトランシーバSERVICEピン回路

表 2.10 さまざまな状態におけるサービスLEDの動作

デバイスの状態	0xF015 状態コード	サービスLED
アプリケーションレスおよび未構成	3	オン
未構成 (ただしアプリケーションあり)	2	点滅
構成済み、ハードオフライン	6	オフ
構成済み	4	オフ
PL 3150不良外部メモリ	—	オン

SERVICEピンはアクティブLOWで、サービスピンメッセージはSERVICEピン遷移1度あたり最大1回送信されます。サービスピンメッセージは、次に利用可能な優先または非優先出力ネットワークバッファに進みます。外部プルアップを持たないデバイスは、アプリケーションレスの状態だと各リセットの後にSERVICEピンメッセージを送信します。

## 整合性機構

### チェックサムを用いたメモリ整合性

PLスマートトランシーバのメモリの整合性を確保するため、Neuronファームウェアは多数のチェックサムを維持しています。各チェックサムは単一バイトで、カバーしているすべてのバイトの合計の2の補数です。これらのチェックサムはリセット処理中に確認され、またバックグラウンド診断プロセスを通じて継続的に確認されます。PLスマートトランシーバのメモリの整合性を確認するために使用される主なチェックサムは、以下のとおり3つあります。

- 構成イメージチェックサム
- アプリケーションイメージのチェックサム
- システムイメージのチェックサム（オフチップシステムイメージのみ）

構成イメージチェックサムは、オンチップEEPROMに常駐している通信パラメータおよびネットワーク構成情報をカバーします。デフォルトで、構成チェックサムエラーが発生するとデバイスは未構成状態になります。その他のオプションについては、表2.12を参照してください。

アプリケーションイメージのチェックサムは、オンチップEEPROMのアプリケーションコードとオフチップEEPROM、NVRAM、またはフラッシュメモリのアプリケーションコードの両方をカバーします。このチェックサムは、オフチップROMのアプリケーションコードをカバーするようにオプションで拡張することができます。デフォルトで、アプリケーションのチェックサムエラーが発生すると、デバイスはアプリケーションレス状態になります。EEPROM、NVRAM、またはフラッシュに常駐するアプリケーション読み取り/書き込みデータはチェックサムされません。その他のオプションについては、表2.12を参照してください。

表 2.11 PLスマートトランシーバのメモリ領域のチェックサムカバー範囲

メモリ領域	チェックサム
システムイメージ(オプションでPL 3150のアプリケーションのチェックサムによってカバー)	システム
任意のオフチップROMコード (オプションでPL 3150のアプリケーションのチェックサムによってカバー)	アプリケーション
任意のオフチップフラッシュ、EEPROM、またはNVRAMコード	アプリケーション
任意のオフチップRAMコード	アプリケーション
構成イメージ	構成
すべてのオンチップEEPROMコード	アプリケーション

PL 3150スマートトランシーバでは、表2.11に記載されるすべてのメモリ領域（オンチップEEPROMコードを除く）がそれ自身のチェックサムを備えているため、チェックサムエラーをさらに分離特定することが可能です。未構成または構成済みデバイスは、ネットワークプロセッサのメインループを使用して、1反復ごとに1バイトのレートでそれ自身のアプリケーションのチェックサムをバックグラウンドで継続的にチェックします（10MHz動作時にネットワークアクティビティなしで3バイト/ミリ秒）。

システムイメージのチェックサムは、システムイメージをカバーします。これは、システムイメージがオフチップメモリに常駐しているときのみ使用でき、使用するかどうかは任意です。システムイメージのチェックサムエラーは、常に強制的にデバイスをアプリケーションレス状態にします。

デバイスがアプリケーションレス状態の場合、チェックサムは計算されません。

すべてのチェックサムは、ネットワークプロセッサのリセット処理中およびバックグラウンド診断プロセスの一部として確認されます。バックグラウンド診断プロセス中にエラーが検出されると、デバイスがリセットされます。この場合、状態の変更はありません。持続的なエラーはリセット処理により発見されると仮定されています。

チェックサムエラーが検出されると、リセットプロセスは適切な状態を強制的に発生させ、エラーログにエラーを記録します。PL 3150スマートトランシーバの場合は、リセット処理中にチェックサムが2回失敗しない限り不良と判断しません。

## リブートおよび整合性オプションワード

PL 3150 スマートトランシーバは、チェックサムあるいはその他のメモリ関連の致命的なエラーに対する処置のオプションをいくつか備えています。これらのオプションを制御する16ビットワードはシステムイメージに常駐しており、NodeBuilderツールにおいてデバイスのエクスポートオプションの一部として定義されています。

回復プロセスは、アプリケーション、構成、および通信パラメータの最初のオンチップEEPROMイメージがオフチップシステムイメージに常駐しているという事実に依存しています。システムのイメージデータは、最初のパワーアップ時にオンチップEEPROMにコピー（ブート）されます。回復プロセスでは、エラーおよび回復オプションに基づいて、疑わしい領域が再コピーまたは再ブートされます。最初のブートの後でオンチップEEPROMに加えられた変更（たとえば、ネットワークアプリケーションロードまたはネットワークツールにより行われた再構成）は回復プロセスで失われます。リカバリ動作はビットの組み合わせを設定することによって定義され、この組み合わせは以下のビットマスクで定義されます（表2.12）。

表 2.12 リカバリ動作のビットマスク

回復ワード	説明
0x0001	アプリケーションに致命的なエラーが起こった場合にアプリケーションをリポートする。
0x0002	リセット時に常にアプリケーションをリポートする（注記を参照）。
0x0004	構成チェックサムが失敗した場合に構成をリポートする。
0x0008	アプリケーションに致命的なエラーが起こった場合に構成をリポートする。
0x0010	リセット時に常に構成をリポートする。
0x0020	構成チェックサムが失敗した場合に通信パラメータをリポートする。
0x0040	タイプまたはレートの不一致があった場合に通信パラメータをリポートする。
0x0080	リセット時に常に通信パラメータをリポートする。
0x0100	アプリケーションをリポートするときにEEPROM変数をリポートする。
0x0200	アプリケーションレス状態はアプリケーションの致命的なエラーとみなされる。0x0001 または 0x0008 がセットされている場合、アプリケーションレス状態によりリポートが発生する。アプリケーションの致命的なエラーは以下に定義されているとおり（注記を参照）。
0x0400	システムイメージを含めすべてのコードをチェックサムする。

**注記：**これらのオプションでエクスポートされたアプリケーションは、ネットワークを通じてロードすることができません。

上記のオプションにおいて、「構成」は通信パラメータを含みません。これは、通信パラメータの回復が別に管理されているためです。また、致命的なアプリケーションエラーとは、アプリケーションイメージのチェックサムエラー、メモリ割当障害、およびメモリマップ障害を指します。詳細については、『NodeBuilder User's Guide』（Release 3 Revision 2以降）の「Loading an Application Image」を参照してください。

すべての構成テーブルのサイズがEEPROMとROMの間で一致するときのみ、構成がアプリケーションから独立してリポートされます。これにより、ネットワークを通じてテーブルサイズの異なる新しいアプリケーションがロードされ、構成のリポートによりプログラムが破壊される事態を避けることができます。

EEPROMの回復がチェックサム障害またはその他のエラーに起因している場合、そのイベントはスマートトランシーバのエラーテーブルに記録されます。テストコマンドには、最後に記録されたエラーとして「EEPROM recovery occurred」と示されます。

## リセット処理

リセット処理中、構成チェックサムが最初にチェックされます。不良である場合、構成回復オプションはセットされず、構成チェックサムエラーが記録されて、チェックサムが修復され、デバイスの状態は未構成に変更されます。構成回復オプションがセットされると、構成が回復されます。

次に、アプリケーションのチェックサムがチェックされます。これが不良であり、チェックサムエラーがシステムイメージ内にある場合、システムイメージのチェックサムエラーが記録され、デバイスの状態は「アプリケーションレス」に変更されます。

アプリケーションのチェックサムが不良である場合、アプリケーション回復オプションは設定されず、アプリケーションのチェックサムエラーが記録されて、デバイスの状態は「アプリケーションレス」に変更されます。

アプリケーションのチェックサムが不良で、アプリケーション回復オプションが設定され、ブートアプリケーションがオフチップROM、フラッシュ、EEPROM、NVRAM、またはRAMコードへの参照を含んでいない場合、あるいはこれらの領域のいずれにもチェックサムエラーがない場合は、アプリケーションが回復されます。それ以外の場合は、アプリケーションのチェックサムが記録され、デバイスはアプリケーションレス状態になります。

## シグネチャ

すべてのオフチップコード領域は、領域チェックサムの直後にシグネチャと呼ばれる2バイトの巡回冗長チェック (CRC) を備えています。シグネチャは、コード領域およびメモリマップに格納されます。領域シグネチャとそのシグネチャのメモリマップコピーが一致しない場合、デバイスはアプリケーションレス状態になります。この機構により、アンロードされたコード (ROM内のコードなど) と互換性のないネットワークを介してアプリケーションが部分的にロードされるのを防ぐことができます。

3

---

# 入出力 インターフェース

## はじめに

PL 3120およびPL 3150電力線スマートトランシーバは、IO0～IO11と名付けられた12本のピンを通じて、アプリケーションに特有の外部ハードウェアに接続します。これらのピンは、多様な構成が可能なので、最小限の外部回路でフレキシブルな入出力機能を実現できます。プログラマは、プログラミングモデル (Neuron C言語) により、1つ以上のピンをI/Oオブジェクトとして宣言することができます。I/Oオブジェクトは、指定されたオンチップI/Oハードウェア構成のほか、指定された入力または出力波形定義に関するI/Oドライバに対して、プログラム可能なアクセスを実現します。SCI (UART) モデル以外の場合、ユーザーのプログラムは、`io_in`および`io_out()`システムコールの中でこれらのオブジェクトを呼び出すことにより、そのプログラムの実行中に実際の入出力機能を実行することができます。一部のイベントは、入力値の変化を伴います。これらの変化が起こると、タスクスケジューラは、関連するアプリケーションコードを実行することができます。

PLスマートトランシーバに使用できるI/Oオブジェクトは多数あります。ほとんどのI/Oオブジェクトは、PL 3120およびPL 3150スマートトランシーバのシステムイメージ内にデフォルトで用意されています。アプリケーションがデフォルトのシステムイメージに含まれないオブジェクトを必要とする場合は、開発ツールが適切なオブジェクトを利用可能なメモリスペースにリンクします。PL 3120スマートトランシーバの場合、これは追加オブジェクト用に内部EEPROMスペースを使用しなければならないということを意味します。PL 3150スマートトランシーバの場合、オブジェクトは、システムイメージ用に予約された16キロバイトスペース以外の外部フラッシュ領域またはROM領域に追加されます。

PLスマートトランシーバは、2つの16ビットタイマ/カウンタをオンチップで備えています (図2.7および3.1を参照)。タイマ/カウンタ1 (多重化タイマ/カウンタとも呼ばれます) への入力は、プログラム可能なマルチプレクサ (mux) を通じてIO4～IO7から選択可能で、出力はピンIO0に接続することができます。タイマ/カウンタ2 (専用タイマ/カウンタとも呼ばれます) への入力は、ピンIO4に接続することができ、出力はピンIO1に接続できます。タイマ/カウンタは、CPUによって書き込める16ビットロードレジスタ、16ビットカウンタ、およびCPUが読み取れる16ビットラッチとして実装されています。ロードレジスタとラッチは、一度に1バイトずつアクセスされます。タイマ/カウンタ機能専用のI/Oピンはありません。たとえば、タイマ/カウンタ1が入力信号だけに使用されているとき、IO0はその他の入力または出力に使用することができます。タイマ/カウンタクロックおよびEnable入力は外部ピンから供給することもでき、システムクロックをスケーリングしたクロックを使用することもできます。2つのタイマ/カウンタのクロックレートは互いに独立です。外部クロックは、入力の立ち上がりエッジ、立ち下がりエッジ、または立ち上がりと立ち下りの両方のエッジで動作することも可能です。

単一のアプリケーション内の複数のピンに対して、複数のタイマ/カウンタ入力オブジェクトを宣言することができます。アプリケーションは、`io_select()`関数を呼び出すことにより、最初のタイマ/カウンタを用いて最大4つの異なる入力オブジェクトを実装できます。タイマ/カウンタが出力オブジェクトのうちの1つを実装するよう構成されている場合や、クアドラチャ入力オブジェクトとして構成されている場合は、そのタイマ/カウンタを同じアプリケーションプログラム内の別のタイマ/カウンタオブジェクトに再割当することはできません。

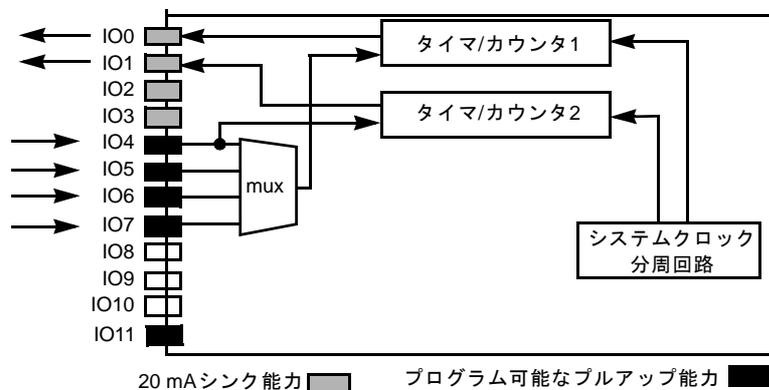


図3.1 PLスマートトランシーバのタイマ/カウンタの外部接続

## ハードウェアの考慮事項

表3.1～3.5は、利用可能なI/Oオブジェクトを一覧にしたものです。異なるタイプのさまざまなI/Oオブジェクトを同時に使用することができます。図3.3は、各I/Oオブジェクトのピン構成をまとめたものです。これらのピンの電気的特性については、『PL 3120 and PL 3150 Smart Transceiver Datasheet』を参照してください。以下の各節では、すべてのI/Oオブジェクトについて詳細に説明します。アプリケーションプログラムは、オプションでデジタル出力の初期値を指定することができます。出力として構成されたピンは、入力として読み取ることもできます。この場合、I/Oピンにおける値が戻されます。ピンIO4～IO7およびIO11は、プルアップ抵抗の役割を果たすプルアップ電流ソースをオプションで備えています(図3.1を参照)。これらは、Neuron Cコンパイラ指令によってEnableされます(#pragma enable\_io\_pullups)。ピンIO0～IO3は、大電流シンク能力を備えています。その他のピンは、標準的なシンク能力を備えています。ピンIO0～IO7は、低レベル検出ラッチを備えています。本節で後述する遅延時間とタイミング値は、10MHzにおける標準値です。これらの値の精度は±10%です。ほとんどの遅延時間値はクロックレートに反比例します。

スタック初期化およびBISTタスクの間、I/OプルアップはEnableされません。I/Oプルアップは、Neuron Cアプリケーションで#pragma enable\_io\_pullupsが指定されているときにだけEnableされます。I/Oピンがこのアプリケーションで使用されていないときは、プリント基板上でHIGHまたはLOWに接続するか、あるいは未接続のままです。アプリケーションのビット出力として構成することにより無駄な電力消費を避けてください。このことは、エネルギー貯蔵電源を持ったデバイスにおいて特に重要です(詳細については第5章を参照)。

表 3.1 直接I/Oオブジェクトのまとめ

I/Oオブジェクト	適用可能なI/Oピン	入出力値	ページ
ビット入力 (Bit Input)	IO0～IO11	0、1バイナリデータ	46
ビット出力 (Bit Output)	IO0～IO11	0、1バイナリデータ	46
バイト入力 (Byte Input)	IO0～IO7	0～255バイナリデータ	48
バイト出力 (Byte Output)	IO0～IO7	0～255バイナリデータ	48
レベル検出入力 (Leveldetect Input)	IO0～IO7	ロジック0レベル検出	49
ニブル入力 (Nibble Input)	IO0～IO7のうちの任意の隣接する4つ	0～15バイナリデータ	50
ニブル出力 (Nibble Output)	IO0～IO7のうちの任意の隣接する4つ	0～15バイナリデータ	50

表 3.2 パラレルI/Oオブジェクトのまとめ

I/Oオブジェクト	適用可能なI/Oピン	入出力値	ページ
マルチプレクサバスI/O (Muxbus I/O)	IO0～IO10	多重化アドレス指定を用いたパラレル双方向性ポート	51
パラレルI/O (Parallel I/O)	IO0～IO10	パラレル双方向性ハンドシェイクポート	51

表 3.3 シリアルI/Oオブジェクトのまとめ

I/Oオブジェクト	適用可能なI/Oピン	入出力値	ページ
ビットシフト入力 (Bitshift Input)	任意の隣接するペア (IO7 + IO8およびIO10 + IO11を除く)	最大16ビットのクロック同期データ	59
ビットシフト出力 (Bitshift Output)	任意の隣接するペア (IO7 + IO8およびIO10 + IO11を除く)	最大16ビットのクロック同期データ	59
I <sup>2</sup> C (I <sup>2</sup> C)	IO8 + IO9またはIO0 + IO1	最大255バイトの双方向性シリアルデータ	61
マグカード入力 (Magcard Input)	IO8 + IO9 + (IO0～IO7のうちの1つ)	磁気カードリーダーからのエンコードされたISO7811トラック2データストリーム	63
マグトラック1 (Magtrack1)	IO8 + IO9 + (IO0～IO7のうちの1つ)	磁気カードリーダーからのエンコードされたISO3554トラック1データストリーム	64

表 3.3 シリアルI/Oオブジェクトのまとめ

マグカードビットストリーム (Magcard Bitstream)	IO8 + IO9 + ( IO0~IO7のうちの1つ)	磁気カードリーダーからの未処理シリアルデータ	65
Neurowire I/O (Newronwire I/O)	IO8 + IO9 + IO10 + ( IO0~IO7のうちの1つ)	最大256ビットの双方向性シリアルデータ	65
シリアル入力 (Serial Input)	IO8	8ビット文字	69
シリアル出力 (Serial Output)	IO10	8ビット文字	69
タッチI/O (Touch I/O)	IO0~IO7	最大2048ビットの入力または出力ビット	71
Wiegand入力 (Wiegand Input)	IO0~IO7のうちの任意の隣接するペア	Wiegand カードリーダーからのエンコードされたデータストリーム	73
SCI (UART) (SCI (UART))	IO8 + IO10	最大255バイトの入力および255バイトの出力	74
SPI (SPI)	IO8 + IO9 + IO10 + (IO7)	最大255バイトの双方向性データ	75

表 3.4 タイマ/カウンタ入力オブジェクトのまとめ

I/Oオブジェクト	適用可能なI/Oピン	入力信号	ページ
デュアルスロープ入力 (Dualslope Inout)	IO0, IO1 + ( IO4~IO7のうちの1つ)	二重積分型A/Dコンバータのコンパレータ出力	81
エッジログ入力 (Edgelog Input)	IO4	入力遷移のストリーム	82
赤外線入力 (Infrared Input)	IO4~IO7	赤外線復調器からのエンコードされたデータストリーム	83
オンタイム入力 (Ontime Input)	IO4~IO7	パルス幅0.2 μs~1.678 s	84
ピリオド入力 (Period Input)	IO4~IO7	信号周期0.2 μs~1.678 s	84
パルスカウント入力 (Pulsecount Input)	IO4~IO7	0.839秒間に0~65,535の入力エッジ	86
クアドラチャ入力 (Quadrature Input)	IO4 + IO5, IO6 + IO7	±16,383バイナリのグレイコード遷移	87
トータルカウント入力 (Totalcount Input)	IO4~IO7	0~65,535入力エッジ	89

表 3.5 タイマ/カウンタ出力オブジェクトのまとめ

I/Oオブジェクト	適用可能なI/Oピン	出力信号	ページ
エッジデバインド出力 (Edgedivide Output)	IO0, IO1 + ( IO4~IO7のうちの1つ)	出力周波数は入力周波数をユーザーが指定した数で割ったもの	90

表 3.5 タイマ/カウンタ出力オブジェクトのまとめ

赤外線パターン出力 (Infrared Pattern Output)	IO0、IO1	一連の時限反復矩形波出力	93
周波数出力 (Frequency Output)	IO0、IO1	0.3 Hz~2.5MHzの矩形波	92
ワンショット出力 (Oneshot Output)	IO0、IO1	持続時間0.2 $\mu$ s~1.678 sのパルス	94
パルスカウント出力 (Pulsecount Output)	IO0、IO1	0~65,535パルス	95
パルス幅出力 (Pulsewidth Output)	IO0、IO1	デューティサイクル0~100%の連続パルス	96
トライアック出力 (Triac Output)	IO0、IO1 + (IO4~IO7のうちの1つ)	入力エッジを基準とした出力パルスの遅延	97
トリガードカウント出力 (Triggered-Count Output)	IO0、IO1 + (IO4~IO7のうちの1つ)	出力パルスは入力エッジを数えることにより制御	99

外部イベントに対する動作の一貫性を保ち、準安定性を防ぐため、PLスマートトランシーバの12本のI/Oピンは、入力として構成されている場合、内部システムクロックでサンプリングされるハードウェア同期ブロックを通ります。これには、入力クロックを2分周したものを常に用います（たとえば、 $10\text{MHz} \div 2 = 5\text{MHz}$ ）。信号が10MHzの入力クロックで確実に同期されるためには、その信号の持続時間が少なくとも220nsでなければなりません（図 3.2を参照）。

すべての入力は、*when* ステートメントの処理中にソフトウェアでサンプリングされます。サンプリングの遅延時間は、実行されているI/Oオブジェクトに依存します（詳細については、I/O タイミング仕様と『*Neuron C Programmer's Guide*』を参照してください）。これらの遅延時間値は、入力クロックに反比例します。このように、220ns以上持続するイベントは、ハードウェアによって同期されますが、ソフトウェアサンプリングの遅延時間があるためにイベントの検出に遅れが出ます。状態変化がソフトウェアサンプリングよりも速い場合、中間の変化は検出されません。

同期ブロックには3つの例外があります。第一は、パラレルI/OオブジェクトのスレーブBモードで使用されるチップセレクト (**CS**) 入力です。この入力は、立ち上がりエッジを非同期で認識します。第二に、レベル検出入力は、200nsクロックでフリップフロップによりラッチされます。レベル検出遷移イベントはラッチされますが、ソフトウェア検出に遅延が発生します。第三に、**SCI (UART)** および**SPI** オブジェクトはハードウェアによりバイト境界でバッファされ、割り込みメカニズムを使ってメモリに転送されます。また、入力タイマ/カウンタ機能も異なります。つまり、アプリケーションプロセッサの状態に関わりなく、I/Oピンのイベントが正確に測定され、値がレジスタに戻されます。ただし、アプリケーションプロセッサがレジスタを読み取るときに遅れが生じることがあります。プログラミング情報の詳細については、『*Neuron C Programmer's Guide*』を参考にしてください。

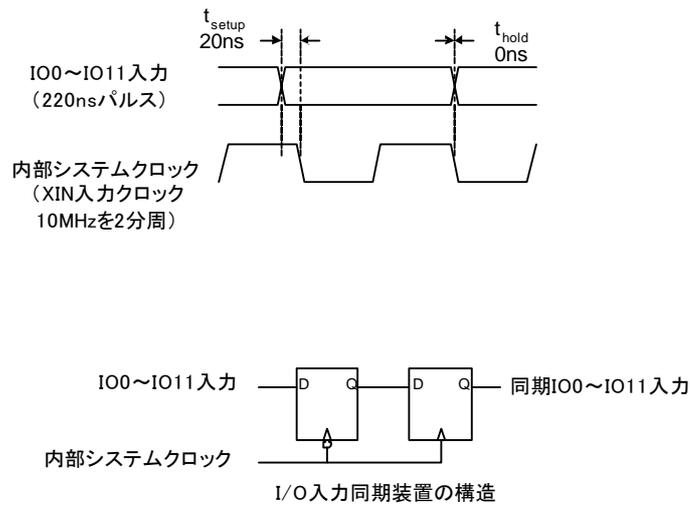


図3.2 外部信号の同期

		0	1	2	3	4	5	6	7	8	9	10	11	
直接 I/O オブジェクト	I/Oピン													
	ビット入力、ビット出力													
	バイト入力、バイト出力	すべてのピン0~7												
	レベル検出入力													
マルチプレクサバス I/O オブジェクト	ニブル入力、ニブル出力	任意の4つの隣接するピン												
	マルチプレクサバス I/O	データピン0~7							ALS	WS	RS			
	マスタ/スレーブ A	マルチプレクサバス I/O	データピン0~7							CS	R/W	HS		
		マルチプレクサバス I/O	データピン0~7							CS	R/W	A0		
シリアル I/O オブジェクト	ビットシフト入力、ビットシフト出力	C	D	C	D	C	D	C	D	C	D	C		
	I <sup>2</sup> C I/O	C	D							C	D			
	マグカード入力	オプションのタイムアウト							C	D				
	マグカードビットストリーム	オプションのタイムアウト							C	D				
	マグトラック1入力	オプションのタイムアウト							C	D				
	Neurowire I/O	マスタ	オプションのチップセレクト							C	D	D		
		スレーブ	オプションのタイムアウト							C	D	D		
	シリアル入力													
	シリアル出力													
	SCI (UART)													
SPI														
タッチ I/O														
Wiegand 入力	任意の2つのピン(オプションのタイムアウト)													
タイマ/カウンタ 入力 オブジェクト	デュアルスロープ入力	制御												
	エッジログ入力													
	赤外線入力													
	オンタイム入力													
	ピリオド入力													
	パルスカウント入力													
	クアドラチャ入力					4+5	6+7							
トータルカウント入力														
タイマ/カウンタ 出力 オブジェクト	エッジデバインド出力					同期入力								
	周波数出力													
	赤外線パターン出力													
	ワンショット出力													
	パルスカウント出力													
	パルス幅出力													
	トライアック出力	制御				同期入力								
トリガードカウント出力	制御				同期入力									
		0	1	2	3	4	5	6	7	8	9	10	11	
		ハイシンク			ブルアップ				標準		ブルアップ			

**注記:**  
 C = クロック、D = データ  
 ビットシフト、I<sup>2</sup>C、マグカード、マグトラック、Neurowire

**タイマ/カウンタ1デバイス**  
 次のうちの1つ:  
 IO\_6入力クアドラチャ  
 IO\_4入力エッジログ  
 IO\_0出力[トライアック|トリガードカウント|エッジデバインド]同期(IO\_4..7)  
 IO\_0出力[周波数|赤外線パターン|ワンショット|パルスカウント|パルス幅]  
 または、次のうちの最大4つ:  
 IO\_4入力[オンタイム|ピリオド|パルスカウント|トータルカウント|デュアルスロープ|赤外線]マルチプレクサ  
 IO\_5..7入力[オンタイム|ピリオド|パルスカウント|トータルカウント|デュアルスロープ|赤外線]

**タイマ/カウンタ2デバイス**  
 次のうちの1つ:  
 IO\_4入力クアドラチャ  
 IO\_4入力エッジログ  
 IO\_1出力[トライアック|トリガードカウント|エッジデバインド]同期(IO\_4)  
 IO\_1出力[周波数|赤外線パターン|ワンショット|パルスカウント|パルス幅]  
 IO\_4入力[オンタイム|ピリオド|パルスカウント|トータルカウント|デュアルスロープ|赤外線]ded

図3.3 I/Oオブジェクトのまとめ

## I/O タイミングの問題

PLスマートトランシーバのI/Oタイミングは、チップアーキテクチャ全般に関する次の4項目による影響を受けます。

- スケジューラ
- I/Oオブジェクトのファームウェア
- PLスマートトランシーバのハードウェア
- 割り込み

スケジューラが全体的なタイミング特性に与える影響は、I/O機能ブロックのすべてにわたってほぼ均一です。これは、スケジューラが全体的なI/Oタイミングに対して比較的高い機能レベルで寄与しているからです。

ファームウェアとハードウェアによる影響は、I/Oオブジェクトによって異なります（たとえば、ビットI/OとNeuroware I/O）。

割り込みの影響は、プロセッサに割り込みをかけているデータの性質によって異なります。詳細については、「SCI (UART) およびSPI」節を参照してください。

### スケジューラ関連I/Oタイミング情報

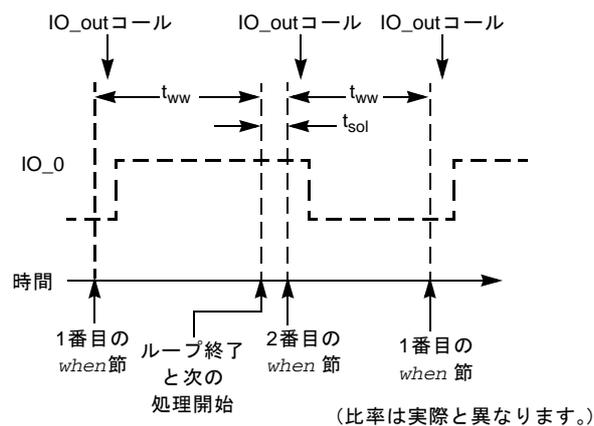
PLスマートトランシーバのファームウェアの一部であるスケジューラを使用すると、ユーザー定義イベントの評価を秩序正しく予想可能な方法で行うことができます。これらのイベントは、Neuron C言語によって提供されるwhen節を用いて指定します。スケジューラの動作の詳細については、『*Neuron C Programmer's Guide*』を参照してください。

スケジューラの動作には、有限の遅延時間が関連付けられています。スケジューラが特定のユーザーアプリケーションコードの中で同一のwhen節を評価するのに要する時間は、そのユーザーコードのサイズ、when節の数、およびwhen節に関連するイベントの状態によって主に決まります。つまり、各アプリケーションが異なる状況において特有の動作を示すため、この遅延時間の公称値を指定することは不可能です。

ベストシナリオの遅延時間については、それぞれがスケジューラ動作の異なる側面を示す、いくつかの見方があります。シンプルな例としては、下に示すように、アプリケーションプログラムが2つのwhen節から成り、そのいずれもが常にTRUEと評価されるものが挙げられます。

```
IO_0 output bit testbit;
when (TRUE) {
    io_out(testbit, 1);
}
when (TRUE) {
    io_out(testbit, 0);
}
```

when節の処理はラウンドロビン方式で行われます。そのため、上記のNeuron Cコードでは、交互にIO0ピンを起動することによりスケジューラに関連するタイミングパラメータが分離抽出されます。図3.4は、上記のコードの結果としてPLスマートトランシーバのIO0で見られる波形を示したものです。



記号	説明	10MHzにおける標準値
$t_{ww}$	when節とwhen節の間の遅延時間	940 $\mu$ s
$t_{sol}$	スケジューラによるオーバーヘッドの遅延時間(本文を参照)	54 $\mu$ s

図3.4 when節からwhen節およびスケジューラによるオーバーヘッドの遅延時間

この場合、when節とwhen節の間の遅延時間 $t_{ww}$ は、1つのio\_out() 関数 (10MHzにおける遅延時間65  $\mu$ s) の実行時間を含み、常にTRUEと評価されるイベントに対するものです。特定のアプリケーションにおける実際の $t_{ww}$ は、評価対象のwhenイベントおよびwhenステートメントの中の実際のタスクによって影響されます。

上記の例は、連続するwhen節 (イベントがTRUEと評価されるもの) の間のベストシナリオの最小遅延時間 ( $t_{ww}$ ) を測定するだけでなく、スケジューラによるループ終了オーバーヘッドの遅延時間 ( $t_{sol}$ ) も明らかにします。図3.4に示すように、 $t_{ww}$  は出力波形のオフタイム期間で、 $t_{sol}$  は出力波形のオンタイムから $t_{ww}$ を差し引いたものです。これは、スケジューラによるオーバーヘッドの遅延時間 (つまりスケジューラによるループ終了遅延時間) がプログラム内の最後のwhen節が実行される直前に生じることを示しています。

io\_out() 関数からのリターンに伴う遅延時間は、その関数コールそのものの実行遅延時間に比べて短くなっています。

**注記:** 一部のI/Oオブジェクトは、タスクが完了するまでアプリケーション処理を一時中断します。これは、これらのオブジェクトがファームウェアで実行されているためです。これらのオブジェクトとは、ビットシフト、Neurowire、パラレル、ソフトウェア、シリアルI/Oオブジェクト、I<sup>2</sup>C、マグカード、マグトラック、タッチI/O、およびWiegandのことです。ネットワーク通信は、ネットワークプロセッサとメディアアクセスプロセッサによって処理されるため、これらのオブジェクトによって一時中断されることはありません。

## ファームウェアおよびハードウェア関連I/Oタイミング情報

PLスマートトランシーバのすべてのI/O更新は、システムイメージ関数コールを用いてNeuronファームウェアによって実行されます。

特定の関数コールの開始から終了までの全遅延時間は、2つの部分に分けることができます。第1の遅延は、実際のハードウェアI/O更新（読み取りまたは書き込み）が起こる前に必要な処理時間に起因します。第2の遅延は、現在の関数コールを終了してアプリケーションプログラムに戻るために要する時間に関係しています。

全体的な精度は、PLスマートトランシーバのXIN入力の精度に常に関係しています。パラメータが自明でない場合の値を調べるには、各々のI/Oオブジェクトのタイミング図を使用できます。

各オブジェクトの動作の詳細については、『*Neuron C Reference Guide*』を参照してください。

## 直接I/Oオブジェクト

本節で示すタイミング数値は、*when*節を使用した明示的I/Oコールおよび暗示的I/Oコールのいずれにも有効であり、10MHz動作のPLスマートトランシーバを想定しています。

### ビット入出力（Bit Input/Output）

ピンIO0～IO11は、シングルビット入力ポートまたは出力ポートとして個別に構成することができます。入力は、外部ロジックやスイッチなどからのTTLレベルと互換性のあるロジック信号を検出するために使用することができます。出力は、外部CMOSおよびTTLレベルと互換性のあるロジック、スイッチトランジスタ、および超低電流リレーを駆動するために使用し、それによりさらに大電流の外部デバイスとしてステッピングモータやライトなどを作動させることができます。ピンIO0～IO3は、電流シンク能力が大きいため（20mA）、多くのI/Oデバイスを直接駆動することができます（図3.5を参照）。図3.6と3.7は、ビット入力遅延時間とビット出力遅延時間をそれぞれ示したものです。これらは、*io\_in()* または *io\_out()* が呼び出されてから値が戻されるまでの時間です。ビットポートの方向は、アプリケーションの制御下で動的に入力と出力の間で切り替えられます（*io\_set\_direction()*）。

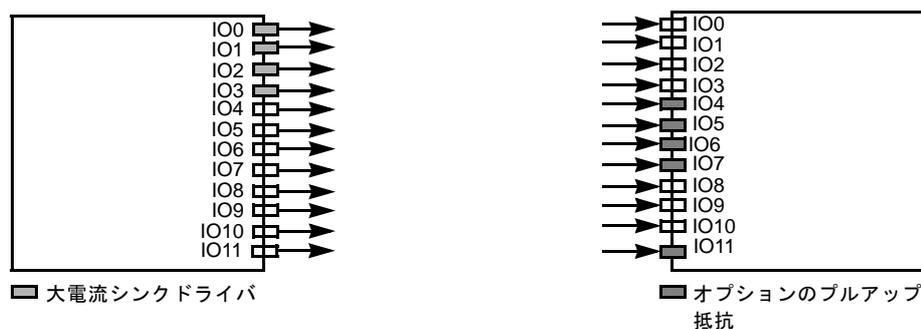
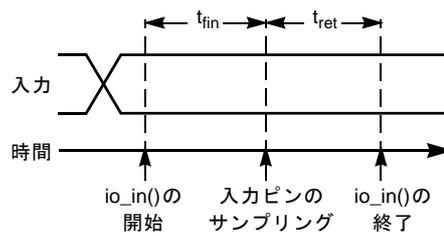


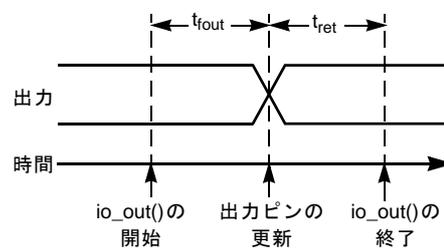
図3.5 ビットI/O

**注記：**リセット後、PLスマートトランシーバはIO4～IO7およびIO11プルアップ抵抗をDisableします。プルアップ抵抗はアプリケーションの初期化までオンになりません。プルアップは、アプリケーション構成の中でNeuron C 指令（`#pragma enable_io_pullups`）を使って指定された場合にのみEnableされます。



記号	説明	10MHzにおける標準値
$t_{fin}$	サンプリングの関数コール IO0~IO10 IO11	41 $\mu$ s 8.4 $\mu$ s
$t_{ret}$	関数からのリターン IO0 IO1 IO2 IO3 IO4 IO5 IO6 IO7 IO8 IO9 IO10 IO11	19 $\mu$ s 23.4 $\mu$ s 27.9 $\mu$ s 32.3 $\mu$ s 36.7 $\mu$ s 41.2 $\mu$ s 45.6 $\mu$ s 50 $\mu$ s 19 $\mu$ s 23.4 $\mu$ s 27.9 $\mu$ s 7.8 $\mu$ s

図3.6 ビット入力遅延時間値



記号	説明	10MHzにおける標準値
$t_{fout}$	更新の関数コール IO3~IO5、IO11 その他すべて	69 $\mu$ s 60 $\mu$ s
$t_{ret}$	関数からのリターン IO0~IO11	5 $\mu$ s

図3.7 ビット出力遅延時間値

## バイト入出力 (Byte Input/Output)

ピンIO0～IO7は、バイト幅の入力または出力ポートとして構成し、0～255の整数を使用して読み取ったり書き込んだりすることができます。これは、ASCIIデータなどのデータを一度に8ビットずつ必要とするデバイスの駆動に便利です。たとえば、英数字表示パネルは、データ用にバイト関数を用い、ビット関数でピンIO8～IO11を用いて制御とアドレス指定を行うことができます。図3.8、3.9、および3.10を参照してください。IO0はデータのLSBを表します。バイトポートの方向は、アプリケーションの制御下で動的に入力と出力の間で切り替えられます(`io_set_direction()`)。

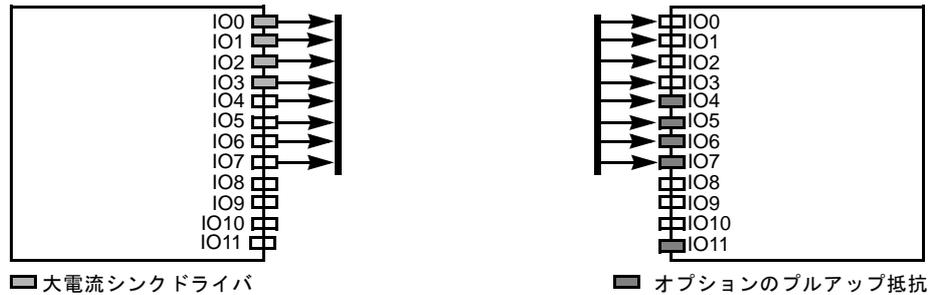
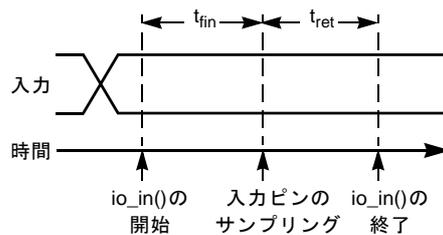
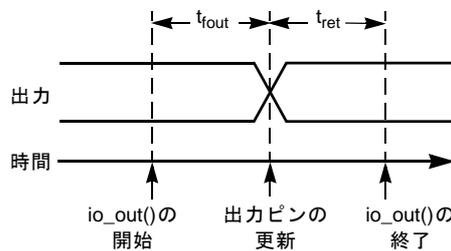


図3.8 バイトI/O



記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから入力サンプリングまで	24 $\mu$ s
$t_{ret}$	関数からのリターン	4 $\mu$ s

図3.9 バイト入力遅延時間値

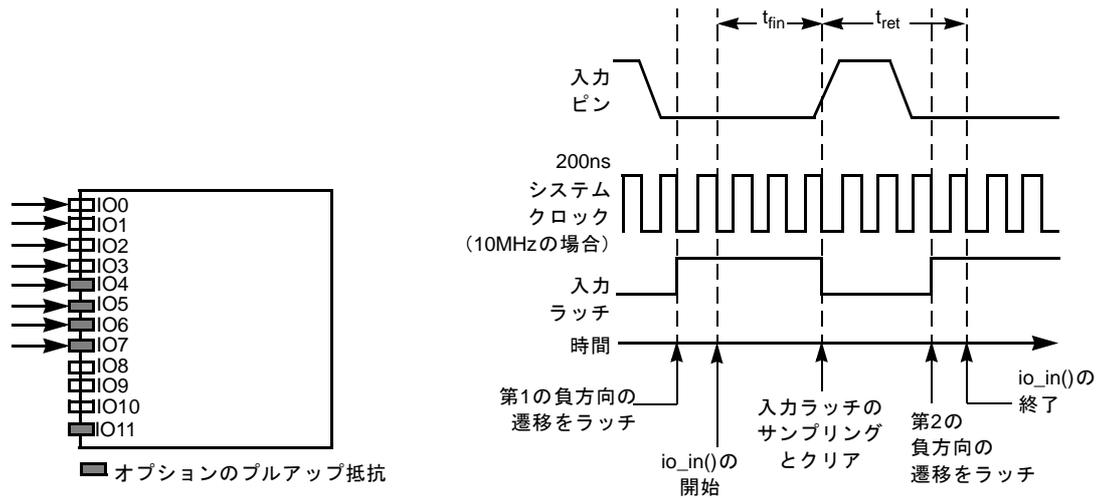


記号	説明	10MHzにおける標準値
$t_{fout}$	更新の関数コール	57 $\mu$ s
$t_{ret}$	関数からのリターン	5 $\mu$ s

図3.10 バイト出力遅延時間値

### レベル検出入力 (Leveldetect Input)

ピンIO0～IO7は、レベル検出入力ピンとして個別に構成することができ、10MHzクロックのPLスマートトランシーバの場合、最小LOWパルス幅200nsで負に向かう入力レベルの遷移をラッチします。これにより、ソフトウェアポーリングでは見逃される可能性がある短いパルス入力をアプリケーションで検出することが可能になります。これは、近接センサなどのデバイスを読み取るときに有用です。サンプリングされる前にラッチされる直接I/Oオブジェクトはこれだけです。別の遷移が起こる場合、ラッチはwhenステートメントのサンプリング中にクリアされ、その直後に再びセットすることができます (図3.11を参照)。



記号	説明	10MHzにおける標準値
$t_{fin}$	サンプリングの関数コール	
	IO0	35 $\mu$ s
	IO1	39.4 $\mu$ s
	IO2	43.9 $\mu$ s
	IO3	48.3 $\mu$ s
	IO4	52.7 $\mu$ s
	IO5	57.2 $\mu$ s
	IO6	61.6 $\mu$ s
IO7	66 $\mu$ s	
$t_{ret}$	関数からのリターン	32 $\mu$ s

図3.11 レベル検出入力遅延時間値

## ニブル入出力 (Nibble Input/Output)

ピンIO0～IO7の連続する4つのピンは、ニブル幅の入力または出力ポートとして構成し、0～15の整数を使用して読み取ったり書き込んだりすることができます。これは、BCDデータなどのデータを一度に4ビットずつ必要とするデバイスの駆動に便利です。たとえば、1つのニブルを用いて4x4キースイッチマトリクスをスキャンして出力を生成し（4つの行の中から1つを選択）、もう1つのニブルを用いてスイッチマトリクスの列から入力を読み取ることができます。図3.12、3.13、および3.14を参照してください。

ニブルポートの方向は、アプリケーションの制御下で動的に入力と出力の間で切り替えられます（『*Neuron C Programmer's Guide*』を参照）。入力データのLSBは、オブジェクト宣言によって決定され、IO0～IO4ピンのいずれの場合もあります。

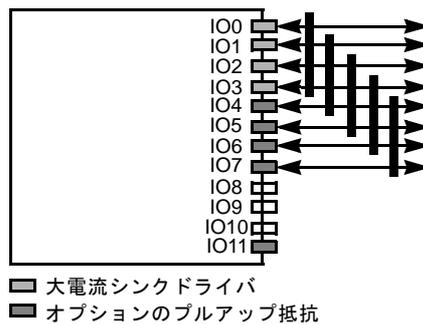
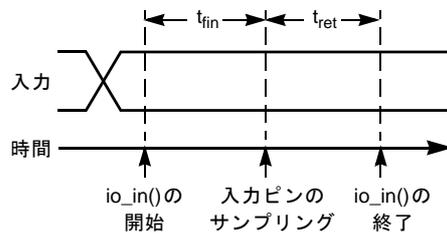
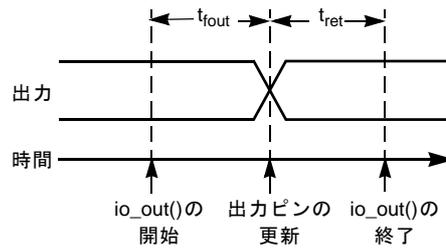


図3.12 ニブルI/O



記号	説明	10MHzにおける標準値
$t_{fin}$	サンプリングの関数コール IO0～IO4	41 $\mu$ s
$t_{ret}$	関数からのリターン	
	IO0	18 $\mu$ s
	IO1	22.8 $\mu$ s
	IO2	27.5 $\mu$ s
	IO3	32.3 $\mu$ s
	IO4	37 $\mu$ s

図3.13 ニブル入力遅延時間値



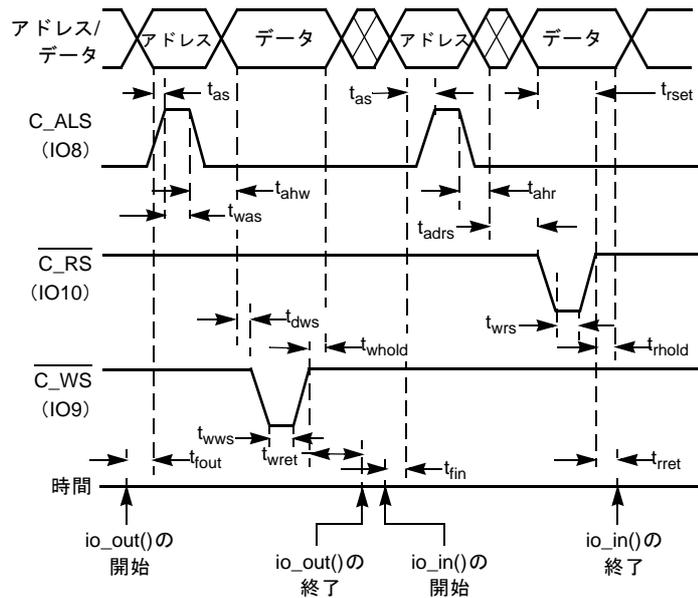
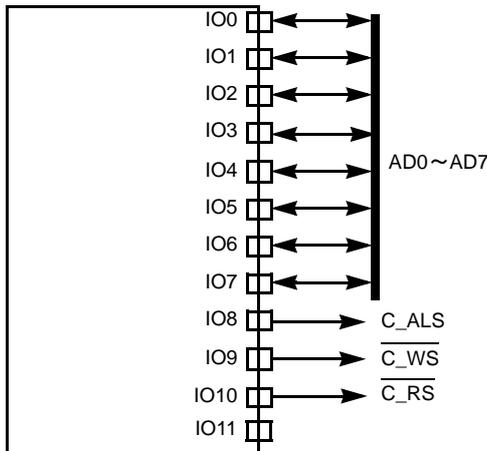
記号	説明	10MHzにおける標準値
$t_{fout}$	更新の関数コール IO0 IO1 IO2 IO3 IO4	78 $\mu$ s 89.8 $\mu$ s 101.5 $\mu$ s 113.3 $\mu$ s 125 $\mu$ s
$t_{ret}$	関数からのリターン IO0~IO4	5 $\mu$ s

図3.14 ニブル出力遅延時間値

## パラレルI/Oオブジェクト

### マルチプレクサバス入出力 (Muxbus Input/Output)

このI/Oオブジェクトを使用すると、PLスマートトランシーバと付属周辺デバイスまたはプロセッサ間でパラレルI/Oデータ転送を実行できます (図3.15を参照)。マルチプレクサバス入出力は、同期を確実にするためにトークンパッシング方式を用いるパラレル入出力オブジェクトと異なり、PLスマートトランシーバがすべての読み取りと書き込み動作を常時制御することを可能にします。これにより、付属デバイスはプロトコルを処理する負担から解放され、データスループット能力は低下するもののインターフェースが使いやすくなります。データバスは、最後に使用された状態に留まります。



注記：データは、C\_RS の立ち下がりエッジの 4.8 μs 後にラッチされます。

記号	説明	最小値	標準値	最大値
$t_{fout}$	io_out() からアドレス有効まで	—	26.4 μs	—
$t_{as}$	アドレス有効からアドレスストロブまで	—	10.8 μs	—
$t_{ahw}$	書き込みのアドレスホールド	—	4.8 μs	—
$t_{ahr}$	読み取りのアドレスホールド	—	6.6 μs	—
$t_{was}$	アドレスストロブ幅	—	6.6 μs	—
$t_{wrs}$	読み取りストロブ幅	—	10.8 μs	—
$t_{wws}$	書き込みストロブ幅	—	10.8 μs	—
$t_{dws}$	データ有効から書き込みストロブまで	—	6.6 μs	—
$t_{rset}$	読み取りセットアップ時間	10.8 μs	—	—
$t_{whold}$	書き込みホールド時間	4.2 μs	—	—
$t_{rhold}$	読み取りホールド時間	0 μs	—	—
$t_{adrs}$	アドレスDisableから読み取りストロブまで	—	7.2 μs	—
$t_{fin}$	io_in() からアドレス有効まで	—	26.4 μs	—
$t_{rret}$	読み取りからの関数のリターン	—	4.2 μs	—
$t_{wret}$	書き込みからの関数のリターン	—	4.2 μs	—

図3.15 マルチプレクサバスI/Oオブジェクト

## パラレル入出力 (Parallel Input/Output)

ピンIO0～IO10は、外部プロセッサへの接続用の3ビット制御ポートおよび双方向性8ビットデータとして構成することができます。もう一方のプロセッサは、コンピュータ、マイクロコントローラ、またはもう1つのPLスマートトランシーバ (ゲートウェイアプリケーション用) などになります。パラレルインターフェースは、マスター、スレーブA、またはスレーブBモードに構成することができます。通常、2つのPLスマートトランシーバをマスター/スレーブAモードで接続する構成か、1つのスマートトランシーバをもう1つのマイクロプロセッサとスレーブB構成で (もう一方のマイクロプロセッサをマスターとして) 接続する構成のどちらかになります。いずれのモードの場合も、ハンドシェイクを用いて命令の実行が制御され、アプリケーション処理は転送中 (最大255バイト/転送) に一時停止されます。プログラミングの詳細説明については、『*Neuron C Reference Guide*』を参考にしてください。

リセット状態になると、マスタープロセッサは、スレーブからのハンドシェイク (HS) ラインのLOW遷移を監視し、同期のためにCMD\_RESYNC (0x5A) を渡します。ウォッチドッグリセットエラー状態を避けるため、これは、10MHz動作のスマートトランシーバスレーブの場合にはリセットがHIGHになってから0.84秒以内に行う必要があります (『*Neuron C Programmer's Guide*』を参照)。CMD\_RESYNCの後、スレーブがCMD\_ACKSYNC (0x07) で確認応答します。この同期により、データ転送が起こる前に両方のプロセッサが正しくリセットされるようになります。2つのPLスマートトランシーバを接続するときは、これらの文字が自動的に渡されます (本節後出のフローテーブルの図を参照)。ただし、パラレルI/Oを用いてPLスマートトランシーバをもう1つのマイクロプロセッサに接続する場合、そのマイクロプロセッサはPLスマートトランシーバのパラレルI/O機能が自動的に生成するインターフェース信号および文字を再現する必要があります。

詳細については、『*Parallel I/O Interface to the Neuron Chip*』技術資料を参照してください。

本節で示すタイミング数値は、*when*節を使用した明示的I/Oコールおよび暗示的I/Oコールのいずれにも有効であり、10MHz動作のPLスマートトランシーバを想定しています。

### マスター/スレーブAモード

このモードは、2つのPLスマートトランシーバを接続するときに推奨されます。マスター/スレーブA構成においては、マスターがチップセレクトとしてIO8を駆動し、読み取りまたは書き込みサイクルを指定するためにIO9を駆動する一方で、スレーブがハンドシェイク (HS) 確認応答としてIO10を駆動します (図3.16を参照)。最大データ転送レートは、1バイト/4プロセッサ命令サイクル、つまり入力クロックレートが10MHzのときに2.4μs/バイトです。データ転送レートは、入力クロックレートに正比例します (マスターの書き込みはスレーブの読み取りです)。PLスマートトランシーバがマスターの場合のタイミング (図3.17) は、10MHzにおける出力タイミングの測定値を参照します。各バイト書き込みまたはバイト読み取りの後、スレーブが処理を完了して (HS=0のとき)、次のバイト転送を受け取る準備ができていることを確認するため、HSラインがマスターによって監視されます。これは、PLスマートトランシーバ間の (マスター/スレーブAモード) データ転送の際に自動的に行われます。HSラインを10 kΩ抵抗でプルアップし (非アクティブ)、スレーブリセット後の再同期が正しいことを確認してください。図3.18は、スレーブAのタイミングを示したものです。

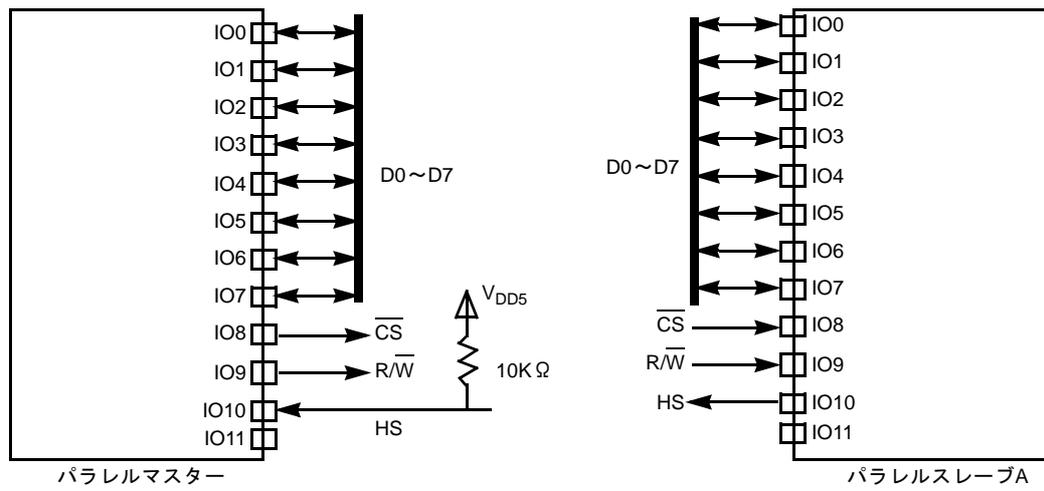
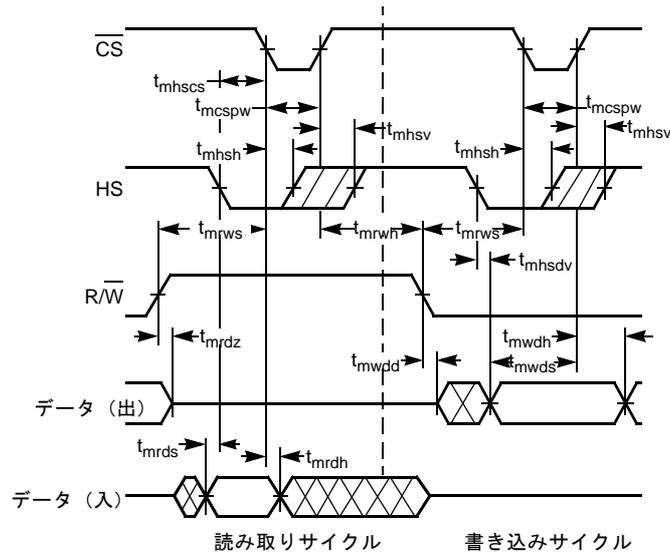


図3.16 パラレルI/O-マスターおよびスレーブA



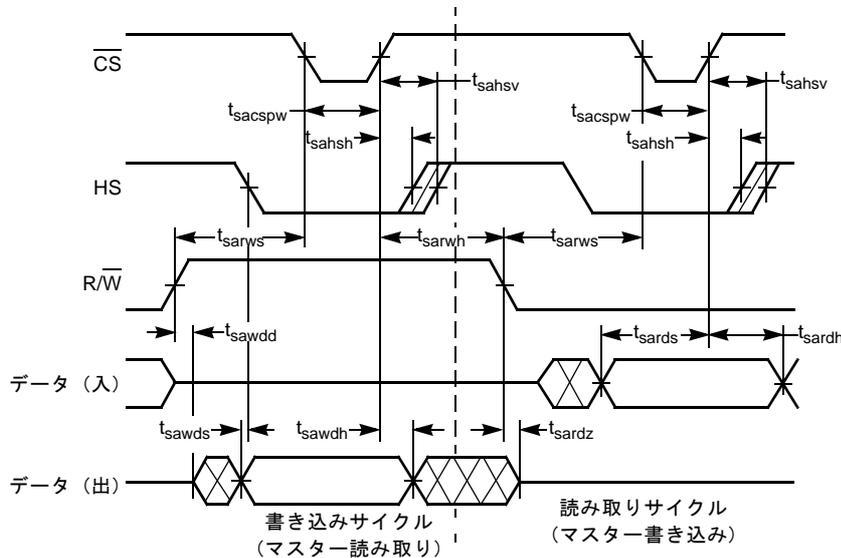
記号	説明	最小値	標準値	最大値
$t_{mrws}$	$\overline{CS}$ の立ち下がりエッジの前の $\overline{R/\overline{W}}$ セットアップ (注記6)	150 ns	3 XIN	—
$t_{mrwh}$	$\overline{CS}$ の立ち上がりエッジの後の $\overline{R/\overline{W}}$ ホールド	100 ns	—	—
$t_{mcsppw}$	$\overline{CS}$ パルス幅 (注記6)	150 ns	2 XIN	—
$t_{mhsh}$	$\overline{CS}$ の立ち下がりエッジの後のHSホールド	0 ns	—	—
$t_{mhsv}$	$\overline{CS}$ の立ち上がりエッジの後でファームウェアがHSをチェック (注記6)	150 ns	10 XIN	—
$t_{mrdz}$	$\overline{R/\overline{W}}$ の立ち上がりエッジの後でマスターが「データ」をスリーステート化 (注記1、2)	—	0	25 ns
$t_{mrds}$	HSの立ち下がりエッジの前の読み取りデータセットアップ (注記3)	0 ns	—	—
$t_{mhscs}$	HS LOWから $\overline{CS}$ の立ち下がりエッジまで (注記4、6)	2 XIN	6 XIN	—
$t_{mrdh}$	$\overline{CS}$ の立ち下がりエッジの後の読み取りデータホールド	0 ns	—	—
$t_{mwdd}$	$\overline{R/\overline{W}}$ の立ち下がりエッジの後でマスターが「データ」を駆動 (注記1、.6)	150 ns	2 XIN	—
$t_{mhsv}$	HS LOWからデータ有効まで (注記4)	—	50 ns	—
$t_{mwds}$	$\overline{CS}$ の立ち上がりエッジの前の書き込みデータセットアップ (注記6)	150 ns	2 XIN	—
$t_{mwdh}$	$\overline{CS}$ の立ち上がりエッジの後の書き込みデータホールド (注記5)	注記5	—	—

図3.17 マスターモードのタイミング

注記：

1. 測定の詳細については、『PL 3120 and PL 3150 Smart Transceiver Datasheet』を参照してください。
2. PL スマートトランシーバ間の動作では、ファームウェアによってバス競合 ( $t_{mrdz}$ 、 $t_{sawdd}$ ) が防止されているため、トークンがマスターとスレーブの間で渡されるときにゼロ状態が保証されます。詳細については、『Parallel I/O Interface to the Neuron Chip』技術資料を参照してください。
3. HS HIGH は、スレーブのビジーフラグとして使用されます。HS が LOW に保持されると、最大データ転送レートはバイトあたり24 XIN (10MHzで2.4  $\mu$ s) になります。HS がフラグとして使用されていないときは、スレーブの準備ができる前にマスターがデータ転送を開始しないように注意する必要があります。
4. PL スマートトランシーバとのインターフェースの設計を支援するために、パラメータが追加されています。
5. マスターは、スレーブデバイスがHSをHIGHに引き上げるまで、書き込み中に出力データを有効なまま保持します。
6. XINは、PLスマートトランシーバ入力クロックの周期 (10MHzのとき100 ns) を表します。

7. マスター読み取りのとき、 $\overline{\text{CS}}$  は、パルス的に LOW になることで、データがラッチインされたというフラグをスレーブに対して出すハンドシェイクの役割を果たします。



記号	説明	最小値	標準値	最大値
$t_{\text{sarws}}$	$\overline{\text{CS}}$ の立ち下がりエッジの前の $\overline{\text{R/W}}$ セットアップ	25 ns	—	—
$t_{\text{sarwh}}$	$\overline{\text{CS}}$ の立ち上がりエッジの後の $\overline{\text{R/W}}$ ホールド	0 ns	—	—
$t_{\text{sacspw}}$	$\overline{\text{CS}}$ パルス幅	45 ns	—	—
$t_{\text{sahsh}}$	$\overline{\text{CS}}$ の立ち上がりエッジの後のHSホールド	0 ns	—	—
$t_{\text{sahsv}}$	$\overline{\text{CS}}$ の立ち上がりエッジの後のHS有効	—	—	50 ns
$t_{\text{sawdd}}$	$\overline{\text{R/W}}$ の立ち上がりエッジの後でスレーブAが「データ」を駆動 (注記1、2)	0 ns	5 ns	—
$t_{\text{sawds}}$	HSの立ち下がりエッジの前の書き込みデータ有効 (注記4)	150 ns	2 XIN	—
$t_{\text{sawdh}}$	$\overline{\text{CS}}$ の立ち上がりエッジの後の書き込みデータ有効 (注記4)	150 ns (注記3)	2 XIN	—
$t_{\text{sardz}}$	$\overline{\text{R/W}}$ の立ち下がりエッジの後でスレーブAが「データ」をスリーステート化 (注記1)	—	—	50 ns
$t_{\text{sards}}$	$\overline{\text{CS}}$ の立ち上がりエッジの前の読み取りデータセットアップ	25 ns	—	—
$t_{\text{sardh}}$	$\overline{\text{CS}}$ の立ち上がりエッジの後の読み取りデータホールド	10 ns	—	—

図3.18 スレーブAモードのタイミング

注記：

1. 測定の詳細については、『PL 3120 and PL 3150 Smart Transceiver Datasheet』を参照してください。
2. PL スマートトランシーバ間の動作では、ファームウェアによってバス競合 ( $t_{\text{mrdz}}$ 、 $t_{\text{sawdd}}$ ) が防止されているため、トークンがマスターとスレーブの間で渡されるときにゼロ状態が保証されます。詳細については、『Parallel I/O Interface to the Neuron Chip』技術資料を参照してください。
3.  $t_{\text{sarwh}}$ が150ns未満のとき、 $t_{\text{sawdh}} = t_{\text{sarwh}}$  です。
4. XINは、スマートトランシーバ入力クロックの周期 (10MHzのとき100 ns) を表します。
5. スレーブ A モードにおいては、HS 信号は最小4XIN 周期の間 HIGH になります。4XIN 周期は、連続したデータ読み取りまたは連続したデータ書き込み中にHSがHIGHである時間の標準値でもあります。

### スレーブBモード

スレーブBモードは、スレーブとして動作するPLスマートトランシーバをマスターとして動作するもう1つのマイクロプロセッサに接続するときに推奨されます。PLスマートトランシーバは、スレーブBモードに構成されている場合、IO8をチップセレクト、IO9をマスターによる読み取りまたは書き込みの指定、IO10をレジスタ選択入力として受け入れます。 $\overline{CS}$ がアサートされ、IO10がLOWまたはHIGHであり、 $R/\overline{W}$ がLOWのとき、ピンIO0~IO7は双方向データバスを形成します。IO10がHIGHで、 $R/\overline{W}$ がHIGHであり、 $\overline{CS}$ がアサートされているとき、IO0はマスターへのHS確認応答信号として駆動されます。

PLスマートトランシーバは、マスターのアドレス空間において2つのレジスタのように見える場合があります。つまり、一方のレジスタは読み取り/書き込みデータレジスタであり、他方は読み取り専用ステータスレジスタのように見えます。そのため、マスターによる奇数アドレスの読み取りでは、ハンドシェイク確認応答のためにステータスレジスタがアクセスされ、その他すべての読み取りまたは書き込みでは、I/O転送のためにデータレジスタがアクセスされます。制御レジスタのLSB（ピンIO0を通じて読み取られます）は、HSビットです。各マスター読み取りまたは書き込みの後で、マスターはHSビットを読み取ります。D0/HSラインを10kΩ抵抗でプルアップし（非アクティブ）、リセット後の再同期が正しいことを確認してください。

PLスマートトランシーバのスレーブBモードは、別のマイクロプロセッサのスレーブとして動作する場合、すべてのハンドシェイクとトークンパスを自動的に処理します。ただし、マスターマイクロプロセッサは、各トランザクションの後でHSビットを読み取らなければならないが、また内部でトークンパスを追跡する必要があります。通常、マスターのアドレスバスのLSBはPLスマートトランシーバのIO10ピンに接続されているため、このモードは、メモリマップされたI/Oを使用するマスタープロセッサ用に設計されています。このことは、図3.19および3.20に示されています。

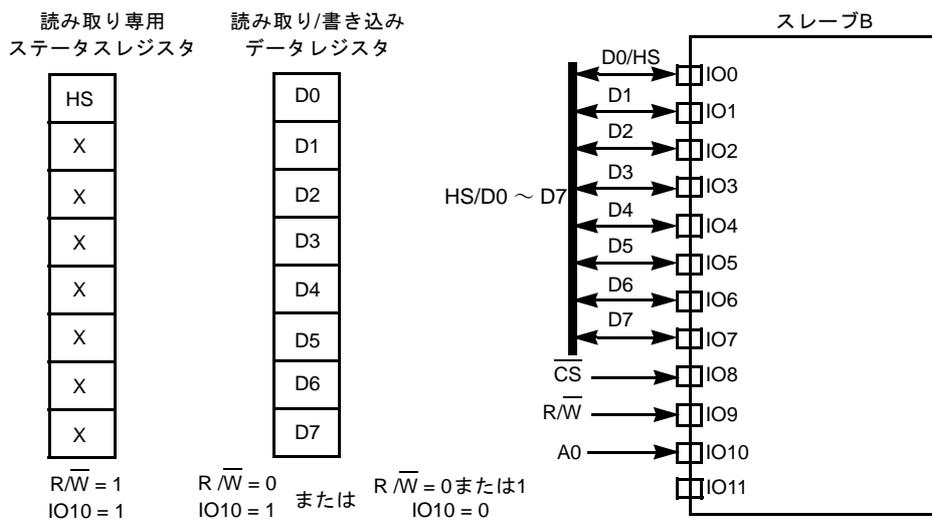
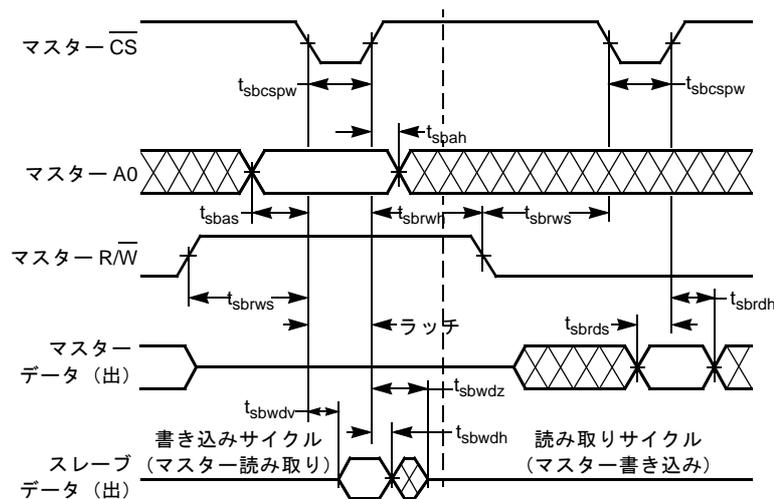


図3.19 パラレルI/Oマスター/スレーブB  
(メモリマップされたI/OデバイスとしてのPLスマートトランシーバ)



記号	説明	最小値	標準値	最大値
$t_{sbrws}$	CSの立ち下がりエッジの前のR/Wセットアップ PL 3120およびPL 3150スマートトランシーバ	0 ns	—	—
$t_{sbrwh}$	CSの立ち上がりエッジの後のR/Wホールド	0 ns	—	—
$t_{sbcspw}$	CSパルス幅	注記1	—	—
$t_{sbas}$	CSの立ち下がりエッジに対するA0セットアップ	10 ns	—	—
$t_{sbah}$	CSの立ち上がりエッジの後のA0ホールド	0 ns	—	—
$t_{sbw dv}$	CSから書き込みデータ有効まで	—	—	50 ns
$t_{sbw dh}$	CSの立ち上がりエッジの後の書き込みデータホールド (注記2、3)	0 ns	30 ns	—
$t_{sbw dz}$	CSの立ち上がりエッジからスレーブBがデータバスをリリースするまで (注記2)	—	—	50 ns
$t_{sbr ds}$	CSの立ち上がりエッジの前の読み取りデータセットアップ	25 ns	—	—
$t_{sbr dh}$	CSの立ち上がりエッジの後の読み取りデータホールド	10 ns	—	—

図3.20 スレーブBモードのタイミング

注記：

- スレーブ B の書き込みサイクル (マスター読み取り)  $\overline{CS}$  パルス幅は、スレーブ B 書き込みデータ有効パラメータおよびマスター読み取りセットアップパラメータに直接関係しています。特別なアプリケーションで使用するための書き込みサイクルCSの持続時間を計算するには、次式を用いてください。  
 $t_{sbcspw} = t_{sbw dv} + \overline{CS}$  の立ち上がりエッジの前のマスターの読み取りデータセットアップ  
 マスターの読み取りセットアップパラメータについては、マスターの仕様データブックを参照してください。スレーブの読み取りサイクル最小CSパルス幅は50 nsです。
- 測定の詳細については、『PL 3120 and PL 3150 Smart Transceiver Datasheet』を参照してください。
- データホールドパラメータ  $t_{sbw dh}$  は、従来のデータ無効 (Invalid) レベルに対してではなく、『PL 3120 and PL 3150 Smart Transceiver Datasheet』に示すDisableレベルに対して測定されます。
- スレーブ B 書き込みサイクルにおけるタイミングパラメータは、制御レジスタ (HS) 書き込み用とデータ書き込み用で同一です。
- 特別なアプリケーション： $\overline{CS}$  の状態と  $\overline{R/W}$  の両方が、スレーブ B の書き込みサイクルを決定します。 $\overline{CS}$  をデータ転送に使用できない場合、ハードウェアを変更しなくても  $\overline{R/W}$  ラインのトグルを用いることができます。つまり、スレーブ B の書き込みサイクル中にCSがLOWに保持されている場合、 $\overline{R/W}$  への正のパルス (LOWからHIGHへ、そして再びLOWへ) によりデータ転送を実行できます。 $\overline{R/W}$  のLOWからHIGHへの遷移により、スレーブBは、 $t_{sbw dv}$  (再定義された $\overline{R/W}$ から書き込みデータ有効まで) と同じタイミングパラメータでデータを駆動します。同様に、 $\overline{R/W}$  の立ち下がりエッジにより、スレーブBは、 $t_{sbw dz}$  におけるCSの立ち上がりエッジと同じタイミングリミットでデータバスをリリースします。このシナリオは、スレーブBの書き込みサイクルにのみ当てはまり、スレーブBの読み取りサイクルやスレーブAのデータ

トランザクションには当てはまりません。このアプリケーションは、マスターが別々の読み取り信号と書き込み信号を持っているがCS信号を持っていない場合に有用となる可能性があります。転送の前にバスを確実にフリーにしてバスの競合を避ける必要があります。

## シリアルI/Oオブジェクト

本節で示すタイミング数値は、*when*節を使用した明示的I/Oコールおよび暗示的I/Oコールのいずれにも有効であり、10MHz動作のPLスマートトランシーバを想定しています。

### ビットシフト入出力 (Bitshift Input/Output)

隣接するピンのペアは、シリアル入力または出力ラインとして構成することができます。ペアの第1のピンは、IO0～IO6、IO8、またはIO9となり、クロックとして使用されます (PLスマートトランシーバが駆動)。隣接するI/Oピンのうち番号が最大のものは、最大16ビットのシリアルデータ用に使用されます。入力クロックレートが10MHzのとき、ビットレートは、1kbps、10kbps、または15kbpsに設定できます。ビットレートは入力クロックレートに比例します。アクティブクロックエッジとしては、立ち上がりまたは立ち下がり指定することができます。このオブジェクトは、シフトレジスタを用いてデータを外部ロジックに転送するのに便利です。この関数は、動作が完了するまでアプリケーション処理を一時停止します (図3.21、3.22、および3.23を参照)。

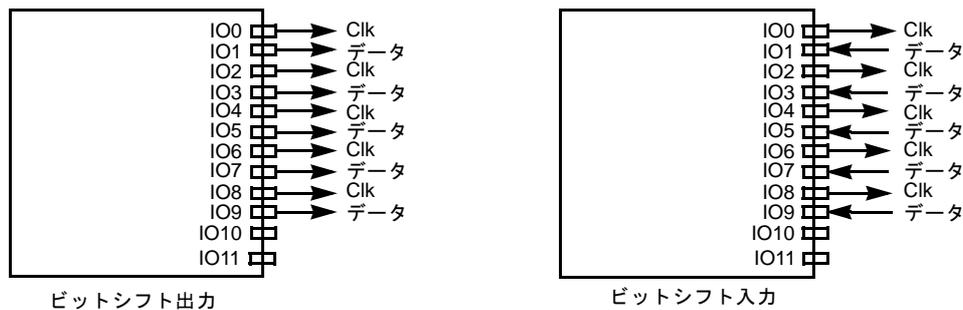
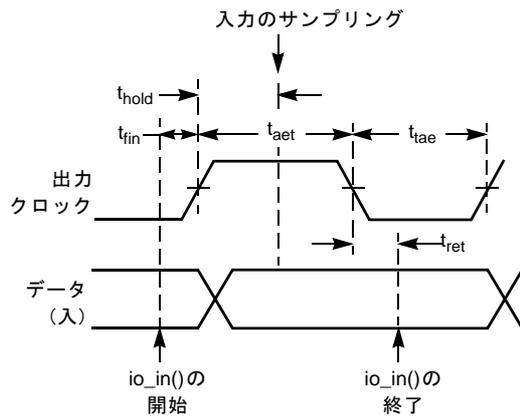


図3.21 ビットシフトI/Oの例

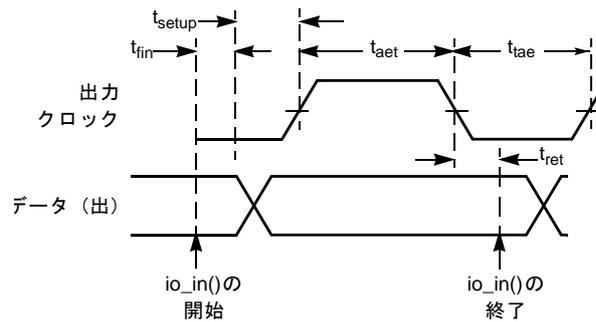
ビットシフト入力の場合、クロック出力は、データの最初のビットの開始と同時に (非アクティブレベルに) 否アサートされます。ビットシフト出力の場合、クロック出力は、データの最初のビットの前に非アクティブになっています (ただし、ビット出力オーバーレイによってオーバーライドされない場合に限られます)。



上の図では、アクティブクロックエッジは正であると仮定されています。

記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから最初のエッジまで	156.6 $\mu$ s
$t_{ret}$	関数からのリターン	5.4 $\mu$ s
$t_{hold}$	アクティブクロックエッジから入力データのサンプリングまで ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	9 $\mu$ s 40.8 $\mu$ s 938.2 $\mu$ s
$t_{aet}$	アクティブクロックエッジから次のクロック遷移まで ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	31.8 $\mu$ s 63.6 $\mu$ s 961 $\mu$ s
$t_{ae}$	クロック遷移から次のアクティブクロックエッジまで ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	14.4 $\mu$ s 14.4 $\mu$ s 14.4 $\mu$ s
$f$	クロック周波数 = $1/(t_{aet} + t_{ae})$ ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	21.6 kHz 12.8 kHz 1.03 kHz

図3.22 ビットシフト入力遅延時間値



上の図では、アクティブクロックエッジは正であると仮定されています。

記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから最初のデータ出力が安定するまで 16ビットシフトカウント 1ビットシフトカウント	185.3 $\mu$ s 337.6 $\mu$ s
$t_{ret}$	関数からのリターン	10.8 $\mu$ s
$t_{setup}$	データ出力が安定してからアクティブクロックエッジまで ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	10.8 $\mu$ s 10.8 $\mu$ s 10.8 $\mu$ s
$t_{aet}$	アクティブクロックエッジから次のクロック遷移まで ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	10.2 $\mu$ s 42 $\mu$ s 939.5 $\mu$ s
$t_{tae}$	クロック遷移から次のアクティブクロックエッジまで ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	34.8 $\mu$ s 34.8 $\mu$ s 34.8 $\mu$ s
$f$	クロック周波数 = $1/(t_{aet} + t_{tae})$ ビットレート15 kbps ビットレート10 kbps ビットレート1 kbps	22 kHz 13 kHz 1.02 kHz

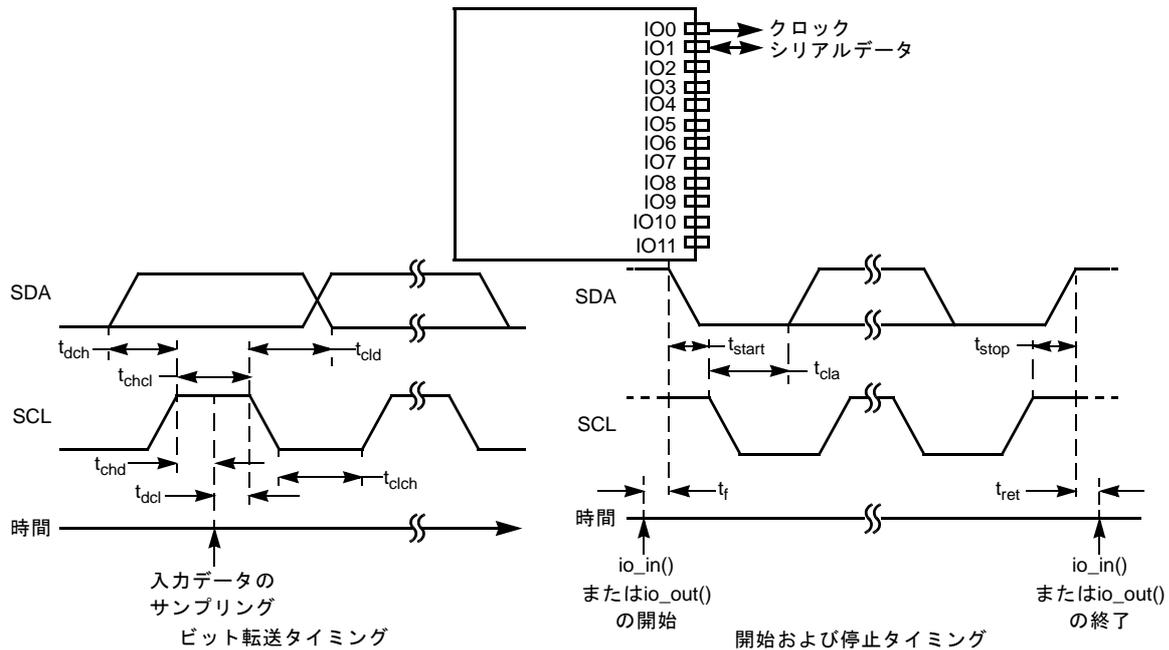
図3.23 ビットシフト出力遅延時間値

## I<sup>2</sup>C入出力 (I<sup>2</sup>C Input/Output)

このI/Oオブジェクトは、Philips Semiconductor社のInter-Integrated Circuit (I<sup>2</sup>C) バスプロトコルに準拠するデバイスにPLスマートトランシーバを接続するために使用されます。PLスマートトランシーバは常にマスターとなり、IO8がシリアルクロック (SCL)、IO9がシリアルデータ (SDA) です。別方法として、IO0をシリアルクロック (SCL)、IO1をシリアルデータ (SDA) として使用することもできます。これらのI/Oラインは、I<sup>2</sup>Cプロトコルの特殊な要件を満たすためにオープンドレインモードで動作します。PLスマートトランシーバをI<sup>2</sup>Cデバイスに接続する際、2つのプルアップ抵抗を除き、外部部品を追加する必要はありません。

一度に最大255バイトのデータを転送することができます。すべての転送の開始時には、I<sup>2</sup>Cの「開始条件」の直後に右寄せの7ビットI<sup>2</sup>Cアドレス引数がバスに送り出されます。

このプロトコルの詳細については、Philips Semiconductor社のI<sup>2</sup>C資料を参照してください。



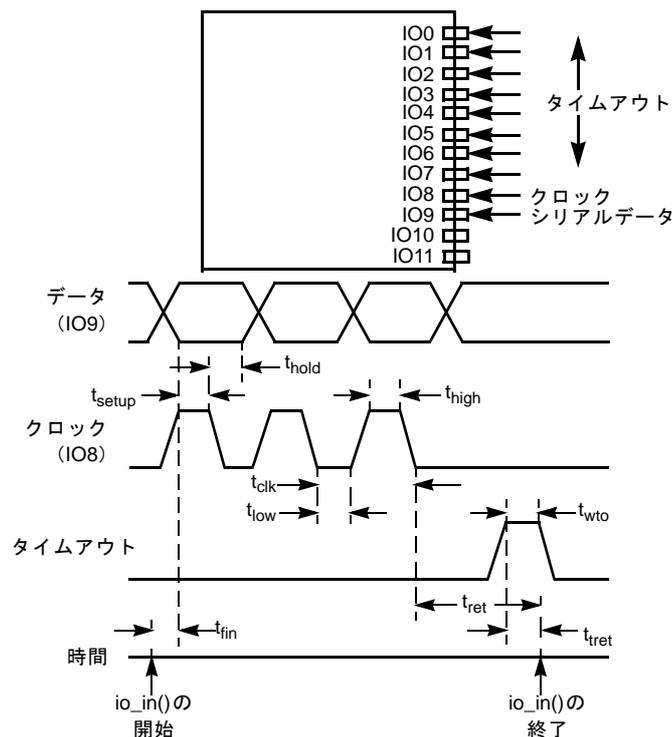
パラメータ	説明	最小値	標準値	最大値
$t_r$	I/Oコールから開始条件まで $io\_in()$ $io\_out()$	— —	54.6 $\mu$ s 43.4 $\mu$ s	— —
$t_{start}$	開始条件の終了 $io\_in()$ $io\_out()$	5.4 $\mu$ s 5.4 $\mu$ s	— —	— —
$t_{cla}$	開始の終了からアドレスの開始まで $io\_in()$ $io\_out()$	24.0 $\mu$ s 24.0 $\mu$ s	— —	— —
$t_{cld}$	$io\_out()$ のSCL LOWからデータまで	24.6 $\mu$ s	—	—
$t_{dch}$	$io\_out()$ のデータからSCL HIGHまで	7.2 $\mu$ s	—	—
$t_{chcl}$	$io\_out()$ のクロック HIGHからクロック LOWまで	12.6 $\mu$ s	—	—
$t_{chd}$	$io\_in()$ のSCL HIGHからデータサンプリングまで	13.2 $\mu$ s	—	—
$t_{dcl}$	$io\_in()$ のデータサンプリングからSCL LOWまで	7.2 $\mu$ s	—	—
$t_{clch}$	$io\_in()$ のクロック LOWからクロック HIGHまで	24.0 $\mu$ s	—	—
$t_{stop}$	クロック HIGHからデータまで $io\_in()$ $io\_out()$	12.6 $\mu$ s 12.6 $\mu$ s	— —	— —
$t_{ret}$	SDA HIGHから関数のリターンまで $io\_in()$ $io\_out()$	— —	— —	4.2 $\mu$ s 4.2 $\mu$ s

図3.24 I<sup>2</sup>C I/Oオブジェクト

## マグカード入力 (Magcard Input)

このI/Oオブジェクトは、ISO 7811トラック2磁気ストライプカードリーダーからリアルタイムで同期シリアルデータを転送するために使用されます。データはIO9のデータ信号入力として提示され、クロック（データストロブ）信号はピンIO8に提示されます。ピンIO9のデータは、IO8のクロック信号の立ち下がり（負）エッジと同時にまたはその直後に、LSBを先頭にクロック同期入力されます。さらに、ピンIO0～IO7のうちの任意の1つをタイムアウトピンとして用いることにより、入力プロセス中に入力ビットストリームが異常終了した場合のロックアップを防ぐことができます。

一度に最大40文字まで読み取ることができます。パリティおよび水平冗長チェック（LRC）はともに、PLスマートトランシーバによってチェックされます。



記号	説明	最小値	標準値	最大値
$t_{fin}$	関数コールから最初のクロック入力まで	—	45.0 $\mu$ s	—
$t_{hold}$	データホールド	0 $\mu$ s	—	—
$t_{setup}$	データセットアップ	0 $\mu$ s	—	—
$t_{low}$	クロックLOWの幅	60 $\mu$ s	—	—
$t_{high}$	クロックHIGHの幅	60 $\mu$ s	—	—
$t_{wto}$	タイムアウトパルスの幅	60 $\mu$ s	—	—
$t_{clk}$	クロック周期	120 $\mu$ s	—	—
$t_{ret}$	タイムアウトからのリターン	21.6 $\mu$ s	—	81.6 $\mu$ s
$t_{ret}$	関数からのリターン	—	—	301.8 $\mu$ s

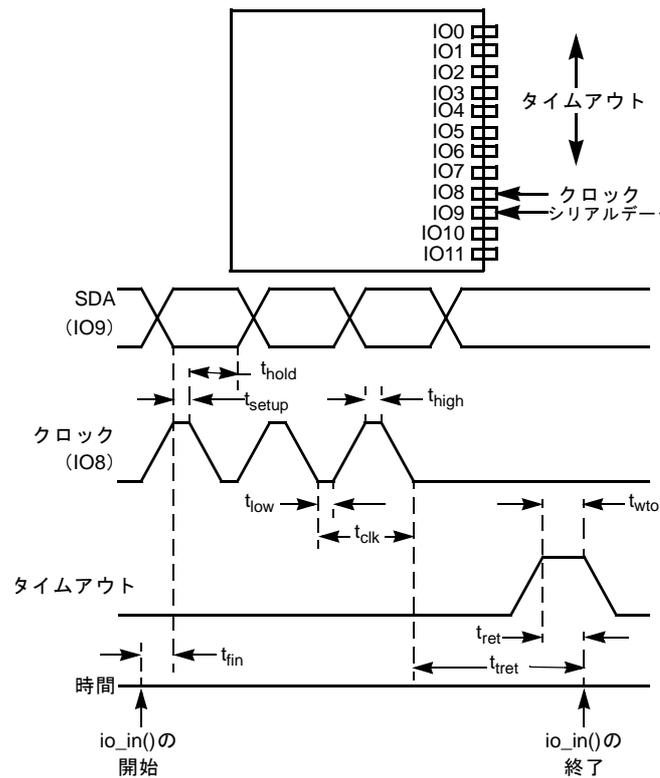
図3.25 マグカード入力オブジェクト

10MHz動作のPLスマートトランシーバは、最大8334ビット/秒のビットレートで処理する能力を備えています（ビット密度75ビット/インチ）。これは、カード速度として111インチ/秒に相当します。ほとんどの磁気カードストライプでは、カードの開始部分にゼロデータが15ビットシーケンス含まれていますが、これはアプリケーション

ンがカード読み取り機能を開始するための時間的余裕を与えるためです。8334 ビット/秒のとき、この期間は約 1.8msです。スケジューラの遅延時間が1.8msよりも長い場合、io\_in() 関数はデータストリームの前端を見逃します。ビットレート処理能力は入力クロックレートに比例します。

### マグトラック1入力 (Magtrack1 Input)

この入力オブジェクトタイプは、ISO3554 磁気ストライプカードリーダーから同期シリアルデータを読み取るために使用されます。データ入力はIO9に入り、クロック (データストロブ) はピンIO8に入力として提示されます。ピンIO9のデータは、IO7のクロック信号の立ち上がり (負) エッジの直後に、LSBを先頭にクロック同期入力されます。



記号	説明	最小値	標準値	最大値
$t_{fin}$	関数コールから最初のクロック入力まで	—	45.0 $\mu$ s	—
$t_{hold}$	データホールド	$t_{low}$	—	$t_{clk}$
$t_{setup}$	データセットアップ	0 $\mu$ s	—	—
$t_{low}$	クロックLOWの幅	31 $\mu$ s	—	—
$t_{high}$	クロックHIGHの幅	31 $\mu$ s	—	—
$t_{wto}$	タイムアウトパルスの幅	60 $\mu$ s	—	—
$t_{clk}$	クロック周期	138 $\mu$ s	—	—
$t_{ret}$	タイムアウトからのリターン	21.6 $\mu$ s	—	81.6 $\mu$ s
$t_{ret}$	関数からのリターン	—	—	301.8 $\mu$ s

図3.26 マグトラック1入力オブジェクト

全ビットサイクルの最小周期 ( $t_{clk}$ ) は、 $t_{low}$  と  $t_{high}$  の合計よりも大きくなります。 $t_{setup}$  と  $t_{hold}$  の時間は、 $t_{low}$  の間データが安定となる値に指定する必要があります。

データは、一連の6ビット文字と1つの偶数パリティビット/文字としてIATAフォーマットで認識されます。プロセスは、開始タグ (hex 05) が認識されたときに始まり、終了タグ (0x0F) が認識されるまで続きます。読み取られるのは79文字以下です。これには2つのタグと1つのLRC文字が含まれます。データは、`io_in()` 関数のバッファポインタ引数により指定されるバッファスペースに、右寄せバイトとして保存されます。このときパリティは奪われ、開始タグおよび終了タグが含まれるようになります。このバッファの長さは78バイトになります。

マグトラック1入力オブジェクトは、オプションでIO0～IO7のうちの1つをタイムアウト/アボートピンとして使用することができます。カードが転送プロセスの途中で停止した場合、クロック待機状態中にウォッチドッグタイマが`io_in()` 関数によって更新され、ロックアップが生じる可能性があるため、この機能を使用することをお勧めします。I/Oタイムアウトピンでロジック1レベルが検出されると、`io_in()` 関数はアボートします。この入力、ワンショットタイマカウンタ出力、R/C回路、またはカードリーダーからのDATA\_VALID信号のいずれでもかまいません。

クロックレート10MHzのPLスマートトランシーバは、ストロブ信号のデューティサイクルが1/3 ( $t_{high} = 46 \mu s$ 、 $t_{low} = 92 \mu s$ ) であるときに最大7246ビット/秒の着信ビットレートを処理できます。これは、ビット密度が210ビット/インチのとき、カード速度が34.5インチ/秒になることを意味します。ビットレート処理能力は、PLスマートトランシーバの入力クロックレートに比例します。

## マグカードビットストリーム入力 (Magcard Bitstream Input)

`magcard_bitstream` I/Oオブジェクトは、大半の磁気ストライプリーダーからの未処理シリアルデータストリームをリアルタイムで読み取ることを可能にします。この関数を使えば、磁気カードデータは特定のフォーマットに従う必要がないため、データを前後どちらの方向にも読み取れます。

このI/Oオブジェクトは、最大65,535ビットのデータ (8192バイトのデータに格納) を磁気ストライプカードリーダーから読み取ることができます。

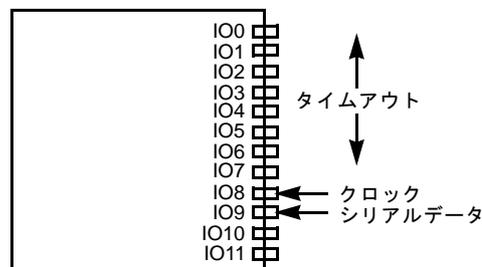


図3.27 マグカードビットストリーム入力

## Neurowire入出力オブジェクト (Neurowire Input/Output Object)

Neurowireオブジェクトは、周辺デバイスに全二重同期転送でデータを送ります。このオブジェクトは、マスター (クロック同期出力を駆動) またはスレーブ (クロック同期入力を受付) として動作することができます。マスターおよびスレーブのどちらの場合でも、一度に最大255ビットのデータを転送可能です。Neurowire I/Oは、動作が完了するまでアプリケーション処理を一時停止します。Neurowireオブジェクトは、モトローラ社のSPIまたはNational Semiconductor社のMICROWIRE™インターフェースに適合するシリアルインターフェースを用いたディスプレイドライバおよびA/D、D/Aコンバータなどの外部デバイスに対して有用です。

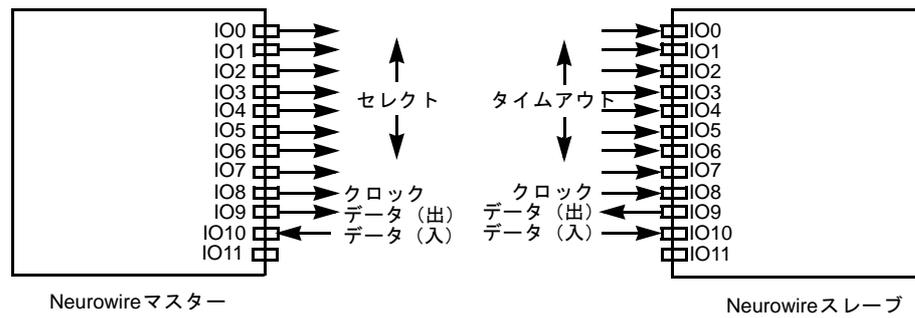
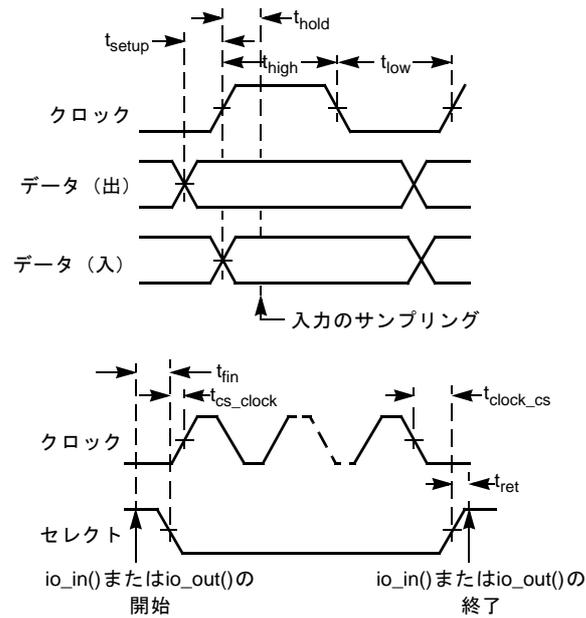


図3.28 Neurowire入出力

### Neurowire マスターモード

Neurowire マスターモードのI/Oオブジェクトは、レガシーデバイスのサポート用に引き続き提供されています。エシロン社は、レガシーソフトウェアI/Oオブジェクトの代わりにハードウェアSPIを使用することをお勧めしています（本書後出の「SPI入出力 (SPI Input/Output)」節を参照）。ハードウェアSPIは大幅に高い性能を実現し、しかもソフトウェアオーバーヘッドは小さくなります。

Neurowire マスターモードでは、ピンIO8がクロック（PLスマートトランシーバにより駆動）、IO9がシリアルデータ出力、そしてIO10がシリアルデータ入力です。シリアルデータはピンIO9からクロック同期出力されますが、これと同時にIO10にデータがクロック同期入力されます。デフォルトの場合、データはクロック信号の立ち上がりエッジでクロック同期されます。*clockedge* キーワードは、クロックのアクティブエッジを負に変更します。さらに、IO0～IO7ピンのうちの1つ以上をチップセレクトとして使用することができます。これにより、複数のNeurowire デバイスを3ワイヤバスに接続することが可能になります。入力クロックレートが10MHzのとき、クロックレートは1kpbs、10kpbs、または20kpbsに指定できます。これらの値は入力クロックに比例します（図3.29を参照）。



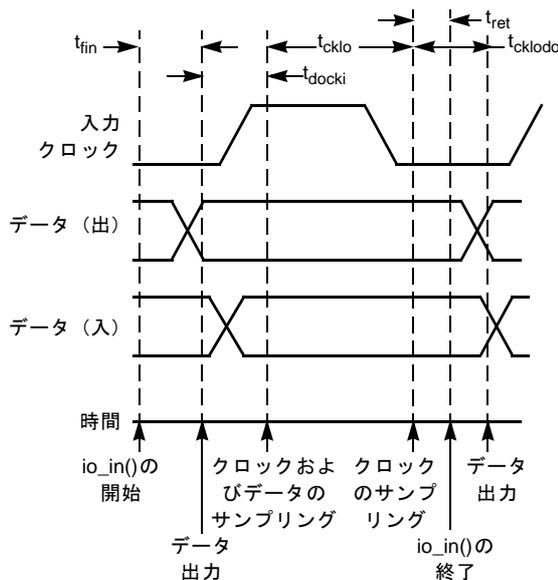
パラメータ	説明	標準値
$t_{fin}$	関数コールから $\overline{CS}$ アクティブまで	69.9 $\mu$ s
$t_{ret}$	関数からのリターン	7.2 $\mu$ s
$t_{hold}$	アクティブクロックエッジから入力データのサンプリングまで ビットレート20 kbps ビットレート10 kbps ビットレート1 kbps	11.4 $\mu$ s 53.4 $\mu$ s 960.6 $\mu$ s
$t_{high}$	周期、クロックHIGH (アクティブクロックエッジ=1) ビットレート20 kbps ビットレート10 kbps ビットレート1 kbps	25.8 $\mu$ s 67.8 $\mu$ s 975.0 $\mu$ s
$t_{low}$	周期、クロックLOW (アクティブクロックエッジ=1)	33.0 $\mu$ s
$t_{setup}$	データ出力が安定してからアクティブクロックエッジまで	5.4 $\mu$ s
$t_{cs\_clock}$	セレクトアクティブから最初のアクティブクロックエッジまで	91.2 $\mu$ s
$t_{clock\_cs}$	最後のクロック遷移からセレクト非アクティブまで	81.6 $\mu$ s
f	クロック周波数 = $1/(t_{high} + t_{low})$ ビットレート20 kbps ビットレート10 kbps ビットレート1 kbps	17.0 kHz 9.92 kHz 992 Hz

図3.29 Neurowireマスタータイミング

### Neurowireスレーブモード

NeurowireスレーブモードのI/Oオブジェクトは、レガシーデバイスのサポート用に引き続き提供されています。エシエンロン社は、レガシーソフトウェアI/Oオブジェクトの代わりにハードウェアSPIを使用することをお勧めしています（「SPI入出力」節を参照）。ハードウェアSPIは大幅に高い性能を実現し、しかもソフトウェアオーバーヘッドは小さくなります。

Neurowire スレーブモードでは、ピンIO8がクロック（外部マスターにより駆動）、IO9がシリアルデータ出力、そしてIO10がシリアルデータ入力です。シリアルデータはピンIO9からクロック同期出力されますが、これと同時にIO10にデータがクロック同期入力されます。データは、クロック信号（10MHzのとき最大18kbps）の立ち上がりエッジでクロック同期されます（デフォルト）。このデータレートはPLスマートトランシーバの入力クロックレートに比例します。invertキーワードは、クロックのアクティブエッジを負に変更します。IO0～IO7ピンのうちの1つをタイムアウトピンとして指定できます。タイムアウトピンがロジック1レベルになると、指定されたビット数が転送される前にNeurowireのスレーブI/O動作が終了します。これにより、要求されたビット数より少ないビットが外部クロックによって転送されたときにPLスマートトランシーバのウォッチドッグタイマがチップをリセットするのを防ぐことができます（図3.30を参照）。



パラメータ	説明	標準値
$t_{fin}$	関数コールからデータビット送信まで	41.4 $\mu$ s
$t_{ret}$	関数からのリターン	19.2 $\mu$ s
$t_{docki}$	データ送信から入力クロックおよびデータサンプリングまで	4.8 $\mu$ s
$t_{cklo}$	データサンプリングからクロックLOWサンプリングまで	24.0 $\mu$ s
$t_{cklodo}$	クロックLOWサンプリングからデータ送信まで	25.8 $\mu$ s
f	クロック周波数 (最大)	18.31 kHz

図3.30 Neurowireスレーブタイミング

Neurowireスレーブオブジェクトのための入出力各ビットのアルゴリズムを以下に説明します。この説明では、デフォルトのアクティブクロックエッジ（正）が仮定されています。invertキーワードを使用する場合は、ここに記載されるすべてのクロックレベルを逆にしてください。

1. IO9を次の出力ビット値に設定します。
2. ピン IO8（クロック入力）が HIGH レベルになっているかどうかをテストします。これは入力クロックの立ち上がりエッジのテストです。入力クロックがまだLOWである場合は、タイムアウトイベントピンをサンプリングし、HIGHの場合はアボートします。
3. 入力クロックがHIGHである場合は、ピンIO10でサンプリングされる次のデータ入力ビットを保存します。

4. 入力クロックで入力レベルが **LOW** であるかどうかをテストします。これは入力クロックの立ち下がりエッジのテストです。入力クロックがまだ**HIGH**である場合は、タイムアウトイベントピンをサンプリングし、**HIGH**の場合はアボートします。
5. 入力クロックが**LOW**であり、処理すべきビットがほかにもある場合は、ステップ1に戻ります。
6. それ以外の場合は、処理されたビット数を戻します。

いずれかのクロック入力テストが失敗すると（つまり、次の遷移の前にクロックがサンプリングされると）、アルゴリズムのこの段階にさらに**19.8 $\mu$ s**（クロック**HIGH**を待つ）または**19.2 $\mu$ s**（クロック**LOW**を待つ）が追加されます。

Neurowireスレーブのチップセレクトロジックは、別個のビット入力オブジェクトとユーザーのアプリケーションプログラムによって実現された適切なハンドシェイクアルゴリズムを用いてユーザーが処理できます。不必要なタイムアウトを防止するために、チップセレクトラインのセットアップ時間およびホールド時間を（外部クロックの開始および終了を基準として）指定する必要があります。

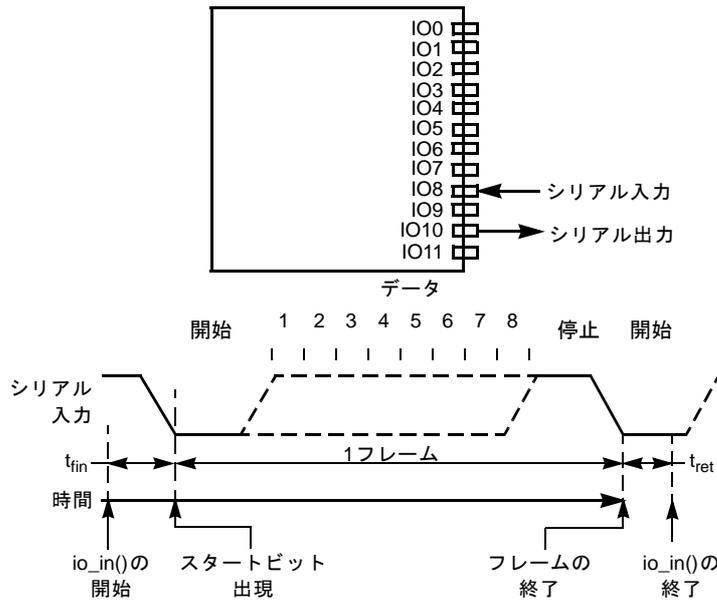
タイムアウト入力ピンは外部タイマに接続するか、ワンショットオブジェクトとして宣言されたPLスマートトランシーバの出力ピンに接続することができます。

## シリアル入出力（Serial Input/Output）

シリアルI/Oオブジェクトは、レガシーデバイスのサポート用に引き続き提供されています。エシエロン社は、レガシーソフトウェアI/Oオブジェクトの代わりに**SCI (UART)**を使用することをお勧めしています（「**SCI (UART)**入出力」節を参照）。ハードウェア**UART**は大幅に高い性能を実現し、しかもソフトウェアオーバーヘッドは小さくなります。

ピン**IO8**は非同期シリアル入力ラインとして構成可能であり、ピン**IO10**は非同期シリアル出力ラインとして構成可能です。入力および出力のビットレートは、（入力クロックレート**10MHz**として）**600**、**1200**、**2400**、または**4800**ビット/秒に個別に指定できます。データレートは入力クロックレートに比例します。

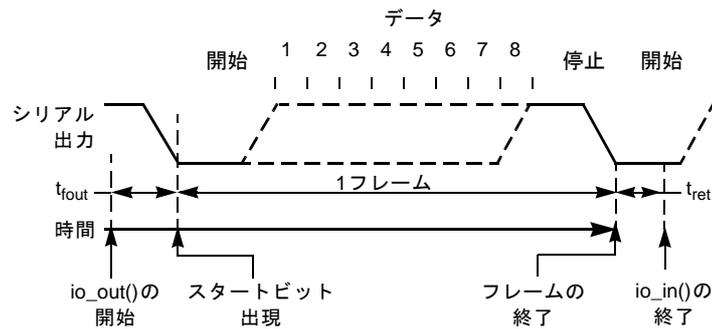
フレームフォーマットは、1スタートビット、8データビット、および1ストップビットに固定されており、一度に最大**255**バイトを転送可能です。シリアル入力とシリアル出力の動作は、一度に（両方ではなく）どちらかを有効にすることができます。インターフェースは半二重のみです。この関数は、動作が完了するまでアプリケーション処理を一時停止します。入力では、スタートビットが受信されないと、`io_in()` 要求が**20**文字時間後にタイムアウトします。ストップビットが間違った極性（1であるべき）を持っている場合、入力動作はエラー終了します。アプリケーションコードは、必要に応じて、ビットI/Oピンをフロー制御ハンドシェイクに用いる場合があります。この関数は、ターミナル、モデム、およびコンピュータのシリアルインターフェースのようなシリアルデバイスにデータを転送するレガシーアプリケーションに有用です（図3.31および3.32を参照）。



記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから入力サンプリングまで 最小 (最初のサンプル) 最大 (タイムアウト)	67 $\mu$ s 20 バイトフレーム
$t_{ret}$	関数からのリターン	10 $\mu$ s

図3.31 シリアル入力オブジェクト

関数コールの持続時間は、転送されるデータビット数および送信ビットレートの関数です。  $t_{fin}$  (最大) は、関数が入力にスタートビットが現れるのを待つときの最大遅延時間のことです。この後、関数はデータとして0を戻します。  $t_{fin}$  (最小) は、入力ピンの最初のサンプリングまでの時間です。たとえば、2400 ビット/秒におけるタイムアウト期間は  $(20 \times 10 \times 1/2400) + t_{fin}$  (最小) です。



記号	説明	10MHzにおける標準値
$t_{fout}$	関数コールからスタートビットまで	79 $\mu$ s
$t_{ret}$	関数からのリターン	10 $\mu$ s

図3.32 シリアル出力

この関数コールの持続時間は、転送されるデータビット数および送信ビットレートの関数です。たとえば、300ビット/秒で100バイトを出力するには、 $(100 \times 10 \times 1/300) + t_{fout} + t_{ret}$ の時間が必要です。

## タッチ入出力 (Touch Input/Output)

タッチI/Oオブジェクトを使用すると、Dallas Semiconductor社の1-Wire<sup>®</sup> Memory規格に適合する任意のスレーブデバイスへの接続が容易化されます。このインターフェースは、1ワイヤ、オープンドレインの双方向接続です。

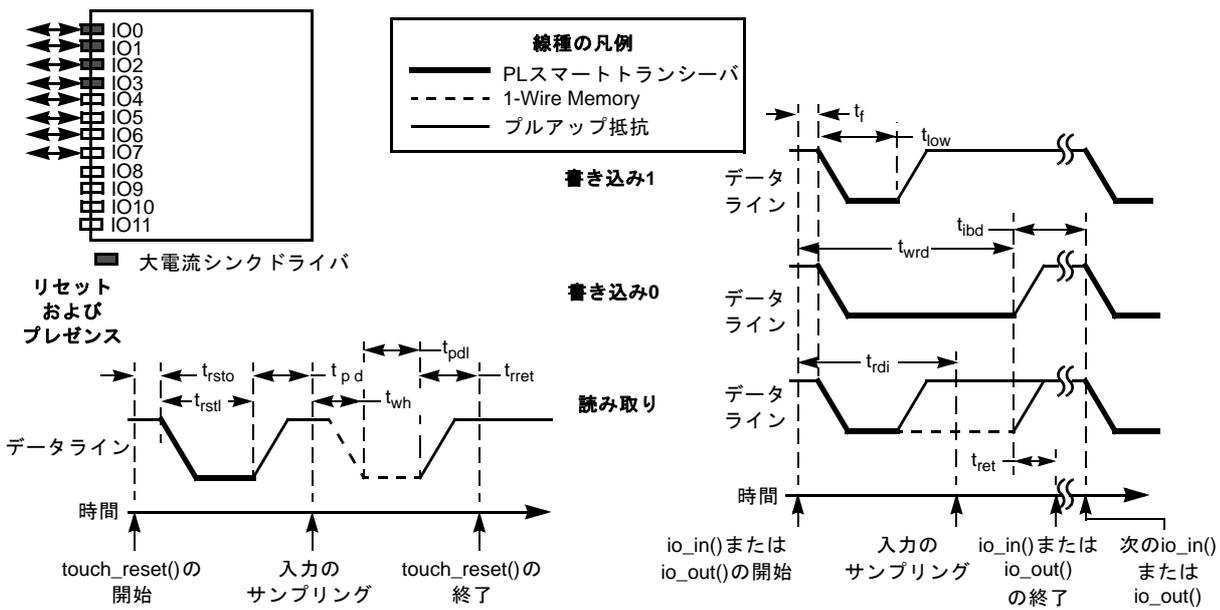
最初の8つのI/OピンIO0～IO7を通じて、1つのPLスマートトランシーバに最大8つの1-Wire Memoryバスを接続することができます。これに必要な追加部品は、データラインのプルアップ抵抗だけです（プルアップ抵抗の値を選択する方法については、以下の1-Wire Memory仕様を参照してください）。PLスマートトランシーバのIO0～IO3ピンは、電流シンク能力が大きいため、1-Wire MemoryデバイスとPLスマートトランシーバ間のワイヤ長が長いアプリケーションにも使用することができます。

スレーブは、処理に必要なすべての電源をデータラインから取得しています。1-Wire Memoryデバイスをマスター（この場合はPLスマートトランシーバ）に物理的に接続すると、1-Wire MemoryはLOWプレゼンスパルスを生成してコマンドを待っていることをマスターに通知します。PLスマートトランシーバは、1-Wire Memoryデバイスにリセットパルスを送ることにより、プレゼンスパルスを要求することもできます。

コマンドとデータは、LSBを先頭としてビットごとに送られてバイトを形成します。PLスマートトランシーバと1-Wire Memoryデバイスの間の同期は、スマートトランシーバが生成する負方向のパルスによって実現されます。

図3.33は、リセットパルスの詳細と書き込み/読み取りビットスロットを示したものです。

**注記:** NodeBuilder 3.1およびそれ以降のバージョンは、 $t_{low}$ 、 $t_{wrd}$ 、および $t_{rdi}$  タイミング値を調節することが可能です。



記号	説明	最小値	標準値	最大値
$t_{rsto}$	リセットコールからデータラインLOWまで	—	60.0 $\mu$ s	—
$t_{rstl}$	リセットパルス幅	—	500 $\mu$ s	—
$t_{pdh}$	リセットパルスリリースからデータラインHIGHまで 10MHz	4.8 $\mu$ s	—	275 $\mu$ s
$t_{pdl}$	プレゼンスパルス幅	—	120.0 $\mu$ s	—
$t_{wh}$	データラインHIGH検出からプレゼンスパルスまで	—	80 $\mu$ s	—
$t_{rret}$	リセット関数からのリターン	—	12.6 $\mu$ s	—
$t_f$	I/OコールからデータラインLOW (ビットスロット開始) まで	—	125.4 $\mu$ s	—
$t_{low}$	スタートパルス幅 10MHz	—	4.2 $\mu$ s	—
$t_{rdi}$	スタートパルスエッジから入力のサンプリング (読み取り処理) まで 10MHz	—	15.0 $\mu$ s	—
$t_{wrd}$	スタートパルスエッジからPLスマートトランシーバがデータラインを リリースするまで 10MHz	—	66.6 $\mu$ s	—
$t_{ibd}$	ビット間遅延 10MHz	—	61.2 $\mu$ s	—
$t_{ret}$	I/Oコールからのリターン	—	42.6 $\mu$ s	—

図3.33 タッチ入出力オブジェクト

レベル検出入力オブジェクトは、1-Wire Memory デバイスからPLスマートトランシーバへの非同期アタッチメントの検出に使用することができます。この場合、レベル検出入力オブジェクトはタッチI/Oオブジェクトの上にオーバーレイされます。I/Oオブジェクトオーバーレイの詳細については、『Neuron C Programmer's Guide』を参照してください。

タッチI/Oオブジェクトは、PLスマートトランシーバのクロックレート6.5536MHzおよび10MHzでのみ実行可能です。これは、タッチI/Oオブジェクトが、PLスマートトランシーバのこれらのクロックスピードでのみ1-Wire Memoryのタイミング仕様に適合するように設計されているからです。

機械的仕様、電氣的仕様、およびプロトコル仕様については、Dallas Semiconductor Corporationが提供する1-Wireデバイスの説明書を参照してください。

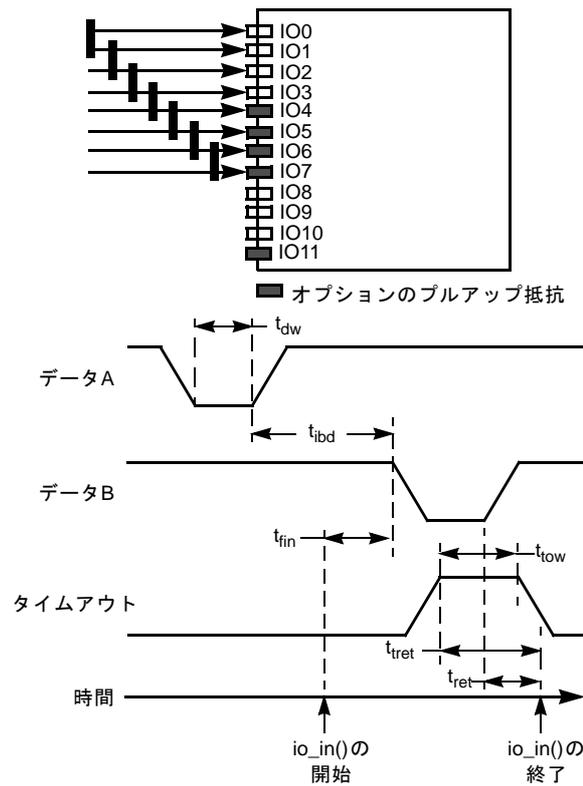
## Wiegand入力 (Wiegand Input)

この入力オブジェクトを使用すると、Wiegand規格をサポートする任意のカードリーダーに簡単に接続できます。リーダーからのデータは、最初の8つのI/OピンIO0～IO7のうちの2つを通じてPLスマートトランシーバに提示されます。最大4つのWiegandデバイスをPLスマートトランシーバに接続することができます。データはMSBから先に読み取られます。

Wiegandデータは、選択された2つのピンのうちの1つにおける負方向のパルスとして開始されます。1つの入力はロジック0ビットを表し、もう1つのピンはロジック1を表しますが、これはI/O宣言で選択されます。2つのラインのビットデータは相互に排他的で、少なくとも150  $\mu$ s離れています。図3.34は、2つのデータライン相互のタイミング関係およびPLスマートトランシーバに対するタイミング関係を示したものです。

オプションで、IO0～IO7の任意の未使用I/Oピンをタイムアウトピンとして選択することができます。タイムアウトピンがHIGHになると、関数はアボートして値を戻します。この入力オブジェクトの処理中、アプリケーションプロセッサのウォッチドッグタイマは自動的に更新されます。

Wiegand入力ピンへの着信データは、(10MHzの場合) 200nsごとにPLスマートトランシーバによってサンプリングされます(クロック周波数に反比例します)。Wiegandデータは通常非同期であるので、着信データの喪失を防ぐため、適切なタイミングでこの関数が呼び出されるようにアプリケーションプログラムを工夫する必要があります。



記号	説明	最小値	標準値	最大値
$t_{fin}$	関数コールから第2のデータエッジの開始まで	—	75.6 $\mu$ s	—
$t_{dw}$	入力データ幅 (10MHzの場合)	200 ns	100 $\mu$ s	880 ms
$t_{ibd}$	ビット間遅延	150 $\mu$ s	—	900 $\mu$ s
$t_{tow}$	タイムアウトパルス幅	—	39 $\mu$ s	—
$t_{tret}$	タイムアウトから関数リターンまで	—	18.0 $\mu$ s	—
$t_{ret}$	最後のデータビットから関数リターンまで	—	74.4 $\mu$ s	—

図3.34 Wiegand入力オブジェクト

## SCI (UART) 入出力 (SCI (UART) Input/Output)

ピンIO8とIO10は、それぞれ非同期SCI (シリアル通信インターフェース) 入力および出力ラインとして構成できます。SCIオブジェクトモデルは、10MHz動作時に半二重転送で300、600、1200、2400、4800、9600、19200、38400、57600、115200ビット/秒のビットレートをサポートします。半二重転送の実効転送データレートは、すべての速度でビットレートに対応します。バイト間のアイドル期間はありません。また、入力と出力のビットレートを独立に指定することはできません。

全二重転送の場合はデータが同時に送受信されますが、この場合の実効ビットレートは、57600ビット/秒のときに60%、115200ビット/秒のときに30%となります。上記で半二重転送に対して指定されたその他全てのビットレートは、全二重転送でもサポートされています。これらの条件下では、(転送データのバイト間スペースのほかに) エラーは入りません。

6.5536MHz動作の場合は、半二重、全二重のいずれの場合もビットレートが最大19200ビット/秒に制限されます。

フレームフォーマットはスタートビット1つ、データビット8つ、そしてストップビットが1つまたは2つです。一度に最大255出力バイトおよび255入力バイトのデータを転送することができます。入力ストップビットの極性が間違っていると、インターフェースはリカバリと再同期を試みますが、ステータスレジスタにフレーミングエラーのフラグが立ちます。アプリケーションコードは、必要に応じて、他のビットI/Oピンをフロー制御ハンドシェイクに用いることができます。

このI/Oモデルは、高速でデータを受け取るために割り込みに依存しています。いったん受信がセットアップされると、制御はただちにアプリケーションに返され、アプリケーションは受信を完了するためにI/Oモデルをポーリングする必要があります。割り込みをDisableおよびEnableすることにより、受信を中断し、再開することができます。オフラインにする場合や、時間に敏感な他のアプリケーションの実行がバックグラウンド割り込みに影響されないようにする場合は、割り込みをオフにする必要が生じる可能性があります。さらに、SCI受信をアポートすることもできます。115,200bpsで受信を続けると、アプリケーションプロセッサが飢餓状態になる場合があります。PLスマートトランシーバが受信したバイトを適切なタイミングで処理してウォッチドッグタイマを更新できるように注意する必要があります。

ただし、データ送信は割り込みによって取り扱われるわけではありません。アプリケーションに制御が返されるのは、最後のバイトが転送シフトレジスタに置かれた後です。受信割り込みは、あらかじめセットアップされている場合に転送中にも動作することに注意してください。これにより、全二重インターフェースが提供されます。

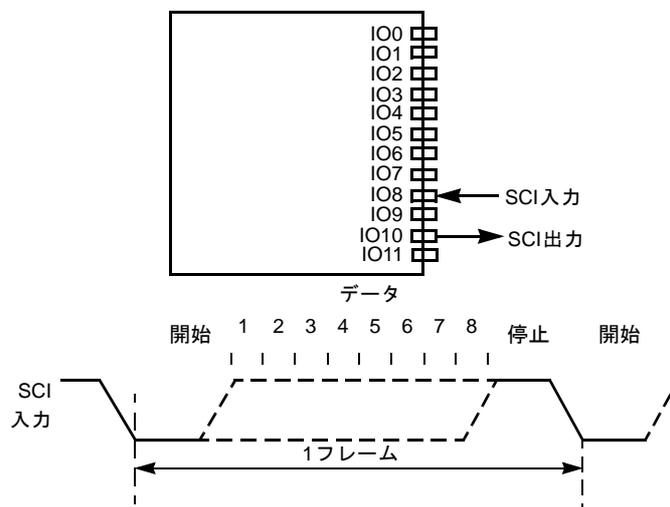


図3.35 SCI入出力

## SPI入出力 (SPI Input/Output)

ピンIO8、IO9、およびIO10は、シリアル周辺インターフェース (SPI) ポートとして構成することができます。ピンの方向は構成によって異なります。マスターモードでは、IO8がクロック (PLスマートトランシーバにより駆動)、IO9がシリアルデータ入力 (マスター入力スレーブ出力、つまりMISO)、IO10がシリアルデータ出力 (マスター出力スレーブ入力、つまりMOSI) です。スレーブモードでは、ピンIO8はクロック入力、IO9はシリアルデータ出力 (MISO)、IO10はシリアルデータ入力 (MOSI) です。**Neurowire** キーワードが使用された場合、ピンはNeuronwireに適合する方向、すなわちIO9が常に出力でIO10が常に入力になります。シリアルデータは出力ピンからクロック同期出力されますが、これと同時に入力ピンにデータがクロック同期入力されます。SPIマスターモードにおいては、他のマスターはそのバス上に存在することを許されません。IO7は、スレーブモードにおいてセレクトピンとして使用できます。これにより、PLスマートトランシーバは3線バス上で他のスレーブモードデバイスと共存できます。セレクトライン上にロジック1レベルが存在すると、出力ピンの出力ドライバがDisableされ、高インピーダンス状態になります。

PLスマートトランシーバがSPIバス上で唯一のスレーブデバイスであり、マスターデバイスがスレーブセレクト(SS)信号を駆動していない場合は、次のいずれかの処置を施してください。

ピンIO7を入力ピンとして宣言し、外部で接地する。

または

ピンIO7を次の順番で宣言する。

```
IO_7 output bit io_p7_out = 1;    // '1'に初期化
IO_7 input bit io_p7_in;
```

IO7出力ビットが1に初期化され、 $\overline{SS}$ がDisableされている限り、IO7を入力として使用することができます。マスターデバイスからのフレーミングエラーが起きたときに再同期とリカバリを正しく行えるように、できる限り $\overline{SS}$ を使用してください。

SPIポートがサポートしているビットレートが表3.6および3.7にまとめられています。

表 3.6 マスターモード

クロック	10MHz	6.5536MHz	
7	19.531kbps	12.8kbps	
6	39.063kbps	25.6kbps	
5	78.125kbps	51.2kbps	注記を参照
4	156.250kbps	102.4kbps	注記を参照
3	312.500kbps	204.8kbps	注記を参照
2	625.000kbps	409.6kbps	注記を参照
1	1250.000kbps	819.2kbps	注記を参照
0	2500.000kbps	1638.4kbps	注記を参照

注記: クロック5およびそれより高いビットレートでは、記載されているビットレートはピークレートです。データはバイトのペアとしてバースト出力され、全体的な平均データレートは入力クロック10MHzおよび6.5536MHzに対してそれぞれ約40kbpsおよび25kbpsです。

表 3.7 スレーブモード

	10MHz	6.5536MHz	
最大バーストレート	1250kbps	819.2kbps	
最大バーストサイズ	2バイト	2バイト	
最小バースト間隔	400us	640us	1つのバーストの開始から次のバーストまで
最大平常データレート	40kbps	25kbps	

スレーブモードで最大ビットレートの受信を続けると、アプリケーションプロセッサが飢餓状態となり、オーバーランを起こしてウォッチドッグのタイムアウトが生じる恐れがあります。PLスマートトランシーバが受信したバイトを適切なタイミングで処理できるように注意する必要があります。マスターモードでは、PLスマートトランシーバがデータ転送を制御するため、こうした制限はありません。

clockedgeおよびinvertキーワードは、データがサンプリングされるポイントおよびクロック信号のアイドルレベルを決めるために使用されます。クロック信号はロジック1レベルでアイドル状態です。invertキーワードを使うと、アイドル状態がロジック0レベルに対応するように変更することができます。通常のSPIでは、クロック位相(CPHA)およびクロック極性(CPOL)という用語を使ってSPI送信中のクロック信号の挙動を決めます。これらの用語は、以下に示すように、本書で使用されているclockedgeおよびinvertキーワードと直接関係しています。

#### CPHA

```
1 = clockedge(+)
0 = clockedge(-)
```

**CPOL**

1 = [デフォルト]  
0 = invert

クロックのアクティブエッジは、clockedgeおよびinvertキーワードによって決まります。クロック信号がロジック1でアイドルである場合 (デフォルト)、clockedge(-)はクロック信号の立ち下りエッジがアクティブであることを示します。invertキーワードが使用されている場合は、クロック信号の立ち上がりエッジがアクティブになります (図3.36および3.37を参照)。

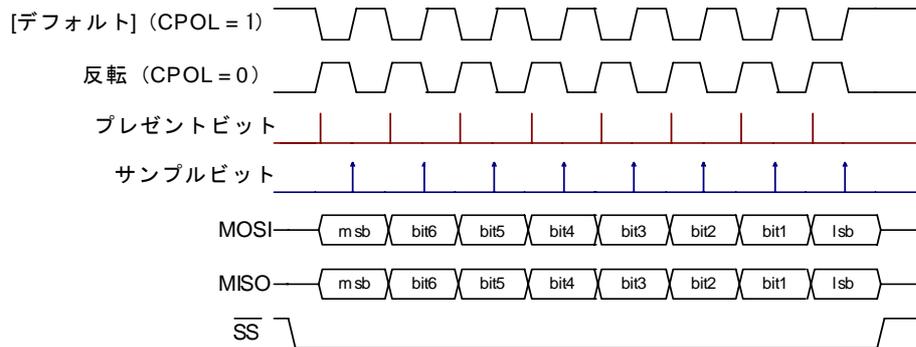


図3.36 Clockedge(-) (CPHA : 0)の送信タイミング

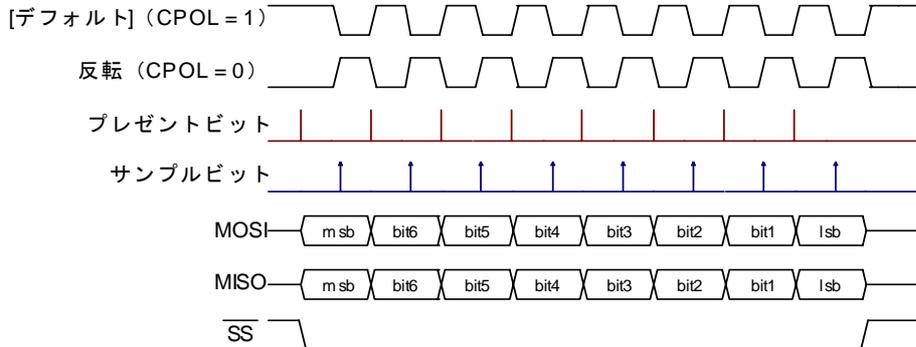
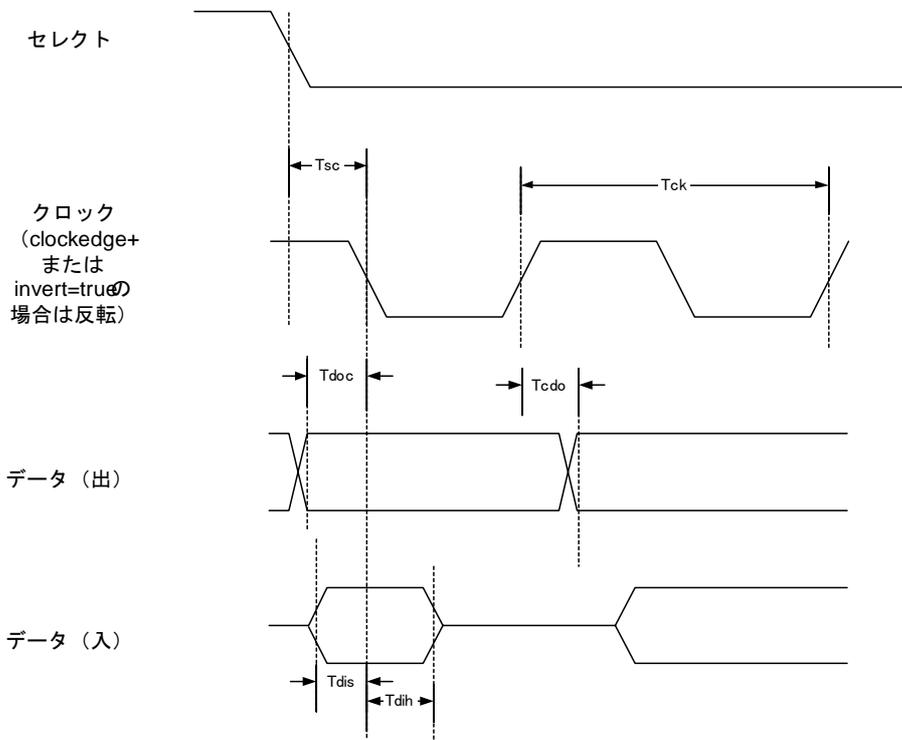
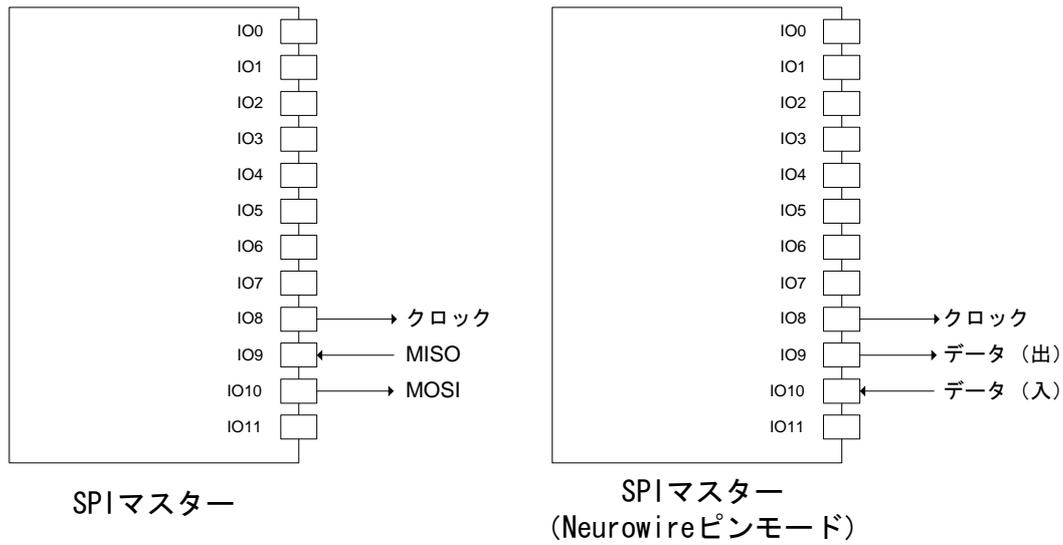


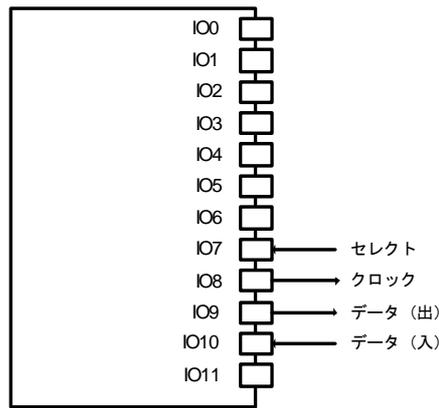
図3.37 Clockedge(+) (CPHA : 1)の送信タイミング

一度に最大255バイトのデータを双方向に転送することができます。このI/Oモデルは、高速でデータを処理するため割り込みに依存し、io\_in() および io\_out() 関数コールは使用しません。いったん転送が開始されると、制御はただちにアプリケーションに返され、アプリケーションは作業を完了するためにI/Oモデルをポーリングする必要があります。割り込みをDisableおよびEnableすることにより、転送を中断し、再開することができます。オフラインにする場合や、時間に敏感な他のアプリケーションの実行がバックグラウンド割り込みに影響されないようにする場合は、割り込みをオフにする必要が生じる可能性があります。さらに、転送をアボートすることもできます。

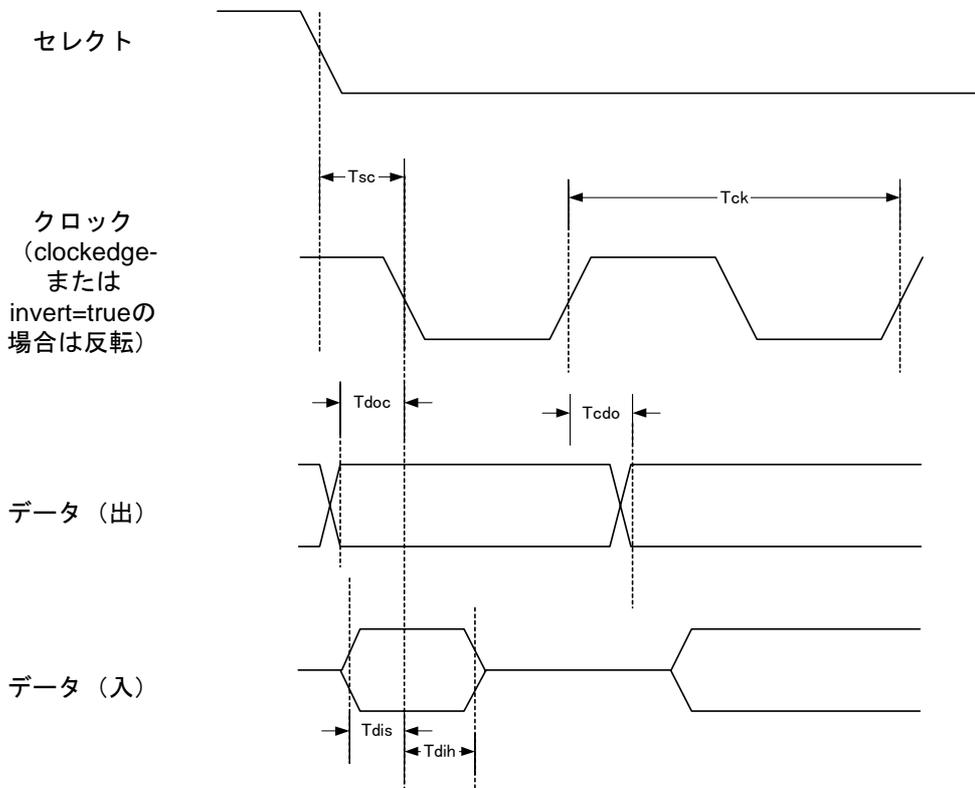


パラメータ	説明	最小値	標準値	最大値	単位
Tck	クロックサイクル (ユーザーが指定)				
Tsc	セレクトLOWからクロック遷移まで	4.8			μs
Tdoc	データ出力からクロックまで (反転モードの第1ビット)	0.5*Tck			ns
Tcdo	クロックからデータ出力まで			5	ns
Tdis	データセットアップ中	10			ns
Tdih	データホールド中	10			ns

図3.38 SPIマスターモードのタイミング



SPIスレーブ



パラメータ	説明	最小値	標準値	最大値	単位
Tck	クロックサイクル (ユーザーが指定)			1.25	
Tsc	セレクトLOWからクロック遷移まで	220			μs
Tdoc	データ出力からクロックまで (反転モードの第1ビット)	440			ns
Tcdo	クロックからデータ出力まで			45	ns
Tdis	データセットアップ中	10			ns
Tdih	データホールド中	10			ns
Tsdz	セレクトHIGHからデータ入力高インピーダンスまで			220	ns

図3.39 SPIスレーブモードのタイミング

## タイマ/カウンタ入力オブジェクト

PLスマートトランシーバは、2つの16ビットタイマ/カウンタを備えています。第1のタイマ/カウンタでは、IO0は出力として使用され、マルチプレクサがIO4～IO7のうちの1つを入力として選択します。第2のタイマ/カウンタは、IO1を出力として使用し、IO4を入力として使用します（図2.7を参照）。単一のアプリケーション内の複数のピンに対して、複数のタイマ/カウンタ入力オブジェクトを宣言することができます。アプリケーションは、`io_select()`関数を呼び出すことにより、最大4つの異なる入力関数で最初のタイマ/カウンタを使用することができます。タイマ/カウンタが出力関数のうちの1つで構成されている場合や、クアドラチャ入力関数として構成されている場合、そのタイマ/カウンタを同じアプリケーションプログラム内の別のタイマ/カウンタオブジェクトに再割り当てすることはできません。

本節で示すタイミング数値は、`when`節を使用した暗示的I/Oコールおよび明示的I/Oコールのいずれにも有効であり、10MHz動作のPLスマートトランシーバを想定しています。

入力タイマ/カウンタオブジェクトの利点は、入力イベントが発生したときにアプリケーションプロセッサが何か他のことを実行していてもその入力捕捉されることです（非タイマ/カウンタオブジェクトより優れた点）。タイマ/カウンタが測定しているイベントの`when`ステートメントの状態が真になると、測定が完了したことを意味し、この値はイベントレジスタに戻されます。ソフトウェア処理のためにプロセッサが遅れ、もう1つのイベントが発生する前にレジスタを読み取れない場合、レジスタ中の値は最後のイベントの状態を反映します。タイマ/カウンタは測定完了時に自動的にリセットされます。タイマ/カウンタの最初の測定値は常に廃棄されます。これは、チップがリセット状態を脱した後の不良測定を防ぐためです。タイマ/カウンタで単一イベントを測定することはできません。図3.40は、Neuron C `when`ステートメントによってタイマ/カウンタオブジェクトが処理される例を示したものです。

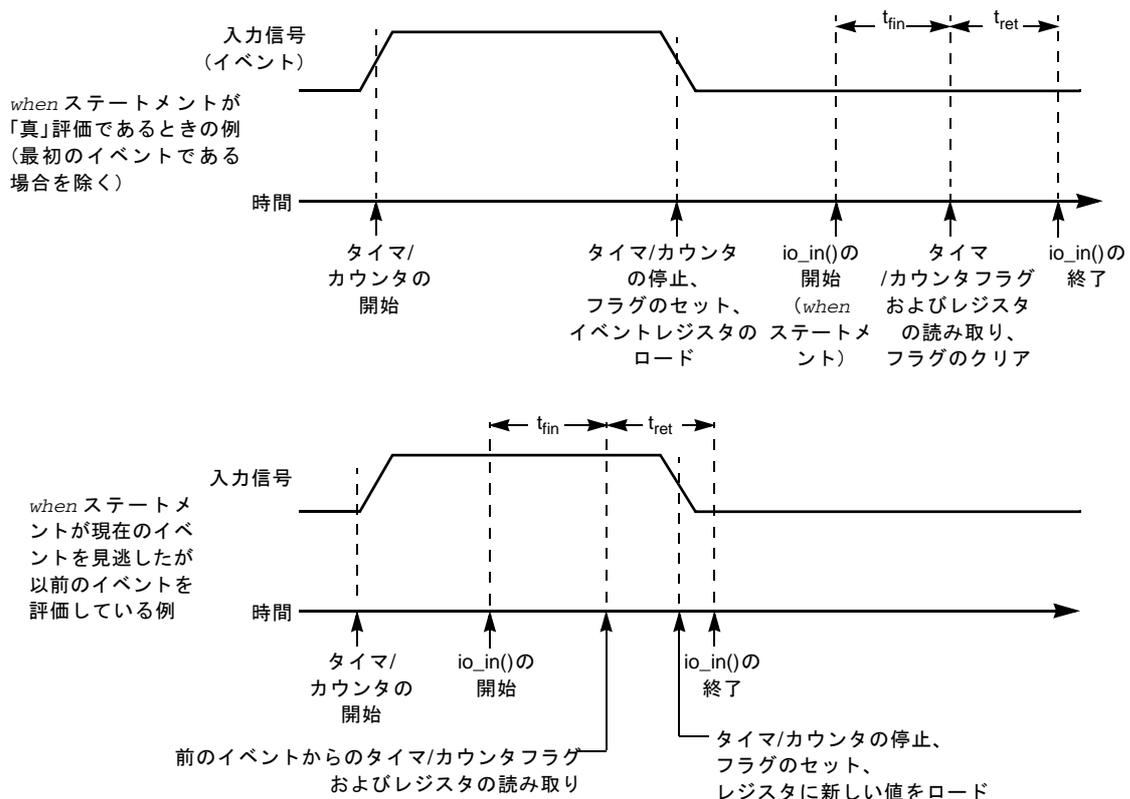
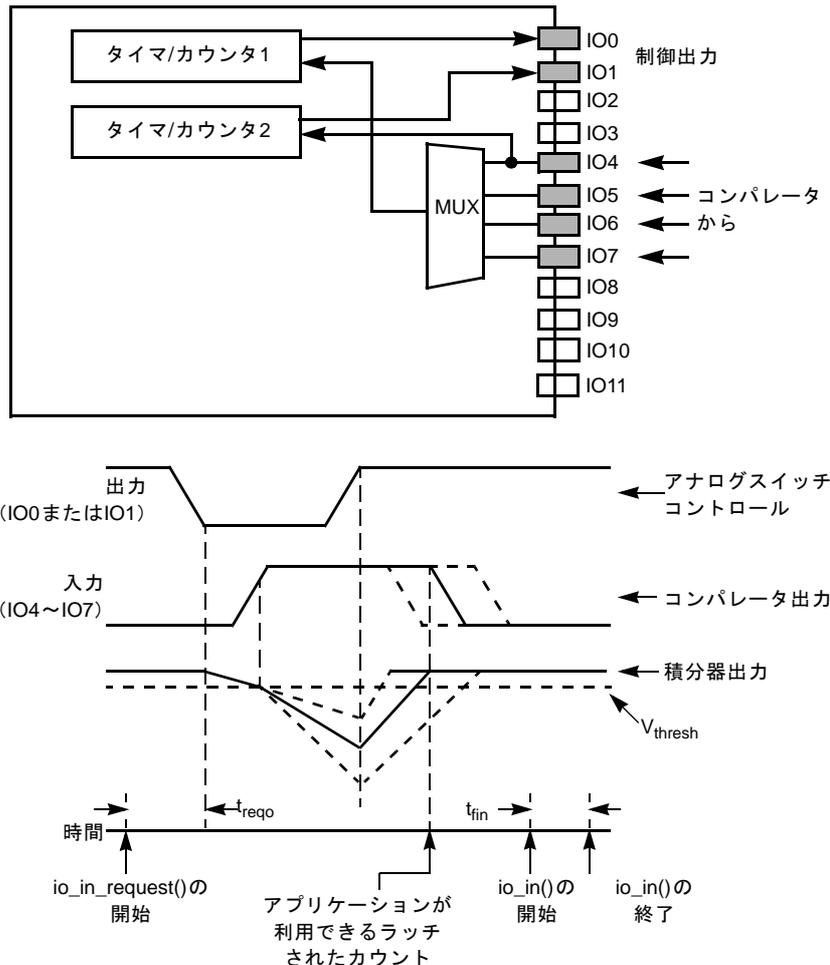


図3.40 オンタイム入力機能を用いた`when`ステートメント処理の例

### デュアルスロープ入力 (Dualslope Input)

この入力オブジェクトは、タイマ/カウンタを用いて、二重積分型アナログデジタルコンバータの積分期間を制御・測定します (図3.41を参照)。タイマ/カウンタは、制御出力信号を提供し、コンパレータの出力信号を検出します。制御出力信号は、未知の入力電圧と基準電圧の間を切り替える外部アナログスイッチを制御します。タイマ/カウンタの入力ピンは、積分器の出力を基準電圧と比較する外部コンパレータによって駆動されます。変換が終了すると、外部コンパレータはIO4~IO7ピンのうちの1つをLOWレベルに駆動します。外部回路が「変換終了」をHIGHレベルで表示する場合は、I/O宣言でinvertキーワードを使用してください。

タイマ/カウンタが扱える時間の分解能と範囲については、本章最後の「注記」節の表3.8に示されています。



記号	説明	最小値	標準値	最大値
$t_{rego}$	<code>io_in_request()</code> から出力トグルまで	—	75.6 $\mu$ s	—
$t_{fin}$	入力関数コールおよびリターン	—	82.8 $\mu$ s	—

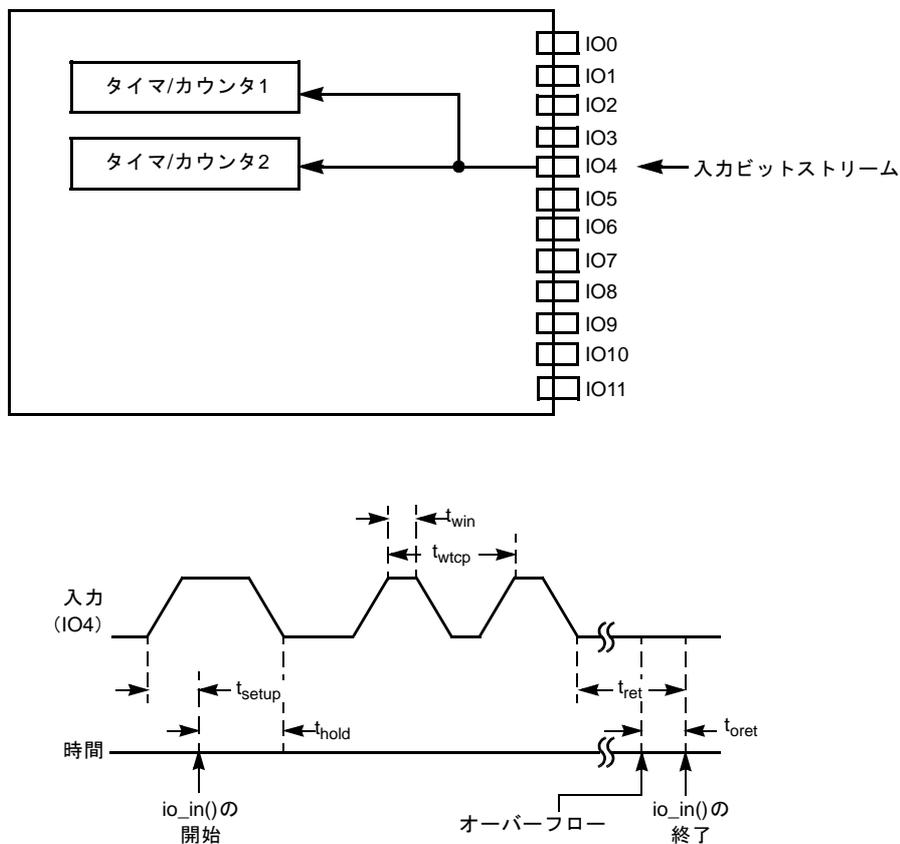
図3.41 デュアルスロープ入力オブジェクト

## エッジログ入力 (Edgelog Input)

エッジログ入力オブジェクトは、入力パルスの流れを記録して、入力において連続するLOWおよびHIGH期間を測定し、ユーザーが定義した記憶場所に保存することができます (図3.42を参照)。保存される値は、入力信号の立ち上がりエッジと立ち下がりエッジ間のクロック周期の単位数を表します。PL スマートトランシーバの両方のタイマ/カウンタがこのオブジェクトのために使用されます。

I/Oオブジェクト宣言でinvertキーワードが使用されていない限り、一連の測定は最初の立ち上がり (正) エッジで始まります。どちらかのタイマ/カウンタでオーバーフロー状態が検出されると、測定プロセスは停止します。

タイマ/カウンタが扱える時間の分解能と範囲については、本章最後の「注記」節の表3.8に示されています。このオブジェクトは、UPCバーコードリーダーまたは赤外線レシーバの出力のような任意間隔の入力エッジ (またはパルス) を解析するときには有用です。



記号	説明	最小値	標準値	最大値
$t_{\text{setup}}$	入力データのセットアップ	0	—	—
$t_{\text{win}}$	入力パルス幅	1 T/C clk	—	65,534 T/C clks
$t_{\text{hold}}$	$io\_in()$ コールから被測定データ入力エッジまで	26.4 $\mu\text{s}$	—	—
$t_{\text{wtcp}}$	2つの連続したパルス幅	104 $\mu\text{s}$	—	—
$t_{\text{oret}}$	オーバーフローのためリターン	—	42.6 $\mu\text{s}$	—
$t_{\text{ret}}$	カウント終了でリターン	—	49.6 $\mu\text{s}$	—

図3.42 エッジログ入力オブジェクト

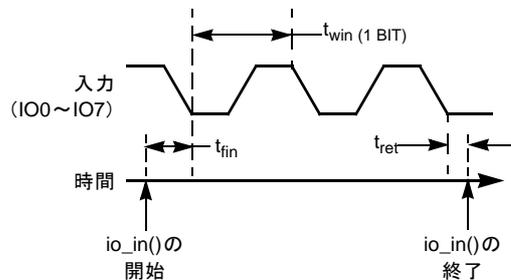
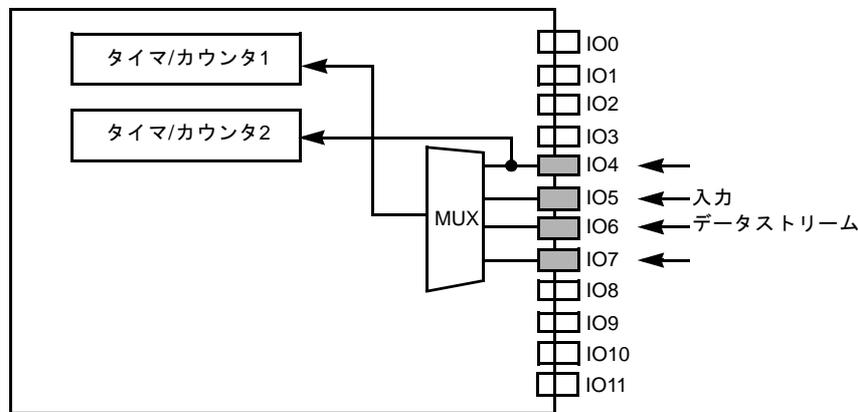
注記：T/C clkは、I/Oオブジェクトの宣言で使用されるクロックの周期を表します。

### 赤外線入力 (Infrared Input)

赤外線入力オブジェクトは、あるクラスの赤外線遠隔制御デバイスが生成するデータの流れを捕捉するために使用されます (図3.43を参照)。このオブジェクトの入力は、赤外線レシーバ回路からの復調された一連のビットです。オン/オフサイクルの周期によりデータビット値が決まります。短いサイクルは1を示し、長いサイクルはゼロを示します。実際のオン/オフ決定のしきい値は、関数の呼び出し時に設定されます。I/O宣言でinvertキーワードが使用されていない限り、測定は入力ビットの負エッジの間で行われます。

赤外線入力オブジェクトは、入力データストリームに基づいて、受信したビットの値を含むバッファを生成します。タイマ/カウンタが扱える時間の分解能と範囲については、本章最後の「注記」節の表3.8に示されています。

この関数と、NEC  $\mu$ PD1913またはシャープGP1U50Xなどの市販のIR復調器とを使用することで、PLスマートトランシーバへの赤外線インターフェースを迅速に作成することができます。エッジログ入力オブジェクトをこの目的のために使用することもできます。ただし、これにはさらにコードが必要となります。



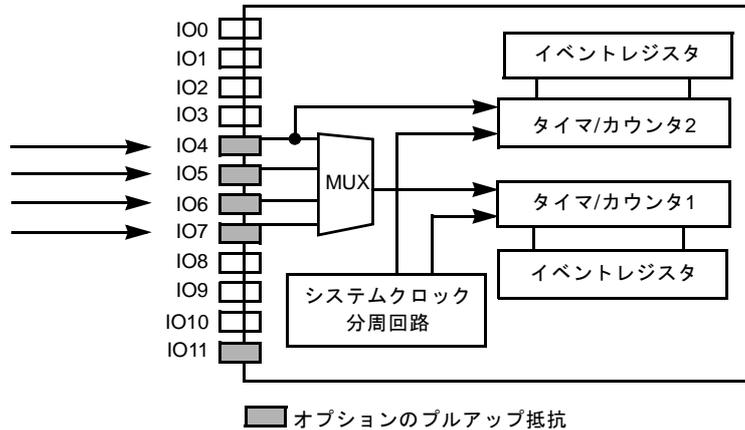
記号	説明	最小値	標準値	最大値
$t_{fin}$	関数コールから入力サンプリング開始まで	—	82.2 $\mu$ s	—
$t_{ret}$	最後の有効ビットの終了から関数リターンまで	最大期間 (max-period)	最大期間 (max-period)	—
$t_{win}$	最小入力周期幅	—	93 $\mu$ s	—

注記：最大期間 (max-period) は、呼び出し時に関数に渡されるタイムアウト期間です。

図3.43 赤外線入力オブジェクト

### オンタイム入力 (On-time Input)

タイマ/カウンタは、その入力のアサートされる時間を測定するように構成することが可能です。表3.8は、さまざまなI/Oクロックにおける分解能と最大時間を示したものです。アサートはロジックHIGHまたはロジックLOWとして定義されます。このオブジェクトは、電圧-時間変換回路を伴うシンプルなアナログデジタルコンバータとして使用することも、位置センサをよぎる動きを計時することで速度を測定するために使用することもできます (図3.40および3.44を参照)。



レファレンス図 3.40

記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから入力サンプリングまで	86 $\mu$ s
$t_{ret}$	関数からのリターン	52/22 $\mu$ s*

\* 新しい測定の場合は、 $t_{ret} = 52 \mu$ sです。新しい時間が戻されていない場合は、 $t_{ret} = 22 \mu$ sです。

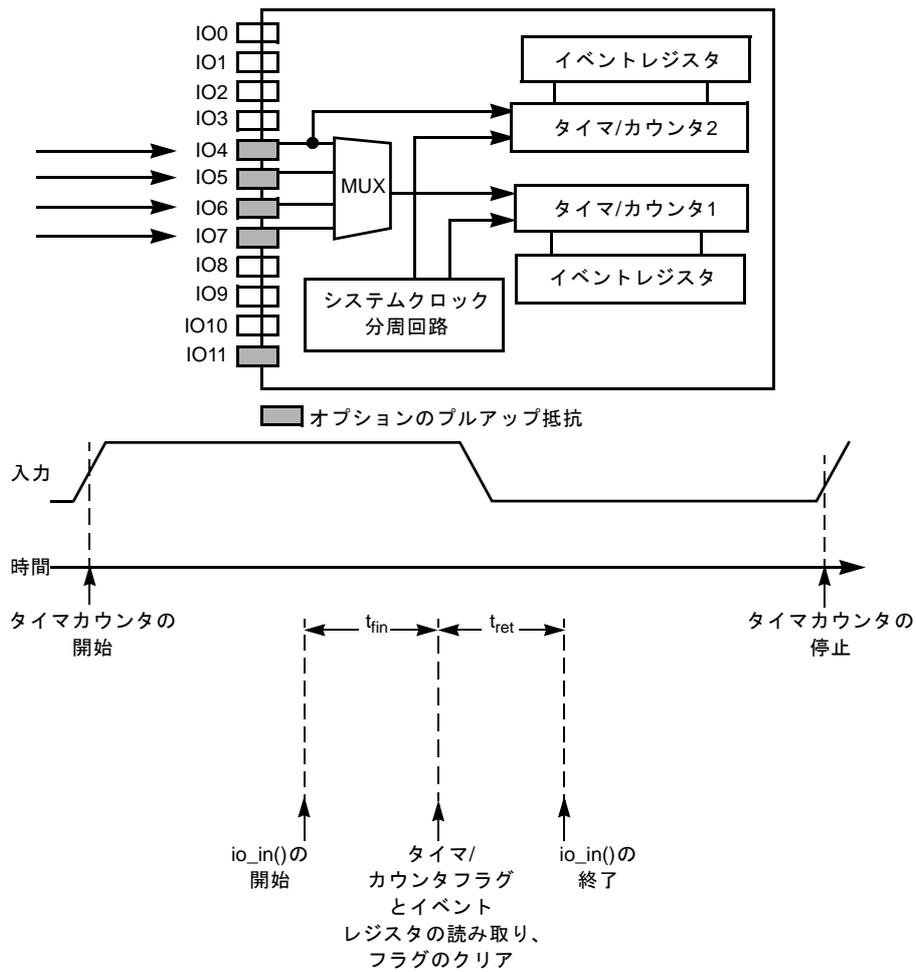
#### 図3.44 オンタイム遅延時間値

これはレベル依存性の関数です。入力信号のアクティブレベルは、PLスマートトランシーバの内部カウンタを駆動するクロックをゲートします。

入力の実際のアクティブレベルは、関数ブロックの宣言でinvert オプションが使用されているかどうかによって依存します。デフォルトはHIGHレベルです。

### ピリオド入力 (Period Input)

タイマ/カウンタは、入力の立ち上がりまたは立ち下がりエッジからその次に対応するエッジまでの周期を測定するように構成することができます。表3.8は、さまざまなクロックにおける分解能と最大時間を示したものです。このオブジェクトは、瞬間周波数または回転速度計アプリケーションに有用です。アナログデジタル変換は、このオブジェクトと電圧-周波数コンバータを使用することにより実装できます (図3.45を参照)。



レファレンス図 3.40

記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから入力サンプリングまで	86 $\mu$ s
$t_{ret}$	関数からのリターン	52/22 $\mu$ s*

\* 新しい測定の場合は、 $t_{ret} = 52 \mu$ sです。新しい時間が戻されていない場合は、 $t_{ret} = 22 \mu$ sです。

**図3.45 ピリオド入力遅延時間値**

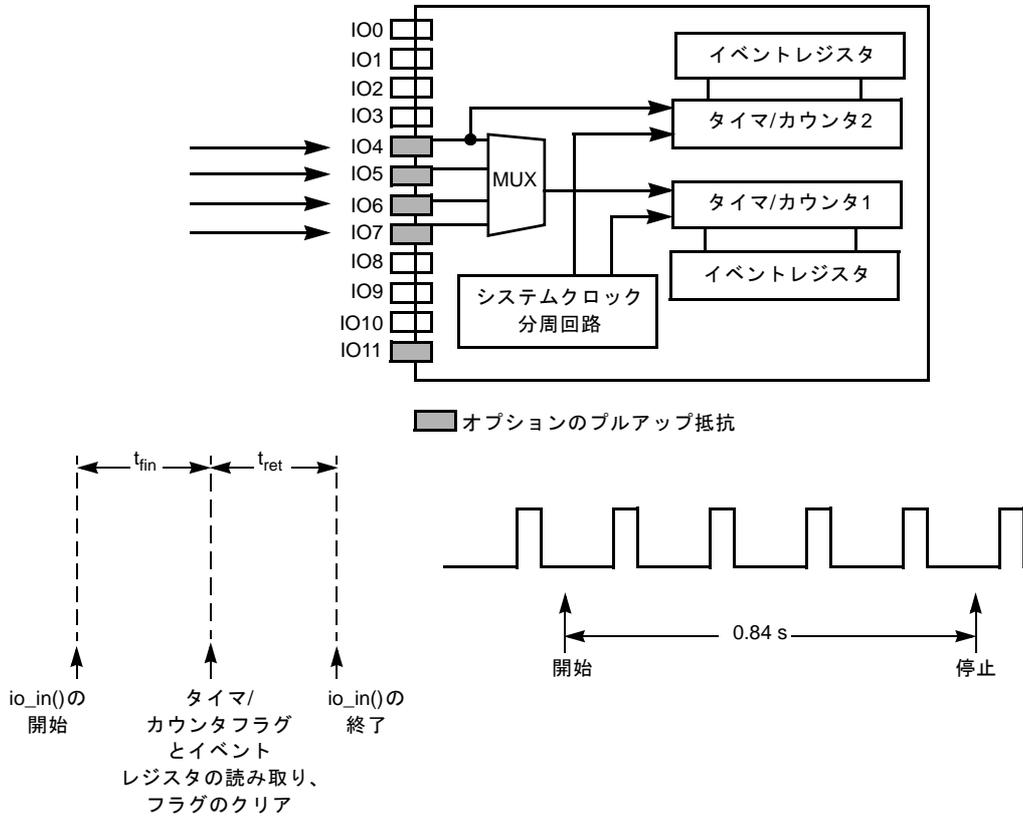
これはエッジ依存性の関数です。PLスマートトランシーバの内部カウンタを駆動しているクロックは、無条件発振です。アクティブ入力エッジを検出するたびに、カウンタは停止し、リセットされます。

入力の実際のアクティブエッジは、関数ブロックの宣言でinvertオプションが使用されているかどうかによって異なります。デフォルトは負のエッジです。

周期関数は連続する2つのアクティブエッジ間の遅延を測定するため、反復する入力波形に対して関数が戻す値はinvertオプションに影響されません。

### パルスカウント入力 (Pulsecount Input)

タイマ/カウンタは、許容されるすべての入力クロックレートにおいて固定時間 (0.8388608 秒) 内の入力エッジの数 (最大65,535) を数えるように構成可能です。エッジは、立ち上がりまたは立ち下がりとして定義できます。このオブジェクトは、平均周波数測定または回転速度計アプリケーションに有用です (図3.46を参照)。



レファレンス図 3.40

記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから入力サンプリングまで	86 $\mu$ s
$t_{ret}$	関数からのリターン	52/22 $\mu$ s*

\* 新しい測定の場合は、 $t_{ret} = 52 \mu$ sです。新しい時間が戻されていない場合は、 $t_{ret} = 22 \mu$ sです。

図3.46 パルスカウント入力遅延時間値

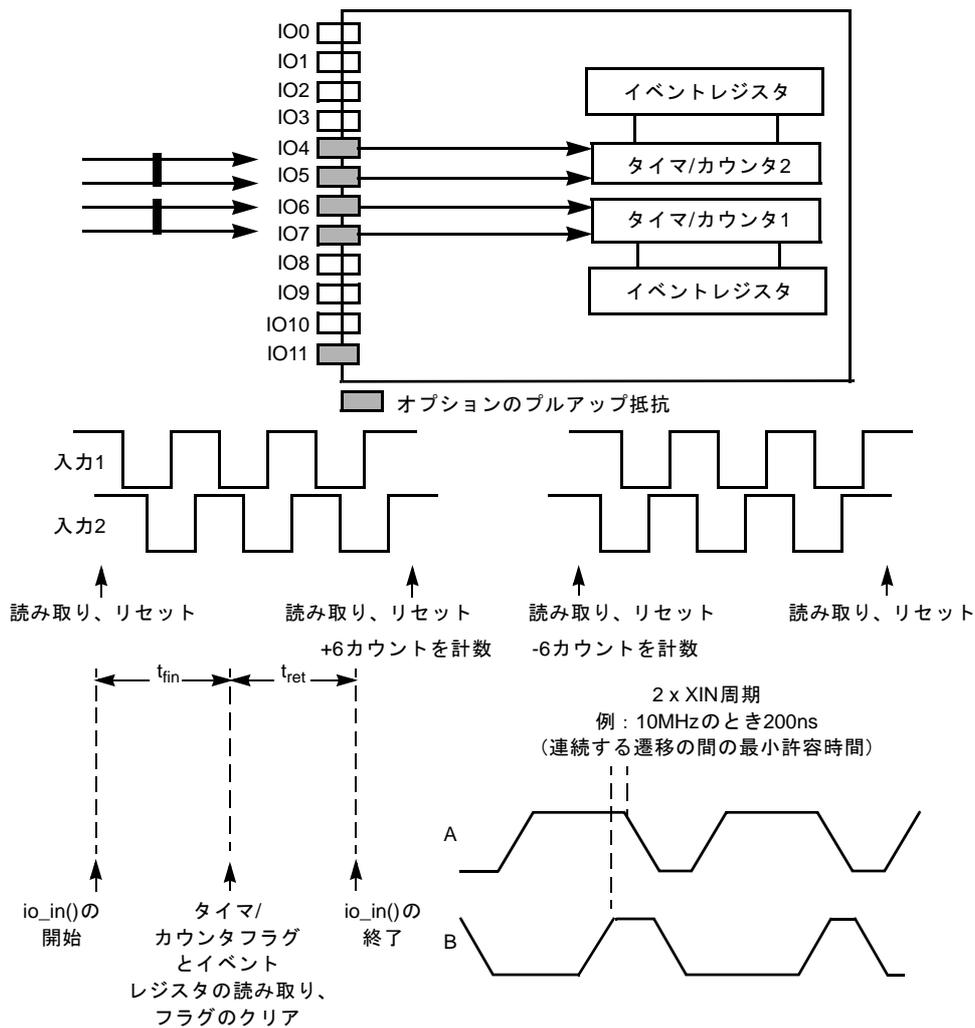
これはエッジ依存性の関数です。PLスマートトランシーバの内部カウンタを駆動しているクロックは、実際の入力信号です。このカウンタは、0.839秒ごとに自動的にリセットされます。

内部カウンタの値は、アクティブ入力エッジごとに1つ増加します。0.839秒ごとに、カウンタの内容が保存され、カウンタが0にリセットされます。このシーケンスは無期限に反復されます。

入力の実際のアクティブエッジは、関数ブロックの宣言でinvert オプションが使用されているかどうかによって異なります。デフォルトは負のエッジです。

## クアドラチャ入力 (Quadrature Input)

タイマ/カウンタは、隣接する2つのピンのバイナリグレイコード入力の遷移を数えるように構成することができます。グレイコードは、一方向の運動に対してビットパターン (00,01,11,10,00, ...) を生成し、反対方向の運動に対してビットパターン (00,10,11,01,00, ...) を生成する光学位置センサおよびシャフトエンコーダなどのデバイスによって生成されます。クアドラチャオブジェクトの値を読み取ることで、最後に読み取った後の遷移の数の算術正味合計 (-16,384~16,383) を算出することができます。入力の最大周波数は、入力クロックレートの4分の1です。たとえば、PLスマートトランシーバの入力クロックが10MHzの場合は2.5MHzになります。クアドラチャデバイスは、ピンIO6およびIO7を通じてタイマ/カウンタ1に、ピンIO4およびIO5を通じてタイマ/カウンタ2に接続可能です (図3.47を参照)。第1の入力がLOWのときに第2の入力がLOWに遷移し、第1の入力がHIGHのときに第2の入力がHIGHに遷移すると、カウンタは上方向に計数します。それ以外の場合は、下方向に計数します。



レファレンス図 3.40

記号	説明	10MHzにおける標準値
t <sub>fin</sub>	関数コールから入力サンプリングまで	90 μs
t <sub>ret</sub>	関数からのリターン	88 μs

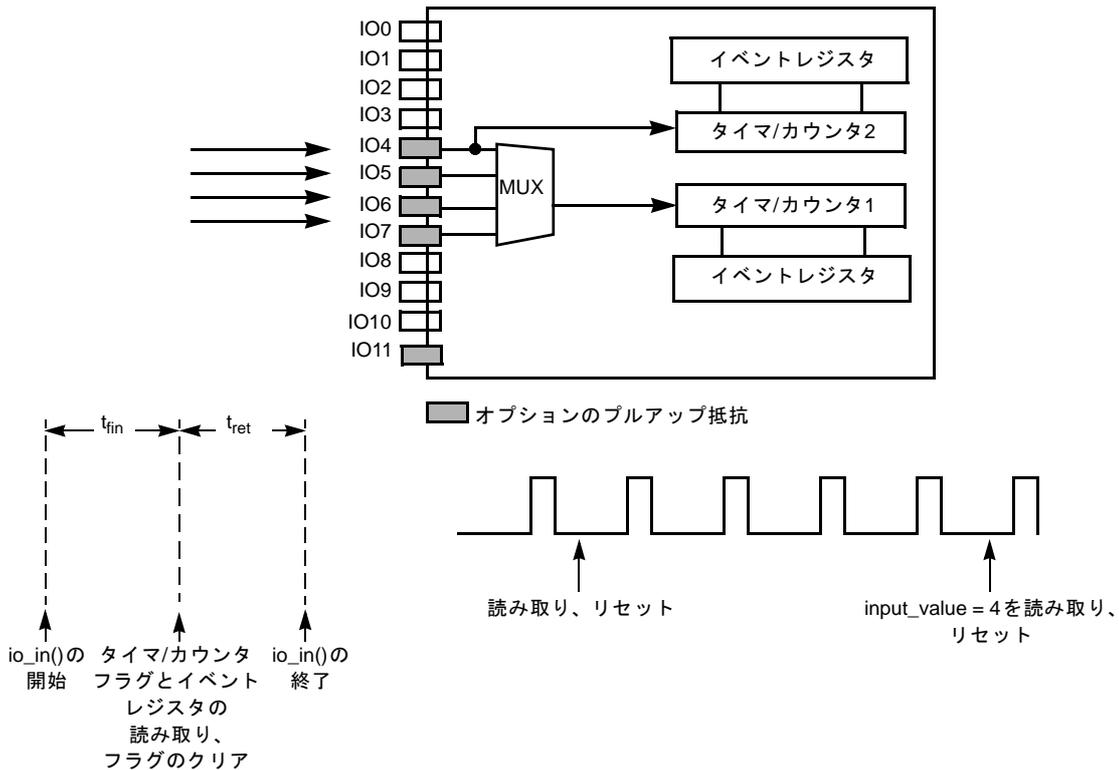
図3.47 クアドラチャ入力遅延時間値

この関数を呼び出すと、最後の読み取り動作以降のクアドラチャカウンタの現在値が戻されます。次に、カウンタがリセットされ、次の一連の入力遷移に対する準備を整えます。戻されるカウンタは16ビットの符号付バイナリ数で、上下限は±16Kです。

上の図に示す数値は、クアドラチャ関数ブロックのいずれかの入力における連続する遷移の間の最小許容時間です。詳細については、『Neuron Chip Quadrature Input Function Interface』技術資料を参照してください。

### トータルカウント入力 (Totalcount Input)

タイマ/カウンタは、立ち上がりまたは立ち下がり入力エッジのどちらかをカウントするように構成できますが、両方に対して構成することはできません。トータルカウントオブジェクトの値を読み取ることにより、最後に読み取った後の遷移の数 (0~65,535) を算出することができます。入力の最大周波数は、入力クロックレートの4分の1です。たとえば、PLスマートトランシーバの入力クロックが最大の10MHzの場合は2.5MHzになります。このオブジェクトは、正確な現在合計を知ることが重要となるスイッチなどの外部イベントをカウントする際に有用です (図3.48を参照)。



レファレンス図 3.40

記号	説明	10MHzにおける標準値
$t_{fin}$	関数コールから入力サンプリングまで	92 $\mu$ s
$t_{ret}$	関数からのリターン	61 $\mu$ s

図3.48 トータルカウント入力遅延時間値

この関数を呼び出すと、最後のコール (呼び出し) 以降のアクティブクロックエッジの合計数に対応するトータルカウント値の現在値が戻されます。次に、カウンタがリセットされ、次の一連の入力遷移に対する準備を整えます。入力の実際のアクティブエッジは、関数ブロックの宣言でinvertオプションが使用されているかどうかによって依存します。デフォルトは負のエッジです。

## タイマ/カウンタ出力オブジェクト

### エッジデバインド出力 (Edgedivide Output)

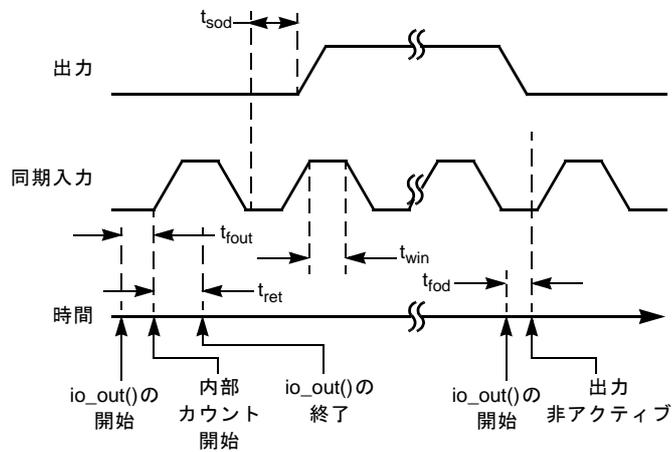
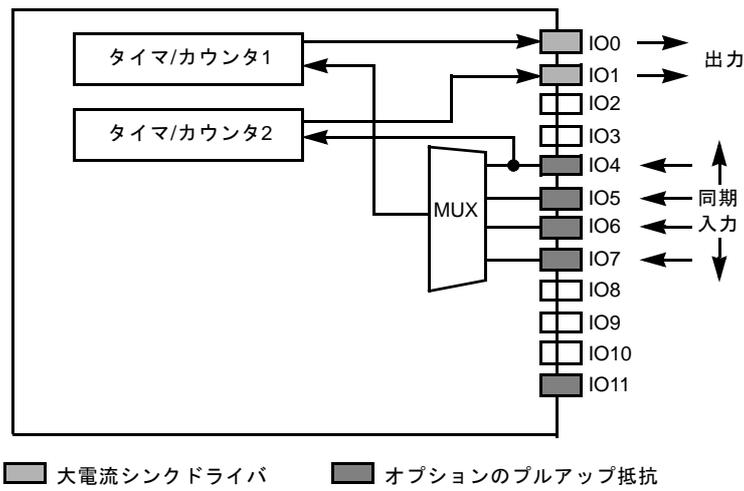
この出力オブジェクトは、出力周波数をピンIO0またはIO1に提供することにより、周波数分周器を提供します。出力周波数は、ピンIO4～IO7に印加された入力周波数を分周したものになります。このオブジェクトは、任意の  $n$  分周処理に対して有用です。ここで、 $n$  は、アプリケーションプログラムを通じてタイマ/カウンタオブジェクトに渡され、その範囲は1～65,535です。この値が0の場合、出力は強制的にオフレベルになり、タイマ/カウンタが停止します。

新しい分周値が有効になるのは出力トグルの後ですが、次の2つの場合は例外です。つまり、出力が最初にDisableされていると新しい（非ゼロ）出力は $t_{fout}$ の直後に開始し、新しい分周値が0のときは出力は直ちにDisableされます。

通常、入力同期パルスの負のエッジがアクティブエッジです。オブジェクト宣言でinvertキーワードを使用すると、正のエッジがアクティブになります。

出力の初期状態はデフォルトで0です。これは、オブジェクト宣言によってロジック1に変更することができます。

図3.49は、この出力オブジェクトのピン配置とタイミング情報を示したものです。

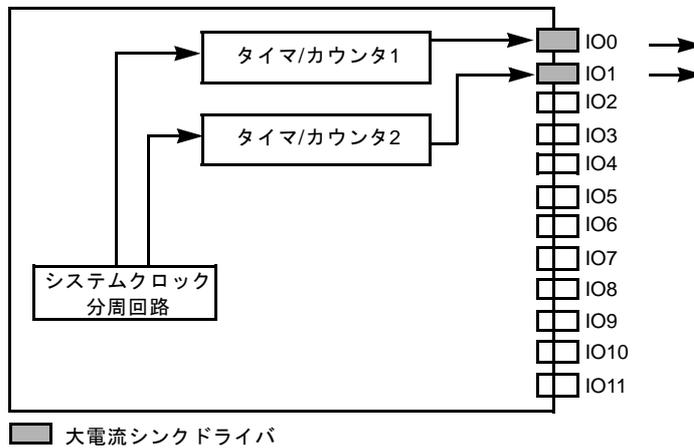


記号	説明	最小値	標準値	最大値
$t_{fout}$	関数コールからタイマ開始まで	—	96 $\mu$ s	—
$t_{fod}$	関数から出力Disableまで	—	82.2 $\mu$ s	—
$t_{sod}$	アクティブ同期エッジから出力トグルまで	550 ns	—	750 ns
$t_{win}$	同期入力パルス幅 (10MHz)	200 ns	—	—
$t_{ret}$	関数からのリターン	—	13 $\mu$ s	—

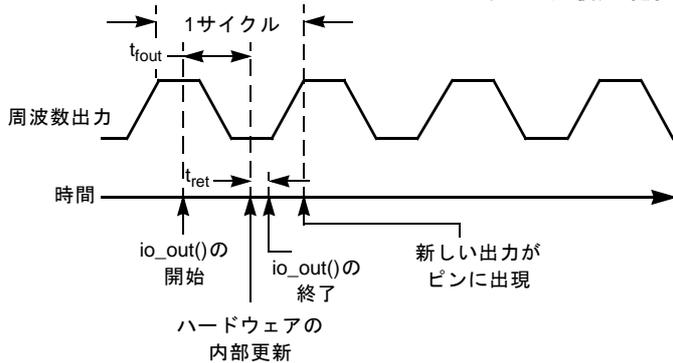
図3.49 エッジデバインド出力オブジェクト

### 周波数出力 (Frequency Output)

タイマ/カウンタは、デューティサイクル50%の連続矩形波を生成するように構成することができます。デバイスに新しい周波数を書き込んだ場合、それが有効になるのは現在のサイクルの終了時です。このオブジェクトは、オーディオ変換器を駆動するときや、周波数-電圧コンバータを駆動してアナログ出力を生成するとき有用です (図3.50を参照)。



10MHzにおける周波数分解能  
および最大範囲



CLK	分解能	範囲	単位
0	0.4	26.21	μs
1	0.8	52.42	μs
2	1.6	104.86	μs
3	3.2	209.71	μs
4	6.4	419.42	μs
5	12.8	838.85	μs
6	25.6	1677	μs
7	51.2	3355	μs

記号	説明	10MHzにおける標準値
$t_{fout}$	関数コールから出力更新まで	96 μs
$t_{ret}$	関数からのリターン	13 μs

図3.50 周波数出力遅延時間値

新しい周波数出力値は、現在のサイクルが終了するまで有効になりません。これには2つの例外があります。出力がDisableされているときは、新しい (非ゼロ) 出力が $t_{fout}$ の直後に始まります。また、新しい出力値がゼロのとき、出力は現在のサイクルの終了を待たずに直ちにDisableされます。

I/Oオブジェクト宣言でinvertキーワードが使用されていない限り、Disableされた出力はデフォルトでロジックゼロになります。このオブジェクトの分解能および範囲は、PL スマートトランシーバの入力クロックレートに比例します。

## 赤外線パターン出力 (Infrared Pattern Output)

**infrared\_pattern** I/Oオブジェクトは、一連の時限反復矩形波出力信号を生成します。矩形波出力の周波数はアプリケーションによって制御されます。通常、この周波数は赤外線送信に使用される変調周波数です。

変調周波数のパターンは、符号なしの長いタイミング値の配列によって制御されます。配列中の最初の値は、変調周波数信号出力の最初のバーストの長さを制御します。出力はこの期間中アクティブです。配列中の2番目の値は、変調周波数信号の不在の長さを制御します。出力はこの期間中アイドルです。その後、このパターンが配列中の続いて起こる値によって繰り返され、その結果アイドル期間を間隔とする一連の周波数出力バーストが生成されます。この配列は、**edge1og**入力オブジェクトによって生成される配列と似ています。

このI/Oオブジェクトは、赤外線遠隔制御をサポートするデバイスを赤外線で制御するための赤外線LEDを駆動するために有用です。

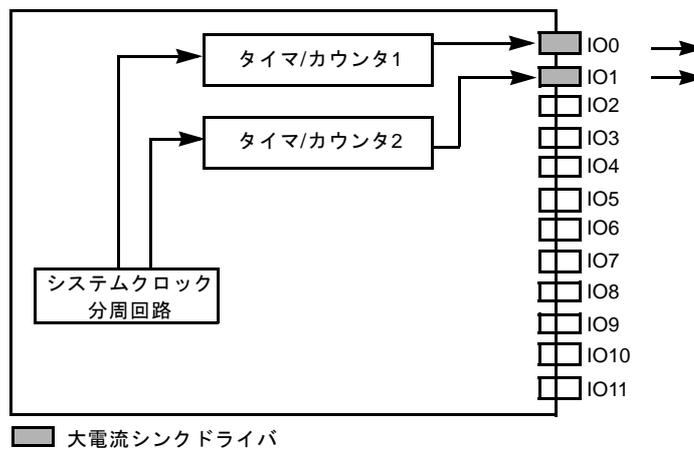
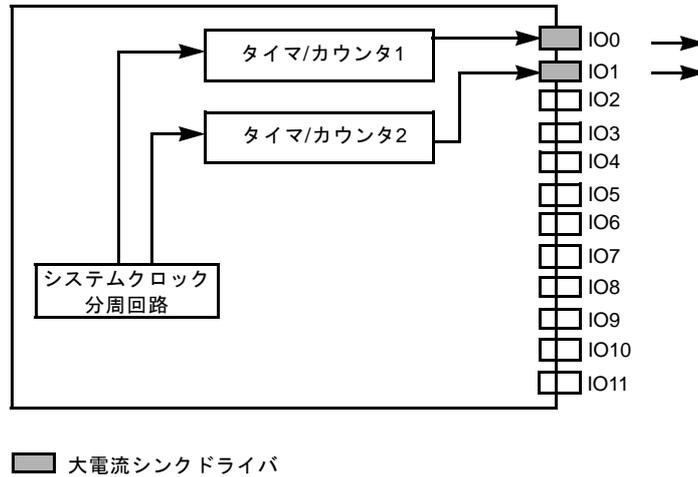


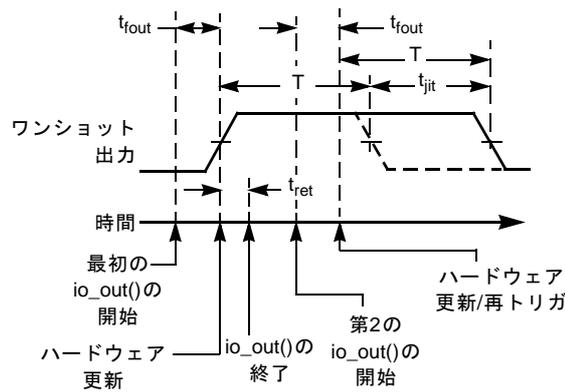
図3.51 赤外線パターンI/O

## ワンショット出力 (Oneshot Output)

タイマ/カウンタは、プログラム可能な持続時間を持つ単一のパルスを生成するように構成することができます。アサートされた状態は、ロジックHIGHまたはロジックLOWが可能です。パルスが終了する前にワンショットを再びトリガすると、そのパルスは新しい持続時間の間続きます。本章最後の「注記」節の表3.8は、さまざまなクロックにおける分解能と最大時間を示したものです。このオブジェクトは、アプリケーションプロセッサの介入なしに時間遅延を生成するために有用です (図3.52を参照)。



■ 大電流シンクドライバ



T = ユーザーが定義したワンショット出力期間

記号	説明	10MHzにおける標準値	最大値
$t_{fout}$	関数コールから出力更新まで	96 $\mu$ s	—
$t_{ret}$	関数からのリターン	13 $\mu$ s	—
$t_{jit}$	出力持続時間ジッタ	—	1タイマ/カウンタ クロック周期*

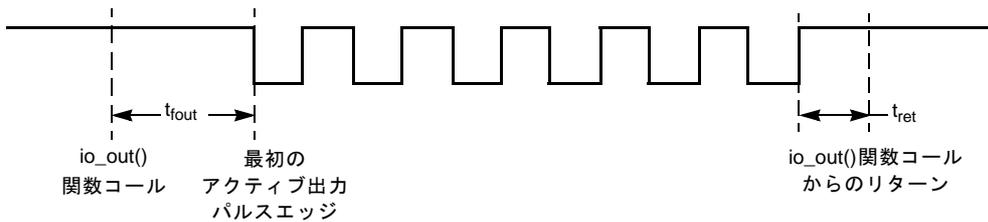
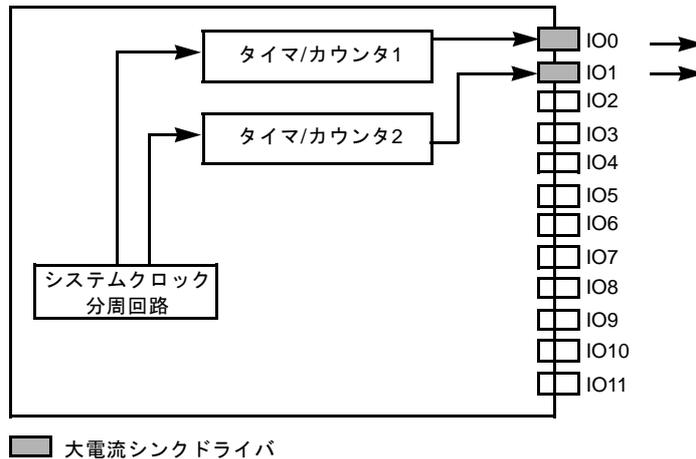
図3.52 ワンショット出力遅延時間値

\* タイマ/カウンタ・クロック周期 = (2000ns \* 2<sup>^(クロック)</sup>) / (入力クロック (MHz))

出力がまだアクティブのときにこの関数が再び呼び出されると、更新は直ちに有効となり、現在のサイクルが延長されます。そのため、これは再トリガ可能なワンショット機能であると言えます。

### パルスカウント出力 (Pulsecount Output)

タイマ/カウンタは、一連のパルスを生成するように構成することができます。出力されるパルスの数は0～65,535の範囲で、出力波形はデューティサイクル50%の矩形波です。この関数は、連続パルスが完了するまでアプリケーション処理を一時停止します。この波形の周波数は、本章最後の「注記」節の表3.9に指定されている8つの値（クロックセレクト値0～7）の1つです。このオブジェクトは、ステップモータのように連続パルスを蓄積できる外部計数デバイスに有用です（図3.53を参照）。



記号	説明	10MHzにおける標準値
$t_{fout}$	関数コールから最初のアクティブ出力パルスエッジまで	115 $\mu$ s
$t_{ret}$	関数からのリターン	5 $\mu$ s

図3.53 パルスカウント出力

この関数からのリターンは、すべての出力パルスが生成されるまでは起こりません。

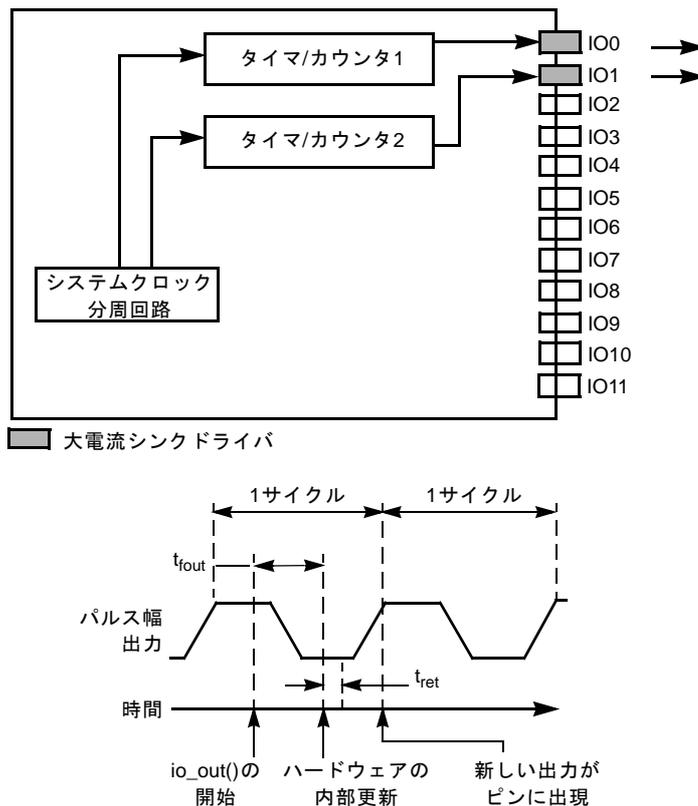
$t_{fout}$ は、関数コールから最初の出力パルスまでの時間です。そのため、この関数を呼び出すと、アプリケーションプロセッサは  $N \times (\text{パルス周期}) + t_{fout} + t_{ret}$  の間（Nは指定された出力パルス数）拘束されます。

出力の極性は、関数ブロックの宣言でinvert オプションが使用されているかどうかによって依存します。デフォルトはLOW（パルスがHIGH）です。

## パルス幅出力 (Pulsewidth Output)

タイマ/カウンタは、パルス幅変調された反復波形を生成するように構成することができます。short型パルス幅関数では、デューティサイクルの範囲は1サイクルの0%~100% (0/256~255/256) であり、約0.4% (1/256) ステップです。この波形の周波数は、表3.9に指定されている8つの値のうちの1つです。

long型パルス幅関数では、デューティサイクルの範囲は1サイクルの0%からほぼ100%まで (0/65,536~65,535/65,536) であり、15.25ppm (1/65,536) ステップです。この波形の周波数は、本章最後の「注記」節の表3.8で指定されている8つの値のうちの1つです。波形がアサートされる状態は、ロジックHIGHまたはロジックLOWが可能です。デバイスに新しいパルス幅値を書き込んだ場合、それが有効になるのは現在のサイクル終了時です。パルス幅変調信号を使用すると、デジタル/アナログ変換が簡単になります (図3.54を参照)。



記号	説明	10MHzにおける標準値
$t_{fout}$	関数コールから出力更新まで	101 $\mu$ s
$t_{ret}$	関数からのリターン	13 $\mu$ s

図3.54 パルス幅出力遅延時間値

新しい出力値は、現在のサイクルが終了するまで有効になりません。これには2つの例外があります。出力がDisableされているときは、新しい (非ゼロ) 出力が $t_{fout}$ の直後に始まります。また、新しい出力値がゼロのとき、出力は現在のサイクルの終了を待たずに、直ちにDisableされます。

I/Oオブジェクト宣言でinvertキーワードが使用されていない限り、Disableされた出力はデフォルトでロジックゼロになります。

### トライアック出力 (Triac Output)

PLスマートトランシーバのタイマ/カウンタは、出力信号の同期入力に対する遅延を制御するように構成することができます。この同期は、入力の立ち上がりエッジ、立ち下がりエッジ、あるいは立ち上がりと立ち下がりの両方のエッジで発生します。トライアックデバイスを使用しているAC回路の制御では、通常の同期入力はゼロクロス信号で、パルス出力はトライアックのトリガ信号です。表3.8は、遅延の分解能と最大範囲を示したものです (図3.55を参照)。

出力ゲートパルスは、10MHzの場合25.6 $\mu$ s (6.5536MHzの場合は39.062 $\mu$ ) の一定周期を持つ内部クロックによってゲートされます。入力トリガ信号 (ゼロクロス) は、この内部クロックに対して非同期であるため、出力ゲートパルスにはジッタ $t_{jit}$ が伴います。

同期入力およびトライアックゲート出力の実際のアクティブエッジは、それぞれclockedgeまたはinvertパラメータによって設定されます。

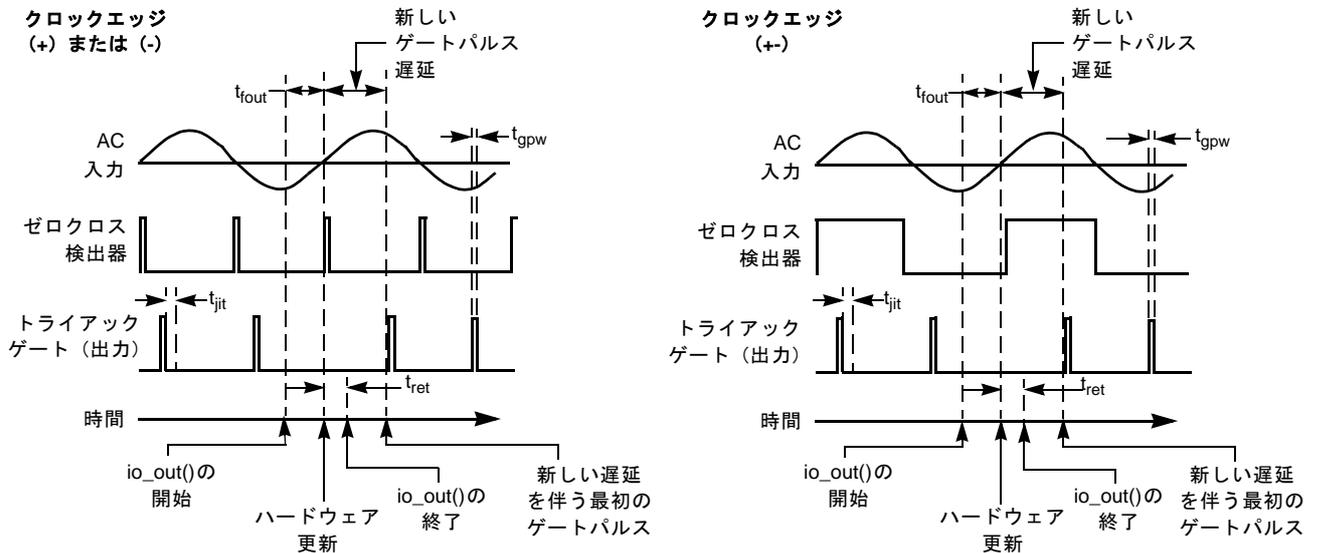
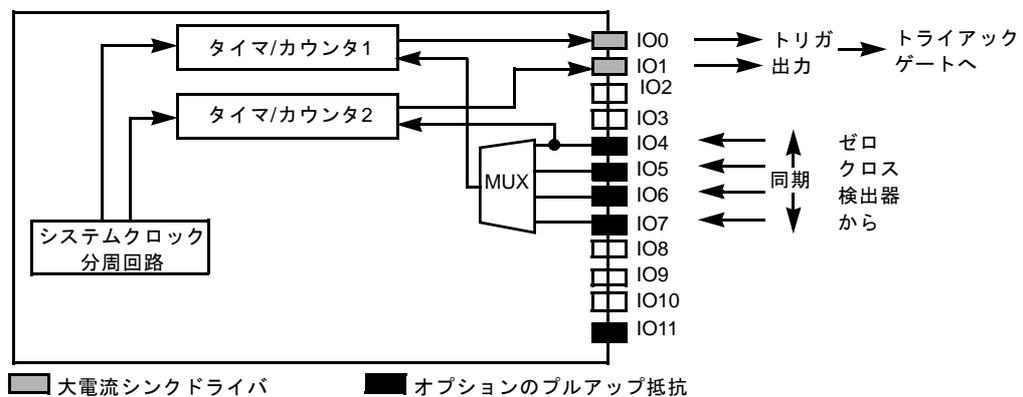


図3.55 トライアック出力遅延時間値

ハードウェアの更新は、外部アクティブ同期クロックエッジが発生するまで行われません。次に、内部タイマが Enable され、ユーザーが定義した期間が経過するとトライアックゲートパルスが生成されます。トライアックゲートパルス遅延値が新たに更新されるまで、このシーケンスが無限に反復されます。

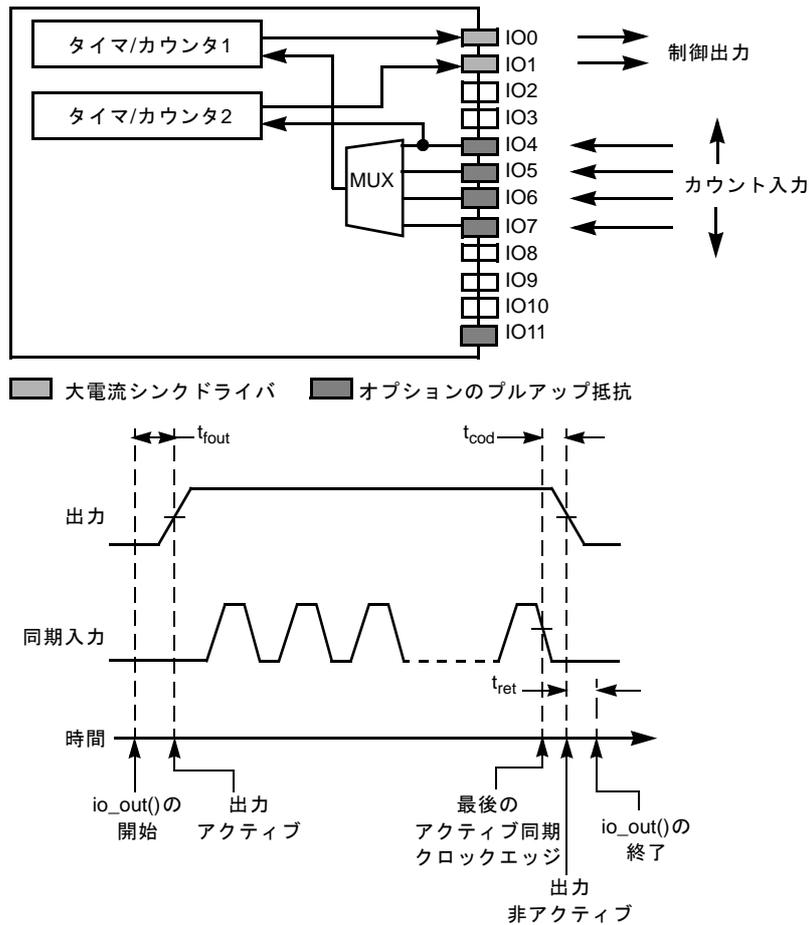
$t_{\text{fout}}$  (最小) は、関数コールの開始から同期入力の最初のサンプリングまでの遅延です。アクティブ同期クロックエッジがない場合、入力は 10ms (50Hz ラインサイクルの 1/2 波長、 $t_{\text{fout}}$  (最大)) の間、繰り返しサンプリングされます。この間、アプリケーションプロセッサは一時停止されます。

出力ゲートパルスは、10MHz の場合 25.6 $\mu$ s (6.5536MHz の場合は 39.062 $\mu$ ) の一定周期を持つ内部クロックによってゲートされます。入力トリガ信号 (ゼロクロス) は、この内部クロックに対して非同期であるため、出力ゲートパルスにはジッタ  $t_{\text{jit}}$  が伴います。

同期入力およびトライアックゲート出力の実際のアクティブエッジは、それぞれ `clockedge` または `invert` パラメータによって設定されます。

### トリガードカウント出力 (Triggered Count Output)

プログラムの制御下でアサートされ、プログラム可能な数の入力エッジ (最大65,535) が1つの入力ピン (IO4～IO7) で計数されたときに否アサートされる出力パルスを生成するよう、タイマ/カウンタを構成することができます。アサートはロジックHIGHまたはロジックLOWです。このオブジェクトは、連続パルスの形で位置フィードバックを提供するステッピングモータや位置決めアクチュエータを制御するときには有用です。外部デバイスの駆動はデバイスが必要な距離移動するまでEnableされ、その後デバイスはDisableされます (図3.56を参照)。



記号	説明	10MHzにおける標準値
$t_{fout}$	関数コールから出力パルスまで	109 $\mu$ s
$t_{cod}$	最後の負の同期クロックエッジから出力非アクティブまで	最小値550 ns 最大値750 ns
$t_{ret}$	関数からのリターン	7 $\mu$ s

図3.56 トリガードカウント出力遅延時間値

アクティブ出力レベルは、関数ブロックの宣言でinvertオプションが使用されているかどうかによって依存します。デフォルトはHIGHです。

## 注記

基本的な入力または出力として、さまざまなI/Oピンの組み合わせを構成することができます。アプリケーションプログラムは、オプションで基本的な出力の初期値を指定することができます。出力として構成されたピンは、入力として読み取ることもできます。この場合は、最後に書き込まれた値が戻されます。

一部のI/Oオブジェクトにおいて、PLスマートトランシーバのピンごとのタイミング数値に勾配があるのは、Neuronファームウェアが実行するシフトアンドマスク処理に起因しています。

デュアルスロープ入力、エッジログ入力、オンタイム入力、およびピリオド入力においては、タイマ/カウンタは0~65,535の範囲の値（エッジログ入力の場合は値の表）をリターンします。この値は、0から表3.8で指定されている最大範囲までの経過時間を表しています。

オンタイム入力、ピリオド入力、デュアルスロープ、エッジログ、および赤外線においては、タイマ/カウンタは0~65,535の範囲の数をリターンします。この値は、0から表3.8で指定されている最大範囲までの経過時間を表しています。

ワンショット出力、周波数出力、およびトライアック出力の場合、タイマ/カウンタは0~65,535の範囲の数でプログラムすることができます。この数は、ワンショット出力の波形オンタイム、周波数出力の波形周期、およびトライアック出力の同期入力からパルス/レベル出力までの制御期間を表します。表3.8は、これらのタイマ/カウンタオブジェクトの（10MHzにおける）範囲と分解能を示したものです。クロックセレクト値は、Neuron CアプリケーションプログラムのI/Oオブジェクト宣言で指定され、実行時に修正することができます。

表 3.8 タイマ/カウンタの分解能と最大範囲

クロック セレクト	ワンショットおよびトライアック出力。 デュアルスロープ、エッジログ、オンタイム、 およびピリオド入力		周波数出力	
	分解能 ( $\mu$ s)	最大範囲 (ms)	分解能 ( $\mu$ s)	最大範囲 (ms)
0	0.2	13.1	0.4	26.2
1	0.4	26.2	0.8	52.4
2	0.8	52.4	1.6	105
3	1.6	105	3.2	210
4	3.2	210	6.4	419
5	6.4	419	12.8	838
6	12.8	839	25.6	1,678
7	25.6	1,678	51.2	3,355

**注記：**この表は入力クロック10MHz用です。他のクロックレートを使用する場合は、適切なスケールリングを行ってください。

$$\text{分解能 } (\mu\text{s}) = 2 \text{ (クロックセレクト} + n) / \text{(入力クロック (MHz))}$$

$$\text{最大範囲 } (\mu\text{s}) = 65535 \times \text{分解能 } (\mu\text{s}) \times n$$

n = 1 (ワンショットおよびトライアック出力、およびデュアルスロープ、エッジログ、オンタイムおよびピリオド入力の場合)

n = 2 (周波数出力の場合)

表3.9は、short型パルス幅出力およびパルスカウント出力の場合に連続パルスの反復周波数として選択できる値を示したものです。パルスカウントは、クロックセレクトが0では使用できません。

表 3.9 タイマ/カウンタ矩形波出力

クロックセレクト (システムクロック÷)	反復レート (Hz)	反復周期 ( $\mu$ s)	パルス の分解能 ( $\mu$ s)
0 (÷ 1) (5 MHz)	19,531	51.2	0.2
1 (÷ 2) (2.5 MHz)	9,766	102.4	0.4
2 (÷ 4) (1.25 MHz)	4,883	204.8	0.8
3 (÷ 8) (625 kHz)	2,441	409.6	1.6
4 (÷ 16) (312.5 kHz)	1,221	819.2	3.2
5 (÷ 32) (156.25 kHz)	610	1,638.4	6.4
6 (÷ 64) (78.125 kHz)	305	3,276.8	12.8
7 (÷ 128) (39.06 kHz)	153	6,553.6	25.6

この表は入力クロック10MHz用です。他のクロックレートを使用する場合は、適切なスケーリングを行ってください。

$$\text{周期 } (\mu\text{s}) = 512 \times 2^{\text{クロックセレクト}} / (\text{入力クロック (MHz)})$$

$$\text{周波数 (Hz)} = 1,000,000 / \text{周期 } (\mu\text{s})$$

下の表は、long型パルス幅出力の場合に連続パルスの反復周波数として選択できる値を示したものです。

表 3.10 タイマ/カウンタ連続パルス出力

クロックセレクト	周波数 (Hz)	周期 (ms)
0	76.3	13.1
1	38.1	26.2
2	19.1	52.4
3	9.54	105
4	4.77	210
5	2.38	419
6	1.19	839
7	0.60	1,678

この表は入力クロック10MHz用です。他のクロックレートを使用する場合は、適切なスケーリングを行ってください。

$$\text{周期 (ms)} = 131.072 \times 2^{\text{クロックセレクト}} / (\text{入力クロック (MHz)})$$

$$\text{周波数 (Hz)} = 1,000 / \text{周期 (ms)}$$

すべてのCMOSデバイスに共通なこととして、I/Oピンがフローティングの場合、過剰な電流が消費されることがあります。これを防ぐために、すべての未使用I/Oピンをビット出力として宣言しておいてください。または、未使用I/Oピンを+V<sub>DD5</sub>またはGNDに接続することもできます。



4

---

# カップリング回路

## はじめに

本章では、PL 3120またはPL 3150電力線スマートトランシーバの通信信号を電力線にカップリングする方法について説明し、回路図と電氣的安全性を含めたカップリング回路の設計について取り扱います。

## 電力線通信

PLスマートトランシーバは、高度なデジタル信号処理技法、超低出力インピーダンスの送信パワーアンプ、および80dBを超える広ダイナミックレンジのレシーバを採用することによって、電力線の通信につきものの信号減衰とノイズの問題を解決します。PLスマートトランシーバの通信能力をフルに発揮させるには、これらのトランシーバに付属する本線カップリング回路の選択と実装に十分な注意を払う必要があります。本節では、本線カップリング回路を選択および実装するために知っておく必要がある、信号減衰の原因について概説します。

減衰とは、電力線トランスミッタの出力における信号レベルとレシーバの入力におけるその信号のレベルとの差のことです。減衰はしばしばパワーレベルの比として定義されますが、本書では、送信された信号電圧（無負荷）と同じ信号のレシーバ入力における電圧の比の意味で使用します。パワー測定には回路インピーダンスを知っておく必要がありますが、電力線においてはこのインピーダンスが場所と時間によって異なるため、電圧比の方が測定しやすくなっています。

電力線の通信においては、送信された信号の減衰が広範囲にわたるため、デシベル（dB）単位で表現するのが便利です。電圧減衰はdB単位、つまり $20\log_{10} (V_{\text{transmit}}/V_{\text{receive}})$  で定義されます。つまり、20dBの減衰とはレシーバに達したときに信号が10分の1に減少していたことを意味し、40dBなら100分の1の減衰、60dBなら1000分の1の減衰というようになります。PLスマートトランシーバは、専用ツイストペアのような低ノイズラインにおいては、送信信号が80dB（10000分の1）に減衰しても確実に通信する能力を備えています。そのため、7Vp-p（ $2.5V_{\text{RMS}}$ ）で送信された信号は、700 $\mu$ Vp-p（ $250\mu V_{\text{RMS}}$ ）未満に減少してもまだ受信可能です。

電力線における減衰の原因は、配電ネットワークの簡易化モデルを見ると容易に理解できます。この例は、1つの配電パネルと二相の本線電力を持っています。電力線通信の多くのアプリケーションにおいてはこれと異なる相数、トポロジー、電圧、およびワイヤタイプが採用されていますが、この例はPLスマートトランシーバの使用に影響するいくつかの重要な問題を図示しています。

図4.1は、電力線通信信号の経路を示しています。壁のコンセントから始まって建物の電気配線とサーキットブレーカパネルを通り、電力位相をわたり、最終的には別の壁コンセントに至ります。ノイズと送信信号の負荷を生じさせているデバイスへの電源は、電力ネットワークの各コンセントによって供給されている可能性があります。この図では、経路を理解しやすいように、ニュートラルとアースワイヤは省略されています。

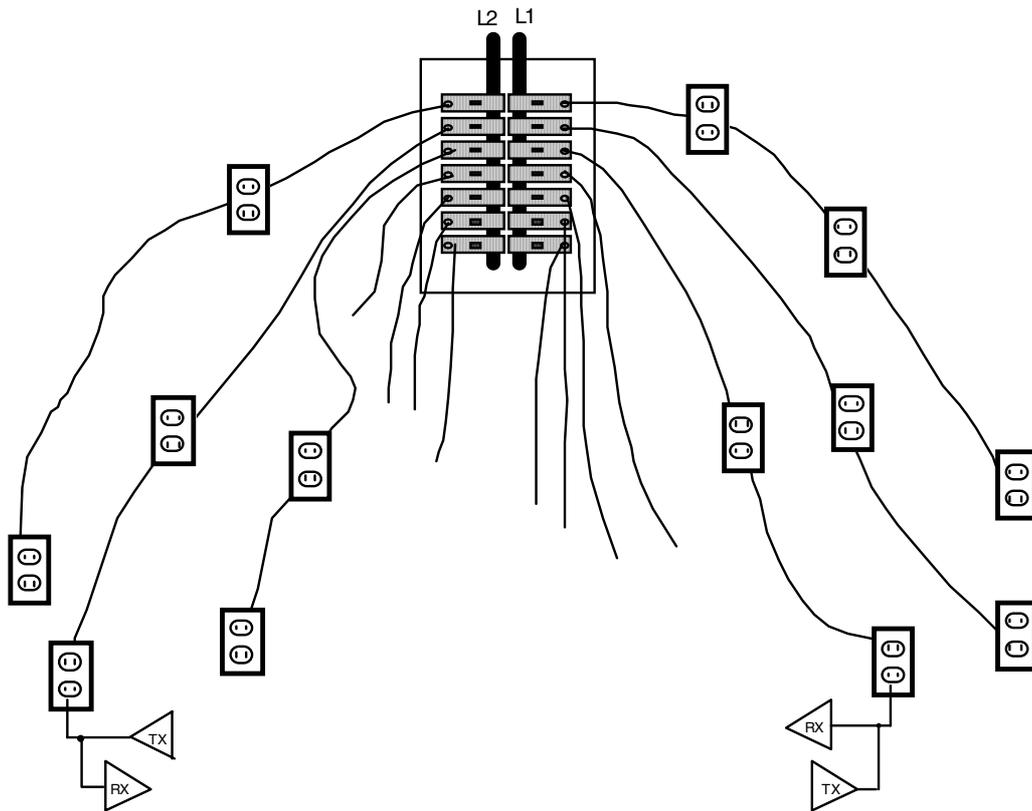


図4.1 配電モデル

トランスミッタの出力インピーダンス、さまざまな本線回路分岐のインピーダンス、および本線分岐回路に存在する負荷によって形成される分圧回路を考えると、減衰について理解しやすくなります。PLスマートトランシーバの通信周波数（70kHz～138kHz）における重要なインピーダンスは、本線の配線そのものの直列インダクタンス、ラインとニュートラル間の容量性負荷、ラインとニュートラル間の抵抗性負荷、および位相間の相互インダクタンスと寄生容量に起因するL1とL2間のカップリングによって生じます。これらの分散インピーダンスがまとめられ、単一の周波数が送信されているかのように扱われると、図4.2に示すようなシンプルな減衰モデルになります。

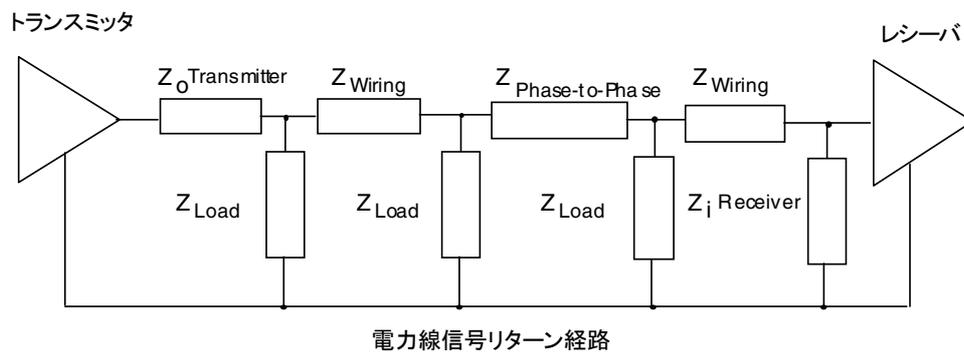


図4.2 電力線の減衰モデル

このモデルは、直列インピーダンスを最小限に抑え、ラインからリターン経路へのインピーダンスを最大化することによって、送信された信号の減衰を低減できることを示しています。

## カップリング技法

### 電力線カップリングの基礎

電力線回路に通信信号を注入する通常の方法は、トランシーバの出力を電力線に容量的にカップリングすることです。通常、カップリングコンデンサのほかに、インダクタンスまたはトランスも存在します。カップリングコンデンサとインダクタンスまたはトランスは、通信信号を受信するときに、共にハイパスフィルタとして動作します。このハイパスフィルタは、大きなAC本線信号（50Hzまたは60Hz）を減衰させる一方でトランシーバの通信信号を通します。図4.3に基本的な本線カップリング回路を示します。このコンデンサの値は、通信周波数におけるインピーダンスを低くするために十分なだけ大きく、そして本線の電力周波数（50Hzまたは60Hz）においてインピーダンスを高くするために十分なだけ小さく設定されています。コンデンサのインピーダンスは、図4.2に示すトランスミッタの出力インピーダンス（ $Z_{o\text{Transmitter}}$ ）の一部と考えることができます。カップリングコンデンサのインピーダンスを低く保つと、アンプの出力インピーダンスと本線の負荷の間に形成された分圧器に起因する信号注入ロスを最小限に抑えることができます（ $Z_{\text{Load}}$ ）。

インダクタの値は、PLスマートトランシーバの通信周波数において比較的高いインピーダンスになるように選ばれています。インダクタのインピーダンスは、図4.2に示すレシーバの入力インピーダンス（ $Z_{i\text{Receiver}}$ ）の一部と考えることができます。インダクタのインピーダンスを高く保つと、配線インピーダンスとレシーバ入力インピーダンスで形成された分圧器に起因するレシーバ側の信号ロスを最小限に抑えることができます。

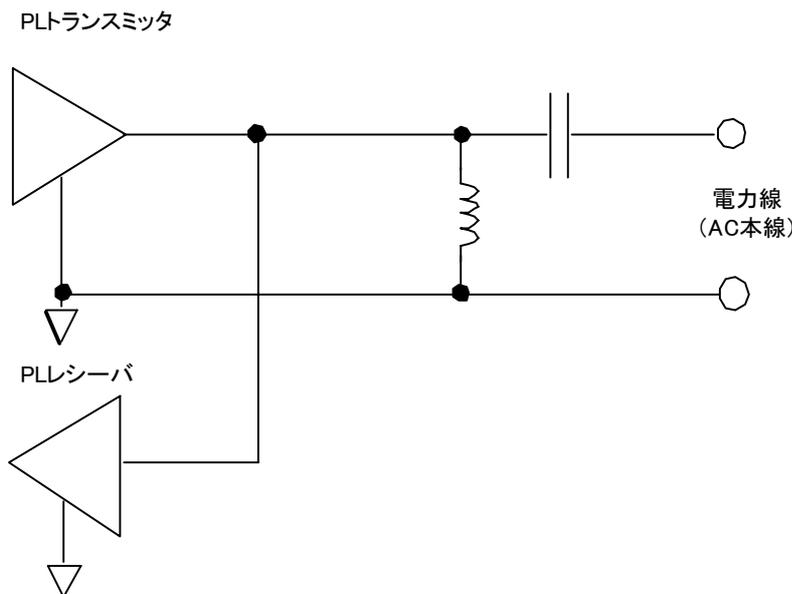


図4.3 基本的な本線カップリング回路

どのタイプの本線カップリング回路を使用するかは、カップリング回路の接続先配電システムの配線スタイルによって決まります。配線トポロジーは、家庭と商用ビルディング、あるいは国の違いなど、アプリケーションによって異なります。配線スタイルは、別個のアース導体（つまり、アース接続付きのニュートラルワイヤとは違った安全グラウンド）が存在してアクセス可能な配線システム、そしてアース導体のない配線システムという、2つの主なカテゴリーに分かれています。

1つのアース導体が常時存在する場合は、ライン・アース間カップリングと呼ばれるカップリング方法が好適です。ライン・アース間カップリングの場合、通信信号はアースに対してラインワイヤにカップリングされ、アースが通信信号のリターン経路として使用されます。このカップリング技法は、アースリターンカップリングとも

呼ばれます。ライン・アース間カップリングの使用には、現地の規制が適用される場合があります（詳細については、本章の「安全性の問題」節の「グラウンド漏れ電流」を参照）。原則として、ライン・アース間カップリングは、現地の電気規則がアース安全グラウンドの存在を必要とし、それに関連する50/60Hzのリーク電流を許容する北米およびEU非加盟国における商用アプリケーションにおいてのみ使用されます。図4.4にライン・アース間カップリング回路のシンプルな例を図示します。

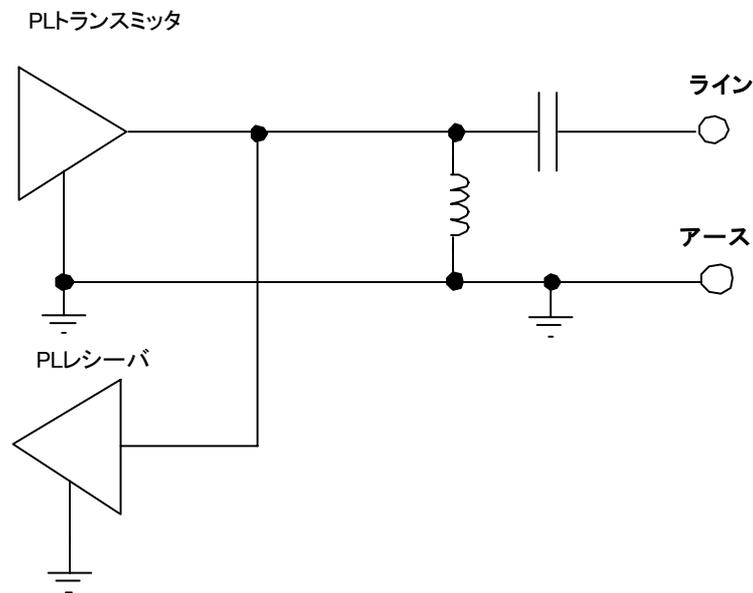


図4.4 ライン・アース間カップリング法

ライン・アース間カップリングの利点を理解するには、電力線のラインワイヤとニュートラルワイヤの間に接続されたデバイスによる負荷が信号減衰の主因であることを思い出してください。ライン・アース間カップリングを使用すると、これらの負荷は信号減衰に影響しません。現場の測定によると、ライン・アース間カップリングを使った場合は、非アースリターンカップリングを使った場合に比べて受信信号雑音比が一貫して15dB以上改善されます。このため、配線システム全体にわたって安全グラウンド接続が使用できる場合は、ライン・アース間カップリング方式が好適です。

安全グラウンド接続が必ずしも常に使用できないようなアプリケーション、あるいはライン・アース間カップリングが現地の法令により不可能になっている場合は、カップリング回路をラインワイヤとニュートラルワイヤの間に接続する必要があります。このスタイルのカップリングは、ライン・ニュートラル間カップリングまたはニュートラルリターンカップリングとして知られています。ライン・ニュートラル間カップリングは、家庭用アプリケーションおよび世界中の公益事業アプリケーション用に推奨されています（図4.5に図示）。

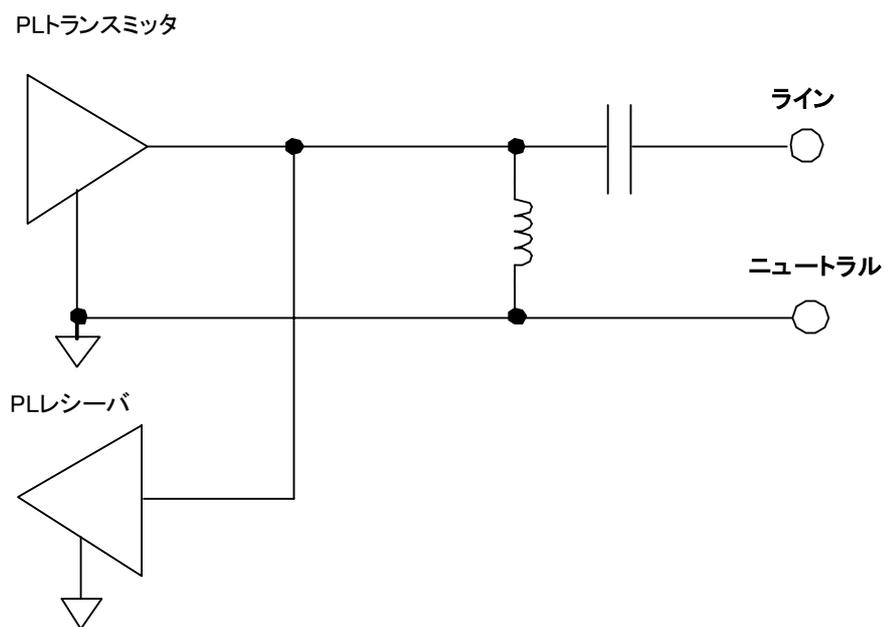


図4.5 ライン・ニュートラル間カップリングスタイル

次節では、図4.4および4.5に示したシンプルな回路を拡張して、実際のアプリケーションで利用できるようにします。カップリング回路のトポロジーは、ライン・ニュートラル間カップリングとライン・アース間カップリングの両方で同じなため、以下の説明は、どちらのカップリングにも該当します。ただし、ライン・ニュートラル間カップリングとライン・アース間カップリングでは、本線との接続が異なるだけでなく、必要な部品定数も異なります。ライン・ニュートラル間カップリングとライン・アース間カップリングの両方に関する推奨カップリング回路図および部品仕様は、本章の終わりに示すとおりです。

## 電力線カップリングの詳細

図4.4および4.5に示すカップリング回路を実際に使用するには、少数の部品を追加する必要があります。図4.6には、インダクタによる送信アンプのDCバイアスの短絡を防ぐためのACカップリングコンデンサ (C2) が示されています。

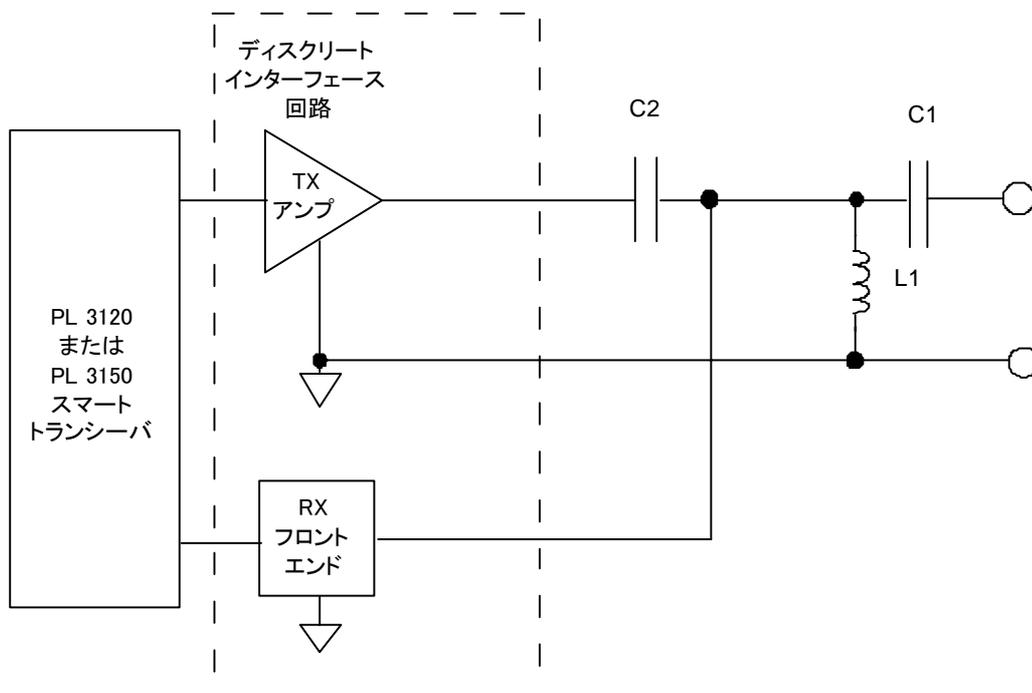


図4.6 DCブロッキングコンデンサ付きの簡略カップリング回路

前出の図4.2に示した減衰モデルによると、重要な設計要件の1つは、C1とC2の直列合成容量がPLスマートトランシーバの通信周波数において低インピーダンスでなければならないということです。これらのコンデンサのインピーダンスおよびPLスマートトランシーバの送信アンプの出力インピーダンスは、図4.2の「 $Z_0$  Transmitter」に相当します。電力線の等価負荷インピーダンスは場合によっては $1\sim 2\ \Omega$ と低く、PLスマートトランシーバの送信アンプの出力インピーダンスは $1\ \Omega$ 未満です。そのため、これらのコンデンサのインピーダンスによって「 $Z_0$  Transmitter」があまり増えないようにするには、インピーダンスを $1\ \Omega$ のオーダーにする必要があります。この条件を満たすのに十分なだけC1とC2の値を増やすことは可能ですが、そうすると高電圧コンデンサC1のコストが著しく高くなります。C2は低電圧にしか接続しないので、同じ容量でもコストが低く、そのため高電圧コンデンサC1と比べて大きな値に設定できます。

小さなコンデンサで低送信インピーダンスを実現する、シンプルでコスト効果の高い方法は、図4.7に示すようにインダクタL2を追加することです。このインダクタは、C1およびC2と直列共振回路を形成します。そのため、インダクタの値は、C1とC2のコストを最小限に押さえつつ、PLスマートトランシーバの通信周波数で最善のカップリングを実現するように選ぶことができます。カプラの性能をAバンドとCバンドで最適化するには、AバンドとCバンドでそれぞれ異なる値をC1とL2に対して設定する必要があります。本章で後出するカップリング回路例付きの部品定数には、各アプリケーションおよび各バンド用の値が含まれています。

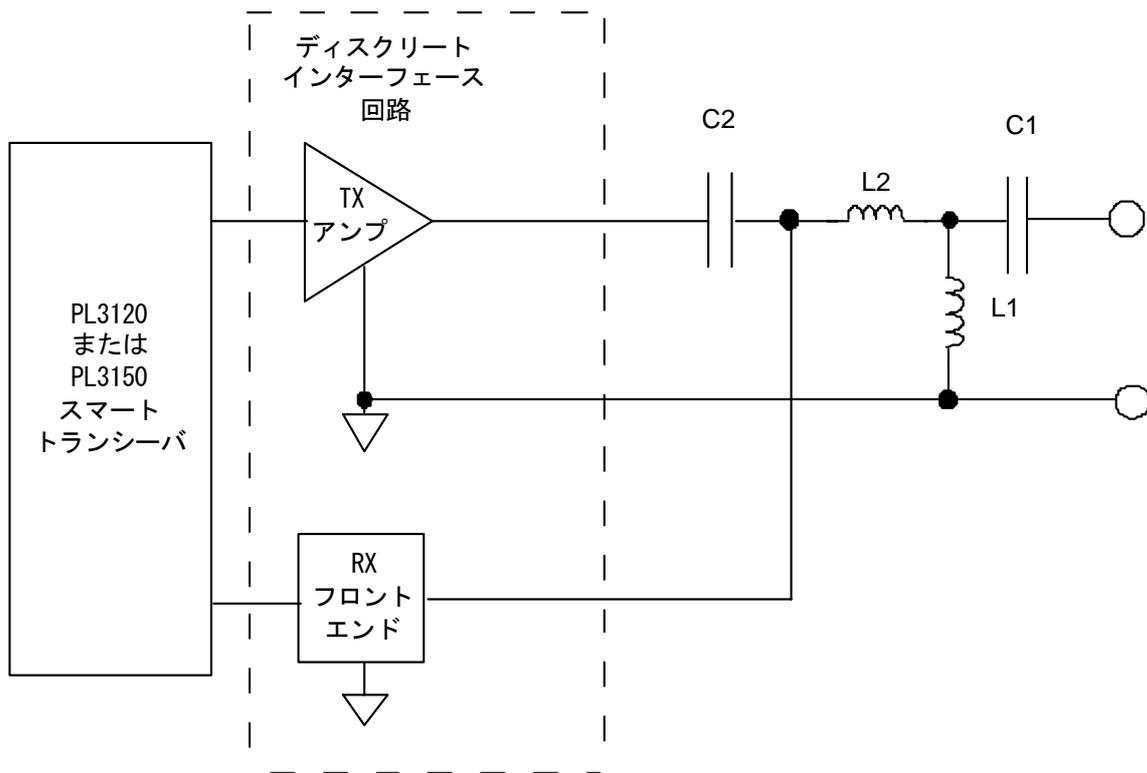


図4.7 共振インダクタ付きの簡略化カップリング回路

L2の重要な設計要件は、DC抵抗を非常に低く押さえる必要があるということです。これは、L2が送信信号経路内にあり、実効的にトランスミッタの出力インピーダンスの一部であるためです。DC抵抗が $0.2\ \Omega$ 程度の低コストインダクタは広く入手可能です。



PLスマートトランシーバの送信アンプと電力線との信号経路（または電力線からPLスマートトランシーバのグラウンドピンへのリターン経路）内には、これ以上の直列インピーダンスを追加しないでください。ただし、70kHzと130kHzの間で $1\ \Omega$ を大きく下回るインピーダンスであれば問題ありません。

信号経路のインピーダンスを低く維持することの重要性を例示するため、100kHzにおいてインピーダンスが $9\ \Omega$ のフェライトビーズを例としてみましましょう。この場合、 $1\ \Omega$ の電力線に注入される信号は10分の1に減少します。通常の条件の場合、最終製品はそれでも機能しますが、電力線環境の全域にわたっての通信マージンおよび信頼性は著しく悪化します。これと同様の理由により、直列回路保護素子のインピーダンスも非常に低く保つ必要があります。低電流ヒューズ（2A未満）およびリセット可能な保護デバイスは、一般に許容できない直列インピーダンスを信号経路に付加します。フェライトビーズによる直列インピーダンスが大きくなりすぎるのを防ぐため、100kHzにおけるインピーダンスが低いものを注意して選択する必要があります。

PLスマートトランシーバを搭載した大半のデバイスは、EMC規格に適合するためにフェライトビーズを必要としません。他のノイズ発生回路のためにフェライトビーズが必要な場合は、許容されるトポロジーについて、第6章の末尾にある説明を参照してください。

低インピーダンス信号経路を維持するには、送信アンプとAC本線の配線の間ですべてのプリント基板トレースの幅を1.3mm以上にし、長さは13cm未満にする必要があります。対応する信号リターン経路は、銅面または幅1.3mm以上のトレースにしてください。

等価直列抵抗を最小限に押さえ、十分なサージ耐性を提供するために、コンデンサC1およびC2は金属化フィルム構造のものにする必要があります。

図4.8は、カップリング回路を完全に機能させるために必要な付加部分を示したものです。1つ目は、PLスマートトランシーバの受信フィルタリング回路に接続されたインダクタL3です。L3のDC抵抗は最大55Ωまで可能です。2つ目は、ダイオードD1およびD2から成ります。これらは、トランスミッタとアンプの電源電圧の間に接続され、PLスマートトランシーバの入力を18Vを超える大きな過渡電圧から保護します。バイパスコンデンサC3は、カップリング回路の一部であることを強調するために追加されています。このコンデンサの機能の1つは、ダイオードD1を通る正方向のラインサージ放電が過剰にオーバーシュートしたときにV<sub>A</sub>電源ラインを保護することです。正極性のサージにより大電流がD1とC3を通過してグラウンドに戻るため、D1とC3間のトレースの幅は1.3mm以上、長さは1.3cm以下としてください。送信アンプのV<sub>A</sub>電源のリップルを適正に抑制するには、送信アンプのV<sub>A</sub>入力とC3の間のトレースも少なくとも1.3mm幅とし、長さは2.5cm以下にする必要があります（図4.8の上端の点線矢印を参照）。

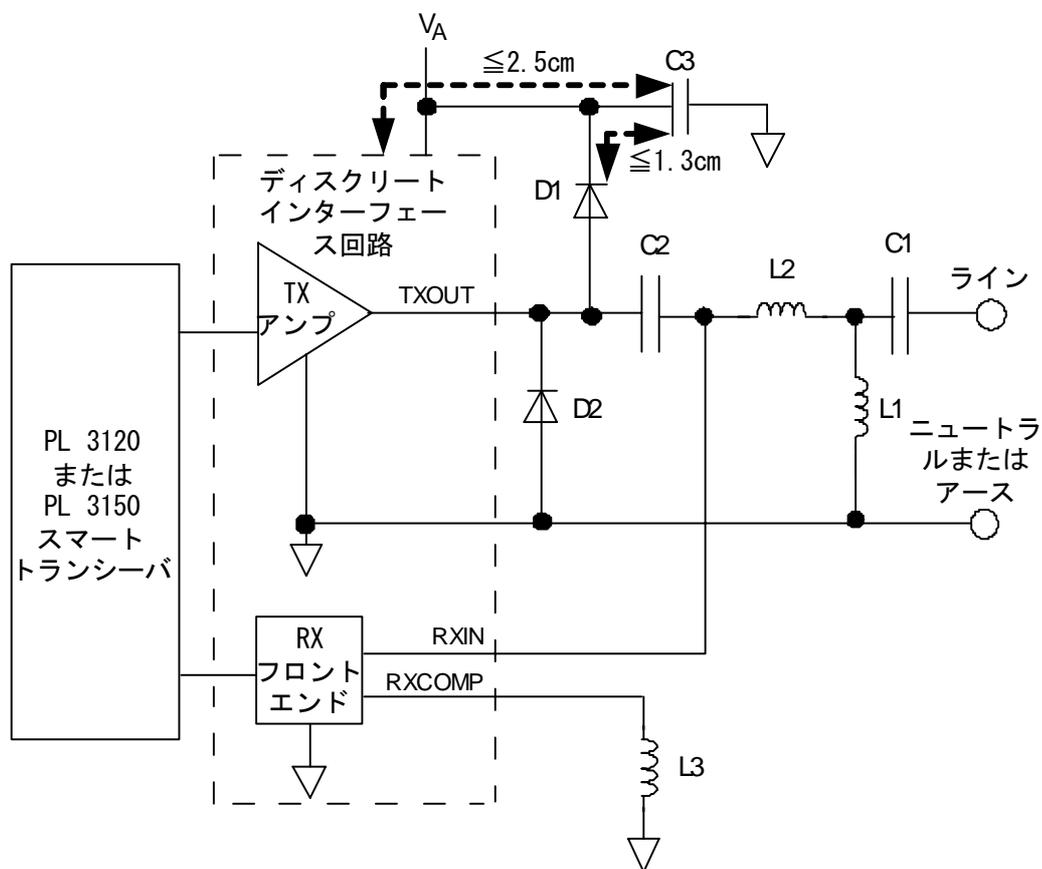


図4.8 機能的なライン・ニュートラル間またはライン・アース間カップリング回路

周囲に大きな磁場が存在する可能性がある場合（スイッチトモード電源のオープンフレーム磁気素子など）は、PLスマートトランシーバカップリング回路のインダクタがこれらの浮遊磁場を拾って、電力線に流してしまう可能性があります。これらの磁場の周波数および振幅によっては、CENELECまたはFCCの伝導放射規格に適合しなくなる可能性があります。

寄生カップリングからのノイズが疑われる場合は、長さ10cmのツイストペアワイヤを問題のインダクタの1つと直列に挿入することで確認が可能です。このインダクタを他の部品に近づけたり、遠くに離したりしたときに伝導ノイズスペクトルが数dB以上変動する場合は、寄生カップリングが原因である可能性があります。

浮遊カップリングが問題である場合は、通常、カップリング回路のインダクタに対して放射デバイスの場所または向きを調整することで規格に適合できます。別の方法として、カップリングを減らすためにシールド付きまたはトロイド型インダクタを使うこともできますが、その場合は、本章後出のカップリング回路例の表に記載されている電氣的パラメータがすべて満たされていることが必要です。ただし、L2の代わりにトロイド型またはシールド付きインダクタを使用した場合は、PLスマートトランシーバの送信アンプの最大出力電流が流れても飽和に近づかないことが条件となります。L2が飽和に近くなると、PLスマートトランシーバの送信信号に高調波が加わり、そのためにCENELECまたはFCCの放射規格に適合しなくなる恐れがあります（この場合は浮遊磁場を拾うことでなくインダクタのひずみが原因です）。このため、シールド付きまたはトロイド型インダクタをL2に使用する場合は、DC電流定格が本章後出の回路例に記載されている値の2～3倍のものを選んでください。推奨されているオープンフレームの軸方向インダクタでは、磁気経路が一部空中にあることにより直線性が保たれているため、この余分の動作マージンが不要となっています。

### カップリング回路の受信インピーダンス

受信信号の減衰を防ぐため、PLスマートトランシーバの送信アンプは、非送信時には高インピーダンス状態（約500Ω）に切り換えられます。本章で推奨されているカップリング回路を使った場合、PLスマートトランシーバ回路の受信モードインピーダンスは、通信バンド（Aバンドは70～90kHz、Cバンドは110～138kHz）において250Ω以上です。

一部の国の規格では、受信モードインピーダンスの下限が通信周波数の範囲外に設定されています。ほとんどの場合、カップリング回路の受信モードインピーダンスは10kHz付近で低下します。これは、ラインカップリングコンデンサ（C1）とカップリングインダクタ（L1）の間の直列共振効果のためです。この受信モードインピーダンスの10kHz付近での低下は、PLスマートトランシーバの通信性能には支障をきたしません。現地の規格がバンド外の受信インピーダンス最小値として5Ωを要求している場合は、DC抵抗が5Ω以上のインダクタをL1として選ぶことで対処できます。伝導放射規格に適合するには、本章後出のカップリング回路例で指定されているように、このインダクタのDC抵抗を14Ω以下に抑える必要があります。

## 安全性の問題

ここでは、PLスマートトランシーバを使った回路の設計に関連した、安全性の問題について一部解説するのみです。本書は、電氣的安全性や電気規則の手引書ではありません。適用される安全規格については、ユーザー自身が調べる必要があります。適格な安全性コンサルタントおよび規制当局や安全性機関にすべての設計を点検してもらうことを強くお勧めします。

### 安全絶縁に関する考慮事項

多くの場合、製品には、ユーザーと危険な導体の間に絶縁筐体の形で絶縁バリアが備わっています。このタイプの標準的な製品としては、PLスマートトランシーバや関連する電氣的部品をスイッチ筐体内部に含む照明スイッチが挙げられます。こうしたアプリケーションで使用できるカップリング回路は、非絶縁カップリング回路と呼ばれます。非絶縁カップリング回路は、一般に部品コストが低いため、値段の安さが重視される消費者製品および配線デバイスに特に好適です。ここまでに示したカップリング回路例は、すべて非絶縁タイプです。

一部の製品では、筐体を安全絶縁バリアとして使えないため、安全絶縁のための別の方法が必要です。たとえば、ユーザーによるI/Oピンへのアクセスが可能なPLスマートトランシーバとともに非絶縁のライン・ニュートラル間カップリング回路を使用すると、電気ショックの危険があります。本線のニュートラルリードはプリント基板のコモン端子に直接接続されているため、ユーザーはI/Oコネクタにおいて危険な電圧にさらされる可能性があります。ラインとニュートラルの接続が間違っていて逆になっている場合を想定するとさらに危険です。このような製品では、ユーザーがアクセスできるI/Oコネクタと本線のラインおよびニュートラル導体の間に安全絶縁バリアを提供するための回路を追加する必要があります。

この問題に対する最も一般的な解決法は、前述のシンプルなカップリング回路を修正することによって、カップリング回路に絶縁を提供することです。このスタイルのカップリング回路は、絶縁カップリング回路と呼ばれます。

推奨される絶縁カップリング回路では、トランス絶縁が採用されています。トランス絶縁では、L1の代わりに適切な通信特性を持った安全機関承認済みのトランスを必要とします（付録Cを参照）。トランス絶縁は、ライン・ニュートラル間およびライン・アース間カップリングの両方に使用可能です。トランス絶縁カップリングには、トランスの漏洩インダクタンスがL2の値にマッチングするように設計することによって、共振インダクタL2を絶縁トランスに組み込めるといった利点があります。トランス絶縁カップリング回路を図4.9に示します。この図からは、トランスがPLスマートトランシーバをライン導体またはニュートラルまたはアース導体から絶縁していることがわかります。

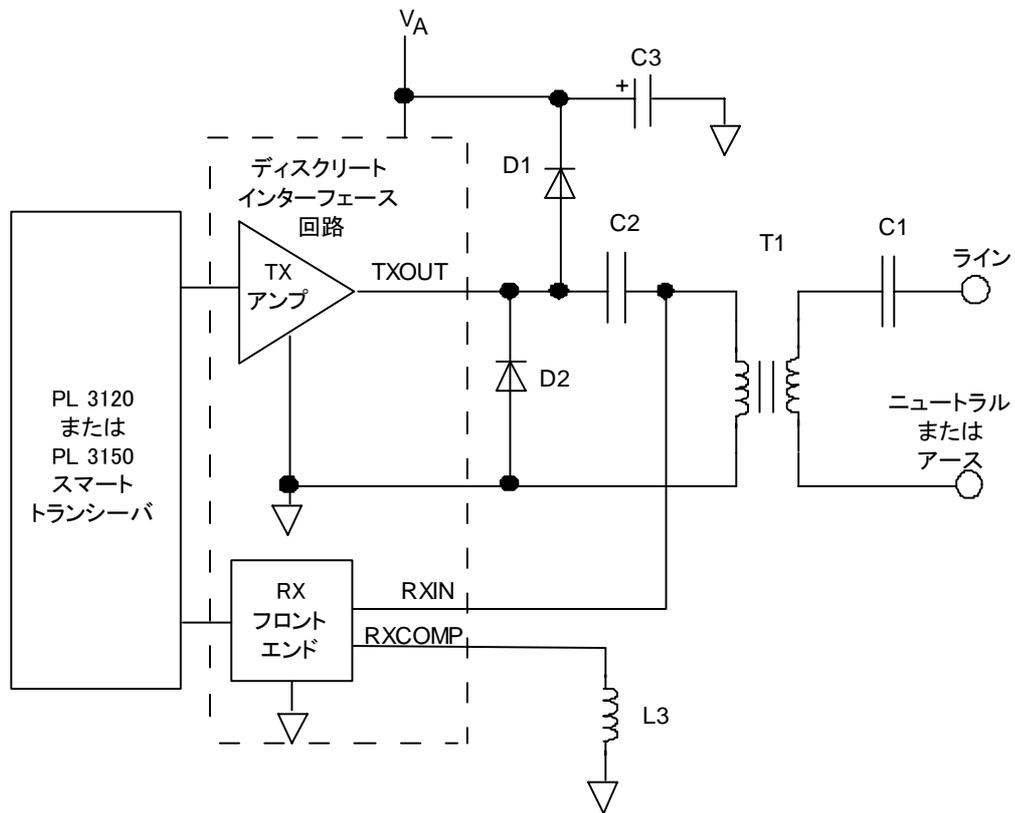


図4.9 機能的なトランス絶縁カップリング回路

この回路の受信モードインピーダンスは、C1とT1の間の直列共振効果のために10kHz付近で低減します。このバンド外インピーダンスの低下は、通信性能には支障をきたしません。現地の規格により、この共振周波数における最小受信インピーダンスが5Ω以上でなければならない場合は、図4.10に示すような直列RLC回路を必要に応じて付加することができます。

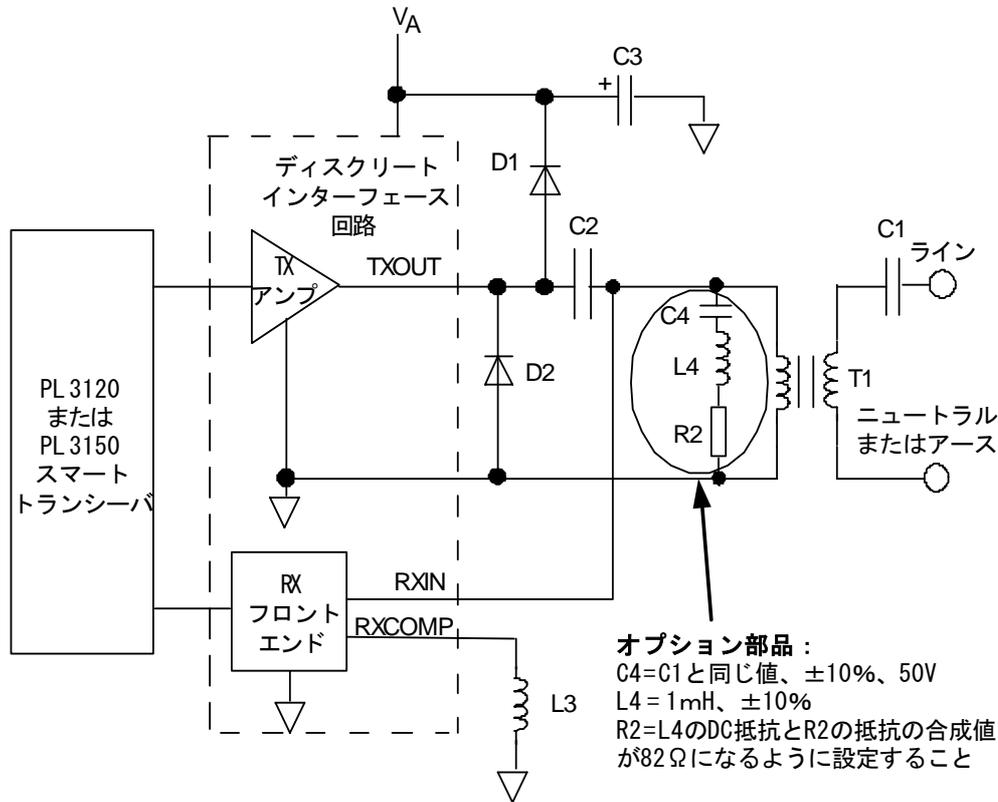


図4.10 オプションのRLC回路付きトランス絶縁カップリング回路

## グラウンド漏れ電流

ライン・アース間カップリングを採用した電力線システムの場合、許容されるグラウンド漏れ電流レベルには、安全上および実際上のリミットがあります。商用ビルディングおよび家庭用の製品に対する最大グラウンド漏れ電流は、多くの安全機関規格によって3.5mAと定められています。この漏れリミットによって、ライン・アース間カップリング回路のC1（図4.8および4.9）の最大値が決まります。以下のアプリケーション回路図では、C1の値はグラウンド漏れ電流を3.5mA未満に制限するように選択されています。

ライン・アース間カップリングを使用する場合は、実際的なリミットも存在します。単回路の漏電遮断器（GFIまたはRCD）の多くは、4mAという小さなグラウンド電流でトリガされることがあります。ライン・アース間カップリングを採用した各PLスマートトランスシーバが約3mAのグラウンド電流を生成する場合、トランスシーバはGFI保護付き回路ごとに1つしか使えません。このため、ライン・アース間カップリングは低電流GFIを用いたアプリケーションには適さないことがあります。その場合は、ライン・ニュートラル間カップリングを採用してください。また、信号システムのリターン経路にアースを用いることが現地の規格で禁止されている場合もあります。

## コンデンサの電荷蓄積

前出の図に示されているカップリングコンデンサは、PLスマートトランシーバを使ったデバイスが電力線から切り離された後でもかなりの電荷を保持していることがあります。これは、電力線から切り離れたラインコードにユーザーが触れる可能性があるアプリケーションにおいては懸念事項となります。感電の危険を最小限に抑えるため、カップリング回路は本線から切り離された後でカップリングコンデンサを放電できるよう、値の大きなブリーダー抵抗を備えているべきです。本線への接続が恒久的な配線になっている場合でも、作業員を保護するためにこの抵抗を付けることが推奨されます。本章後出のカップリング回路図には、適切なブリーダー抵抗が含まれています。このコンデンサを放電する別の経路（たとえばニア電源トランスの一次巻き線）がある場合、このブリーダー抵抗はなくてもかまいません。

## ヒューズの選択

安全性を確保するため、本線との接続と直列にヒューズが必要となる場合があります。最終製品が（ユーザーの介入なしに）機能し続けるためには、仕様のラインサージの後で切れないヒューズを選ぶことが必要です。IEEE C62.41-1991で指定されている「ハイシステム暴露 (high system exposure)」サージレベルにおいて意図しないヒューズ溶断が起きるのを防ぐには、最小6Aの時間遅延（スローブロー）定格が必要であることがわかっています。

バリスタ保護を取り入れたカップリング回路を選択した場合は、バリスタのメーカーが推奨する最大ヒューズ電流に従ってください。一部のバリスタメーカーは、1200Aサージ定格バリスタには最大ヒューズ定格6~6.3Aを、4500Aサージ定格バリスタには最大ヒューズ定格18Aを推奨しています。

上記の基準をすべて満たし、送信信号経路に付加される抵抗を非常に小さく（0.1Ω未満）するため、本章に後出するすべてのカップリング回路例では、6~6.3Aの時間遅延ヒューズが指定されています。アプリケーションが6.3Aを超える電流定格を必要とする場合は、サージ定格が2000Aを超えるバリスタを使用してください。

## 三相カップリング回路

電力線通信デバイス同士が異なるAC電力位相に存在する場合は、全減衰のかかなりの部分が位相間の移動時に生じます（通常10~20dB）。2つの通信ノードの1つがすべての電力位相に接続されている場合は、このロスを避けることができます（図4.11を参照）。すべての通信が中央配電パネルに存在する単一デバイスに出入りする場合は、通信距離を最大限に伸ばすため、そのデバイスに三相カップリング回路を使用することをお勧めします。この中央デバイスは三相すべての並列合成インピーダンスを駆動しなければならないため、大電流の送信アンプの使用をお勧めします。

ほとんどのPLスマートトランシーバ使用製品に推奨されている標準的な送信アンプは、出力電流を1Ap-pに制限する回路を含んでいます（これは非常にインピーダンスの低いラインを駆動したときにアンプの損傷を防ぐためです）。三相カプラで使用する場合は、2Ap-pの出力を供給できる別の送信アンプの使用をお勧めします。オプションのディスクリットインターフェース回路をPLスマートトランシーバとともに使用することにより、適切な送信アンプを実現することができます。参照設計は、1Ap-pと2Ap-pの両方のインターフェース回路に実装でき、付録Aにまとめられています。

三相カップリング回路のリターン経路は、アプリケーションによってニュートラルまたはアースのどちらかにできます。三相のアースリターンカップリング回路は、単相のライン・アース間カップリング回路とはグラウンド漏れ電流が異なることに注意してください。三相アースリターンカップリング回路のグラウンド漏れ電流は公称ゼロです。これは、C1A、C1B、およびC1Cを流れる3つの漏れ電流が互いに120度ずつ位相がずれ、相殺するようになっているためです。

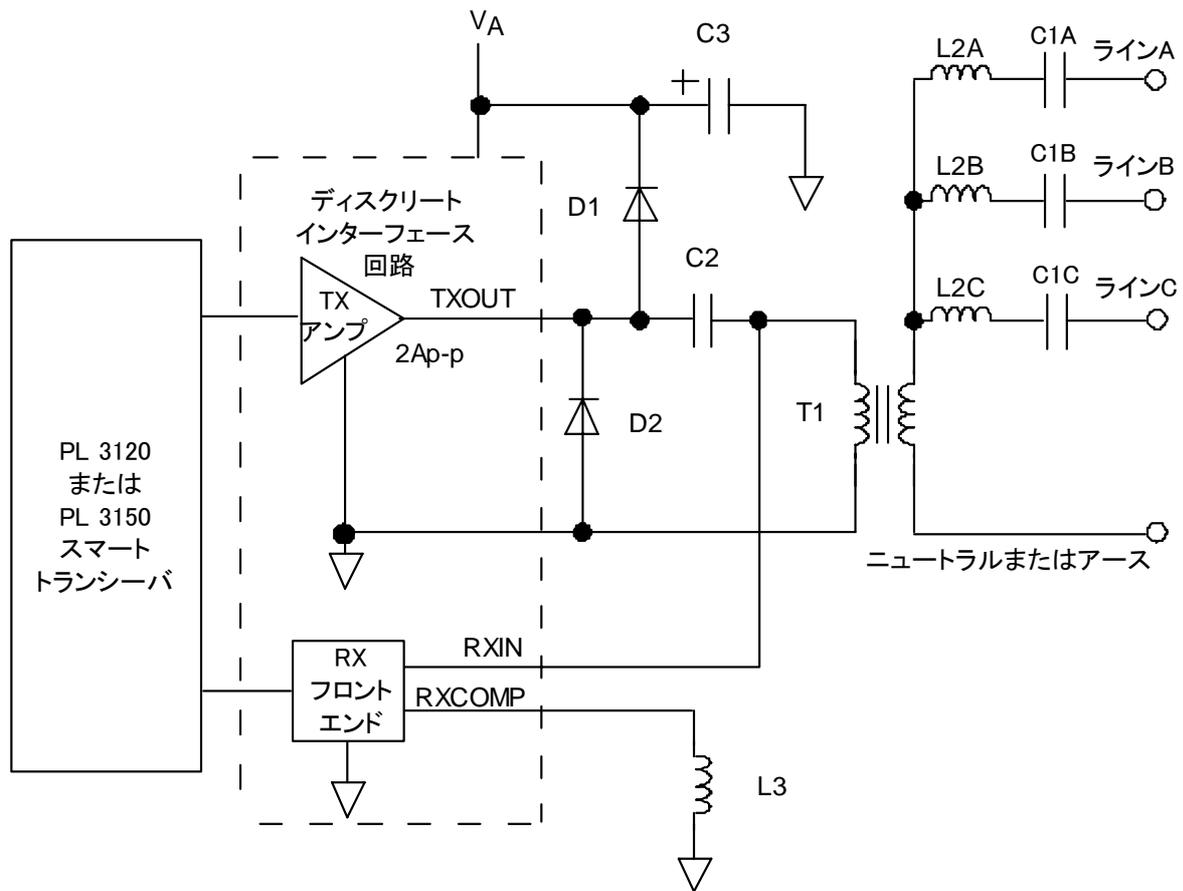


図4.11 トランス絶縁三相カップリング回路

## 二相カップリング回路

北米および日本の家庭への電気サービスは、位相が互いに180度異なる2本のホットライン（およびニュートラルリターンリード）によって提供されるのが普通です。このタイプの配電は、地区トランスを使って行われます。トランスの一次巻き線は、数千ボルトの三相配電システムに接続されています（図4.12を参照）。このトランスの二次巻き線はグラウンドを基準とするセンタータップを持ち、二次巻き線の両端は2つの位相のずれたホットラインを提供し、これが各家庭に配電されます。このタイプの配電システムは、2つのホットラインの位相が異なっていることから、二相配電配線と呼ばれることがあります。

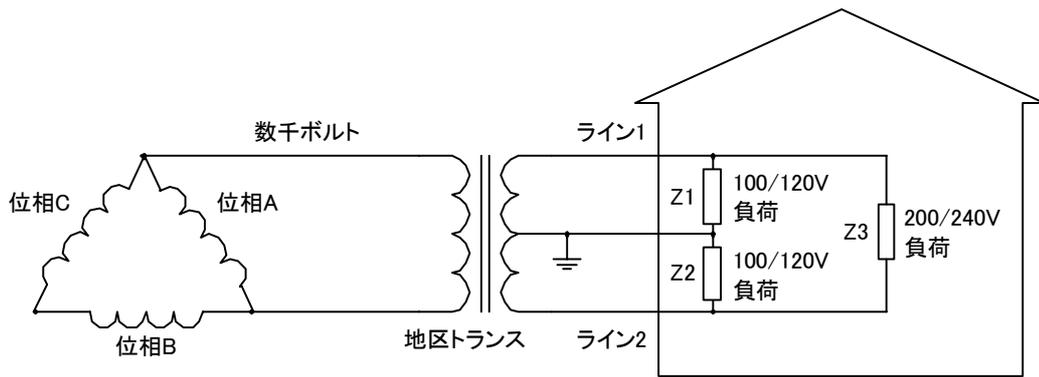


図4.12 二相配電

二相システムにおいては、大部分のデバイスは2本のホットラインのうちの1本とニュートラルラインの間に接続され、大電力負荷は両方のホットラインの間に接続されます。図4.13に北米および日本の標準的な家庭の配線を図示します。1960年代以降に建築された北米の家屋は、各コンセントに安全接続部 (E) があります。1960年より前に建築された北米の家屋では、各AC120Vコンセントにニュートラル (N) とL1またはL2のどちらかだけががあります。AC240Vのコンセントには一般にEはありませんが、Nはないことがよくあります。NとEは電気メーターの近くで互いに接続されていることに注意してください。

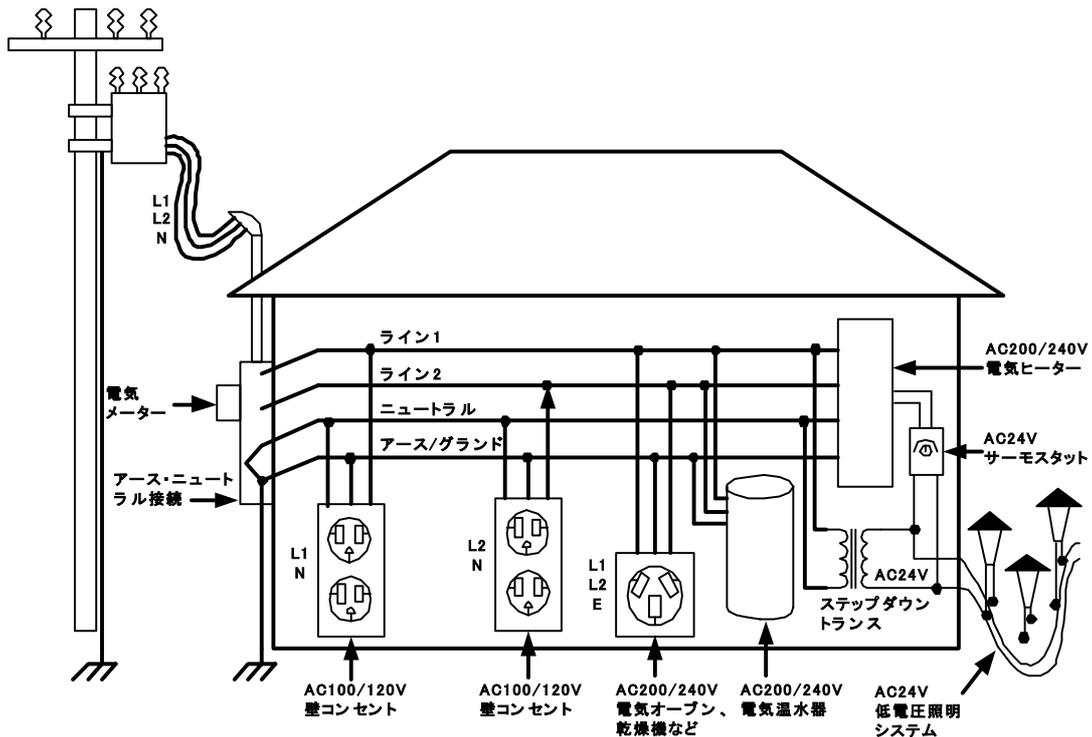


図4.13 二相家庭配線

二相アプリケーション用の推奨カップリング回路は、二相アプリケーションが非常に高い顧客満足度を必要としているため、異なる位相にあるデバイス間（あるいは単相と二相デバイスの間）の信号ロスを最小限に抑える必要があるという仮定に基づいています。通信信号をL1とL2の両方に、アースを基準としてカップリングし、ニュートラルとアースの間の接続を利用することにより、二相負荷と単相デバイスの上に堅牢な通信を実現することができます（図4.14を参照）。このカップリング法では、二相デバイスと単相デバイスとの間の通信で起こりうる大きな信号ロスを防ぐことができます。ほとんどの二相デバイスは、アースワイヤにアクセスしやすくなっています。

電気メーターの場合、メーターからの「ニュートラルピグテール」をメーターが挿入される板金の箱にねじ止めることができます。これは二相アプリケーションに対する最良のシステムレベルの解決法であることがわかっています。L1とL2の間にもう1つのコンデンサC4を追加すると、反対位相に接続された単相デバイス間の信号ロスを最小限に抑え、システムの信頼性をさらに向上させることができます。この回路の絶縁バージョンおよび非絶縁バージョンの部品定数および部品番号は、本章後出の例7および8に示すとおりです。

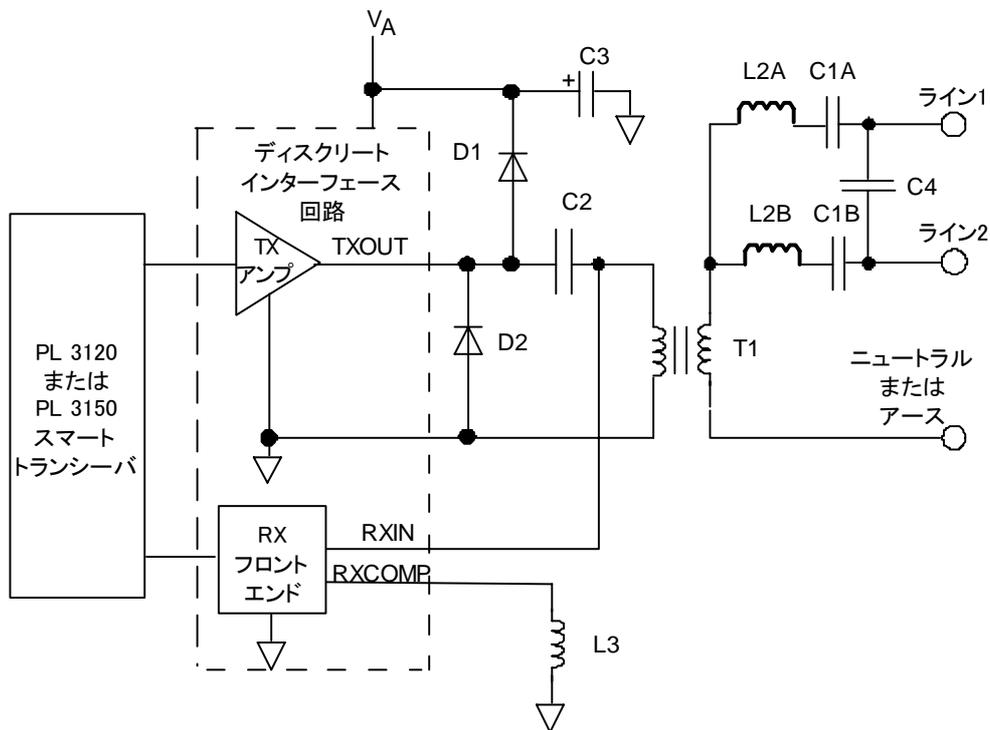


図4.14 トランス絶縁二相カップリング回路

二相回路のリターン経路は、アプリケーションによってニュートラルまたはアースのどちらかにできます。二相のアースリターンカップリング回路は、単相のライン・アース間カップリング回路とはグランド漏れ電流が異なることに注意してください。二相アースリターンカップリング回路のグランド漏れ電流は、公称ゼロです。これは、C1AおよびC1Bを流れる2つの漏れ電流が互いに180度ずつ位相がずれ、相殺するようになっているためです。

## ラインサージ保護

PLスマートトランシーバを電力線に接続するカップリング回路では、配電システムで発生する高電圧サージからPLスマートトランシーバを保護するために部品を追加する必要があります。主に落雷に起因するこうしたサージのため、ビルディングや家屋内のカップリング回路は、最大6kVの非常に大きな電流に短時間さらされます。ビルディングの外側にある本線の配線では、さらに高い電圧がみられることもあります。

各製品に必要なサージ保護のレベルは、その製品の設置場所によって決まります。ビルディングや家屋内の分岐回路に接続されているデバイスの場合、サージストレスが最も低くなるのが普通です。ビルディングや家屋の電力が入ってくる付近に接続されているデバイス（たとえば電気メーターやメインブレーカパネル）は、高レベルのサージストレスにさらされます。屋外の配線に接続されているデバイスは、最高レベルのサージストレスにさらされます。

サージ耐性の標準テストは、IEEE C62.41-1991<sup>8</sup>およびCEI/IEC 61000-4-5<sup>7</sup>に規定されています。いずれの文書においても、サージストレスのレベルは、サージ波形（リング波形またはコンビネーション波形）、サージ電圧、およびサージ電流で分類されています。これらの文書には、標準テスト法について説明されているとともに、上記のアプリケーション環境に基づくサージ耐性レベルが示されています。

両文書で説明されている推奨テスト手順は同じです。ただし、IEEE C62.41-1991に示されている耐性レベルは、CEI/IEC 61000-4-5のレベルより大幅に高くなっています。本章のPLスマートトランシーバのカップリング回路例に示す推奨サージ保護回路の特性記述では、IEEE C62.41-1991に示されている厳しい方の（つまり高めの）耐性レベルが用いられています（使用可能なテスト機器のリミットまで）。

アースリターンカップリングにおけるサージ保護は、漏れ電流を低く抑えなければならないという制約条件を抱えています。ラインとアースの間にバリスタが接続されていると、漏れ電流が増加して安全規格に違反する可能性があります。このため、単相のライン・アース間カップリング回路の場合は、サージ保護用にバリスタを使用することがしばしば禁止されています。C1の場所にX2タイプのコンデンサを使用することで、バリスタを使わずに単相分岐回路アプリケーションに十分なサージ耐性を与えることができます。ラインとアースの間にガスチューブサージアレスタを使用することにより、電力の入り口および屋外配線アプリケーションにおいて単相ライン・アースカップリング回路のサージ耐性を強化することができます。三相および二相のアースリターンアプリケーションでは、各位相からの漏れ電流が互いに相殺するため、バリスタを使用することができます。

ラインとアースの間にガスチューブサージアレスタまたはバリスタを使用する場合は、高電圧テスト（Hi-pot testing）が終了した後でプリント基板（PCB）に取り付ける必要があります。ラインとアースの間の高電圧テストは、ガスチューブサージアレスタのブレイクダウン電圧（またはバリスタのクランプダウン電圧）よりも高い電圧で実施するのが普通です。高電圧テスト中にガスチューブサージアレスタが放電した場合（またはバリスタがクランプした場合）は、不合格になります。

## 低電圧カップリング回路

以下では、低電圧（48Vpk以下）のACおよびDCカップリング回路について説明します。

### 低電圧ACカップリング回路

48Vpk以下の低電圧AC電力線上で電力線通信を行うアプリケーション（図4.13の低電圧照明システムやサーモスタットなど）では、いくつかのカップリング部品のコストを削減することができます。簡略化低電圧ACカップリング回路の部品定数と部品番号は、本章後出の例9および10に示すとおりです。

## 低電圧DCカップリング回路

48V以下の低電圧DC電力線上での電力線通信を必要とするアプリケーション（12Vの自動車システムなど）では、図4.15に示すようにハイパスフィルタ部品L1とC1を除去することによってカップリング回路を単純化することができます。この回路の部品定数および部品番号は、本章後出の例11に記載するとおりです。

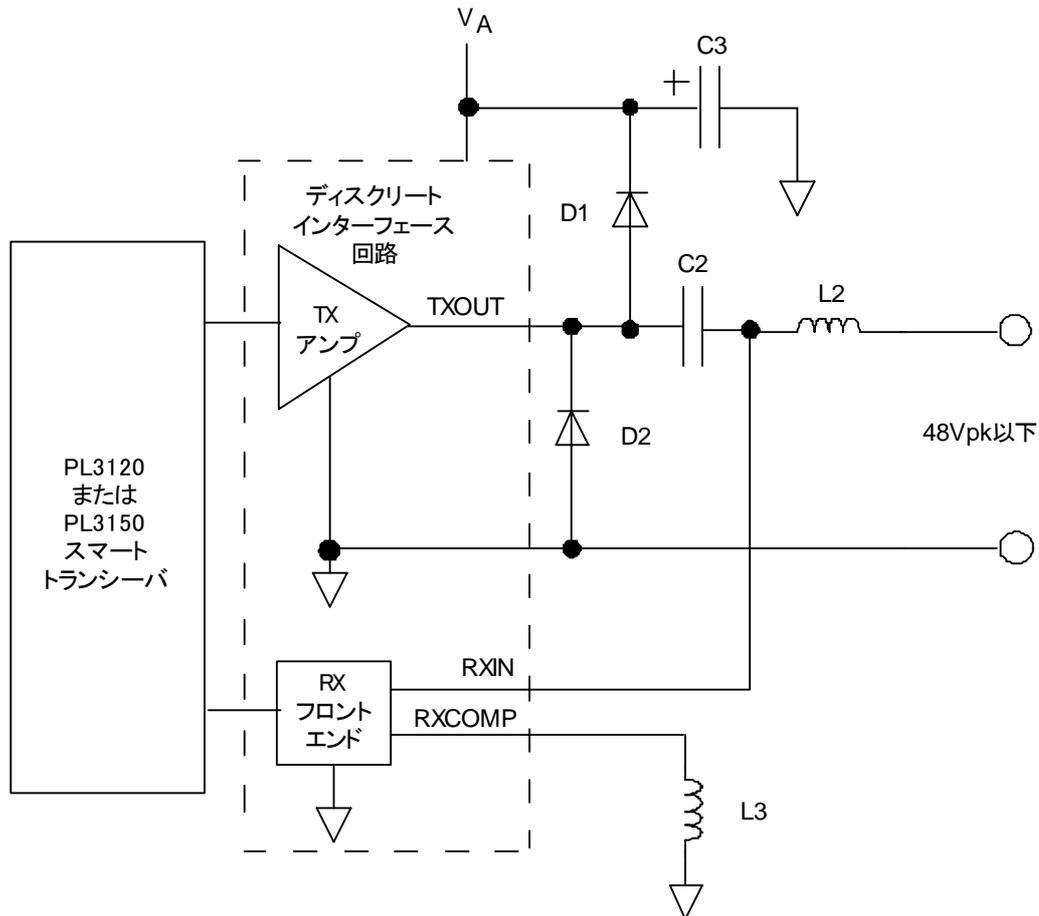


図4.15 低電圧DCカップリング回路

## 低電圧カップリング回路の部品削減

ライン電圧が48Vpk未満であれば、低電圧ACおよびDCカップリング回路においてブリーダー抵抗とバリスタを除くことができます。ユーザーは特定の低電圧環境において適切なサージ要件を決定し、その環境に適したサージテストを行う必要があります。

## 壁コンセントカプラおよび電源

図4.16に示すカップリング回路は、L・N間カップリング回路と50/60Hzの壁コンセント電源を組み合わせた大変便利な回路です。壁コンセントのカプラ/電源の中の50/60Hzトランスは、PLスマートトランシーバ使用製品に電源を提供するのに対し、通信トランスは、共通の低電圧ワイヤペアを通じて通信信号をその製品にカップリングします。PLスマートトランシーバ使用製品の内部では、電源と通信信号が別々に分けられ、それぞれの機能を果たすようになっています。インダクタL6が使用されているのは、C3の低インピーダンスが通信信号を短絡しないようにするためです。ツェナーダイオードD3の目的は、ACライン電圧が高くて負荷が軽いときに $V_A$ 電源電圧を18V以下に抑えることです。フェライトビーズL2は、カップリングトランスがPLスマートトランシーバから離れているときに送信アンプの安定性を確保するために付加されています。通信周波数での送信モードインピーダンスを低く維持するため、このビーズは、100kHzにおけるインピーダンスが $0.5\ \Omega$ 以下のものが選択されています。タムラ製作所は、この設計をサポートするAC120VおよびAC230Vの壁コンセント電源/カプラを製造しています。この回路の部品定数および部品番号は、本章で後述するとおりです。

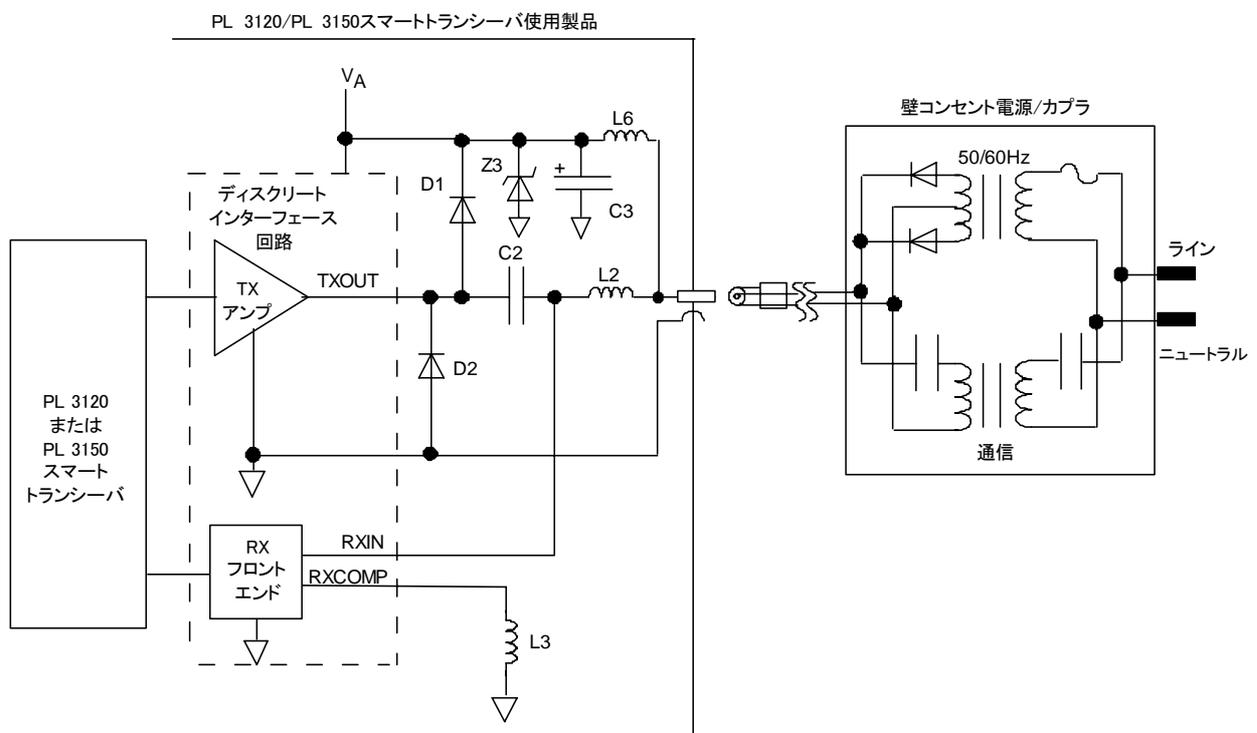


図4.16 カプラ付きの壁コンセント電源

## 推奨カップリング回路図

本節では、PLスマートトランシーバを電力線にカップリングするための回路図および部品について説明します。これらのカップリング回路図は、本書の以前のバージョンの同等回路に比べて低コストになるように最適化されています。ユーザーは、古いバージョンを使用し続けても、新しい低コストバージョンに切り替えてもかまいません。回路図は、カップリングタイプ、絶縁、およびアプリケーションに基づいて分類されています。表4.1は、特定のアプリケーションのためのカップリング回路を選択するための指針として役立ちます。

各回路図には、必要とされる部品仕様および販売業者/部品番号の例が示されています。業者の部品番号は、部品選択の時間を節約するために提供されています。推奨部品が必要な仕様をすべて満たすことは、既に確認されています。各部品について必要な仕様がすべて満たされている限り、別の部品販売業者を使ってもかまいません。サージテストはすべての新製品設計について実施する必要がありますが、これらの例の表に記載されている販売業者部品番号を使用すると、その部品がエシエロン社による回路の確認に使用されているという利点があります。

表 4.1 カップリング回路の選択ガイド

例	接続タイプ	ライン電圧	絶縁/非絶縁	周波数バンド	標準的なアプリケーション	ページ
1	単相L・N間	AC/DC50～240V	非絶縁	A	世界中の電気メーター	123
				C	世界中の消費者向け住宅用デバイス、CENELEC国の商用デバイス	
2	単相L・N間	AC/DC50～240V	絶縁	A	世界中の電気事業家庭内デバイス	125
				C	世界中の消費者向け住宅用デバイス、CENELEC国の商用デバイス	
3	単相L・E間	AC100～277V	非絶縁	C	北米の商用デバイス	127
4	単相L・E間	AC100～277V	絶縁	C	北米の商用デバイス	129
5	三相	AC100～277V	非絶縁	A	世界中の三相電気事業デバイス	131
				C	世界中の商用パネルデバイス	
6	三相	AC100～277V	絶縁	A	世界中の三相電気事業デバイス	133
				C	世界中の商用パネルデバイス	
7	二相	AC200～240V	非絶縁	A	北米および日本の二相電気事業デバイス	135
				C	北米および日本の二相消費者向けデバイス	
8	二相	AC200～240V	絶縁	A	北米および日本の二相電気事業デバイス	137
				C	北米および日本の二相消費者向けデバイス	
9	低電圧AC	≤48Vpk	非絶縁	C	世界中のHVACおよび灌漑デバイス	139
10	低電圧AC	≤48Vpk	絶縁	C	世界中のHVACおよび灌漑デバイス	141
11	低電圧DC	≤48Vpk	非絶縁	C	世界中の自動車配線	143
12	単相L・N壁コンセント	AC120V	絶縁	C	北米の消費者向け住宅用デバイス	145
13	長距離	≤AC/DC240V	絶縁	C	世界中の300m～20km専用ライン	注記を参照
14	電流ループ	N/A	絶縁	C	世界中の空港照明デバイス	注記を参照

注記：詳細については、Echelon LonSupport™グループにお問い合わせください。

### 例 1 : ライン・ニュートラル間、非絶縁カップリング回路

図4.17にライン・ニュートラル間 (L・N間) の非絶縁本線カップリング回路を示します。表4.2は、公称ライン電圧範囲AC100~240VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。この回路図は、ACまたはDC電圧が250V<sub>RMS</sub>以下のAC本線以外の配線へのカップリングにも使用できます。

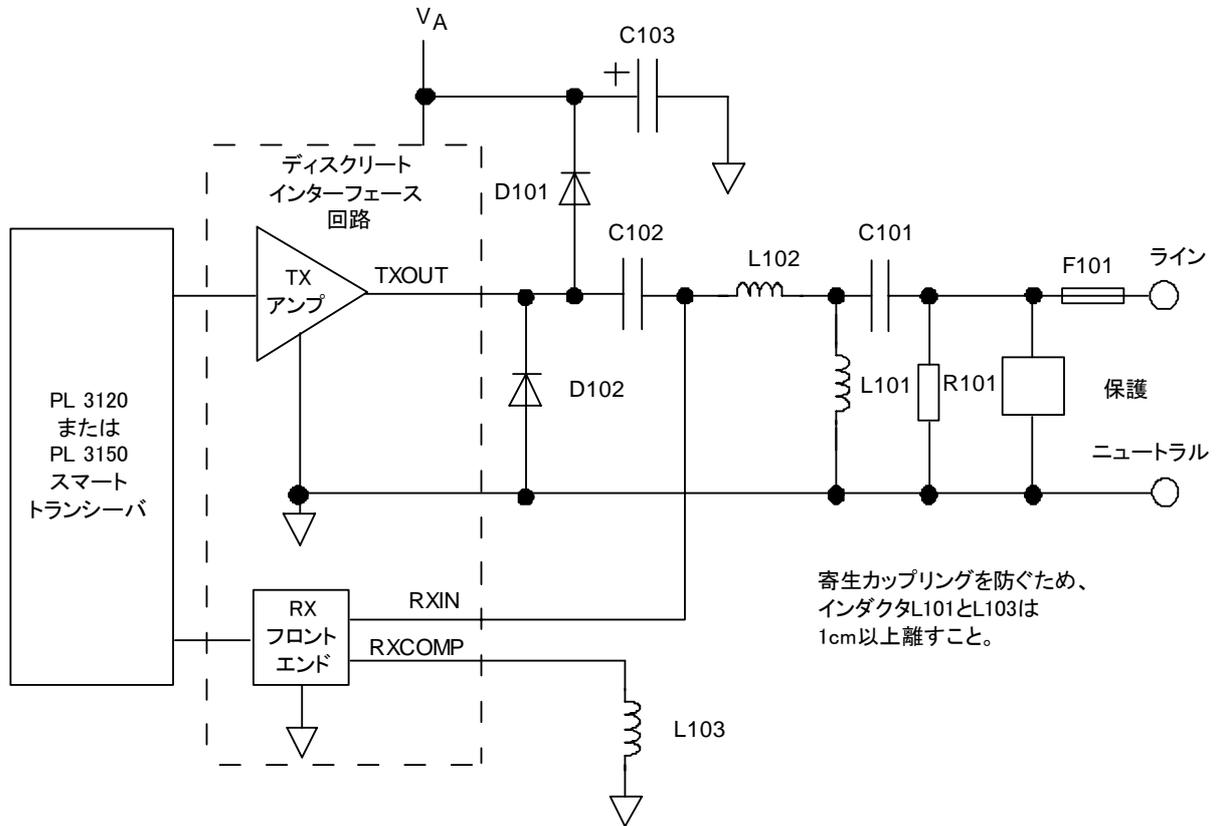


図4.17 L・N間非絶縁カップリング回路の回路図

表 4.2 AC100～240VのL・N間非絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101	0.15 $\mu$ F	0.10 $\mu$ F	$\pm 10\%$ 、 $\geq AC250V$ 、X2タイプ (1)	パナソニック/ ECQ-U2A154KL	パナソニック/ ECQ-U2A104KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	$\geq 120\mu F$	$\geq 120\mu F$	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35 \Omega ESR @ 100kHz/20C$ 、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V @ 1A/25C$ 、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 200ns$ 、逆電流 $\leq$ 100 $\mu A @ 100C$ 、標準容量 $\leq 40pF @ 4V$	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V @ 1A/25C$ 、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq$ 100 $\mu A @ 100C$ 、標準容量 $\leq 40pF @ 4V$	Fairchild/ ES1B	Fairchild/ ES1B
F101	6Aまたは 6.3A	6Aまたは 6.3A	AC250Vスローブロー (1)、(2)		
L101	1.0mH	1.0mH	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 14 \Omega$	太陽誘電/ LAL04TB102K/ または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL04TB102K/ または CTC Coils Limited/ CHシリーズ
L102	27 $\mu$ H	12 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 700mA$ 、 $R_{DC} \leq 0.3 \Omega$	太陽誘電/ LAL05TB270K/ または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL05TB120K/ または CTC Coils Limited/ CHシリーズ
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/または CTC Coils Limited/ CHシリーズ
R101	1M $\Omega$	1M $\Omega$	$\pm 5\%$ 、1/4W、最大動作電圧 $\geq DC360V$ (1)、(3)		
保護	AC300V (DC470V)	AC300V (DC470V)	屋内分岐回路、 $\geq 1250A$ サージ電流、 8x20 $\mu s$ 、2回	AVX/ VE09P00301K	AVX/ VE09P00301K
	AC300V (DC470V)	AC300V (DC470V)	電力の入り口、 $\geq 4500A$ サージ電流、 8x20 $\mu s$ 、2回	AVX/ VE17P00301K	AVX/ VE17P00301K
	AC300V (DC470V)	AC300V (DC470V)	屋外、 $\geq 7000A$ サージ電流、8x20 $\mu s$ 、2回	AVX/ VE24P00301K	AVX/ VE24P00301K

注記：

1. 公称ライン電圧がAC120V以下の場合は、コストとスペースを削減するためにこれらの部品の電圧定格を下げるすることができます。
2. アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
3. R101の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である2つの470k $\Omega$ 抵抗を直列に使用することで満たすことができます。

## 例2：ライン・ニュートラル間、トランス絶縁カップリング回路

図4.18にライン・ニュートラル間（L・N間）のトランス絶縁カップリング回路を示します。表4.3は、公称ライン電圧範囲AC100～240VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。この回路図は、ACまたはDC電圧が $250V_{RMS}$ 以下のAC本線以外の配線へのカップリングまたは非給電ワイヤペアにも使用できます。

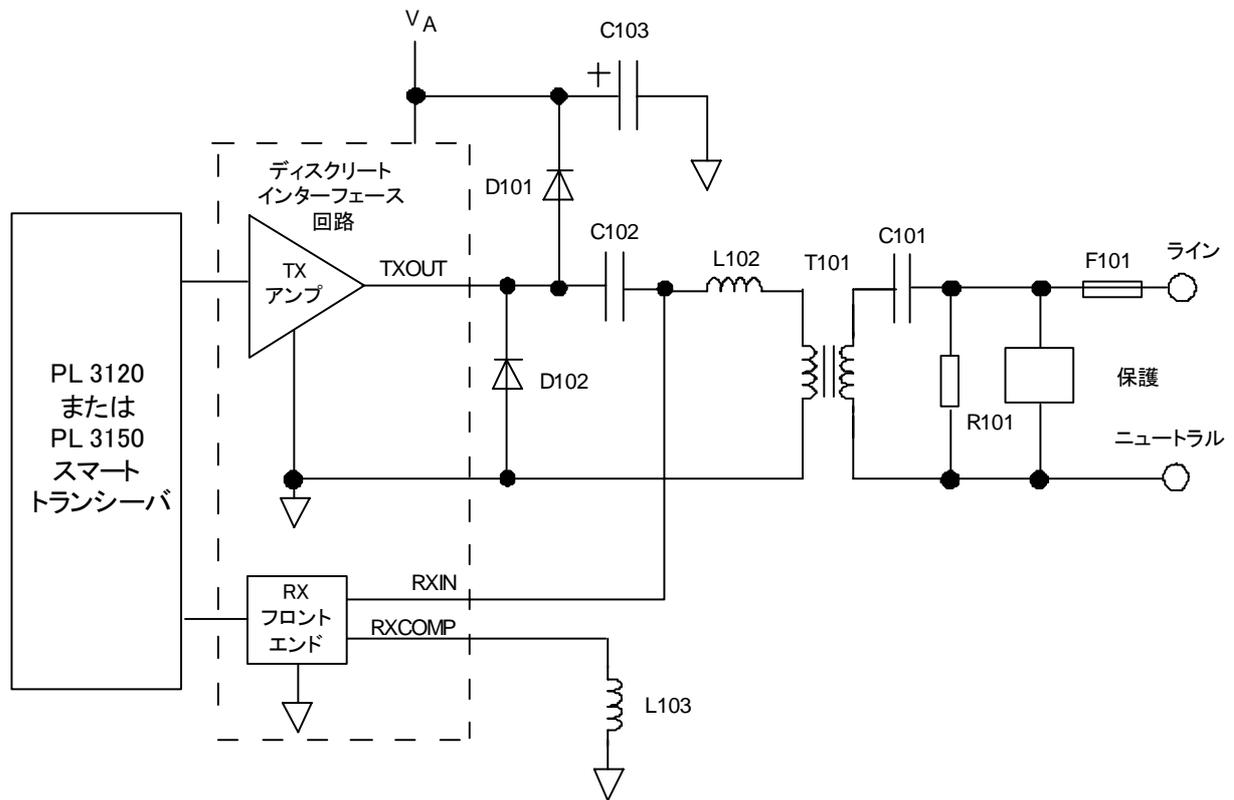


図4.18 L・N間トランス絶縁カップリング回路の回路図

表 4.3 AC100～240 VのL・N間絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101	0.15 $\mu$ F	0.10 $\mu$ F	$\pm 10\%$ 、 $\geq AC250V$ 、X2タイプ (1)	パナソニック/ ECQ-U2A154KL	パナソニック/ ECQ-U2A104KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	$\geq 120\mu F$	$\geq 120\mu F$	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35\ \Omega$ ESR @ 100kHz/20C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 200ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101	6Aまたは 6.3A	6Aまたは 6.3A	AC250V スローブロー (1)、(2)		
L102	15 $\mu$ H	なし	$\pm 10\%$ 、 $I_{max} \geq 700mA$ 、 $R_{DC} \leq 0.3\ \Omega$	太陽誘電/ LAL05TB150K/ または CTC Coils Limited/ CHシリーズ	N/A
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55\ \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ
R101	1M $\Omega$	1M $\Omega$	$\pm 5\%$ 、1/4W、最大動作電圧 $\geq DC360V$ (1)、(3)		
保護	AC300V (DC470V)	AC300V (DC470V)	屋内分岐回路用、 $\geq 1250A$ サージ電流、 $8 \times 20\mu s$ 、 2回	AVX/ VE09P00301K	AVX/ VE09P00301K
	AC300V (DC470V)	AC300V (DC470V)	電力の入り口、 $\geq 4500A$ サージ電流、 $8 \times 20\mu s$ 、 2回	AVX/ VE17P00301K	AVX/ VE17P00301K
	AC300V (DC470V)	AC300V (DC470V)	屋外、 $\geq 7000A$ サージ電流、 $8 \times 20\mu s$ 、 2回	AVX/ VE24P00301K	AVX/ VE24P00301K
T101	12 $\mu$ H漏洩トランス		付録Cを参照	付録Cを参照	

注記：

1. 公称ライン電圧がAC120V以下の場合、コストとスペースを削減するためにこれらの部品の電圧定格を下げるすることができます。
2. アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
3. R101 の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である 2 つの 470k $\Omega$  抵抗を直列に使用することで満たすことができます。

### 例3：ライン・アース間（L・E間）非絶縁カップリング回路

図4.19にライン・アース間（L・E）の非絶縁本線カップリング回路を示します。表4.4は、公称ライン電圧範囲AC100～277VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

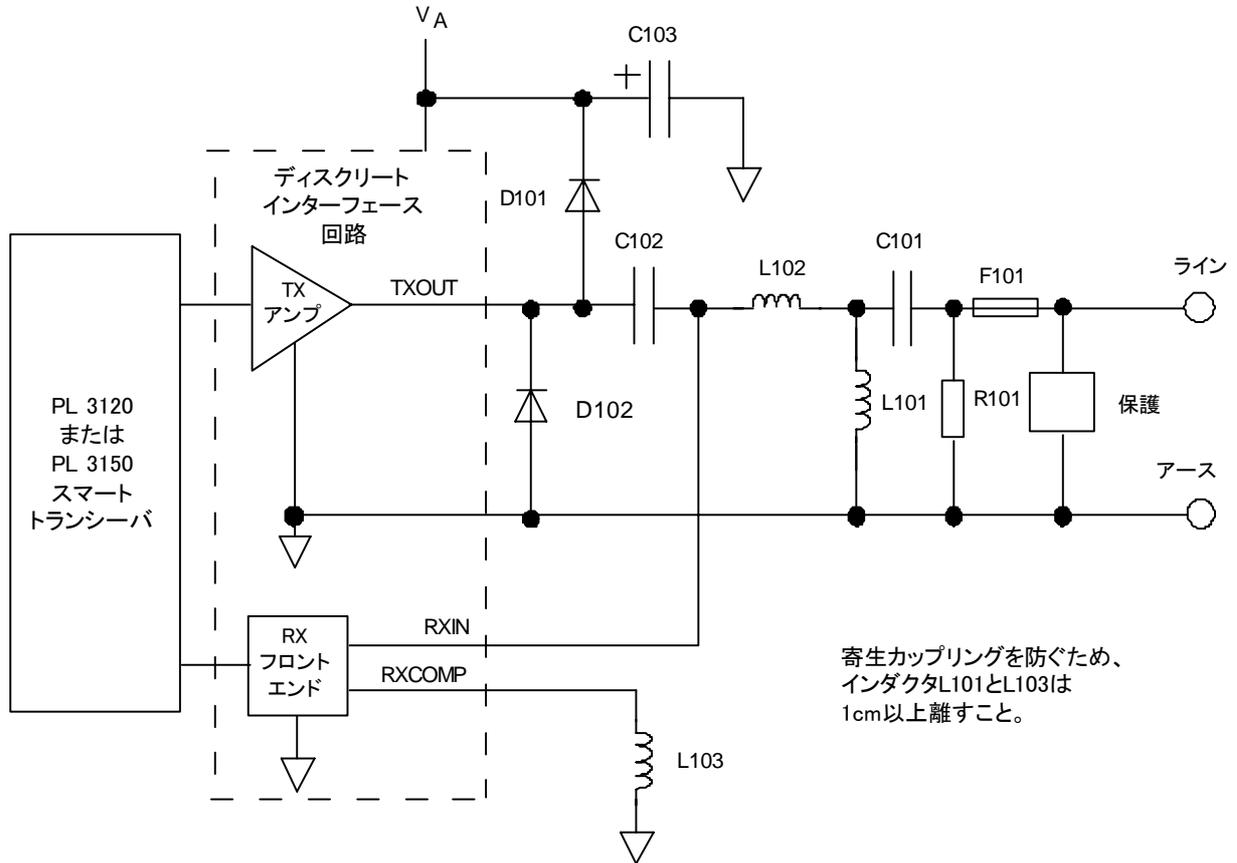


図4.19 L・E間非絶縁カップリング回路の回路図

表 4.4 AC100～277VのL・E間非絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Cバンド AC100～ 120V	Cバンド AC200～ 277V		Cバンド AC100～120V	Cバンド AC200～277V
C101	0.068μF、 ≥AC120V	0.033μF、 ≥AC300V	±10%、X2タイプ (1)	パナソニック/ ECQ-U2A683KL	Evox-Rifa/ PHE840 EA 5330M A02
C102	1.0μF	1.0μF	±10%、≥DC50V、金属化ポリエステル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	≥120μF	≥120μF	±20%、≥DC16V、アルミ電解、≤0.35Ω ESR @ 100kHz/20C、≥290mA <sub>RMS</sub> リップル電 流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレークダウン≥DC50V、順方向電圧 ≤ 1.3V @ 1A/25C、サージ電流≥30A 8.3ms、逆 リカバリ≤200ns、逆電流≤100μA @ 100C、 標準容量≤40pF @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレークダウン≥DC50V、順方向電圧 ≤ 1.0V @ 1A/25C、サージ電流≥30A 8.3ms、逆 リカバリ≤25ns、逆電流≤100μA @ 100C、 標準容量≤40pF @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101	6Aまたは 6.3A、 ≥AC125V	6Aまたは 6.3A、 ≥AC300V	スローブロー (2)		
L101	1.0mH	1.0mH	±10%、I <sub>max</sub> ≥ 30mA、R <sub>DC</sub> ≤ 14Ω	太陽誘電/ LAL04TB102K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL04TB102K/または CTC Coils Limited/ CHシリーズ
L102	18μH	39μH	±10%、I <sub>max</sub> ≥ 500mA、R <sub>DC</sub> ≤ 0.3Ω	太陽誘電/ LAL05TB180K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL05TB390K/または CTC Coils Limited/ CHシリーズ
L103	820μH	820μH	±10%、I <sub>max</sub> ≥ 30mA、R <sub>DC</sub> ≤ 55Ω、 1kHz ≤ テスト周波数 ≤ 400kHz	ACT/ DD821K/または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/または CTC Coils Limited/ CHシリーズ
R101	1MΩ、 ≥DC200V	1MΩ、 ≥DC450V	±5%、1/4W (3)		
保護	N/A	N/A	屋内分岐回路では部品は必要ありません。	N/A	N/A
	AC120V	AC300V	電力の入り口にはACガス放電チューブを使用 してください (4)。	SRCデバイス/ AC240L	
	AC120V	AC300V	屋外にはACガス放電チューブを使用してく ださい (4)。	SRCデバイス/ AC240L	

注記：

1. 分岐回路アプリケーションでは、十分なサージ耐性を得るためにX2コンデンサが必要です。
2. アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
3. R101の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である2つの470kΩ抵抗を直列に使用することで満たすことができます。また、R101のピーク電力および電圧定格は、そのアプリケーションの高電圧テストの要件を満たすように選択する必要があります。
4. 高電圧製造テストは、このガス放電チューブを取り付ける前に実施しなければなりません。ラインとアースの間の高電圧テストは、ガスチューブのアークオーバー電圧よりも高い電圧で実施されるのが普通です。テスト中にガスチューブがアーク放電すれば不合格です。さらに、C101に過剰な電流が流れないようにDC高電圧テスターを使う必要があります。

### 例4：ライン・アース間（L・E間）トランス絶縁カップリング回路

図4.20にライン・アース間（L・E）のトランス絶縁カップリング回路を示します。表4.5は、公称ライン電圧範囲AC100～277VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

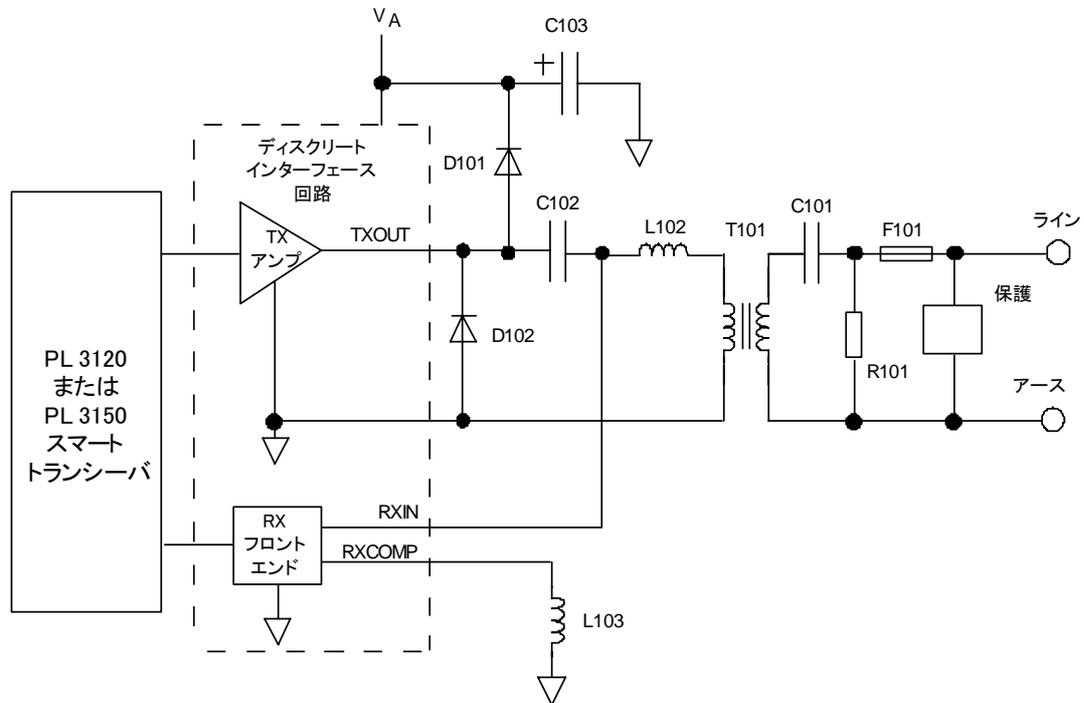


図4.20 L・E間トランス絶縁カップリング回路の回路図

表 4.5 AC100～277VのL・E間絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Cバンド AC100～ 120V	Cバンド AC200～ 277V		Cバンド AC100～120V	Cバンド AC200～277V
C101	0.068μF、 ≥AC120V	0.033μF、 ≥AC300V	±10%、X2タイプ (1)	パナソニック/ ECQ-U2A683KL	Evox-Rifa/ PHE840 EA 5330M A02
C102	1.0μF	1.0μF	±10%、≥DC50V、金属化ポリエステ ル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	≥120μF	≥120μF	±20%、≥DC16V、アルミ電解、 ≤0.35 Ω ESR @ 100kHz/20C、 ≥290mA <sub>RMS</sub> リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレイクダウン≥DC50V、順方向電 圧 ≤1.3V @ 1A/25C、サージ電流 ≥ 30A 8.3ms、逆リカバリ ≤200ns、逆電 流 ≤100μA @ 100C、標準容量 ≤40pF @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン≥DC50V、順方向電 圧 ≤1.0V @ 1A/25C、サージ電流 ≥ 30A 8.3ms、逆リカバリ ≤25ns、逆電 流 ≤100μA @ 100C、標準容量 ≤40pF @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101	6Aまたは 6.3A、 ≥AC125V	6Aまたは 6.3A、 ≥AC300V	スローブロー (2)		
L102	5.6μH	27μH	±10%、I <sub>max</sub> ≥500mA、R <sub>DC</sub> ≤0.4 Ω	太陽誘電/ LAL04TB5R6K/ または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL05TB270K/ または CTC Coils Limited/ CHシリーズ
L103	820μH	820μH	±10%、I <sub>max</sub> ≥30mA、R <sub>DC</sub> ≤55 Ω、 1kHz ≤テスト周波数 ≤400kHz	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ
R101	1M Ω、 ≥DC200V	1M Ω、 ≥DC450V	±5%、1/4W (3)		
保護	N/A	N/A	屋内分岐回路では部品は必要ありませ ん。	N/A	N/A
	AC120V	AC300V	電力の入り口にはACガス放電チュー ブを使用してください (4)。	SRCデバイス/ AC240L	
	AC120V	AC300V	屋外にはACガス放電チューブを使用 してください (4)。	SRCデバイス/ AC240L	
T101	12μH漏洩トランス		付録Cを参照	付録Cを参照	

注記：

1. 分岐回路アプリケーションでは、十分なサージ耐性を得るためにX2コンデンサが必要です。
2. アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
3. R101 の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である 2 つの 470kΩ 抵抗を直列に使用することで満たすことができます。また、R101のピーク電力および電圧定格は、そのアプリケーションの高電圧テストの要件を満たすように選択する必要があります。
4. 高電圧製造テストは、このガス放電チューブを取り付ける前に実施しなければなりません。ラインとアースの間の高電圧テストは、ガスチューブのアークオーバー電圧よりも高い電圧で実施されるのが普通です。テスト中にガスチューブがアーク放電すれば不合格です。さらに、C101に過剰な電流が流れないようにDC高電圧テスターを使う必要があります。

### 例5：三相非絶縁カップリング回路

図4.21に非絶縁三相カップリング回路を示します。表4.6は、公称ライン電圧範囲AC100～277VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

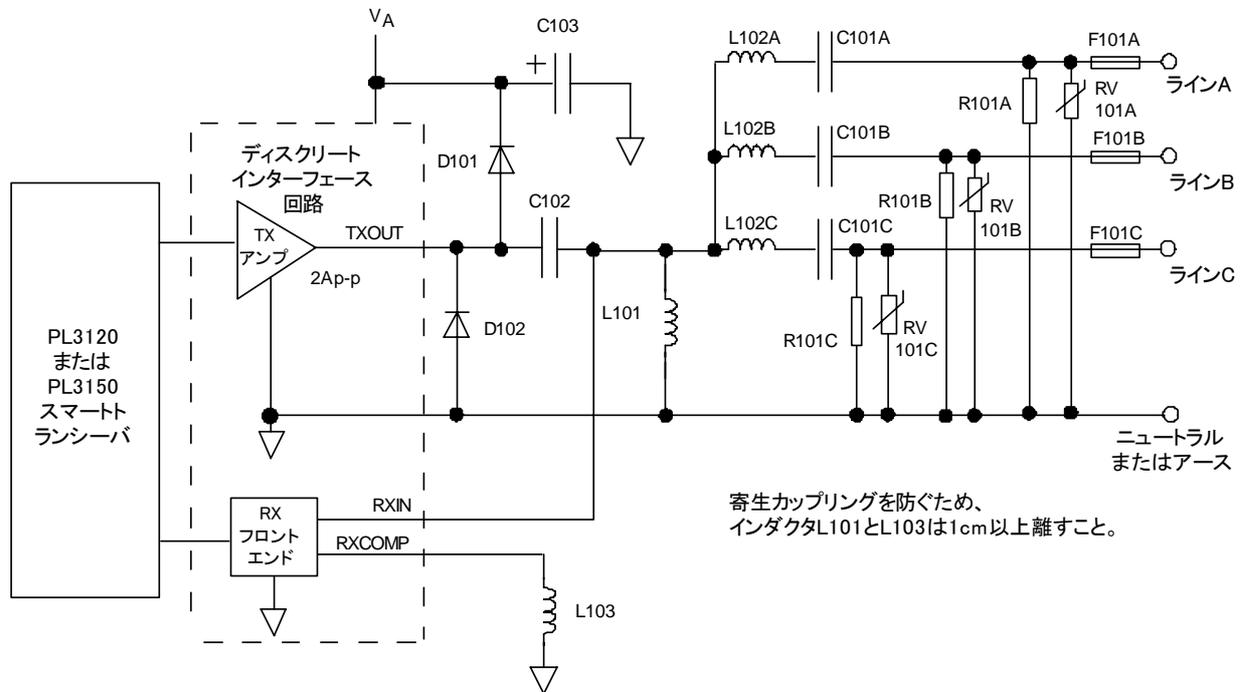


図4.21 三相非絶縁カップリング回路の回路図

表 4.6 AC100～277Vの三相非絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101A-C	0.15 $\mu$ F	0.10 $\mu$ F	$\pm 10\%$ 、X2タイプ (1)	パナソニック/ ECQ-U2A154KL	パナソニック/ ECQ-U2A104KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC100V$ 、金属化ポリエステル	パナソニック/ ECQ-E1105KF	パナソニック/ ECQ-E1105KF
C103	$\geq 220\mu$ F	$\geq 220\mu$ F	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.15 \Omega$ ESR @ 100kHz/20C、 $\geq 550mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C331MPD	ニチコン/ UHE1C331MPD
D101、D102	1A	1A	逆ブレークダウン $\geq DC50V$ 、順方向電 圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq$ 100 $\mu$ A @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101A-C	6Aまたは 6.3A	6Aまたは 6.3A	AC250Vスローブロー (1)、(2)		
L101	1.0mH	1.0mH	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 14 \Omega$	太陽誘電/ LAL04TB102K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL04TB102K/または CTC Coils Limited/ CHシリーズ
L102A-C	27 $\mu$ H	18 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 1.5mA$ 、 $R_{DC} \leq 0.1 \Omega$	太陽誘電/ LHL08TB270K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LHL08TB180K/または CTC Coils Limited/ CHシリーズ
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ
R101A-C	1M $\Omega$	1M $\Omega$	$\pm 5\%$ 、1/4W、最大動作ボルト $\geq DC360V$ (1)、(3)		
RV101A-C	AC700V (DC1000 V)	AC700V (DC1000 V)	$\geq 4500A$ サージ電流、8x20 $\mu$ s、2回 (1)、 (4)	パナソニック/ ERZ-V14D102	パナソニック/ ERZ-V14D102

注記：

1. 公称ライン電圧AC277V動作の場合は、これらの部品の電圧定格を上げる必要があります。
2. アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
3. R101A-C の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である 2 つの 470k  $\Omega$  抵抗を直列に使用することで満たすことができます。アースリターンカップリングの場合、R101A-C のピーク電力および電圧定格は、そのアプリケーションの高電圧テストの要件を満たすように選択する必要があります。
4. 記載の電圧定格は、三相すべてが接続され、通電された状態でニュートラル（またはアース）接続が失われたときにバリスタの損傷を防ぐために必要です。アースリターンカップリングの場合、これらのバリスタを取り付ける前に高電圧テストを実施する必要があります。ラインとアースの間の高電圧テストは、バリスタのクランプ電圧よりも高い電圧で実施されるのが普通です。テスト中にバリスタがクランプすれば不合格です。

### 例6：三相トランス絶縁カップリング回路

図4.22にトランス絶縁三相カップリング回路の回路図を示します。表4.7は、公称ライン電圧範囲AC100～277VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

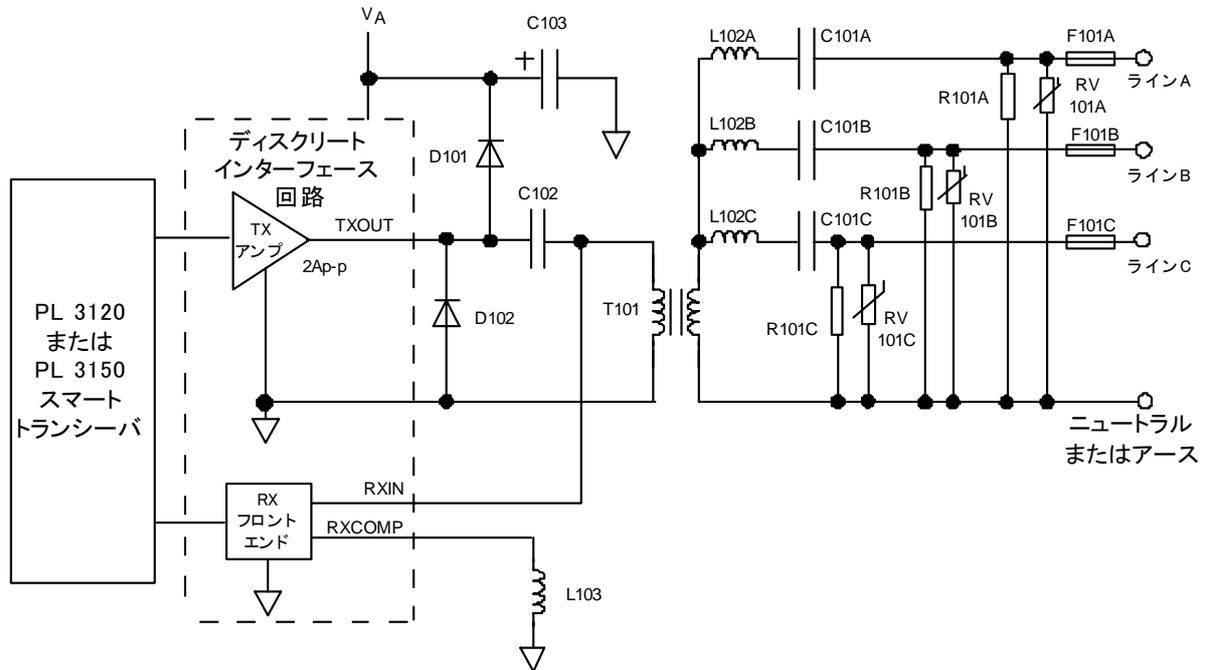


図4.22 三相トランス絶縁カップリング回路の回路図

表 4.7 AC100～277Vの三相絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101A-C	0.15 $\mu$ F	0.10 $\mu$ F	$\pm 10\%$ 、X2タイプ (1)	パナソニック/ ECQ-U2A154KL	パナソニック/ ECQ-U2A104KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC100V$ 、金属化ポリエステル	パナソニック/ ECQ-E1105KF	パナソニック/ ECQ-E1105KF
C103	$\geq 220\mu$ F	$\geq 220\mu$ F	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.15 \Omega$ ESR @ 100kHz/20C、 $\geq 550mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C331MPD	ニチコン/ UHE1C331MPD
D101、D102	1A	1A	逆ブレークダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq$ 100 $\mu$ A @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101A-C	6Aまたは 6.3A	6Aまたは 6.3A	AC250V スローブロー (1)、(2)		
L102A-C	27 $\mu$ H	18 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 1.5A$ 、 $R_{DC} \leq 0.1 \Omega$	太陽誘電/ LHL08TB270K/ または CTC Coils Limited/ CH シリーズ	太陽誘電/ LHL08TB180K/ または CTC Coils Limited/ CH シリーズ
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CH シリーズ	ACT/ DD821K/ または CTC Coils Limited/ CH シリーズ
R101A-C	1M $\Omega$	1M $\Omega$	$\pm 5\%$ 、1/4W、最大動作電圧 $\geq DC360V$ (1)、(3)		
RV101A-C	AC700V (DC1000V)	AC700V (DC1000V)	$\geq 4500A$ サージ電流、 $8 \times 20\mu s$ 、2回 (1)、 (4)	パナソニック/ ERZ-V14D102	パナソニック/ ERZ-V14D102
T101	低漏洩トランス		付録Cを参照	付録Cを参照	

注記：

- 公称ライン電圧AC277V動作の場合は、これらの部品の電圧定格を上げる必要があります。
- アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
- R101A-C の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である 2 つの 470k $\Omega$  抵抗を直列に使用することで満たすことができます。アースリターンカップリングの場合、R101A-C のピーク電力および電圧定格は、そのアプリケーションの高電圧テストの要件を満たすように選択する必要があります。
- 記載の電圧定格は、三相すべてが接続され、通電された状態でニュートラル（またはアース）接続が失われたときにバリスタの損傷を防ぐために必要です。アースリターンカップリングの場合は、これらのバリスタを取り付ける前に高電圧テストを実施する必要があります。ラインとアースの間の高電圧テストは、バリスタのクランプ電圧よりも高い電圧で実施されるのが普通です。テスト中にバリスタがクランプすれば不合格です。

### 例7：二相非絶縁カップリング回路

図4.23に非絶縁二相カップリング回路を示します。表4.8は、公称ライン電圧範囲AC100～240VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

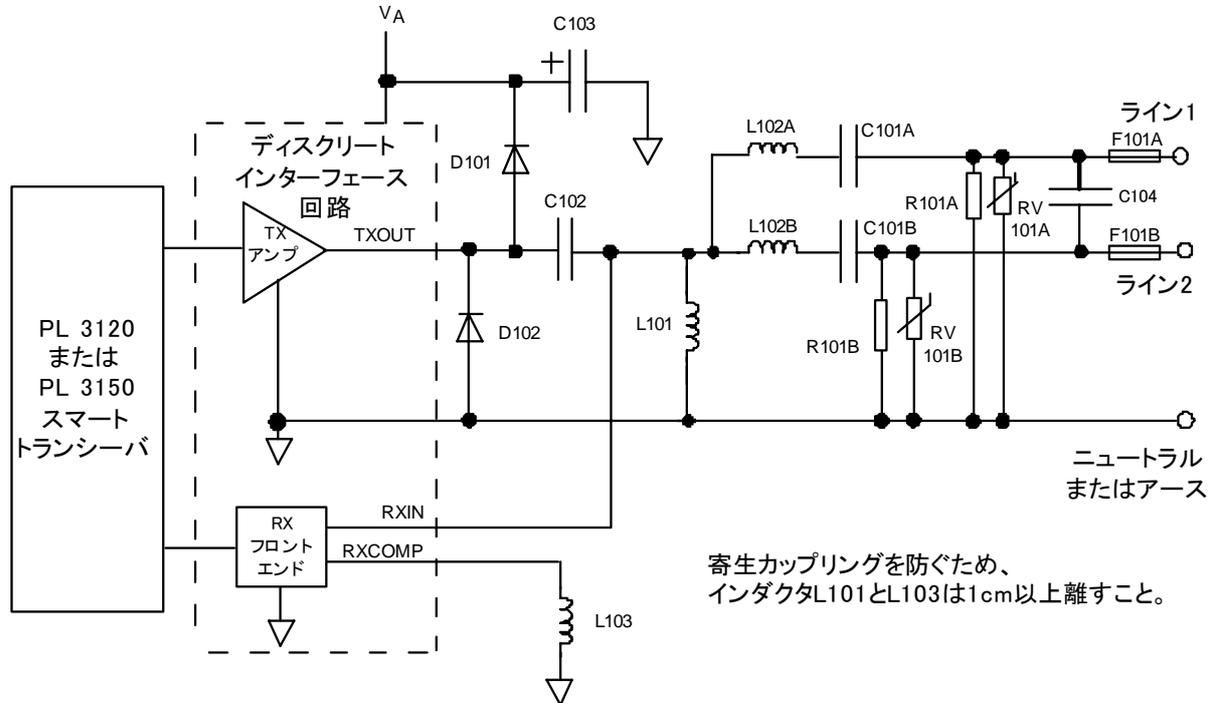


図4.23 二相非絶縁カップリング回路の回路図

表 4.8 AC100～240Vの二相非絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101A-B	0.15 $\mu$ F	0.10 $\mu$ F	$\pm 10\%$ 、 $\geq AC250V$ 、X2タイプ	パナソニック/ ECQ-U2A154KL	パナソニック/ ECQ-U2A104KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC100V$ 、金属化ポリエステル	パナソニック/ ECQ-E1105KF	パナソニック/ ECQ-E1105KF
C103	$\geq 120\mu F$	$\geq 120\mu F$	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35 \Omega$ ESR @ 100kHz/20C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
C104	0.47 $\mu$ F	0.47 $\mu$ F	$\pm 20\%$ 、 $\geq AC250V$ 、X2タイプ	パナソニック/ ECQ-U2A474ML	パナソニック/ ECQ-U2A474ML
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、 逆リカバリ $\leq 200ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、 逆リカバリ $\leq 25ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101A-B	6Aまたは 6.3A	6Aまたは 6.3A	AC250V スローブロー (1)		
L101	1.0mH	1.0mH	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 14 \Omega$	太陽誘電/ LAL04TB102K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL04TB102K/または CTC Coils Limited/ CHシリーズ
L102A-B	27 $\mu$ H	18 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 700mA$ 、 $R_{DC} \leq 0.1 \Omega$	太陽誘電/ LHL08TB270K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LHL08TB180K/または CTC Coils Limited/ CHシリーズ
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ
R101A-B	1M $\Omega$	1M $\Omega$	$\pm 5\%$ 、1/4W、最大動作ボルト $\geq DC360V$ (2)		
RV101A-B	AC300V (DC470V)	AC300V (DC470V)	$\geq 4500A$ サージ電流、8x20 $\mu s$ 、2回 (3)	AVX/ VE17P00301K	AVX/ VE17P00301K

注記：

1. アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
2. R101A-B の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である 2 つの 470k  $\Omega$  抵抗を直列に使用することで満たすことができます。アースリターンカップリングの場合、R101A-B のピーク電力および電圧定格は、そのアプリケーションの高電圧テストの要件を満たすように選択する必要があります。
3. アースリターンカップリングの場合は、これらのバリスタを取り付ける前に高電圧テストを実施する必要があります。ラインとアースの間の高電圧テストは、バリスタのクランプ電圧よりも高い電圧で実施されるのが普通です。テスト中にバリスタがクランプすれば不合格です。

### 例8：二相トランス絶縁カップリング回路

図4.24にトランス絶縁二相カップリング回路の回路図を示します。表4.9は、公称ライン電圧範囲AC100～240VのAC本線にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

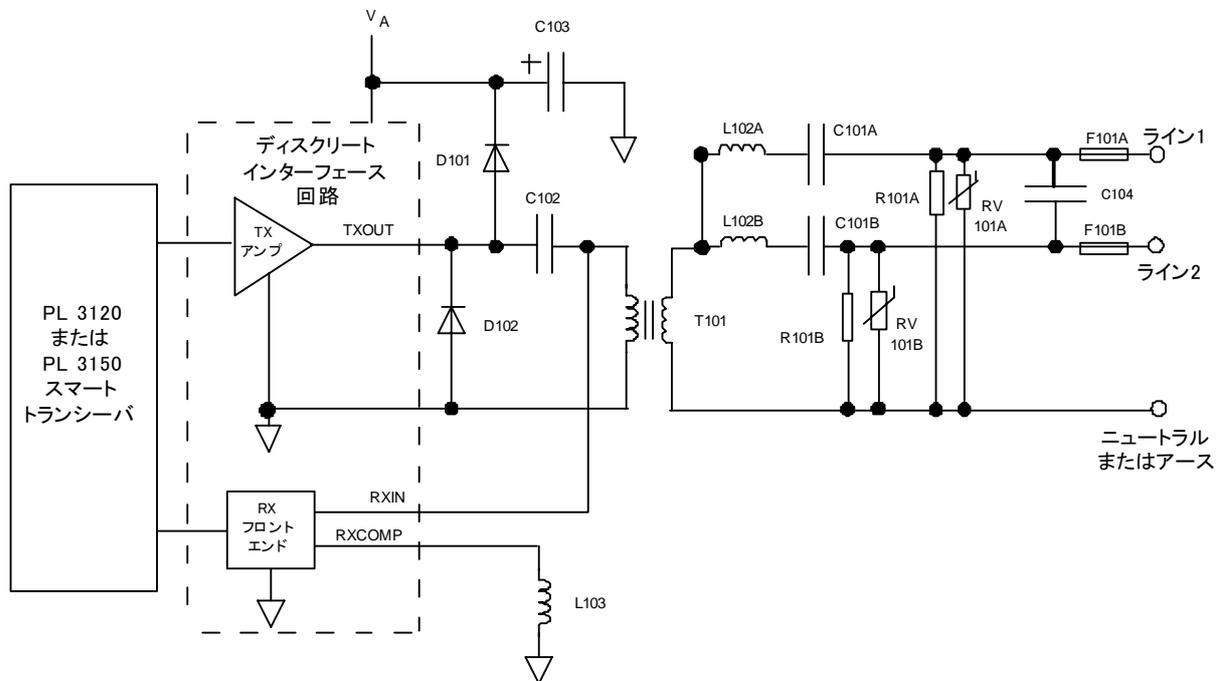


図4.24 二相トランス絶縁カップリング回路の回路図

表 4.9 AC100～240Vの二相絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101A-B	0.15 $\mu$ F	0.10 $\mu$ F	$\pm 10\%$ 、 $\geq AC250V$ 、X2タイプ	パナソニック/ ECQ-U2A154KL	パナソニック/ ECQ-U2A104KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC100V$ 、金属化ポリエステル	パナソニック/ ECQ-E1105KF	パナソニック/ ECQ-E1105KF
C103	$\geq 120\mu F$	$\geq 120\mu F$	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35 \Omega$ ESR @ 100kHz/20C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
C104	0.47 $\mu$ F	0.47 $\mu$ F	$\pm 20\%$ 、 $\geq AC250V$ 、X2タイプ	パナソニック/ ECQ-U2A474ML	パナソニック/ ECQ-U2A474ML
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、 逆リカバリ $\leq 200ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、 逆リカバリ $\leq 25ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
F101A-B	6Aまたは 6.3A	6Aまたは 6.3A	AC250Vスローブロー (1)		
L102A-B	27 $\mu$ H	18 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 700mA$ 、 $R_{DC} \leq 0.1 \Omega$	太陽誘電/ LHL08TB270K/または CTC Coils Limited/ CHシリーズ	太陽誘電/ LHL08TB180K/または CTC Coils Limited/ CHシリーズ
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/または CTC Coils Limited/ CHシリーズ
R101A-B	1M $\Omega$	1M $\Omega$	$\pm 5\%$ 、1/4W、最大動作ボルト $\geq DC360V$ (2)		
RV101A-B	AC300V (DC470V)	AC300V (DC470V)	$\geq 4500A$ サージ電流、 $8 \times 20\mu s$ 、2回 (3)	AVX/ VE17P00301K	AVX/ VE17P00301K
T101	低漏洩トランス		付録Cを参照	付録Cを参照	

注記：

- アプリケーションによっては、ヒューズは不要な場合があります。適用される安全規格に従ってください。
- R101A-B の動作電圧定格は、各々の動作電圧定格が記載値の半分以上である 2 つの 470k $\Omega$  抵抗を直列に使用することで満たすことができます。アースリターンカップリングの場合、R101A-B のピーク電力および電圧定格は、そのアプリケーションの高電圧テストの要件を満たすように選択する必要があります。
- アースリターンカップリングの場合は、これらのバリスタを取り付ける前に高電圧テストを実施する必要があります。ラインとアースの間の高電圧テストは、バリスタのクランプ電圧よりも高い電圧で実施されるのが普通です。テスト中にバリスタがクランプすれば不合格です。

### 例9：低電圧AC非絶縁カップリング回路

図4.25に低電圧ACの非絶縁本線カップリング回路を示します。表4.10は、電圧範囲が48Vpk以下のAC回路にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

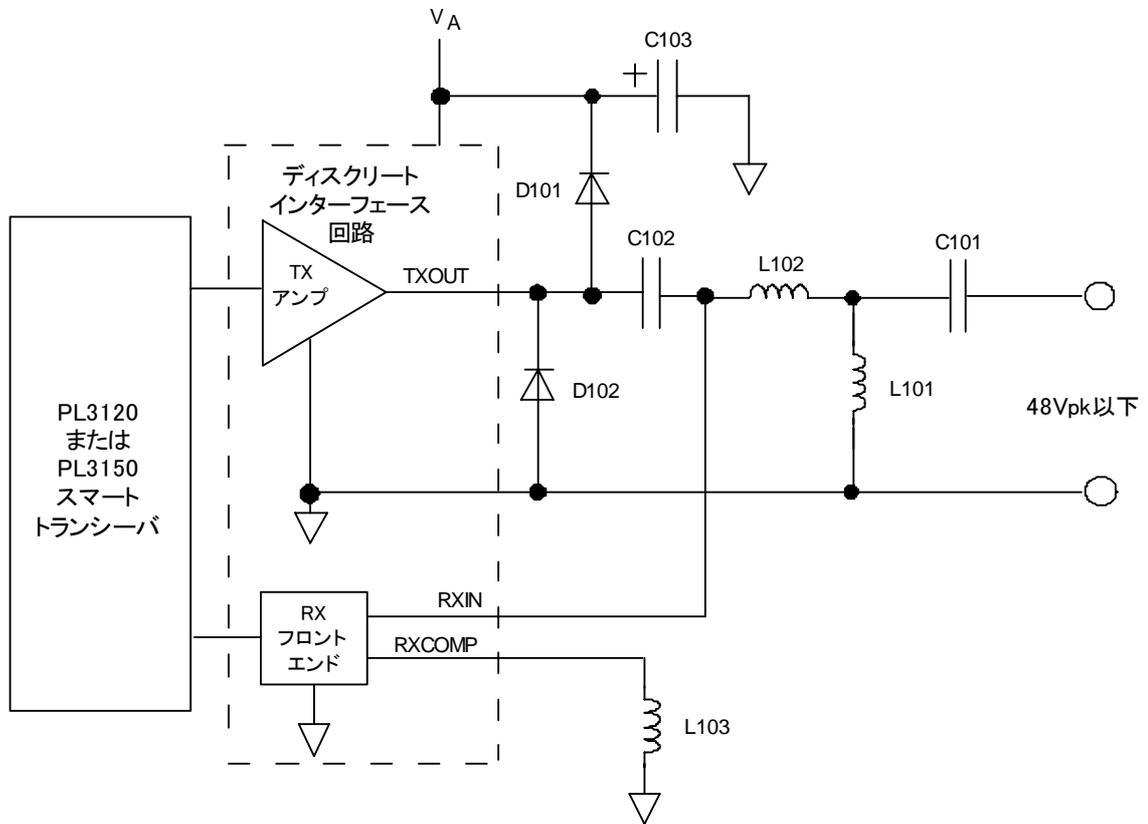


図4.25 低電圧AC非絶縁カップリング回路の回路図

表 4.10 低電圧AC非絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101	0.47 $\mu$ F	0.47 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0474K	AVX/ BF074D0474K
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	$\geq 120\mu$ F	$\geq 120\mu$ F	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35 \Omega$ ESR @ 100kHz/20C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 200ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
L101	1.0mH	1.0mH	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 14 \Omega$	太陽誘電/ LAL04TB102K/ または CTC Coils Limited/ CHシリーズ	太陽誘電/ LAL04TB102K/ または CTC Coils Limited/ CHシリーズ
L102	ビーズ	ビーズ	$\leq 0.5 \Omega$ @ 100kHz、 $\geq 20 \Omega$ @ 10MHz、 $I_{max} \geq 2A$	Steward/ HI1206P121R-00	Steward/ HI1206P121R-00
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ

## 例10：低電圧ACトランス絶縁カップリング回路

図4.26に低電圧ACのトランス絶縁カップリング回路を示します。表4.11は、電圧範囲が48Vpk以下のAC回路にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

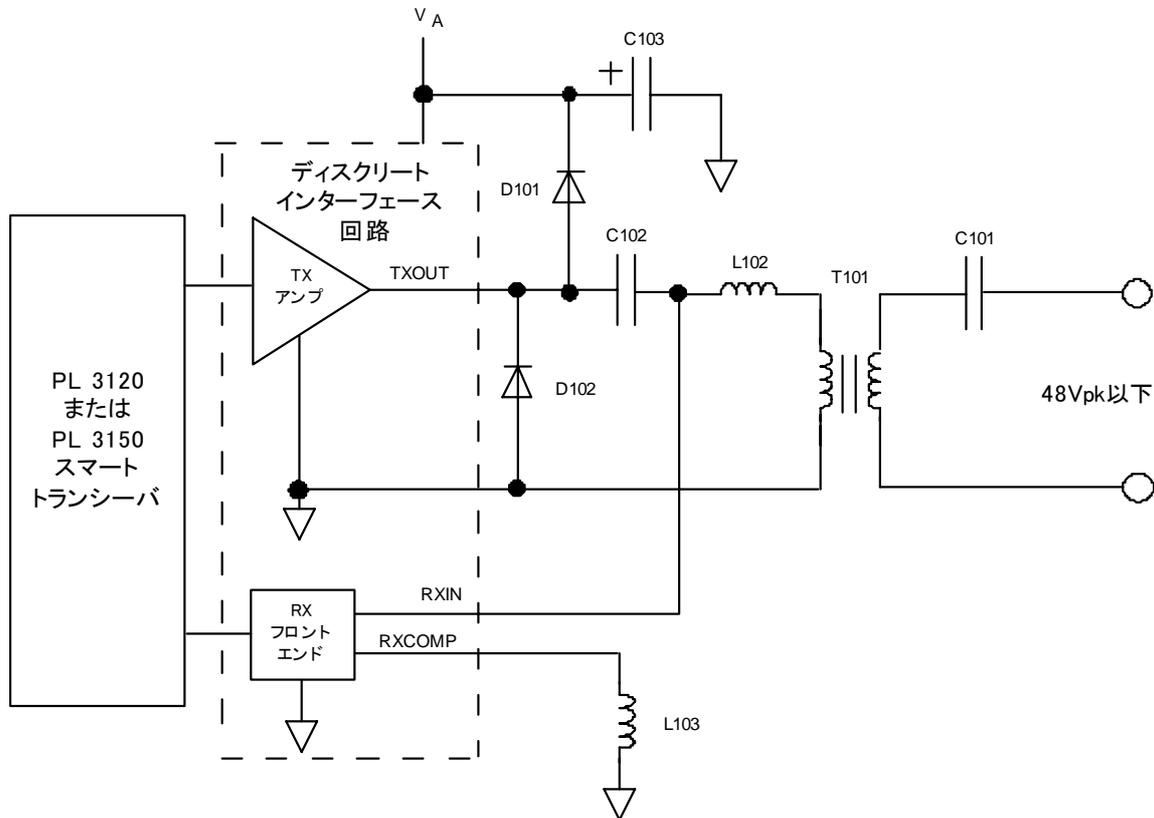


図4.26 低電圧ACトランス絶縁カップリング回路の回路図

表 4.11 低電圧AC絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C101	0.47 $\mu$ F	0.47 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0474KL	AVX/ BF074D0474KL
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	$\geq 120\mu$ F	$\geq 120\mu$ F	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35\ \Omega$ ESR @ 100kHz/20C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 200ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
L102	ビーズ	ビーズ	$\leq 0.5\ \Omega$ @ 100kHz、 $\geq 20\ \Omega$ @ 10MHz、 $I_{max} \geq 2A$	Steward/ HI1206P121R-00	Steward/ HI1206P121R-00
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55\ \Omega$ 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/または CTC Coils Limited/ CHシリーズ
T101	低漏洩トランス		付録Cを参照	付録Cを参照	

### 例11：低電圧DC非絶縁カップリング回路

図4.27に低電圧DCの非絶縁本線カップリング回路を示します。表4.12は、電圧範囲が48Vpk以下のDC回路にカップリングするための部品定数および販売業者/部品番号の例を示したものです。

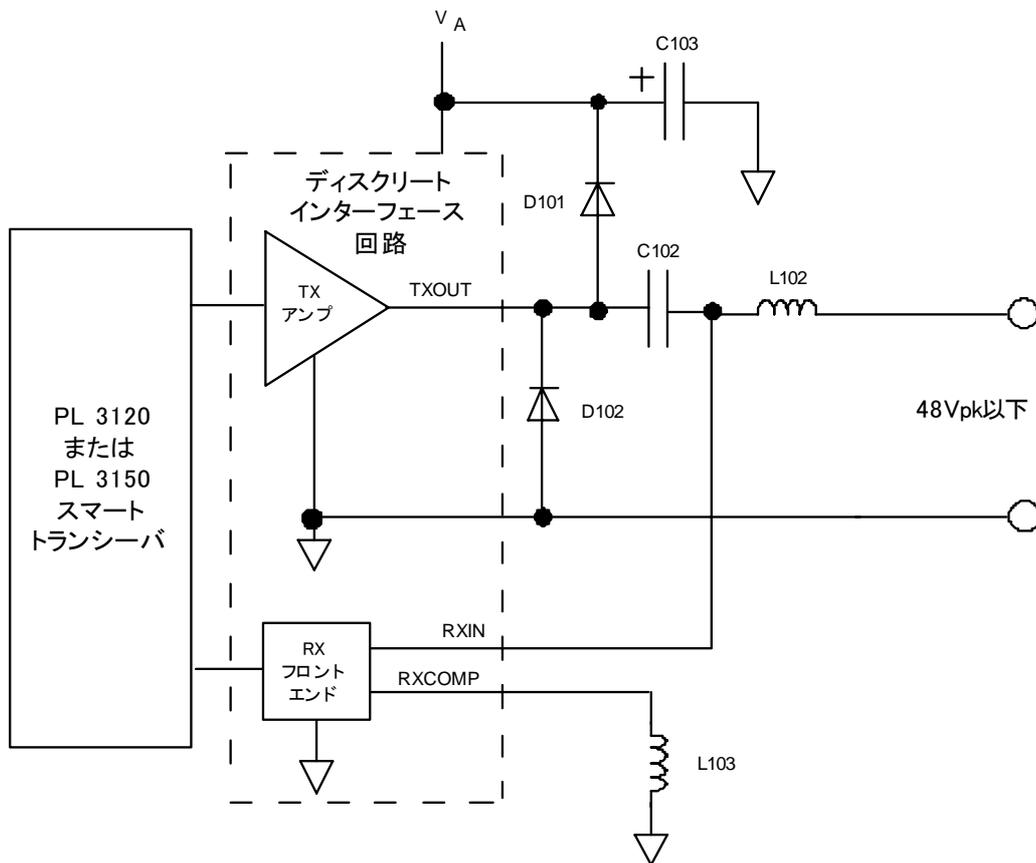


図4.27 低電圧DC非絶縁カップリング回路の回路図

表 4.12 低電圧DC非絶縁カップリング回路の部品定数

部品	定数		必要な仕様	販売業者/部品番号の例	
	Aバンド	Cバンド		Aバンド	Cバンド
C102	1.0 $\mu$ F	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0105K	AVX/ BF074D0105K
C103	$\geq 120\mu F$	$\geq 120\mu F$	$\pm 20\%$ 、 $\geq DC16V$ 、アルミ電解、 $\leq 0.35\ \Omega$ ESR @ 100kHz/20C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	ニチコン/ UHE1C121MED	ニチコン/ UHE1C121MED
D101	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 200ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935	Vishay General Semi/ 1N4935
D102	1A	1A	逆ブレイクダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A 25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B	Fairchild/ ES1B
L102	ビーズ	ビーズ	$\leq 0.5\ \Omega$ @ 100kHz、 $\geq 20\ \Omega$ @ 10MHz、 $I_{max} \geq 2A$	Steward/ HI1206P121R-00	Steward/ HI1206P121R-00
L103	1.5mH	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55\ \Omega$ 1kHz $\leq$ テスト周波数 $\leq 400kHz$	RCD/ AL05 1500 $\mu$ H KT/ または CTC Coils Limited/ CHシリーズ	ACT/ DD821K/ または CTC Coils Limited/ CHシリーズ

## 例12：ライン・ニュートラル間（L・N間）絶縁壁コンセント電源/カプラ

図4.28に通信カプラと壁コンセント電源を組み合わせた回路図を示します。この図に示すAC120V/60HzおよびAC230V/50Hzバージョンの壁コンセント電源/カプラは、いずれもタムラ製作所から入手可能です。これらの壁コンセント電源/カプラは、ライン・ニュートラル間カップリングを採用しています。公称ACライン電圧の場合、この回路の電源部分は、 $V_A$  電源電圧10.8V～17V（負荷電流DC 0～360mA）を提供します。ACライン電圧の最悪許容誤差を±10%とした場合、 $V_A$  電源は最大DC360mAの出力電流に対して8.5V～18Vとなります。表4.13は、この設計の部品定数および推奨販売業者/部品番号を示したものです。

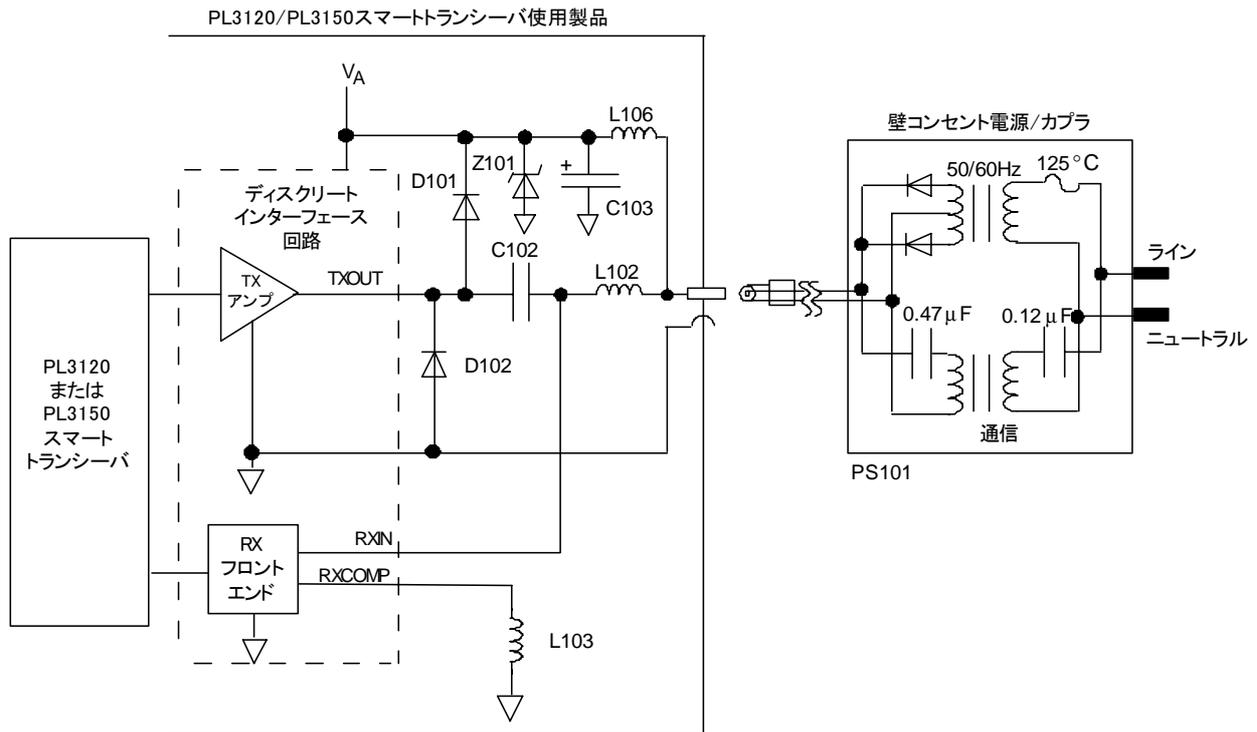


図4.28 L・N間絶縁壁コンセント電源/カプラの回路図

表 4.13 AC120、230 VのL・N間壁コンセントカップリング回路の部品定数

部品	定数	必要な仕様	販売業者/部品番号の例
	Cバンド		Cバンド
C102	1.0 $\mu$ F	$\pm 10\%$ 、 $\geq DC50V$ 、金属化ポリエステル	AVX/ BF074D0105K
C103	$\geq 820\mu F$	$\pm 20\%$ 、 $\geq DC25V$ 、アルミ電解、 $\leq 0.3 \Omega$ ESR @ 100kHz	ニチコン/ UHE1E821MPD
D101	1A	逆ブレークダウン $\geq DC50V$ 、順方向電圧 $\leq 1.3V$ @ 1A/ 25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 200ns$ 、逆 電流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Vishay General Semi/ 1N4935
D102	1A	逆ブレークダウン $\geq DC50V$ 、順方向電圧 $\leq 1.0V$ @ 1A/ 25C、サージ電流 $\geq 30A$ 8.3ms、逆リカバリ $\leq 25ns$ 、逆電 流 $\leq 100\mu A$ @ 100C、標準容量 $\leq 40pF$ @ 4V	Fairchild/ ES1B
Z101	17V	$\pm 5\%$ 、5W、ツェナー	IN5354B
L102	ビーズ	$\leq 0.5 \Omega$ @ 100kHz、 $\geq 20 \Omega$ @ 10MHz、 $I_{max} \geq 2A$	Steward/ HI1206P121R-00
L103	820 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 30mA$ 、 $R_{DC} \leq 55 \Omega$ 、 1kHz $\leq$ テスト周波数 $\leq 400kHz$	ACT/ DD821K/または CTC Coils Limited/ CHシリーズ
L106	220 $\mu$ H	$\pm 10\%$ 、 $I_{max} \geq 500mA$ 、 $R_{DC} \leq 1.0 \Omega$	太陽誘電/ LHL08TB221K/または CTC Coils Limited/ CHシリーズ
PS101	AC120V	AC120V $\pm 10\%$ 、60Hz、DC12V、400mA	タムラ (1) / 425A12400P
	AC230V	AC230V $\pm 10\%$ 、50Hz、DC12V、400mA	タムラ (1) / 425F12400P

注記：

1. Tamura Corporation Industrial Device B.U.  
電話+81-492-84-5721 (日本)  
+1-800-472-6624 (米国)  
ファックス：+81-492-84-9106  
www.tamuracorp.com

## 回路例のサージ耐性

本章記載の回路例に含まれている推奨サージ保護部品は、特定のプリント基板レイアウトを使ったテストに基づいています。プリント基板レイアウトとパッケージングは保護部品の選択と同程度に重要なため、PLスマートトランシーバを取り入れた各製品におけるサージ保護効果は、最終製品設計を使って必ず実際に確認する必要があります。

表4.14には、本章のカップリング回路がカップリング回路、PLスマートトランシーバチップ、またはPLスマートトランシーバインターフェース回路を損傷することなく耐えることのできるサージレベルが記載されています。この「損傷なし」という基準は、サージテストで最も一般的に適用される基準です。サージテストの後でデバイスが損傷したかどうかをチェックするシンプルで実際的な方法として、本書の付録Dに記載されている生産テスト法を用いることができます。本章に記載されている各AC本線カップリング回路には、一連のサージテストの後で付録Dの生産テストが実施されています。そのため、カップリング回路、スマートトランシーバチップ、または関連するディスクリートインターフェース回路が損傷していないことが確認されています。各回路をテストするために用いられたサージ波形のタイプおよびレベルは、表4.14に示すとおりです。また、対応するIEEE C62.41-1991システム暴露定格も併記されています。

各回路のサージテストは、少なくとも4つのリング波形サージイベントおよび4つのコンビネーション波形サージイベントからなっています。4イベントからなる各グループは、さらに90度の負極性（位相はAC本線のゼロクロス立ち上がりエッジが基準）の2イベントおよび270度の正極性の2イベントからなるグループに分かれます。これらの位相および極性設定は、最も脆弱な回路部品に最も大きなストレスを与えるようにあらかじめ定められています。多相カップリング回路の場合は、まず単相をサージ発生器に接続してテストし、それからすべての位相を並列で発生器に接続します。

テスト対象製品のサージ要件が以下に記載されたものと異なる場合は、開発者が特定の要件に合わせてテストを実施してください。上述したとおり、サージ保護設計の効果は回路レイアウトによって左右されるので、最終製品を使用して必ず確認する必要があります。

表 4.14 カップリング回路例のサージレベル

例	カップリングタイプ	設置場所タイプ	リング波形 (0.5 $\mu$ s~100kHz)		コンビネーション波形 (1.2/50 $\mu$ s~8/20 $\mu$ s)	
			テストしたサージレベル	IEEE C62.41 暴露レベル	テストしたサージレベル	IEEE C62.41 暴露レベル
1	単相L・N間、非絶縁	分岐回路	6kV/200A	ハイ	6kV/500A	仕様なし
		電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
		屋外	6kV/500A	ロー (注記を参照)	6kV/3000A	ロー (注記を参照)
2	単相L・N間、絶縁	分岐回路	6kV/200A	ハイ	6kV/500A	仕様なし
		電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
		屋外	6kV/500A	ロー (注記を参照)	6kV/3000A	ロー (注記を参照)
3	単相L・E間、非絶縁	分岐回路	4kV/130A	ミディアム	3kV/250A	仕様なし
		電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
		屋外	6kV/500A	仕様なし	6kV/3000A	ロー (注記を参照)
4	単相L・E間、絶縁	分岐回路	4kV/130A	ミディアム	3kV/250A	仕様なし
		電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
		屋外	6kV/500A	仕様なし	6kV/3000A	ロー (注記を参照)
5	三相、非絶縁	電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
6	三相、絶縁	電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
7	二相、非絶縁	電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
8	二相、絶縁	電力の入り口	6kV/500A	ハイ	6kV/3000A	ハイ
12	壁コンセント、L・N間、絶縁	分岐回路	4kV/130A	ミディアム	3kV/250A	仕様なし

**注記：**この記載項目のサージレベルは、利用可能なテスト装置がサポートする最大レベルです。屋外製品をIEEEのミディアム暴露レベルまでテストするには、10kV/5000A（屋外ハイシステム暴露の場合は20kV/10,000A）をサポートするサージ発生器が必要です。

本章に記載のカップリング回路に使用されているPLスマートトランシーバは、高いサージレベルにさらされたときにリセットされる場合があることに注意してください。システム設計者は、高サージ条件でアプリケーションがリセットイベントを許容するかどうかを知っておく必要があります。

本章で説明されているAC本線カップリング回路のサンプルは、少なくとも2kVのサージレベルにさらされてもリセットせずに動作することが実証されています。サージ条件におけるリセットイベントへの耐性レベルは回路レイアウトによって異なります。最大の耐性レベルを達成するには、正のサージ電流がPLスマートトランシーバの近くを通らずにグラウンドに戻るようD1とC3を配置してください。

非絶縁カップリングアプリケーションが高いリセット耐性を必要とする場合は、図4.29に示すオプション部品を付加することができます。一方、絶縁カップリング回路でのリセット耐性を強めるためのオプション部品は図4.30に示すとおりです。これらのオプション部品を含むカップリング回路は、6 kVのサージイベントにさらされてもリセットしないことが実証されています。

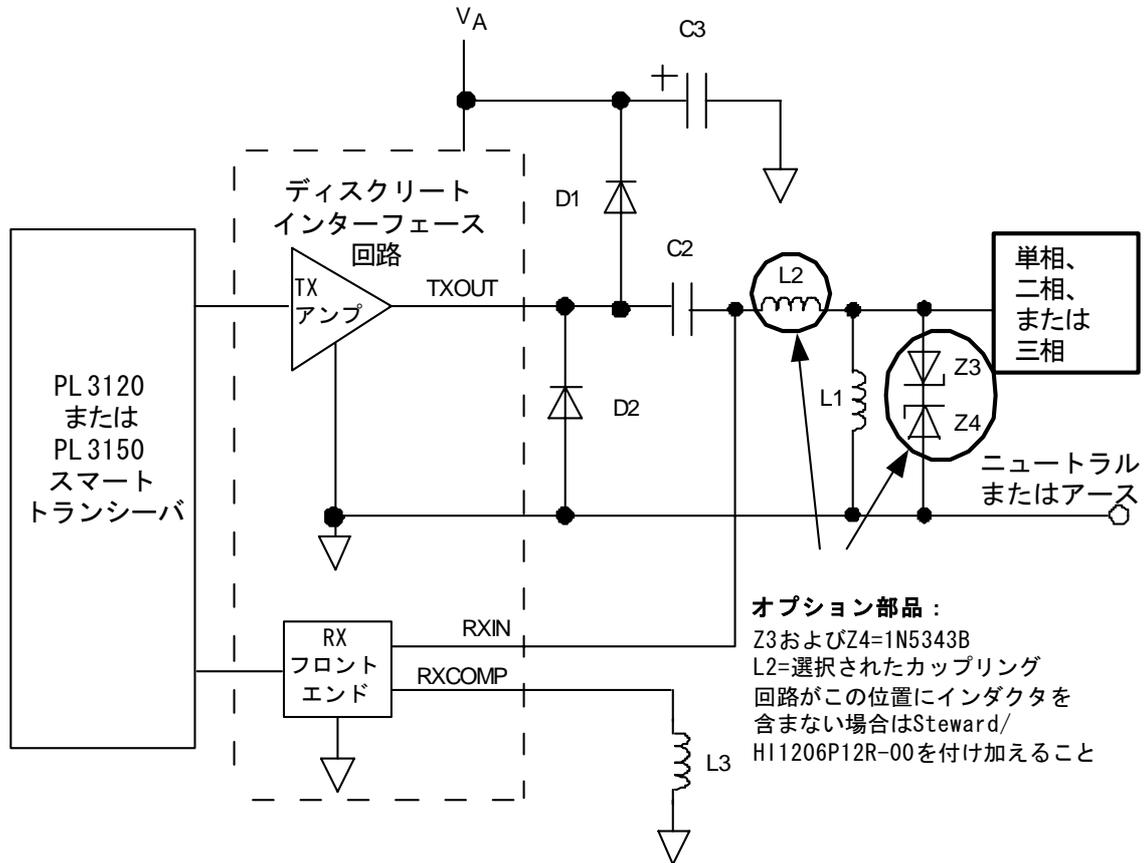


図4.29 非絶縁カップリング回路用のオプション部品

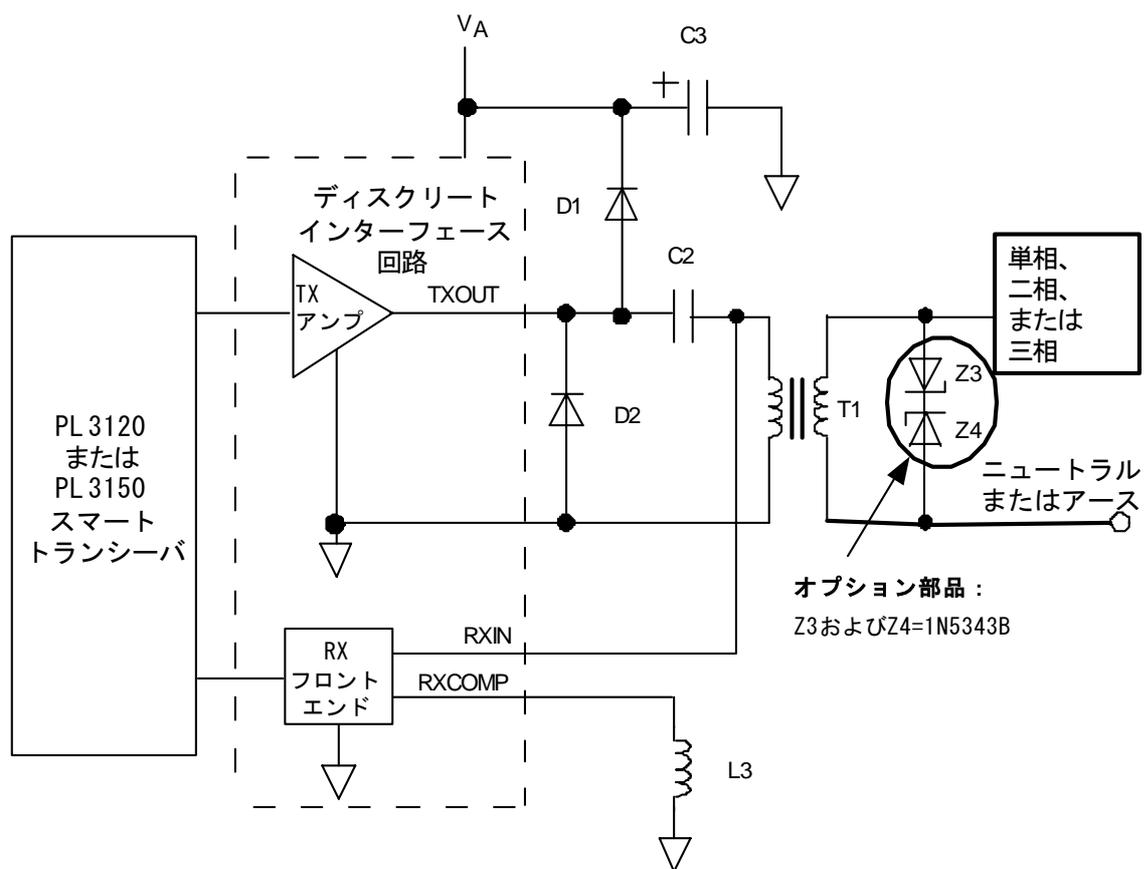


図4.30 絶縁カップリング回路用のオプション部品

5

---

# PLスマートトランシーバ の電源

## はじめに

PL 3120およびPL 3150スマートトランシーバに使用できる電源は数多くあり、これらの電源のサイズやコストなどの主要な特徴はそれぞれ異なっています。最適な電源を選ぶために以下の表を参考にしてください。

表 5.1 電源のオプション

電源タイプ	アプリケーション電流	チップサポート	安全絶縁	汎用入力 (注記1 を参照)	相対コスト (注記2 を参照)	相対サイズ (注記2 を参照)	相対設計作業量 (注記2 を参照)	ページ
蓄電式コンデンサ入力	≥25mA	PL 3120 スマート トランシーバ	なし	なし	1	1	2	154
蓄電式リニア	≥10mA	PL 3120 スマート トランシーバ	あり	なし	2	2	2	159
従来のリニア	任意	PL 3120 およびPL3150 スマート トランシーバ	あり	なし	3	≥3	1	160
壁コンセント電源およびカプラ	≥150mA	PL 3120 およびPL3150 スマート トランシーバ	あり	なし	4	4	2	160
事前設計済みの蓄電式スイッチャ	≥10mA	PL 3120 スマート トランシーバ	あり	あり	5	1	1	172
事前設計済みのスイッチャ	≥100mA	PL 3120 およびPL3150 スマート トランシーバ	あり	あり	3	2	4	174
市販のスイッチャ	任意	PL 3120 およびPL3150 スマート トランシーバ	あり	あり	10	≥5	4	177
フルカスタムスイッチャ	任意	PL 3120 およびPL3150 スマート トランシーバ	オプション	オプション	4	≥3	10	178

**注記：**

1. スイッチなしの複数国ライン電圧サポート
2. ここでいう相対とは、1 = ロー、10 = ハイを意味します。

## 電源設計上の考慮事項

PL スマートトランシーバの通信能力をフルに発揮するには、電源によって全体的な通信性能が制限されないように注意することが重要です。電源入力通信チャンネルに直接接続されているため、送信信号を減衰したりカップリングによりレシーバの入力にノイズを持ち込んだりする可能性があります。同様に、電源出力  $V_{DD5}$  および  $V_A$  が PL スマートトランシーバにカップリングしてノイズを持ち込み、パフォーマンスを劣化させる可能性もあります。適切な電源を選択するには、電源による負荷および電源ノイズが通信性能を損なわないように注意することが重要です。

以下の各節では、電源の選択または設計上重要な考慮事項について説明します。詳細については、特定の電源タイプを説明している節を参照してください。

### 電源に起因する減衰

第4章「カップリング回路」で説明したように、電力線通信信号の減衰はシステムの全体的な性能にとって重要な要因です。電源の選択や設計が正しく行われないと、信号の減衰が著しく悪化する可能性があります。特にスイッチング電源の入力段は、送受信される電力線通信信号を著しく減衰させる可能性があります。通信周波数において低い入力インピーダンスを持つ電源には、電源入力と直列にインダクタを付加する必要があります。最適なインダクタの選択については、本章後出の「スイッチング電源」節で説明します。

### 電源ノイズ

電源はその入力と出力の両方でノイズを持ち込む可能性を秘めています。入力から伝導により AC ラインに持ち込まれるノイズは、通信性能を劣化させるとともに、そのデバイスを放射規格違反にする可能性もあります。同様に、出力ノイズがトランシーバにカップリングされて通信性能を劣化させることもあります。

規制上の制約に従うため、AC 本線に伝導で持ち込まれる全ノイズを適切なレベルに抑える必要があります。電源によっては、本章後出の「スイッチング電源」節に示す入力フィルタを付加する必要が生じる場合もあります。

伝導放射テストの詳細については、第6章「電磁的適合性のための設計とテスト」を参照してください。

### $V_A$ 電源電圧範囲

PL スマートトランシーバが受信モードにある場合、許容  $V_A$  電源電圧範囲は 8.5V ~ 18V です。PL スマートトランシーバがメッセージを送信している場合の  $V_A$  電源は、10.8V ~ 12.6V の範囲にする必要があります（ただし、本節で説明する条件が満たされている場合は除きます）。特定の条件下では、送信中の  $V_A$  電源範囲を最小 8.5V から最大 18V にまで拡張することができます。以下に説明するこれらの条件が満たされると、さまざまな非安定化電源が使えるようになるため、製品コストを大きく削減できます。

ワーストケースのライン電圧、温度、部品公差、および送信電源負荷（最大  $V_A$  送信電流 250mA を含む）が存在する場合、送信中の最小  $V_A$  電源電圧は 10.8V から 8.5V に下げることができます。送信アンプが低インピーダンスラインを駆動しており、その出力電圧が 7 V<sub>pp</sub> よりもやや低い場合は、この条件により十分なヘッドルームが確保されます。 $V_A$  の下限を 8.5V まで拡張する場合でも、ライン電圧、消費電流（ $V_A$  電源からの標準消費電流 120mA を含む）、および室温が標準的な条件である場合には、10.8V 以上を維持する必要があることに注意してください。この条件により、送信アンプが軽負荷条件下で完全な 7 V<sub>pp</sub> 信号をラインに送信するために十分なヘッドルームが提供されます。

最大  $V_A$  範囲を 12.6V から最大 18V まで拡張することは、送信アンプの熱的な要件が満たされる限り許容されます。アンプの温度は、デバイスが送信しなければならない頻度、周囲温度、および電源電圧によって決まります。アンプの発熱に関する重要な電源パラメータは、送信中の平均  $V_A$  電源電圧です（すなわち、ゆるく安定化された電

源が使用されており、送信中にV<sub>A</sub>電源が低下する場合は、送信中の平均V<sub>A</sub>電圧によってアンプの発熱が決まります。デバイスが送信しなければならない頻度を最大送信デューティサイクルで表現した場合は、次の式が満たされたときに熱的な要件が満たされます。

$$V_{ATXAVE} < (150 - T_{AMAX}) / (8 * D_{MAX})$$

ここで：

V<sub>ATXAVE</sub> = 送信中の平均V<sub>A</sub>電源電圧

T<sub>AMAX</sub> = 製品筐体内の最大周囲温度（摂氏）

D<sub>MAX</sub> = デバイスの最大送信デューティサイクル（10進法表現）

最大送信デューティサイクルは一般に64%を超えません。なぜならば、LONMARK®相互運用可能トランシーバパラメータを使用し、34バイト以下のメッセージを送信するデバイスの場合は、64%が最大許容値だからです（「蓄電式電源」節の154ページにある注記を参照）。多くの製品は送信頻度が低いいため、送信デューティサイクル要件が64%よりもずっと低いことに留意してください。

上記の式を使いたいいくつかの一般的なオプションを表5.2に示します。

表 5.2 最大V<sub>A</sub>と温度およびデューティサイクルの関係

T <sub>AMAX</sub> (°C)	D <sub>MAX</sub> (%)	最大V <sub>ATXAVE</sub> (V)
85	64	12.7
85	45	18
70	64	15.6
70	55	18

注記：上記の説明は標準 1 Ap-p 送信アンプに当てはまります。オプションの2Ap-pを使用する場合は、付録Aを参照してください。

## 蓄電式電源

コストやサイズが厳しいデバイスでは、蓄電式電源を使う方が好適な場合があります。このタイプの電源は、広い電源電圧範囲とトランシーバの送受信電流要件の大きな差を利用して、デバイスが受信モードのときに蓄電し、信号送信時にそれを消費します。蓄電式システムを使うと、「完全な」電源を使った場合に比べて小型で低価格な電源を使用できます。これにより、低電流電源の使用が可能になり、受信モードに必要な電流と送信の合間にコンデンサを再充電するための付加的な電流を供給するだけで済むようになります。

通常、蓄電式電源は、受信モード時にV<sub>A</sub>電源電圧が公称仕様12Vを超えるように設計されています（15Vなど）。パケット送信時には、コンデンサのエネルギーが送信用に消費され、V<sub>A</sub>電源の電圧が低下することが許されます。蓄電式コンデンサの値は、単一の最大長パケット送信の終了時に適正動作に十分なV<sub>A</sub>電源電圧を維持できるだけの大きさに指定する必要があります。つまり、V<sub>A</sub>電源が以下の条件の両方を満たすように蓄電式コンデンサを選択すれば、適正なデバイス動作を維持できます。

- 標準I<sub>A</sub>送信負荷120mAが140.7ms（Aバンド）または92.2ms（Cバンド）の間アクティブだった後でV<sub>A</sub>が10.8V以上（下記の注記を参照）。この条件は、室温および公称ACライン電圧において満たされていれば十分です。
- ワーストケースのI<sub>A</sub>送信負荷250mAが140.7ms（Aバンド）または92.2ms（Cバンド）の間アクティブだった後でV<sub>A</sub>が8.5V以上（下記の注記を参照）。ノード動作を適正に保つには、この条件がワーストケースの部品公差（I<sub>DD5</sub>消費電流を含む）、ACライン電圧、および温度の全範囲で満たされる必要があります。

**注記：**一次搬送波周波数においては、32バイトパケットが最大送信持続時間113.8ms (Aバンド) または74.6ms (Cバンド) に相当します。

二次搬送周波数においては、エラー補正とデータ圧縮のために最大送信持続時間の計算はやや複雑になります。メッセージトラフィックが上記の条件およびその他の一般条件を満たす場合を想定すると、最大送信持続時間は140.7ms (Aバンド) または92.2ms (Cバンド) となります。この最大持続時間は、次の条件を満たすアプリケーションに適用できます。1) 蓄電式デバイスからの優先パケット送信がない。2) サブネットおよびノードの数が0~15の範囲にある。3) 6バイトドメインが使用されている場合は、NeuronコアID番号と同じになるように割り当てられている。この注記に記載されている条件を満たさないアプリケーションの最大パケット長の計算については、Echelon社のLonSupportにお問い合わせください。

単一パケットの送信後に十分な電圧を提供できる蓄積コンデンサを選択したら、その次にPLスマートトランシーバの電源管理機能をEnableすることにより、複数パケットの送信期間中に十分な電源電圧を確保する必要があります。電源管理機能を使用すると、連続する複数のパケット送信によって電源電圧が過剰に低下するのを防ぐことができます。これは、蓄電式コンデンサの電圧を監視して、コンデンサの再充電時間を確保するために必要に応じて送信間隔を調節することにより達成されます。

電源管理機能をEnableするには、付録Aの参照回路図に示すように、まず適切な抵抗分圧器を $V_A$ 電源とPL 3120/PL 3150スマートトランシーバICのOOGASピンの間に接続します。また、「LOW」のサフィックスの付いた標準トランシーバタイプを使用する必要もあります(第8章「PLスマートトランシーバのプログラミング」を参照)。

電源管理システムをEnableすると、低電源管理しきい値(公称7.9V)を下回る $V_A$ 電源電圧がすべて検出されます。PLスマートトランシーバはこれを受け、蓄電式コンデンサが完全なパケットを送信できるだけ再充電されるまで送信を遅らせます。次にコンデンサが完全に充電されると、PLスマートトランシーバは待っているパケットを送信します。

パケット送信デューティサイクルが高いことが原因で、パケット送信中に $V_A$ が下がりすぎ、パケット送信が中断された場合、PLスマートトランシーバは使用されているLonTalkプロトコルサービスとは独立にそのパケットを再送信します。確認応答なしのサービスを採用している場合、低電源電圧のために中断されたパケットは、電源管理システムが電源の再充電完了を確認するとともに再送信されます。

PLスマートトランシーバの電源管理回路は、デバイスの実際の再充電特性に基づいて送信禁止時間の長さを調節します。この機能のおかげで、蓄電式デバイスは通常、電源管理回路の介入なしに送信することができます。蓄電式電源によって電源を供給されているデバイスがワーストケースの部品公差を持っており、ワーストケースのACライン条件にさらされた場合、スマートトランシーバの電源管理回路は、電源の再充電レートを測定することによって適切な送信ホールドオフ時間を計算します。この計算に用いられる式は、電源が低電源管理しきい値(公称7.9V)から高電源管理しきい値(公称12.1V)まで充電されるために必要な時間の3倍です。図5.1に、蓄電式ノードが標準条件およびワーストケース条件で動作する例を示します。

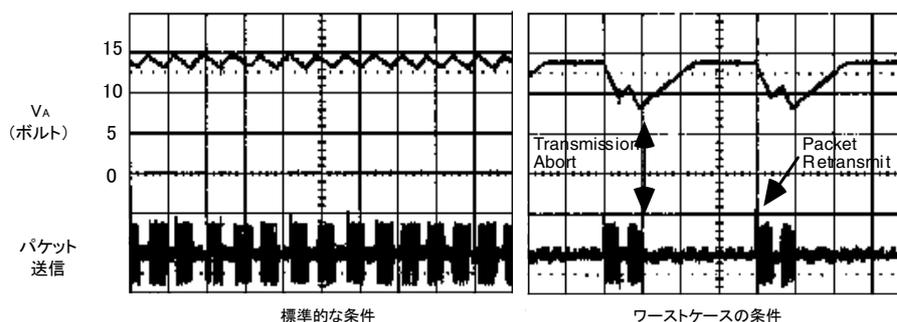


図5.1 電源電圧とパケット送信の関係

## 蓄電式コンデンサ入力電源

蓄電式電源の中でも特にコスト効果が高いのがコンデンサ入力電源です。この電源の最も魅力的な特長は、 $V_A$  電源と  $V_{DD5}$  電源の両方が部品（約1米ドル）数個で作れることです。

図5.2にコンデンサ入力電源の動作を図示します。この図に示すように、AC本線と直列のコンデンサがあると、AC電流がツェナーダイオードを流れ、これがシャントレギュレータの役割を果たします。このレギュレータは、 $V_A$  電源電圧を16V以下に制限するように選択されています。シャントレギュレータの両端に接続された蓄電式コンデンサは、送信に必要な電流容量を提供します。使用されないソース電流がシャントレギュレータを流れるため、電源負荷が最小のときにツェナーダイオードの温度が最大になることに注意してください。ツェナーダイオードのレギュレーション電圧は10V以上で大きな正の温度係数を持っているため、それより多少低電圧のツェナーダイオードと直列に、1対の順方向バイアスのシリコンダイオード（温度係数が負）が付加されています。このタイプのコンデンサ入力電源は、図5.2に示す直列インダクタがないと通信信号を減衰させる性質を持っていることに注意してください。

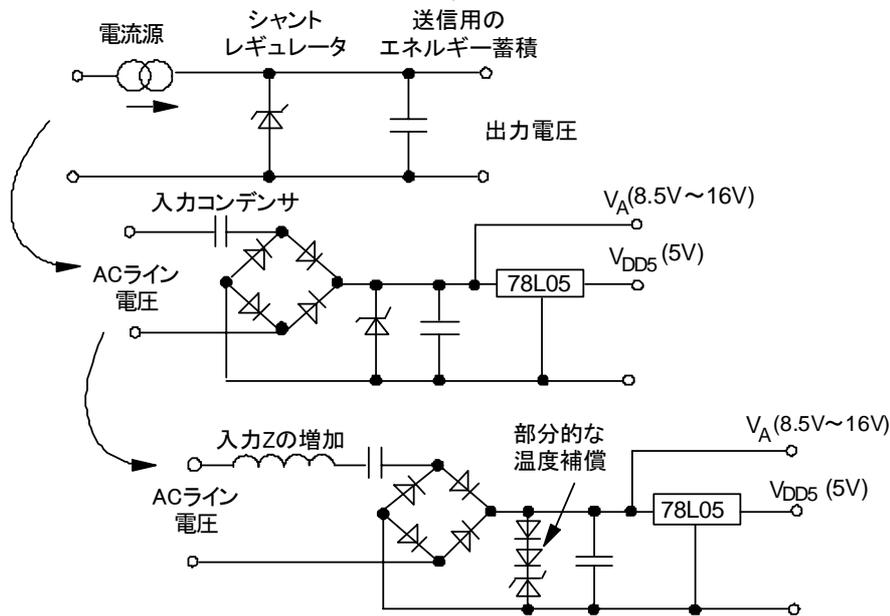
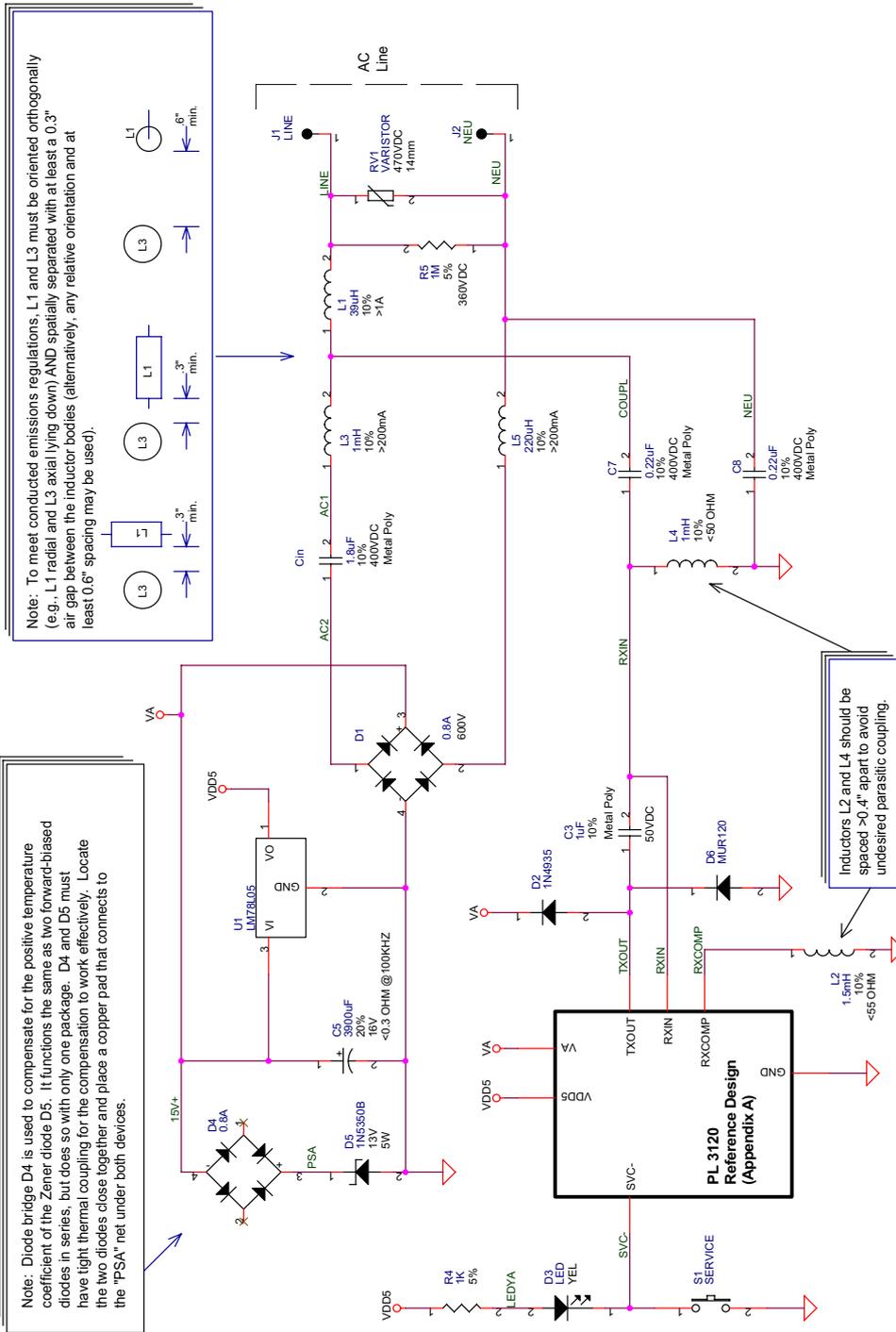


図5.2 コンデンサ入力電源の動作原理

利用可能な電流が小さいため、コンデンサ入力電源を適用できるのは、一般に最小限のI/Oアプリケーション電流しか必要としないPL3120スマートトランシーバ使用デバイス（ラッチングリレー、SCRトリガ、低電力LEDなど）に限られます。図5.3は、コンデンサ入力電源によるPL 3120スマートトランシーバICを使ったAバンドデバイスの回路図を示しています。図5.4にCバンドのバージョンを示します。これらのデバイスは、筐体内空気温度範囲0~70°Cで動作するように設計されています。このコンデンサ入力ノードに特有の要件を満たすため、両図に示されているカップリング回路は第4章に示したものと異なっています。

Aバンドオプションは、ワーストケース条件下で再充電の前に1つの140.7msパケットを送信するのに十分な蓄電を提供します。各Cバンドオプションは、ワーストケース条件下で再充電の前に1つの92.2msパケットを完了するのに十分な蓄電を提供します。標準的な条件下では、AバンドおよびCバンドバージョンは、最大送信デューティサイクルとして65%以上をサポートします。ワーストケース条件下では、それぞれが最大送信デューティサイクルとして10%以上をサポートします。これらのコンデンサ入力電源オプションを使用するには、第8章に説明されているように、デバイスの構成データが電源管理をEnableするようにプログラムされている必要があります。



≒ 2mA アプリケーション電流

図5.3 Aバンドコンデンサ入力電源回路図



## 蓄電式リニア電源

必要なアプリケーション電流が小さくて安全絶縁を必要とする製品の場合は、蓄電式リニア電源が最小かつ最もコスト効果の高いオプションであるといえます。アプリケーション電流およびI/O電流として10mAを消費するPL 3120スマートトランシーバを使ったデバイスを考えてみましょう。リニア $V_A$ 電源および $V_{DD5}$ 電源用にリニアレギュレータを使った場合のワーストケースの電流要件を下の表に示します。

表 5.3 ノード消費電流のワーストケース

	送信	受信
$V_A$ 電流	250mA	0.5mA
PL 3120スマートトランシーバの $V_{DD5}$ 電流	13mA	13mA
アプリケーションおよびI/O電流	10mA	10mA
78L05レギュレータ電流	5mA	5mA
合計	278mA	29mA

従来のリニア電源は、出力電流定格が300mA以上のトランスを必要とします。PL 3120スマートトランシーバの電源管理機能を利用すると、100mAのトランスで蓄電式リニア電源を作ることができます。

図5.5に蓄電式リニア電源の例を示します。この例は、AバンドとCバンド動作の両方で本章の蓄電の節に記載されている基準を満たします。一定の受信負荷29mAに過渡負荷120mAが140.7msの間加わっても、この電源が10.8Vを下回ることはありません。また、一定の29ms負荷に250mAの負荷が140.7ms加わっても9.0V以上を維持します。これら両方の基準は、ACライン電圧が10%低くて出力容量値が20%低い場合でも維持されます。さらに、この電源例は、標準送信条件下でデューティサイクル65%以上をサポートし、ワーストケースのライン電圧および部品公差の場合は10%以上をサポートします。

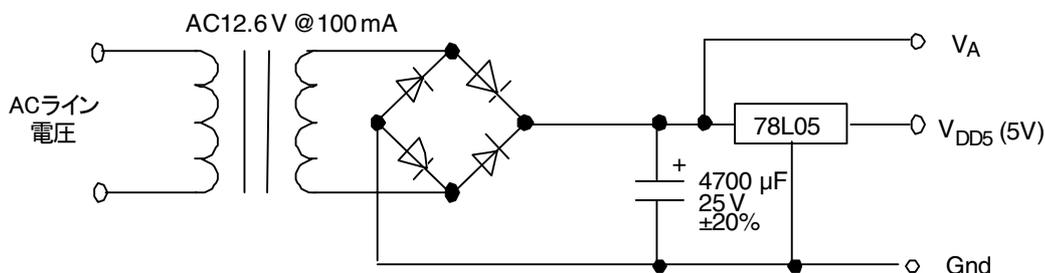


図5.5 蓄電式リニア電源

これまでの説明をまとめると、蓄電式リニア電源は従来のリニア電源と次の点で異なります。

- より小型のトランスを使える。
- 蓄電用に大き目の出力容量を必要とする。
- 第8章に説明されている電源管理をEnableするようにデバイスをプログラムする必要がある。
- 標準的な条件下では、送信デューティサイクルが制限されない。PLスマートトランシーバの電源管理回路は、ライン電圧および部品公差の全範囲にわたって、デバイスの特定の送信デューティサイクル（上記の例で10%以上まで）を調節する役割を果たすことができます。

## 従来のリニア電源

リニア電源はスイッチング電源よりも物理的に大きくなりがちなため、このオプションは電源の物理的なサイズが制限されないアプリケーションに適しています。リニア電源は、PLスマートトランシーバの通信周波数範囲において電力線の負荷になったり、大きなノイズを発生したりはしません。このため、リニア電源は通信性能への悪影響を心配せずに使用できます。

## 壁コンセント電源/カプラ

50/60Hzの壁コンセント電源とL・N間カップリング回路を組み合わせたリニア電源は非常に便利です。タムラ製作所から入手できるこの壁コンセント電源/カプラの詳細については、図4.28および表4.13を参照してください。公称ACライン電圧の場合は、負荷電流DC0～360mAにおいて $V_A$ 電源電圧10.8V～17Vが提供されます。ACライン電圧のワーストケースの許容誤差を±10%とした場合、 $V_A$ 電源は最大DC360mAの出力電流に対して8.5V～18Vとなります。この電源は定格動作温度範囲が0～40°Cです。

## スイッチング電源

スイッチング電源は、一般にリニア電源よりも小さ目ですが、ノイズおよび電力線信号減衰の原因になりえます。このため、リニアまたはコンデンサ入力電源と比べて設計作業量が大幅に増えます。

サイズまたはアプリケーション電流の制限が原因でスイッチング電源が必要な場合は、いくつかの設計オプションを利用できます。これらのオプションには、設計済みスイッチング電源、市販のスイッチャ、カスタム設計スイッチャなどが含まれます。これらのオプションについては、スイッチング電源の設計における問題の説明後に解説されています。

## 電源に起因する減衰

スイッチング電源の入力段は、EMCフィルタを含んでいるのが普通です。このフィルタは、ラインとニュートラルを直接接続する1つ以上のコンデンサを含み、ラインとニュートラルをグラウンドに接続するコンデンサを含んでいる場合も多々あります。スイッチング電源のACライン端子が（カップリング回路と並列に）AC本線に接続されている場合は、さらに信号減衰が加わります。このロスは、図5.6に示すように、電源入力と電力線の通信チャンネルの間に直列インダクタを挿入することによって防ぐことができます。

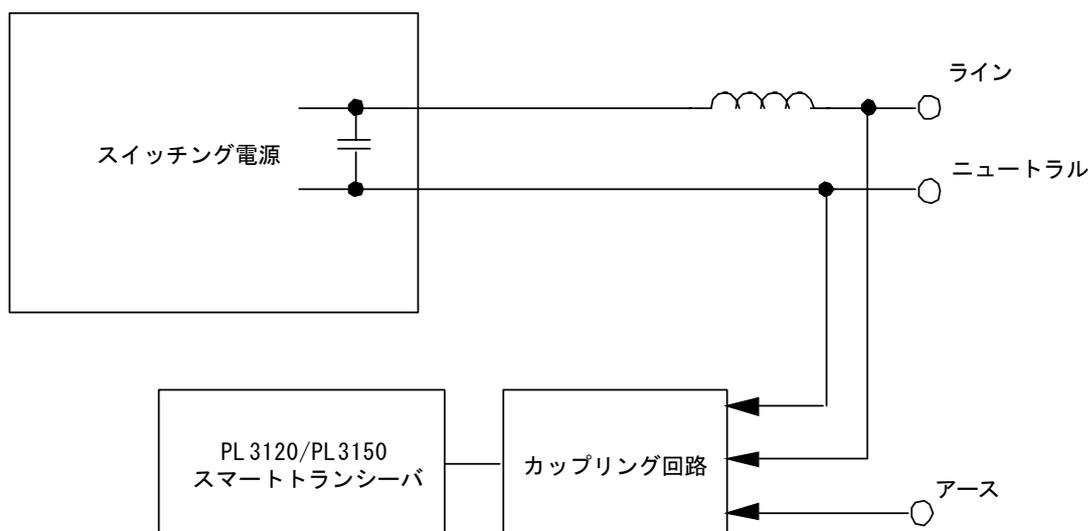


図5.6 スイッチング電源に起因する減衰の低減

所与の負荷による減衰の増加は、その負荷（この場合はスイッチング電源）がトランシーバに直接接続されているときに著しく悪化するため、このインダクタを含めることは必要です。これと対照的に、レシーバから分離されているスイッチング電源による負荷は、電力線配線のインダクタンスによって低減されます。

スイッチング電源によるこの負荷効果のため、L・N間カップリング回路では、ほとんど必ずインダクタを付加する必要があります。L・E間カップリング回路にインダクタが必要かどうかは、スイッチング電源のEMCフィルタのトポロジーによって決まります。いずれの場合も、通信周波数範囲内で電源が電力線に低インピーダンスをもたらさないようにインダクタの値を選ぶことが重要です。適切なインダクタンス値は、必要なインピーダンス（システムトポロジーに依存）とノードコストの兼ね合いで決まります。インダクタの飽和に起因するインピーダンスの低下を避けるため、電源の消費するピーク電流よりも大きな電流定格を持ったインダクタを選ぶ必要があります。インピーダンスを高くするには、インダクタンス値を大きくする必要があります、それによって同じ電源入力電流を得るためのコストが高くなります。

ほとんどのAC本線配電システムにおいては、PLスマートトランシーバの通信周波数におけるラインインピーダンスの標準的な値が1~20Ωであり、信号減衰を悪化させないための電源入力インピーダンスとしては100Ωあれば十分です。複数のビルディング間にまたがる本線配電システムでは、システムインピーダンスが50Ωにまで達することがあるため、通信距離を最大化するには、最小電源入力インピーダンスとして250Ωが推奨されます。

100Ωを超える入力インピーダンスが適しているシステムとしては、たとえば1000mの通電ツイストペアケーブルに100個以上のPLスマートトランシーバ使用デバイスが接続されているシステムが挙げられます。このケースでは、電源の入力インピーダンスのために最大送信距離やケーブルに接続できるデバイスの最大数が制限される可能性があります。システムインピーダンスが約100Ωの専用ツイストペア配線において通信距離を最大化するには、最小電源入力インピーダンスとして500Ωが推奨されます。1000m以上の専用ライン上に100個を超えるノードがある極端なケースでは、通信距離を最大化するために電源入力インピーダンスとして2000Ωが必要となる場合があります。表5.4にアプリケーションごとに適切なインダクタ値を示します。

表 5.4 アプリケーションごとの推奨インダクタ値

アプリケーション	通信周波数におけるネットワークインピーダンス	一次通信周波数におけるインダクタインピーダンス	Aバンドインダクタ値	Cバンドインダクタ値
単一ビルディングのAC本線	1~20 Ω	≥ 100 Ω	≥ 220μH	≥ 150μH
ビルディング間の本線配電	1~50 Ω	≥ 250 Ω	≥ 470μH	≥ 330μH
専用ケーブル ≤ 100ノード ≤ 100m	50~100 Ω	≥ 500 Ω	≥ 1mH	≥ 680μH
専用ケーブル > 100ノード > 100m	50~100 Ω	≥ 2000 Ω	≥ 3.9mH	≥ 2.4mH

インダクタの値にはさらにもう1つの制限条件があります。インダクタがスイッチング電源の入力容量と合成されている場合、LC共振周波数は、通信周波数範囲（Aバンドで70~90kHz、Cバンドで110~138kHz）の2倍以上または1/2以下である必要があります。この周波数範囲を避けておかないと、インダクタのリアクタンスと電源の容量性リアクタンスの間の直列共振のため、通信周波数において低インピーダンスが生じることがあります。

電源の入力インピーダンスを増やすために用いるインダクタのサイズとコストを削減する1つの方法は、図5.7に示すように、コンデンサを使って意図的にインダクタと並列共振させることです。このオプションを選んだ場合は、インパルス的な電力線ノイズが過剰なフィルタリングを誘発して弱い信号の受信を悪化させないように、抵抗性ダンピングを含める必要があります。並列抵抗は、受信インピーダンスとインパルスノイズのダンピングを最適化するように選択されています。図5.7には、100μHのインダクタしか示されていませんが、Aバンドの値で作られたこの回路は、並列共振効果のために70kHz~90kHzにおいて150 Ω以上の直列インピーダンスを提供します。Cバンドの値で作った場合の直列インピーダンスは、125kHz~138kHzにおいて200 Ω以上になります。また、このインダクタは、電源が消費するピークAC電流に対応する定格を持っている必要があります。

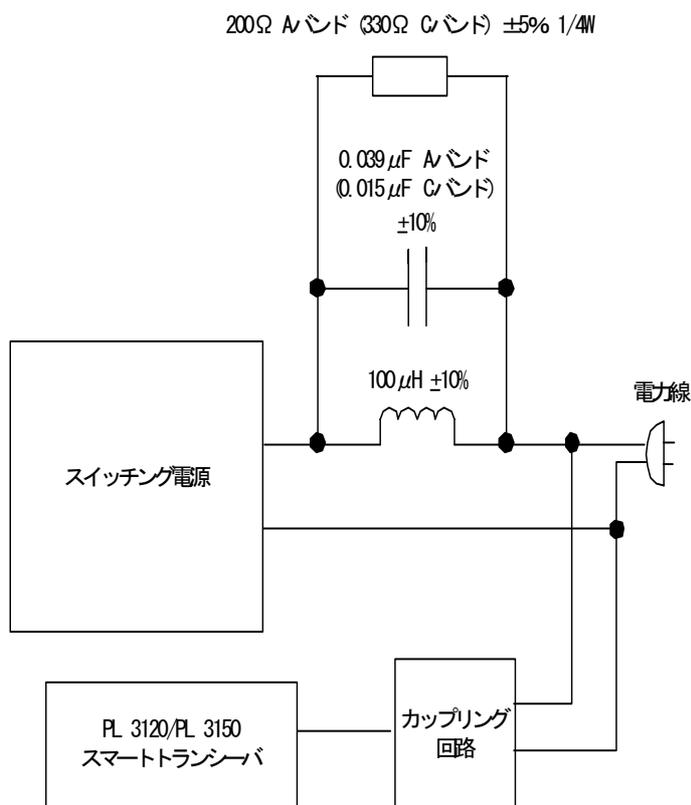


図5.7 共振回路付きのスイッチング電源に起因する減衰の低減

## 電源入力におけるノイズ

最高の通信性能を実現し、CENELEC EN 50065-1およびFCC Part 15の伝導放射仕様に適合するには、スイッチング電源の入力が電力線に過剰なノイズを伝導しないように工夫する必要があります。スイッチング電源は、10kHz～数MHzで動作する発振器を備えています。電源の設計によっては、電源の入力（ライン側）でスイッチングの基本周波数や高調波のエネルギーが強く表れることがあります。ノイズに敏感な周波数範囲でこの信号の振幅が大きいと、PLスマートトランシーバの性能が劣化します。

PLスマートトランシーバは、減衰と大きなスイッチング電源ノイズがあっても確実に動作するように設計されていますが、レシーバに非常に近いスイッチング電源からのノイズは通信性能に最も有害な影響を与えます。遠くのノイズ源から来るノイズは、レシーバに達するまでに減衰されるため、受信への影響は小さくなります。

## スイッチング電源の周波数選択

スイッチング電源の動作周波数を適切に選択すると、PLスマートトランシーバの通信性能に対するスイッチングノイズの影響を最小限に抑えることができます。スイッチング電源の動作周波数を選ぶときに、基本周波数と高調波がトランシーバの通信周波数を避けるように指定すると、スイッチング電源からの妨害を除去するための追加回路の規模とコストを最小限に抑えることができます。下記の表5.5に、推奨スイッチング周波数範囲を示します。スイッチング電源の設計にあたっては、基本スイッチング周波数がすべてのライン、負荷、環境、および生産条件にわたって記載の範囲に収まるようにしてください。

表 5.5 推奨される スイッチング電源の基本動作周波数

推奨周波数範囲
46kHz～55kHz
90kHz～110kHz
>155kHz

## スイッチング電源の入力ノイズマスク

図5.8～5.11に示すノイズ「マスク」は、スイッチング電源入力における最大許容ノイズを示しています。これにより、PLスマートトランシーバの最適性能が実現し、適切な伝導放射仕様を満たすことができます。図5.8は、AバンドCENELEC EN 50065-1 [2]伝導放射に適合するためのノイズマスクを定義しています。図5.9は、AバンドFCC [1]伝導放射に適合するためのノイズマスクを定義しています。同様に、図5.10は、CバンドCENELEC EN 50065-1伝導放射に適合するためのノイズマスクを定義し、図5.11は、FCC伝導放射に適合するためのノイズマスクを定義しています。これらのリミットは、PLスマートトランシーバを第4章に示されている推奨カップリング回路とともに使用することを仮定しています。

特定の電源の測定は、国際無線障害特別委員会勧告16、第二版[3]の第8.2.1節に指定されている人工本線ネットワークにその電源を接続することで行います。多くの場合、スイッチング電源のスイッチング周波数は負荷に依存して変化するため、測定は予想される負荷の全範囲にわたって行ってください。CENELEC EN 50065-1の測定に関しては、2つの異なるリミットが示されています。1つのリミットは準尖頭値検出器を使って測定され、もう1つは平均検出器を使って測定されます。これらのリミットは、他の任意のCENELEC適合製品に要求されるものと同じです。ただし、Aバンドデバイスの通信バンド90kHz以下（Cバンドデバイスの110kHz～138kHz）は例外で、それより低いノイズレベルが指定されています。

FCCアプリケーションにおいては、図5.9と5.11のリミットは450kHz以上の周波数のためのFCC Class Bリミットに対応します。450kHz以下では、PLスマートトランシーバのフル通信性能が維持されるようにリミットが設定されています。図5.9と5.11のリミット線を使って電源を検証する場合は、準尖頭値検出器を使用してください。

CENELECおよびFCC測定の場合、CISPR 16に記載されているように、150kHz未満の測定における測定帯域幅は200Hz、150kHz以上では9kHzです。

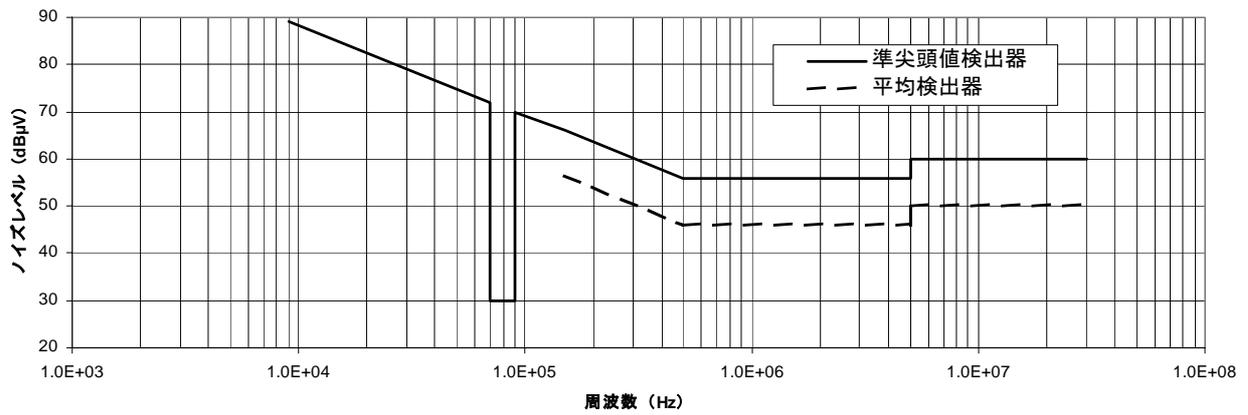


図5.8 AバンドCENELECに適合するためのスイッチング電源入力ノイズリミット

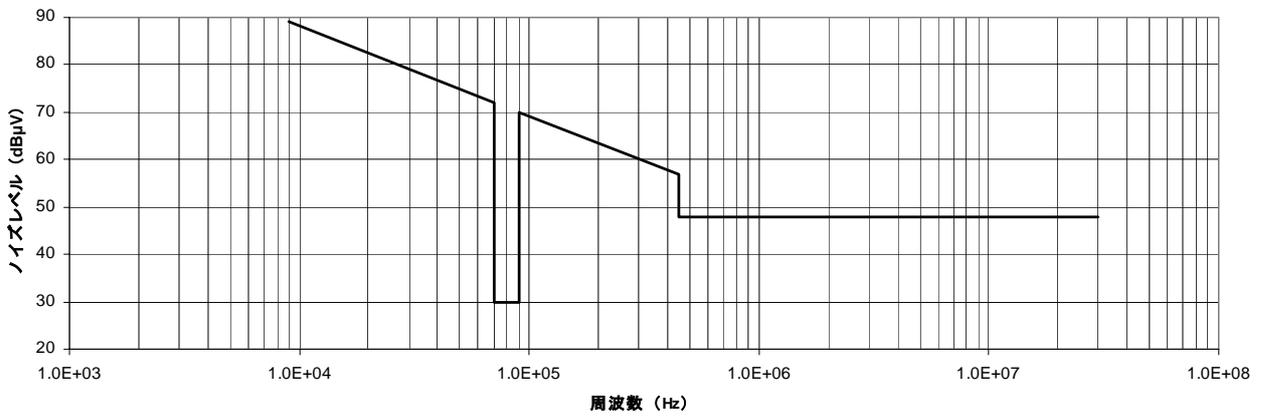


図5.9 AバンドFCCに適合するためのスイッチング電源入力ノイズリミット

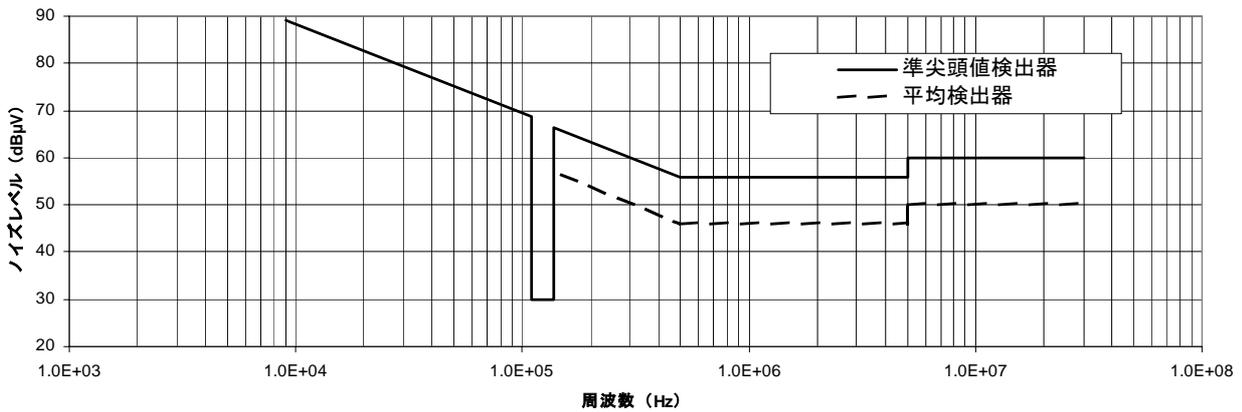


図5.10 CバンドCENELECに適合するためのスイッチング電源入力ノイズリミット

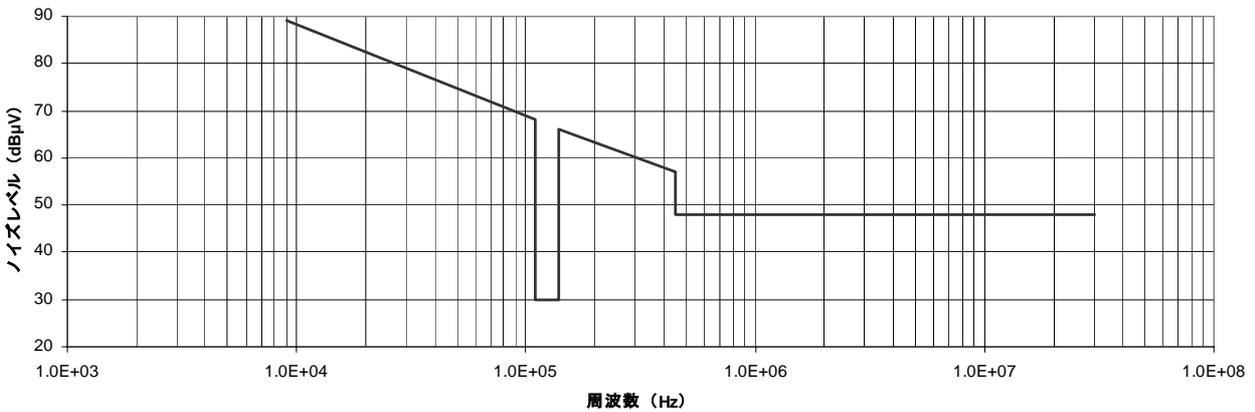


図5.11 CバンドFCCに適合するためのスイッチング電源入力ノイズリミット

表5.6には図5.8に示す直線の終点が、表5.7には図5.9に示す直線の終点が記載されています。表5.8には図5.10に示す直線の終点が、表5.9には図5.11に示すレベルの終点が記載されています。

表 5.6 AバンドCENELECに適合するためのスイッチング電源入力ノイズリミット

周波数 (Hz)	ノイズレベル (dBµV) : 準尖頭値検出器	ノイズレベル (dBµV) : 平均検出器
9	89	N/A
70	72	N/A
70+	30	N/A
90	30	N/A
90+	70	N/A
150	66	56
500	56	46
5000	56	46
5000+	60	50
30000	60	50

表 5.7 AバンドFCCに適合するためのスイッチング電源入力ノイズリミット

周波数 (Hz)	ノイズレベル (dB $\mu$ V) : 準尖頭値検出器
9	89
70	72
70+	30
90	30
90+	70
450	57
450+	48
30000	48

表 5.8 CバンドCENELEC EN 50065-1に適合するためのスイッチング電源入力ノイズリミット

周波数 (Hz)	ノイズレベル (dB $\mu$ V) : 準尖頭値検出器	ノイズレベル (dB $\mu$ V) : 平均検出器
9	89	N/A
110	68	N/A
110+	30	N/A
138	30	N/A
138+	66	56
500	56	46
500+	56	46
5000	56	46
5000+	60	50
30000	60	50

表 5.9 CバンドFCCに適合するためのスイッチング電源入力ノイズリミット

周波数 (Hz)	ノイズレベル (dB $\mu$ V) : 準尖頭値検出器
9	89
110	68
110+	30
138	30
138+	66
450	57
450+	48
30000	48



電源入力の適切なノイズマスクを満たさない電源では、局所的なスイッチング電源と電力線との間にフィルタが必要となる場合があります。

スイッチング電源ノイズを減衰させ、200  $\Omega$  を超える入力インピーダンスを提供するフィルタの例は、図5.12に示すとおりです。両方のインダクタは、電源の消費電流ピーク AC 電流に対応する定格を持っている必要があります。また、3.3  $\Omega$  抵抗は電源が消費するAC電流に見合った電力定格を持っている必要があります、その電圧降下が許容範囲内であることを検証する必要があります。

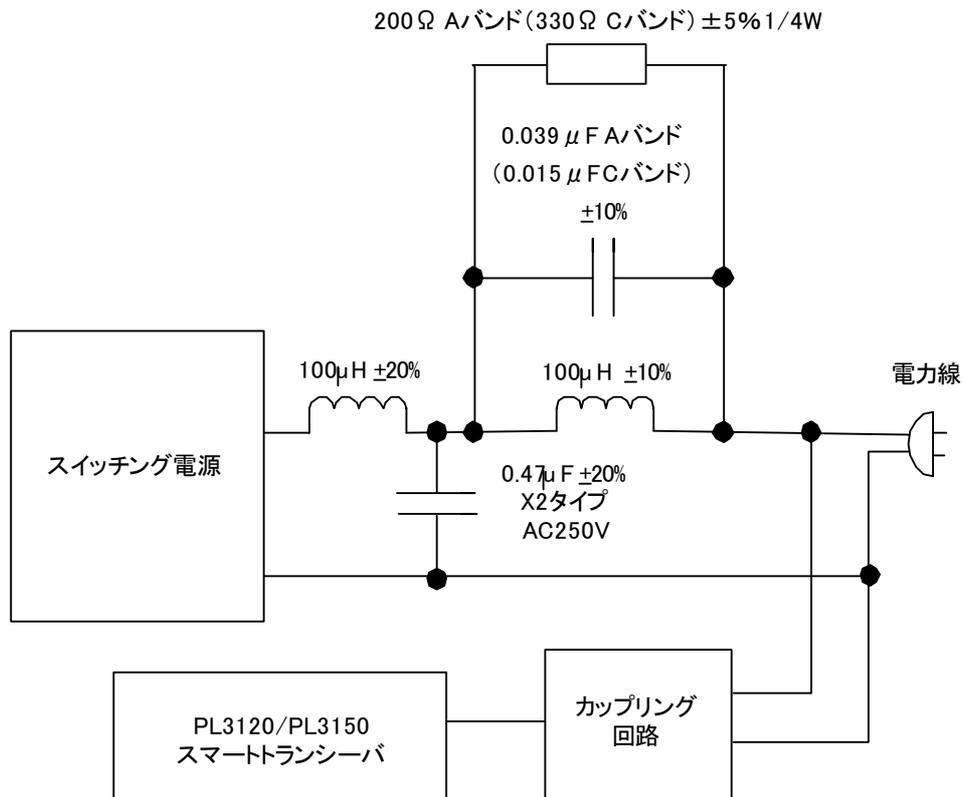


図5.12 オプションのスイッチング電源LCネットワーク

このフィルタのAバンドバージョンは、50Ωの本線ネットワークに接続されたときに図5.13に示す減衰特性を持っています。50ΩネットワークへのフィルタのCバンドバージョンの特性を図5.14に示します。

電源ノイズの低下が該当する図に示す値よりも小さい場合、その原因は2つのインダクタ間の寄生カップリングであることが考えられます。この場合、インダクタの相対的な位置と方向（通常は方向が直角のときにインダクタカップリングが低減します）を調節することによって、図5.13または5.14に示すレベルに近いフィルタリングを実現できるのが一般的です。別方法として、シールド付きまたはトロイド型インダクタを使うこともできます。

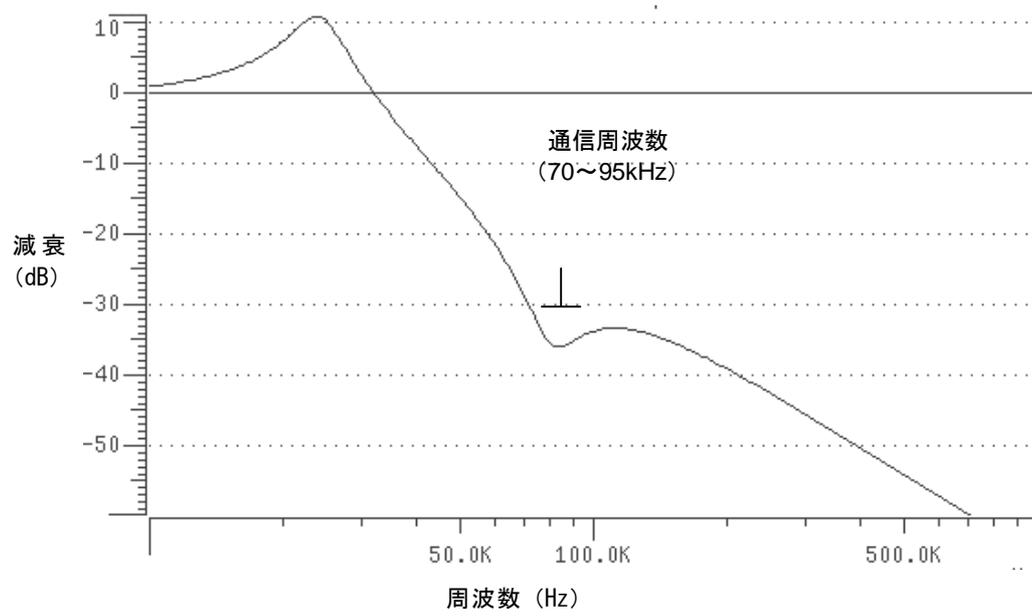


図5.13 Aバンドフィルタの周波数応答

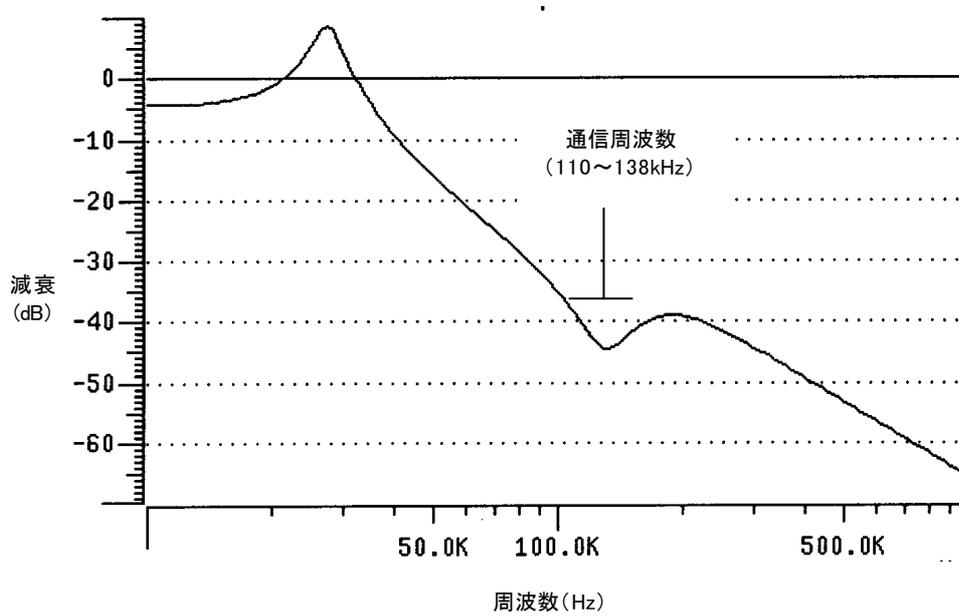


図5.14 Cバンドフィルタの周波数応答

電源または電源フィルタから放射されたノイズは、PLスマートトランシーバのカップリング回路のインダクタにカップリングして入ってくる場合があります。このカップリング回路がこのノイズを電力線にカップリングする可能性があります。この問題を診断するには、トランシーバのカップリング回路を切り離してから伝導ラインノイズを解析してください。

寄生カップリングからのノイズが疑われる場合は、長さ10cmのツイストペアワイヤを問題のインダクタの1つと直列に挿入することで確認が可能です。このインダクタを他の部品に近づけたり、遠くに離したりした場合に数dB以上伝導ノイズスペクトルが変動する場合は、寄生カップリングが原因である可能性があります。

寄生カップリングよりは可能性が低いものの、フィルタの効果が薄れる原因は、これ以外にもう一つ考えられます。つまり、フィルタ部品のリアクタンスが電源の入力の容量性リアクタンスによってキャンセルされる場合です。この問題は、狭い帯域のノイズが減衰せずにフィルタを通り抜けるという形で現れるのが普通です。この問題を解決するには、望ましくない共振をダンピングするか、フィルタインダクタとコンデンサの値を調節して妨害にならない周波数に共振を移す必要があります。ダンピングは、200Ω～5kΩの抵抗をフィルタインダクタと並列に、電源にできるだけ近いところに付加することで実現できます。

### スイッチング電源の出力ノイズマスク

PLスマートトランシーバが組み込まれている製品は、5V出力の電源 ( $V_{DD5}$ ) と第2の高出力電圧 ( $V_A$ 、公称12V) を必要とします。最高の通信性能を得るためだけでなく、CENELEC EN 50065-1またはFCC伝導放射リミットに適合するためにも、これらの電源出力に乗るノイズとリップルの振幅は抑える必要があります。図5.16および5.17にノイズ「マスク」を示します。図5.16にAバンドの $V_A$ および $V_{DD5}$ 電源の推奨ノイズ（リップル）リミットを示し、図5.17にCバンドのリミットを示します。各バンドにおいて、CENELEC EN50065-1およびFCC両方の伝導放射に適合するために同じリミット線が使われています。

この基準を満たすことにより、両方の動作周波数でフル性能を発揮し、これら2つの周波数範囲で予想外の電力線ノイズがあった場合でも克服することが可能になります。

多くの場合、スイッチング電源のスイッチング周波数は負荷に依存して変化するため、測定は予想される負荷の全範囲にわたって行ってください。CENELEC EN 50065-1およびFCC電源測定においては必ずピーク検出器を使用し、 $V_A$ の測定帯域幅は3kHzにする必要があります。 $V_{DD5}$ の場合は、測定帯域幅とノイズマスクを測定ごとに変えることにより、2つの別々の測定が必要となります。3kHzフィルタを使った測定は全周波数で行うべきですが、300Hz以下のフィルタを使った測定はAバンドでは70～90kHz範囲のみ、Cバンドでは110～138kHz範囲のみで行います。すべての電源出力ノイズ測定のビデオ（ポスト検出）帯域幅は10Hzにしてください。

図5.15に電源ノイズの測定に使用できるプローブを示します。ツイストワイヤをPLスマートトランシーバの電源およびグランドピンに直接接続し、同軸ケーブルを50Ω測定装置に接続する必要があります。プローブのゲインが1/10であることを考慮に入れてください。

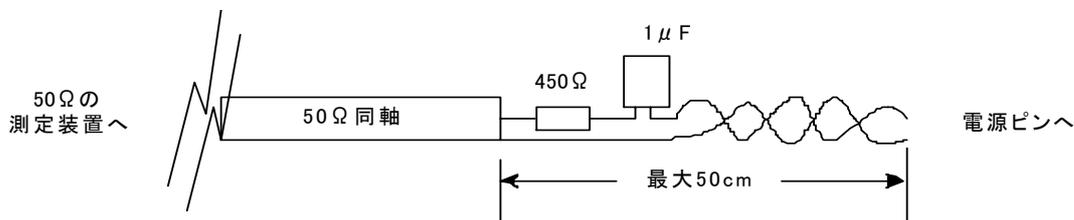


図5.15 10X電源ノイズプローブ

$V_A$  または  $V_{DD5}$  電源のノイズマスクが満たされていない場合は、違反電源を適合させるためにフィルタリングを加える必要があります。余分のフィルタリングが必要な場合は、 $10\mu\text{H}$ 程度のインダクタを電源ラインと直列に付加することができます。インダクタのPLスマートトランシーバ側にあるバルクの $10\mu\text{F}$ を超えるバイパスコンデンサとで合成されるLCにより、通信周波数において $20\text{dB}$ を超える減衰が見込まれます。低ノイズ $V_{DD5}$ 電源を提供するための別方法として、PLスマートトランシーバ回路専用の $5\text{V}$ リニアレギュレータを使うこともできます。この方法では、プリント基板上の他のデバイスからのノイズがPLスマートトランシーバの $V_{DD5}$ 電源ラインから分離されます。表5.5の推奨動作周波数を満たすスイッチング電源を使用している場合は、 $V_A$ および $V_{DD5}$ のフィルタリングを追加する必要は通常ありません。

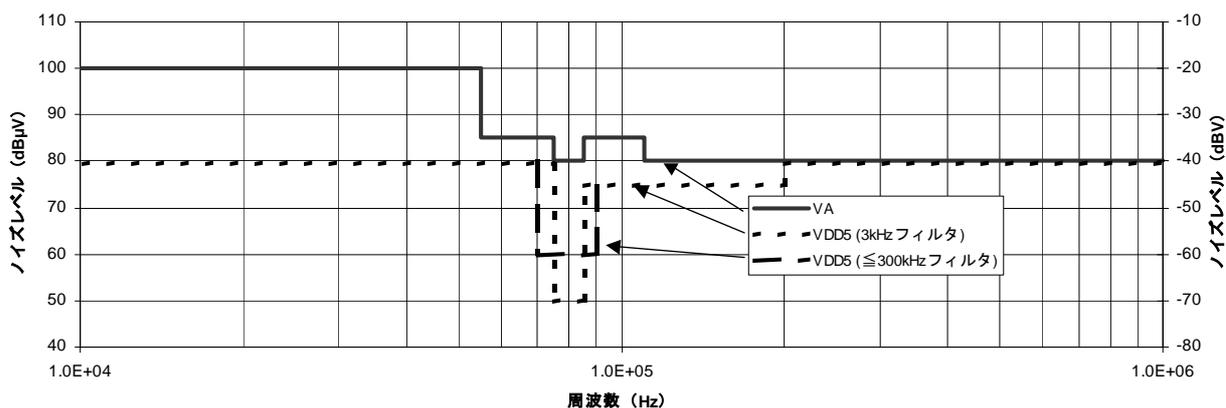


図5.16 Aバンド用の $V_A$ および $V_{DD5}$ 電源出力ノイズリミット

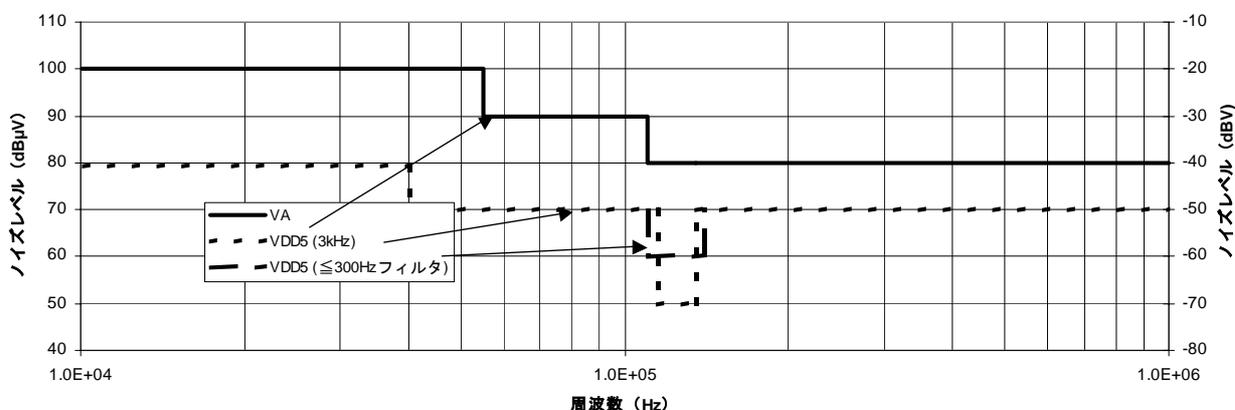


図5.17 Cバンド用の $V_A$ および $V_{DD5}$ 電源出力ノイズリミット

表5.10および5.11にそれぞれ、図5.16および5.17に示すレベルが記載されています。

表 5.10 Aバンド用の $V_A$ および $V_{DD5}$ 電源出力ノイズリミット

周波数 (Hz)	$V_A$ ノイズレベル (3kHzフィルタ) (dBV)	$V_{DD5}$ ノイズレベル (dBV)	周波数 (Hz)	$V_{DD5}$ ノイズレベル (300 Hzフィルタ) (dBuV)
10~55	-20	-40		
55~75	-35	-40		
75~85	-40	-70	70~90	-60
85~110	-35	-45		
110~200	-40	-45		
200~1000	-40	-40		

表 5.11 Cバンド用の $V_A$ および $V_{DD5}$ 電源出力ノイズリミット

周波数 (Hz)	$V_A$ ノイズレベル (3kHzフィルタ) (dBV)	$V_{DD5}$ ノイズレベル (dBV)	周波数 (kHz)	$V_{DD5}$ ノイズレベル (300 Hzフィルタ) (dBuV)
10~40	-20	-40		
40~55	-20	-50		
55~110	-30	-50		
110~115	-40	-50		
115~35	-40	-70	110~138	-60
135~1000	-40	-50		

## スイッチング電源のオプション

現在利用可能なスイッチング電源オプションは次のとおりです。以下では、それぞれのオプションについて説明します。

- 事前設計済みの蓄電式スイッチング電源
- 事前設計済みのスイッチング電源
- 市販のスイッチング電源
- カスタムスイッチング電源

### 事前設計済みの蓄電式スイッチング電源

Bias Power LLCは、PL 3120スマートトランシーバとの適合がテストで確認されている小型 (26.0 x 22.6mm) のスイッチング電源モジュールを開発しました。この電源は、スイッチング電源の長所 (小型、汎用入力、安全絶縁、高効率) が必要とされ、しかも設計のシンプルさが優先される場合に好適なオプションです。

Bias Power LLC BPS 1-14-00電源モジュールのDC14Vにおける出力は約1ワットです。この製品は、出力エネルギー蓄積コンデンサを付加して蓄電式電源として使用する必要があります。図5.18に、BPS 1-14-00モジュールをPL 3120スマートトランシーバに使用したときに必要なアプリケーション回路図を示します。過剰なノイズまたは負荷が原因で電力線通信が劣化しないように、Bias Powerモジュールの入力にシンプルなRC回路が付加されています。また、これは蓄電式設計であるため、第8章で説明されているように、PL 3120スマートトランシーバの電源管理機能をEnableすることも必要です。

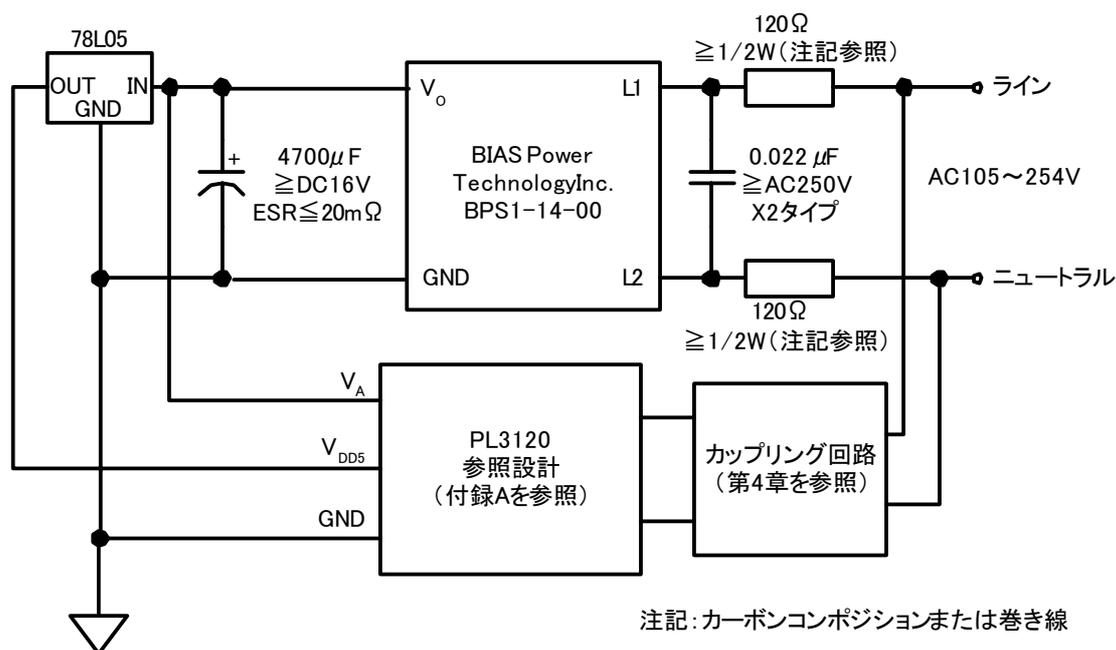


図5.18 事前設計済みの蓄電式スイッチング電源の回路図

図5.18の回路は、アプリケーション電流が10mAのときのPLスマートトランシーバの電源要件をサポートしています。この設計は、本章で前述した蓄電式電源の要件を満たすことが検証されています。つまりこの電源は、公称ACライン電圧および室温という条件下で、19mAの静的負荷（PL 3120スマートトランシーバの標準 $I_{DD5}$ 9mA + アプリケーション電流10mA）に120mAの過渡負荷を140.7ms付加したときに10.8V以上を供給します。さらに、ACライン電圧105V、出力コンデンサ公差-20%、および周囲温度0℃または70℃という条件下では、23mAの静的負荷（PL 3120スマートトランシーバの標準 $I_{DD5}$ 13mA + アプリケーション電流10mA）に250mAの過渡負荷を140.7ms付加したときに8.5V以上を供給します。65%を超える標準送信デューティサイクルをサポートし、30%以上のワーストケースの送信デューティサイクルをサポートします。

このBPS 1-14-00モジュールとエシエロン社のPL 3120スマートトランシーバという組み合わせは、第7章に説明されているすべての通信性能テストに合格することが検証されています。さらに、図5.18のアプリケーション回路図に使用されたBPS 1-14-00のサンプルは、伝導放射のEN50065-1およびFCC規格に合格することが検証されています。この回路を使用するユーザーは、特定の回路レイアウトが規格に適合するかどうかを実際にテストする必要がありますが、この設計はレイアウトの違いに対してさほど敏感でないことがわかっています。また、ユーザーは第7章で説明されている通信性能の検証を行って、特定のレイアウトが第7章の要件を満たしているのかも確認する必要があります。

モジュール製品に関する詳細は、下記にお問い合わせください。

Bias Power LLC  
 330 West Colfax Street  
 Palatine, IL 60067 USA  
 電話：847-358-1259  
 ファックス：847-358-1346  
 www.biaspower.com

### 事前設計済みのスイッチング電源

この電源オプションは、大きなアプリケーション電流、小型性、汎用入力、安全絶縁、高効率性などが必要な場合に好適です。エシエロン社は、PL 3120およびPL 3150スマートトランシーバのノイズ要件とインピーダンス要件を満たすためにこの電源を開発しました。この設計は、STMicroelectronics VIPer<sup>®</sup>20A オフラインスイッチモード電源ICをベースにしています。

事前設計済みであるこの電源は、12Vで全出力電流363mAを供給します。そのため、付録AのPL 3120参照設計のワーストケースV<sub>DD5</sub>電流13mAおよびワーストケースV<sub>A</sub>電流250mAを許容しつつ、100mAのアプリケーションとI/O電流をサポートする仕組みになっています。この電源の仕様は表5.12に記載されるとおりです。図5.19はアプリケーション回路図、表5.13は部品一覧表（BOM）を示します。

表 5.12 事前設計されたスイッチ電源の仕様

パラメータ	最小値	標準値	最大値	単位
入力電圧	90	230	254	V (AC)
V <sub>A</sub> 出力電圧	10.8	12.4	14.0	V (DC)
V <sub>DD5</sub> 出力電圧	4.75	5.0	5.25	V (DC)
出力負荷電流 (V <sub>A</sub> +V <sub>DD5</sub> )	10	150	363	mA
スイッチング周波数	46	51	55	kHz
周囲動作温度	-40	25	85	C



表 5.13 事前設計済みのスイッチ電源の部品一覧表 (BOM)

部品	定数	必要な仕様	販売業者/部品番号の例
R201、R202	510 Ω	±5%、 $\geq 1/4W$ 、過負荷電圧 $\geq 500V$	非ブランド
R203	51 Ω	±5%、 $\geq 1/2W$ 、カーボンコンポジションまたは巻き線	Xicon/30BJ500-51
R204	18.2k Ω	±0.5%、 $\geq 1/16W$ 、 $\leq 25ppm/C$ 、0603	Susumu/RR0816P-1822-D
R205	5.11k Ω	±1%、 $\geq 1/16W$ 、0603	非ブランド
C201	0.01uF	±20%、 $\geq AC250V$ 、クラスX2	Panasonic/ECQ-U2A103ML
C202	0.47μF	±20%、 $\geq AC250V$ 、クラスX2	Panasonic/ECQ-U2A474ML
C203	10μF	±20%、 $\geq DC400V$ 、アルミ電解	Nichicon/UPW2G100MHD
C204	0.001μF	±10%、 $\geq DC25V$ 、X7R、0603	非ブランド
C205	1/0μF	±10%、 $\geq DC10V$ 、X7R、0805	Kemet/C0805C105K8RAC
C206	2200pF	±2%、 $\geq DC25V$ 、NPO、0603	非ブランド
C207	22μF	±20%、 $\geq DC16V$ 、タンタル、EIAサイズB	Kemet/T491B226M016AS
C208	0.01μF	±10%、 $\geq DC25V$ 、X7R、0603	非ブランド
C209	0.001μF	±20%、 $\geq AC250V$ 、クラスY2	Vishay/WYO102MCMBF0K
C210	470μF	±20%、 $\geq DC16V$ 、アルミ電解、 $\leq 0.1 \Omega$ ESR @ 100kHz/25C、 $\geq 290mA_{RMS}$ リップル電流 @ 105C	Nichicon/UHE1C471MED
D201	0.8A	$V_R \geq DC600V$ 、ブリッジ整流器	Shindengen/S1ZB60
D202	1A	$V_R \geq DC600V$ 、 $V_F \leq 1.7V @ 1A/25C$ 、逆リカバリ $\leq 25ns$	非ブランド/UF4005
D203	1A	$V_R \geq DC50V$ 、 $V_{Fmax}=1.7V @ 1A/25C$ 、逆リカバリ $\leq 75ns$ 、SMA	非ブランド/US1J
D204	Dual Diode	逆ブレークダウン $\geq DC100V$ 、 $I_F \geq 100mA$ 、 $550 \leq 1V_F \leq 700mVA1mA$ 、 $trr \leq 4ns$ 、SOT-23	非ブランド/MMBD7000
Z201、Z202	120V	ピーク電力600ワット、ツェナー過渡電圧サプレッサ、SMB	ON Semi/1SMB120AT3
L201、L202	1.0mH	±10%、 $I_{max} \geq 250mA$	太陽誘電//LHL08TB102JまたはCTC Coils Limited/CHシリーズ
T201	トランス	Delta 86A-4222絶縁トランス	Delta/86A-4222
U201	VIPer20A	VIPer20A オフラインスイッチモード電源IC、DIP-8	ST Microelectronics/VIPer20A
U202	5Vレギュレータ	LM78L05または相当品、SOT-89	非ブランド/LM78L05

この設計のカスタム部品はトランスT201のみです。T201の入手については、下記にお問い合わせください。

Delta Electronics Inc.

電話：+1-886-3-3591968（内線2228）

ファックス：+1-886-3-3591991

www.delta.com.tw1

この電源の性能はレイアウトにやや敏感です。伝導放射を抑制するには、VIPer20A ICのドレインからのネットの長さを最小限に抑えることが特に重要です。この電源を実現するための開発期間を短縮するには、図5.20に示すレイアウトが推奨されます。

この図に従って設計済み電源を作ることにより、スイッチング電源使用スマートトランシーバデバイスの開発作業を大幅に簡略化できます。これは、本章に記載されるすべてのインピーダンス要件とノイズ要件をこの設計が満たすことがすでに例証されているからです。

さらにこの電源は、PLスマートトランシーバの参照設計番号1217（付録A）および絶縁ライン・ニュートラル間カップリング回路例2（第4章）との組み合わせでもテストされています。この組み合わせは、伝導放射に関するEN50065-1およびFCC規格に8dBのマージンで合格し、第7章のすべての通信性能テストに合格することが検証されています。さらに、この電源とカップリング回路例2の組み合わせは、148ページの表4.14に記載されているサージテストに合格しています。

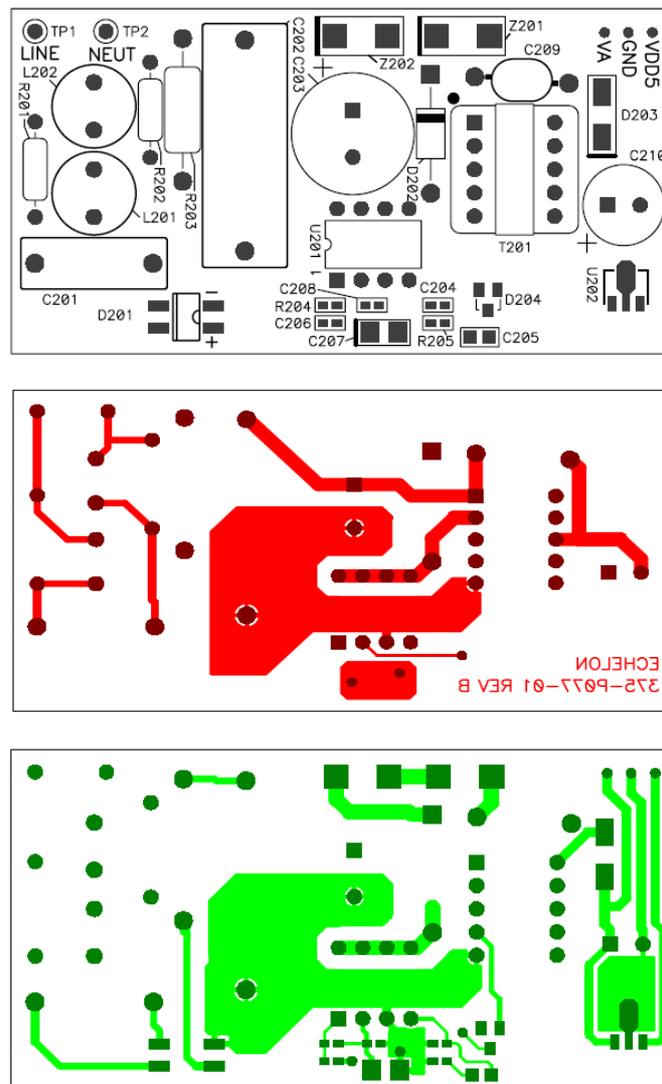


図5.20 事前設計済みのスイッチング電源用の推奨レイアウト

### 市販のスイッチング電源

ほとんどの市販のスイッチング電源は、ある程度の入力ノイズフィルタリングを取り入れて設計されています。電源の基本スイッチング周波数が、動作条件および公差の全域にわたって表5.5の推奨範囲内に収まっていれば、この程度のフィルタリングでも十分なことが一般的です。基本動作周波数がそれ以外の場所にある電源でも、労

力とコストを投入すれば前述したノイズマスクの条件を満たせる可能性があります。ただし、電源の基本周波数（あるいは二次または三次高調波）が70kHz～90kHzまたは110kHz～138kHzの範囲にあるときにノイズマスク要件を満たすことは非常に難しいので、お勧めできません。

大半の市販されているスイッチング電源は、入力インピーダンスが非常に低いため、図5.6および5.7に示すような入力インダクタを付加する必要があります。

### フルカスタムスイッチング電源

カスタムスイッチング電源の設計は、市販のコントローラチップを採用した場合でも非常に難しいので、本章に概説した他のオプションがいずれも不適な場合にしかお勧めできません。このオプションを選んだ場合には、電源および電磁適合性の分野に経験豊富な専門家に任せることをお勧めします。専門家に任せる場合でも、開発中に設計を反復できる余分な時間を確保しておく必要があります。この方法を採用する場合は、本章の入出力ノイズマスクが満たされることを検証することが絶対的に重要です。



Power Integrations Inc. のオフラインスイッチングレギュレータの多く (LinkSwitch<sup>®</sup>およびTinySwitch<sup>®</sup>レギュレータなど) は、動作周波数がPLスマートトランシーバ用の推奨範囲内がないので、PLスマートトランシーバとの併用にはお勧めできません。Power IntegrationsのオフラインスイッチングレギュレータのTopSwitch<sup>®</sup>ファミリーは、室温では推奨周波数範囲で動作しますが、全温度範囲では推奨範囲に留まりません。このため、TopSwitch<sup>®</sup>レギュレータは、PLスマートトランシーバ使用デバイスの電源として現在は推奨されていません。



National Semiconductor Corporation のほとんどの第一世代および第二世代SIMPLE SWITCHER<sup>®</sup>レギュレータ（つまり大半のLM25xx）は、PLスマートトランシーバ用の推奨範囲外の周波数で動作します。公称周波数が52kHz、100kHz、または150kHzの公称動作周波数を持つSIMPLE SWITCHERレギュレータは、周波数公差が非常に広いために推奨範囲の外側で動作する可能性があります。そのため、これらのデバイスの使用はお勧めできません。

比較的新しいSIMPLE SWITCHERレギュレータ（第三世代のLM26xxなど）のうち、動作周波数が200kHz以上のものは使用可能です。ただし、動作条件の全域にわたってその設計がノイズマスク要件を満たすことが検証されている必要があります。

# 6

## 電磁的適合性のための 設計とテスト

## はじめに

本章では、PL 3120 および PL 3150 スマートトランシーバを含む製品の伝導および放射電磁干渉 (EMI) および静電放電 (ESD) 設計手法について説明します。これらの設計手法により、設計者は必要な電磁的適合性 (EMC) を備えた製品を作ることができます。

## EMI設計上の問題

マイクロコントローラに伴う高速デジタル信号は、意図せぬ電磁干渉 (EMI) を生成する場合があります。高速電圧遷移によって発生する高周波電流は製品から放射されます。

PL スマートトランシーバを使用する製品は、さまざまな規制機関が施行する EMI 規格に適合する必要があります。アメリカ合衆国の場合であれば、非意図的な電磁放射レベルに関する FCC<sup>6</sup> 規格があり、工業製品については第 15 条 A 種、消費者および家庭用製品については同 B 種の規格が適用されます。ヨーロッパのほとんどの国では CENELEC EN 50065-1 への適合が必要とされ、世界各国にも同様の規格があります。

PL スマートトランシーバ使用デバイスを設計する場合は、EMC の扱い方に関して参考文献 [9] にも目を通しておくことをお勧めします。『*EDN Designer's Guide to EMC*』<sup>10</sup>からも、EMC の問題に関する設計アドバイスを得ることができます。

## 電磁的適合性 (EMC) のためのシステム設計

PL スマートトランシーバ使用デバイスが EMC (電磁的適合性) の要求レベルを達成するには、PCB レイアウトを注意深く設計することが重要です。PL 3120 および PL 3150 スマートトランシーバ使用デバイスのデジタル信号ラインは、信号トレースの近くで電圧ノイズを発生し、信号および電源トレースで電流ノイズを発生します。デバイスの設計を行う際には、こうした電圧・電流ノイズが製品筐体の外にカップリングしないように配慮しなければなりません。

ノードの中の回路パターンからノードの近隣にある金属部分への「漏洩」静電容量は、デジタルノイズが製品筐体の外から入り込むための経路を生成してしまいます。そのため、この静電容量を小さく抑えることは非常に重要です。図 6.1 は、ノードのロジックグランド ( $C_{\text{leak,GND}}$ ) およびノードの中のデジタル信号ライン ( $C_{\text{leak,SIGNAL}}$ ) の、アースグランドに対する漏洩静電容量を示したものです。PL スマートトランシーバ使用デバイスが金属製のシャーシに収められている場合は、その金属シャーシが近くの金属部分に対して最も大きな漏洩静電容量を持つことが考えられます。デバイスのシャーシがプラスチック製の場合は、 $C_{\text{leak,SIGNAL}}$  を最小にするために PCB グランド保護を使用する必要があります。デジタルパターンをロジックグランドでうまく囲い込んで保護すると、 $C_{\text{leak,SIGNAL}}$  を大きく削減することができます。これにより、AC 本線上に発生するコモンモードの高周波電流も低減できます。

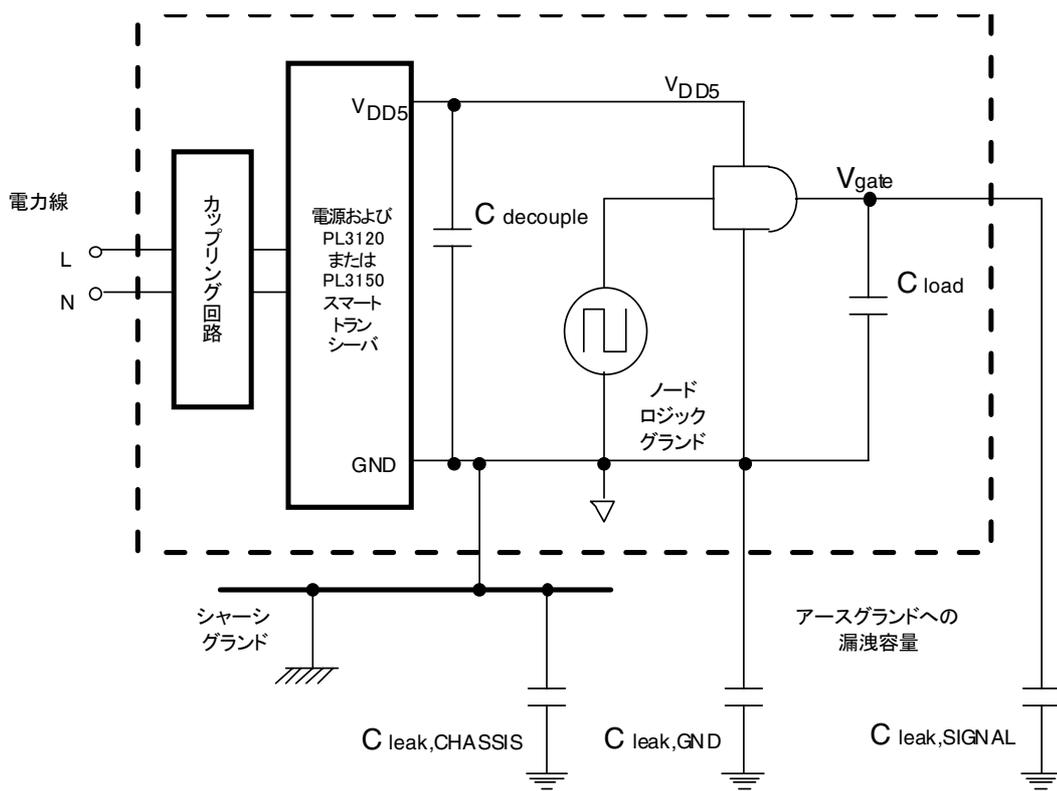


図6.1 アースグラウンドに対する寄生的な漏洩静電容量の発生

設置されたデバイスの近くに金属部分があり、特にそれが接地されている場合は、高速信号ラインとその金属との間の漏洩静電容量が、高周波電流のための経路となります。 $V_{gate}$ がロジックグラウンドにプルダウンされていると、ロジックグラウンドの電圧はわずかにアースグラウンドよりも高くなります。逆に $V_{gate}$ が $V_{DD5}$ にプルアップされていると、ロジックグラウンドの電圧はわずかにアースグラウンドよりも低くなります。 $C_{leak,SIGNAL}$ が増加すればするほど、 $V_{gate}$ の変化によってより大きな電流が流れ、より多くのコモンモード高周波電流が発生します。このコモンモード高周波電流は、たとえクロックラインとアースグラウンド間の $C_{leak,SIGNAL}$ が1pF未満であったとしても、FCC/CENELECの伝導および放射リミットを超えて、周波数500kHz~300MHzのEMIを生成するおそれがあります。これは、クロックラインを防護することが必須であることを意味しています。

これまでの説明からわかるとおり、 $C_{leak,SIGNAL}$ を最小にすることは非常に重要です。各デジタルIC電源ピンに0.1 $\mu$ Fまたは0.01 $\mu$ Fのデカップリングコンデンサを使用すると、 $V_{DD5}$ とロジックグラウンドのノイズを削減できます。これにより、ノイズの多いデジタル信号ラインやクロックラインのためのグラウンドシールドとして、ロジックグラウンドを使用することが可能になります。

PL 3150 スマートトランシーバICは、外部メモリインターフェースバスを持っています。そのため、PL 3150使用デバイスは、PL 3120使用デバイスに比べてロジックグラウンドによって保護する必要のあるトレース数が多くなっています。メモリインタフェースや外部メモリ素子によってノイズが生成されるので、より多くの $V_{DD5}$ デカップリングが必要になり、また高周波成分の少ない $V_{DD5}$ やロジックグラウンドラインを確保するために一般に4層PCBが必要となります。

以上を要約すると、次のような一般則が成立します。

- $V_{DD5}$  デカップリングを正しく実行すると、ノイズ発生源（デジタル IC）における高周波ノイズが減り、EMIも低減されます。
- 多層の PCB ほど  $V_{DD5}$  デカップリングがより有効になり、ロジックグラウンドの保護効果も高くなるため、4層PCBは2層PCBよりもEMIの生成量が少なくなります。
- PL 3150スマートトランシーバ用には4層PCBが推奨されています。
- PL 3120 スマートトランシーバは、外部メモリアンターフェースラインを持っていないため、PL 3150 スマートトランシーバに比べてEMIの発生が少なくなります。
- デカップリングとグラウンド保護を正しく実行すると、PL 3120 スマートトランシーバ使用デバイスは 2 層 PCBでもFCC/CENELECのEMCに適合できます。

なお、これらのEMC技術の効果を実証するには、プロトタイプ回路のテスト段階で、EMIレンジにおける早期テストを行う必要があります。

## ESD設計上の問題

静電放電（ESD）は、工業用や商業用の電子システムでは頻繁に遭遇する問題です[11]。さらに、ヨーロッパ共同体は、EMC指令下のEMI要件[4]に類似したESDテストを製品品質検査の要件として採用しています。

信頼性の高いシステム設計を行うには、ESDによる影響や、ESDに敏感な素子の保護に対する考慮が必要になります。低湿度の環境では、オペレータが電子機器に触れると静電放電が頻繁に発生します。この際、静電電流がキーボード、コネクタ、筐体を介して、PLスマートトランシーバのようなESDに敏感なコンポーネントにまで到達することがあります。この節では、PLスマートトランシーバ使用製品をESDから保護するための設計について説明します。

PLスマートトランシーバ使用デバイスを設計する場合は、EMCの扱い方に関して参考文献[10]および[11]にも目を通しておくことをお勧めします。特に『*EDN Designer's Guide to EMC*』<sup>10</sup>は、ESDのリターン電流を管理することの重要性について理解するのに役立ちます。

## ESD耐性のためのシステム設計

製品にESD耐性を持たせるには、一般的に2つの手法があります。1つは、静電電流が筐体の内部にある敏感な回路に届かなくなるよう、製品を密封する方法です。もう1つは、ユーザーが触れる機会のある金属部分へのESD衝撃が敏感な回路を迂回できるよう、製品の接地を行う方法です。

製品の筐体は、ESD衝撃がデバイスの回路基板中に放電してしまうような可能性をなるべく低くするように設計しなければなりません。製品筐体がプラスチック製の場合は、PCB上の保護されていない回路が、筐体の継ぎ目に隣接しないようにしてください。静電電流は、プラスチックの表面を伝ってクリープし、筐体の継ぎ目を通してPCB上に放電してしまう可能性があるため、筐体の接合部近くにPCBが触れてはなりません。

いったんESD衝撃が製品に放電を始めると、放電電流はあらゆる経路を伝ってアースグラウンドに還っていきます。グラウンドトレースを適正に使うとともにユーザーが触れる可能性のある回路を保護すると、PLスマートトランシーバやその他のデバイス回路における正常な動作を乱してしまうことなく、ESDによる電流をアースグラウンドに逃がすことができます。つまり、原則として、ESD電流はPLスマートトランシーバを迂回してシャントし、外部の筐体またはアースグラウンド接続部（デバイスがグラウンドへの接続を持たない場合はAC本線への接続部）に流すようにしてください。シャント経路の配置にあたっては、ESD電流がPLスマートトランシーバをはじめとした敏感な素子の中や近傍を流れないようにする必要があります。デバイスがアースグラウンドに対して浮いた状態である場合、ESD電流は静電容量的に結合した電源供給ワイヤやPCBのグラウンド面を通してアースグラウンドに還っていきます。

ユーザーが触れることのできる回路には、ESD電流をその回路からシャントしてグラウンドに流すダイオードクランプが必要となります。グラウンドへの経路は敏感な回路を乱さないように選んでください。たとえば、PLスマートトランシーバのNeuronコアがI/Oラインを使用してキーパッドをスキャンする場合、そのキーパッド用のI/Oラインにはダイオードクランプが必要になります(図6.2参照)。キーパッドに対して負のESD衝撃が発生した場合、グラウンドへのダイオードクランプはESD電流をグラウンドに逃がします。逆にキーパッドに対して正のESD衝撃が発生した場合、 $V_{DD5}$ ダイオードは、クランプダイオードのすぐ隣にある $0.1\mu\text{F}$ デカップリングコンデンサを介してESD電流をグラウンドに逃がします。キーボードコネクタ、ダイオード、およびデカップリングコンデンサの配置にあたっては、ESD電流がPCBを出て行く途中で敏感な回路を流れないように注意する必要があります。

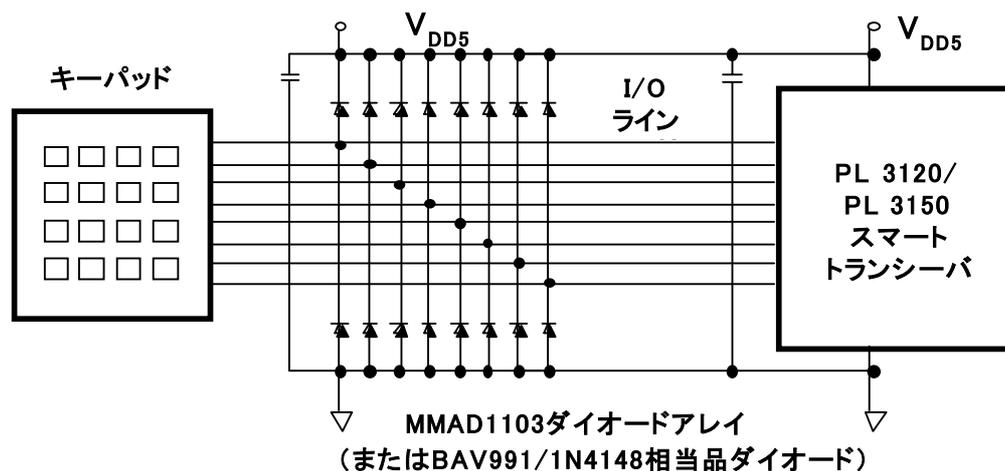


図6.2 I/OラインのESDクランプ図解

## 伝導放射テスト

PLスマートトランシーバは、FCCセクション15.107「Limits for carrier current systems (搬送電流システムのリミット)」[1]だけでなく、CENELEC EN 50065-1「Signaling on low-voltage electrical installations in the frequency range 3kHz to 148.5kHz (3kHz～148.5kHzの周波数範囲における低電圧電気設備上の信号送信)」パート1「General requirements, frequency bands and electromagnetic disturbances (一般要件、周波数バンドおよび電磁擾乱)」[2]にも適合するように設計されています。

多くの商業テストラボは、意図的な電力線コミュニケータの伝導放射の測定経験を欠いており、一般に適用されるテスト手順では間違った測定結果が返されます。FCCおよびCENELEC EN 50065-1への適合を検証するための伝導放射測定を適正に行うには、以下のガイドラインに厳格に従う必要があります。

- テスト対象製品を測定のために適正なネットワークに接続します。FCCおよびCENELEC EN 50065-1のいずれの測定においても、CISPR Publication 16 [3]の第2版に指定されている $50\Omega/(50\mu\text{H}+5\Omega)$ ラインインピーダンス安定化ネットワーク (LISN) を使ってください。
- PLスマートトランシーバの送信信号で測定装置が過負荷状態にならないように注意してください。通常は、測定レシーバ (つまりスペクトルアナライザ) の入力にアッテネータを取り付けて、装置の過負荷による誤測定を避ける必要があります。過負荷のために測定結果が間違っているかどうかを調べるためのテストは、放射の測定、テスト製品と測定レシーバの間の減衰の増加、放射の再測定といった順序で行われます。基本搬送波以外の周波数における放射レベルが減衰の増加に相当する程度以上に減少している場合は、過負荷の問題があります。大半のスペクトルアナライザは、入力アッテネータを内蔵しています。これらのスペクトルアナライザでは、アッテネータの設定が計算に織り込まれています。そのため、スペクトルアナライザの入力減衰が変更されても、測定結果のレベルは変化しないはずですが、基本周波数以外でレベルの変化があった場合は、過負荷の問題があります。

- 適切なアッテネータが取り付けられた後で、全測定セットの残存ノイズフロアが仕様リミットの 10dB 以下に留まるようにしてください。これが重要なのは、装置の過負荷を避けるために減衰をかけたことにより、測定信号雑音比が低減するからです。つまり、FCC 測定ではノイズフロアを 38dB $\mu$ V 以下、CENELEC EN 50065-1測定ではノイズフロアを36dB $\mu$ V以下にする必要があります。
- 測定は指定された検出器で行う必要があります。FCC および CENELEC EN 50065-1 のいずれの測定の場合も、CISPR Publication 16 に指定されている準尖頭値検出器と平均検出器を使ってください。スキャンには迅速な測定を可能にする尖頭値検出器が使われるのが一般的ですが、FCC Section 15.107 および CENELEC EN 50065-1 で指定されたリミットは、準尖頭値検出器および平均検出器だけを対象としています。電力線トランシーバの場合、ピーク測定値は準尖頭値リミットに比べて過剰に高く生成されることが多々あります。
- 測定は指定されたフィルタで行う必要があります。FCC 測定用には帯域幅 9kHz のフィルタが指定されています。CENELEC EN 50065-1測定用には、150kHzより下では帯域幅200Hzのフィルタが指定され、150kHzより上では帯域幅9kHzのフィルタが指定されています。
- FCC 測定の場合は、CISPR 16 の要件を満たす入力フィルタであれば十分です。CENELEC EN 50065-1 仕様の場合は、測定レシーバ内部のフィルタが CISPR 16 の必要とする最小値よりもさらに急峻なフィルタスカートを持つことが必要となります。

CENELEC EN 50065-1は、150kHzを上回る測定に9kHzフィルタを指定しています。Cバンド動作の場合、許容送信レベルは95kHz～140kHzの間で+122dB $\mu$ Vです（一部のアプリケーションでは+134dB $\mu$ V）。CENELEC EN 50065-1仕様のリミットは、150kHzにおいて+66dB $\mu$ Vの準尖頭値となっています。適正な測定を行うには、測定レシーバ内のフィルタのフィルタスカートが、センターから15kHzで64dB以上の減衰を提供できる必要があります（122dB $\mu$ V - 66dB $\mu$ V + 8dB マージン）。

CISPR Publication 16 に指定されている最小値よりも急峻なスカートを持つフィルタの必要性は、CENELEC EN 50065-1小委員会SC 105A（本線通信システム）によって認識されています。1994年1月付けのEN 50065-1修正条項に記載されているように、「CISPR 16の最小要件で定義された測定装置は、150kHzよりそれほど低くない信号周波数を使った本線信号装置の測定には不適」です。これに関して小委員会SC 105Aは、「測定レシーバの減衰特性を市販品として知られているレシーバのそれよりもきつく指定することにより、この問題を解決できる」と同意しています。EN 50065-1:2002 Annex Eは、CISPR 16への適合性を維持しながらもフィルタスカートの急峻性をさらに増したフィルタを指定しています。多くのスペクトルアナライザは、非常に高価なものでさえもこの要件を満たしていません[2]。

Rohde&Schwarz EMIテストレシーバESHS30は、適切なフィルタスカートを持つことがわかっています。ESHS30テストレシーバの仕様は、適切なフィルタスカートを保証するものではありませんが、同装置の2つのサンプルでは確実な測定を行えることがわかっています。

また、Rohde&Schwarz EMIテストレシーバESHS30に関しては、そのセットアップで注意が必要となります。入力減衰を設定するときに「automatic」モードを使うと、過負荷条件を引き起こす間違った減衰レベルが選択され、この過負荷条件はテストレシーバの過負荷インジケータによって正しく報告されません。そのため、マニュアルモードを使って適正な減衰を選択しなければなりません。Rohde&Schwarz EMIテストレシーバESHS30を使ってCENELEC EN 50065-1適合テストのためのスキャンを正確に行うためのセットアッププログラムは、エシエロン社のLONWORKS開発者ツールボックス（<http://www.echelon.com/downloads>の「OEM Components」ダウンロードエリア）から入手できます。

Hewlett-Packardのアプリケーションノート[12]では、Hewlett-Packard EMIテストレシーバを使ってEN 50065-1伝導放射テストを行うテスト方法について説明されています。『*Conducted Emissions Measurements on Power Line Transceiver Products*（電力線トランシーバ製品の伝導放射測定）』というタイトルのこのアプリケーションノートでは、市販の外部フィルタについて説明するほか、EN 50065-1で指定された測定を正確に行うための方法も説明されています。

テスト中のユニットが500kHzより上で適用される伝導ノイズリミットを超過する場合は、そのノードのさまざまなデジタル回路からのノイズが知らないうちにカップリングしていることが原因として考えられます。この場合は、グラウンド接続の方法とプリント基板のレイアウトを改善することが必要となります。カップリング回路が浮遊電磁場を拾わないようにする方法については、第4章を参照してください。

AC本線の両端またはライン導体とグラウンドの間に値の小さなコンデンサ（470pFなど）を付加すると、500kHzより上の伝導放射を正しく低減できる場合があります。PLスマートトランシーバを使ったデバイスでは、コンデンサを付加しなくてもさまざまなリミットに合格することが実証されているものの、ノード設計やレイアウトの変化のためにこの小さなコンデンサが必要となる場合があります。コンデンサをラインの両端に付加する場合は、サージ信頼性を最大限にするために、X2安全定格タイプを使用してください。ラインまたはニュートラルとアースの間にコンデンサを付加する場合は、Y安全定格のものを使用してください。別方法として、このコンデンサをカップリング回路のインダクタL101の両端（図4.17を参照）に付加したり、トランスT101のライン側巻き線の両端（図4.18を参照）に付加したりすることもできます。このオプションを使用する場合は、DC250V以上の金属化ポリエステルコンデンサ、セラミックDC1000Vコンデンサ、またはYタイプのコンデンサを使用することでサージ信頼性を確保してください。この追加容量はカップリングトランスのライン側にのみ付加し、トランスのトランシーバ側には付加しないように注意してください。

上記の場所に容量を付加すると、デバイスの入力インピーダンスが低減し、通信信号の減衰が増加することがあります。減衰に大きな影響を与えずに付加できる最大容量値は、アプリケーションごとに異なります。表6.1にアプリケーションごとの最大追加容量を示します。4700pFを超えるコンデンサは過剰な信号減衰を起こすので、絶対に使わないでください。

表 6.1 アプリケーションごとのEMC抑圧コンデンサ

アプリケーション	通信周波数におけるネットワークインピーダンス	一次通信周波数におけるコンデンサインピーダンス	Aバンドコンデンサ値	Cバンドコンデンサ値
単一ビルディングのAC本線	1~20 Ω	≥ 250 Ω	≤ 4700pF	≤ 4700pF
ビルディング間の本線配電	1~50 Ω	≥ 500 Ω	≤ 3600pF	≤ 2200pF
専用ケーブル ≥ 100デバイス ≥ 100m	50~100 Ω	≥ 1000 Ω	≤ 1800pF	≤ 1200pF
専用ケーブル > 100 デバイス > 100m	50~100 Ω	≥ 2500 Ω	≤ 680pF	≤ 470pF

もう1つの一般的なEMC抑圧法はフェライトビーズを付加することですが、これは送信信号経路では一般に許容されません。ほとんどのフェライトビーズは、100kHzにおいて数Ωのインピーダンスを持っています。第4章で説明したように、送信信号またはリターン経路と直列に配置される素子のインピーダンスは、1Ωよりも大幅に小さくする必要があります。ただし、フェライトビーズを使って送信信号に影響を与えずにコモンモード高周波放射を低減する方法が1つあります。通信信号とそのリターン導体の両方（つまり、L・N間カップリングの場合はラインとニュートラル、L・E間カップリングの場合はラインとアース）がコモンモード的に同じビーズを通る場合、そのビーズはトランスミッタに対して直列インピーダンスを一切付加しません。これは、2つの導体内の信号電流によって逆の（互いに消し合う）極性の磁束がフェライトビーズのコア内に発生するからです。同じ極性のコモンモードノイズが両方の導体にあると、フェライトビーズ内に和の磁束が発生した結果、減衰されます。図6.3に高インピーダンスフェライトビーズの適切なトポロジーおよび不適切なトポロジーを図示します。

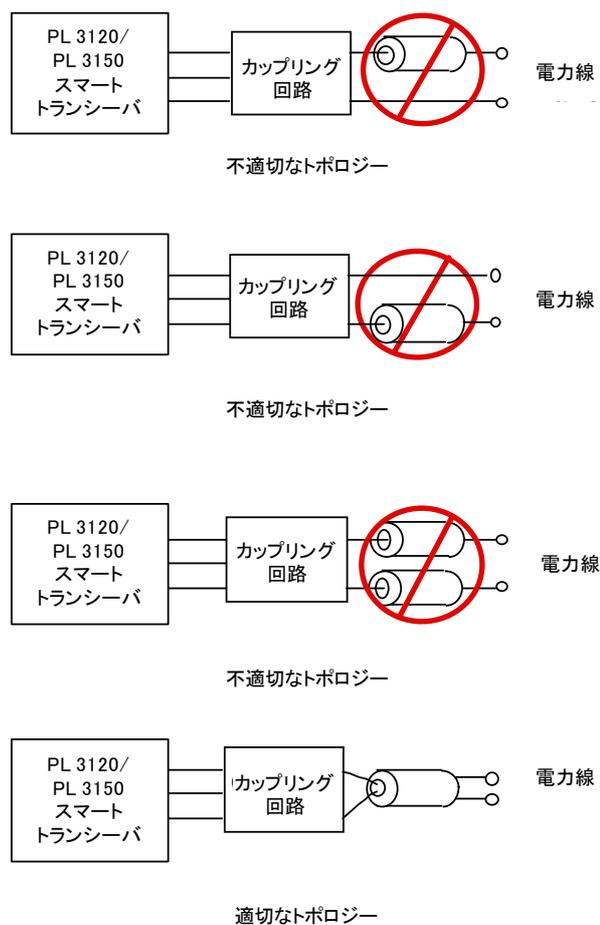


図6.3 高インピーダンスフェライトビーズのトポロジー

7

---

# 通信パフォーマンスの 検証

## はじめに

本章では、PLスマートトランシーバ使用製品の通信パフォーマンスが劣化していないかどうかをチェックするための、シンプルな「ブラックボックス」テスト法について説明します。この手順は、L・N間またはL・E間カップリングを使ったいずれの製品にも同様に効果的です。

検証プロセスを始める前に、付録Bのチェックリストを完全にチェックしておくことが重要です。

## 通信パフォーマンスを検証する理由

各PLスマートトランシーバは出荷前に徹底的にテストされていますが、トランシーバの外側の回路が原因で、トランシーバを使ったデバイスの通信パフォーマンスが劣化する場合があります。通信パフォーマンスが劣化する理由としては、素子の負荷が間違っている場合、スイッチング電源のフィルタリングが不適切な場合、トランシーバのカップリング回路と電力線の間不適正な回路が付加されている場合、推奨部品仕様が守られていない場合などが挙げられます。PLスマートトランシーバは頑健な通信能力を備えているため、公称環境でテストした場合の通信パフォーマンスの劣化が顕著に現れない場合があります。

パフォーマンスの劣化は、厳しい条件下でしか目に付かないのが一般的です。そのため、設置前にパフォーマンスを検証しておかないと、問題が見つかった頃には多くのユニットが問題発生寸前の状態になっているといった事態に陥りかねません。したがって、現場で設置する前に各PLスマートトランシーバ設計の通信パフォーマンスを検証しておくことは不可欠です。この検証は、本章で説明する手順を使って自社で行うことも、エシエロン社の営業員に連絡し、機密保護が保証された評価を得るためにデバイスをエシエロン社に送付することによって行うこともできます。

## 検証手順

推奨される検証手順は以下のとおりです。

1. 標準的な電力線ノイズおよび負荷から絶縁された人工的な電力線環境を作ります。
2. PLスマートトランシーバの通信周波数において既知の負荷インピーダンスを与えます。
3. 校正された基準トランスミッタおよびレシーバとして PLCA-22 電力線通信アナライザ（モデル 58022）を使用します。
4. スマートトランシーバのサービスピンおよび内部統計機能を使って、製品のアプリケーションと独立にパフォーマンスをテストします。テスト対象の製品がサービスピンスイッチを持っていない場合は、テストのためにサービスピンスイッチを付加する必要があります。
5. テスト対象の製品から発生するノイズ注入や過剰負荷についてテストします。これは、そのデバイスが電力線ネットワークの「善良な市民」、つまり善良な構成要素として動作していることを確認するためです。
6. 製品の送信信号レベルが許容リミット内であることを検証します。これを行うには、テスト対象製品が動作している絶縁電力線に意図的に負荷をかけ、負荷があるときの出力送信レベルと基準レベルとを比較します。
7. 製品の受信信号レベルが許容リミット内であることを検証します。これには一対の PLCA-22 アナライザを用います。送信側のPLCA-22アナライザの通信信号レベルを少しずつ落とし、テスト対象製品の受信パフォーマンスを監視して基準パフォーマンスレベルと比較してください。
8. すべてのテスト結果は、本章最後の表7.1を用いて文書化することができます。

## 電力線テストアイソレータ

図7.1に示す回路は、通常の電力線に存在するノイズと負荷から絶縁された電力線環境を作るために使用されます。この回路は適正に構築された場合、PLスマートトランシーバの通信周波数において電力線とテスト対象製品との間に60~80dBの絶縁を提供します。この回路の実効性は、電力線の入力と出力の間で通信する一対のPLCA-22アナライザを使って検証することができます。この検証を行うには、アイソレータの入力側に接続されたPLCA-22アナライザがCバンドのUnackPriモードで3.5Vppの packets を送るよう設定する必要があります。(テスト対象製品の出力に接続された)受信側アナライザの緑色の棒グラフメーターの信号強度表示は、-60dB以下にとどめる必要があります。packetを送信していないときは、-78dBの一次信号強度LEDと二次信号強度LEDの上のLEDは、点灯または点滅すべきではありません。ネオン電力インジケータは-72dBレンジでノイズをしばしば発生させるため、絶縁出力には使わないようにしてください。

このアイソレータは、電力線上で通信している他のPL 3120/PL 3150スマートトランシーバまたは旧型のPLT-2Xトランシーバからの通信を完全にブロックするわけではありません。そのため、受信テストは電力線上に他のpacketアクティビティがないときに行ってください。

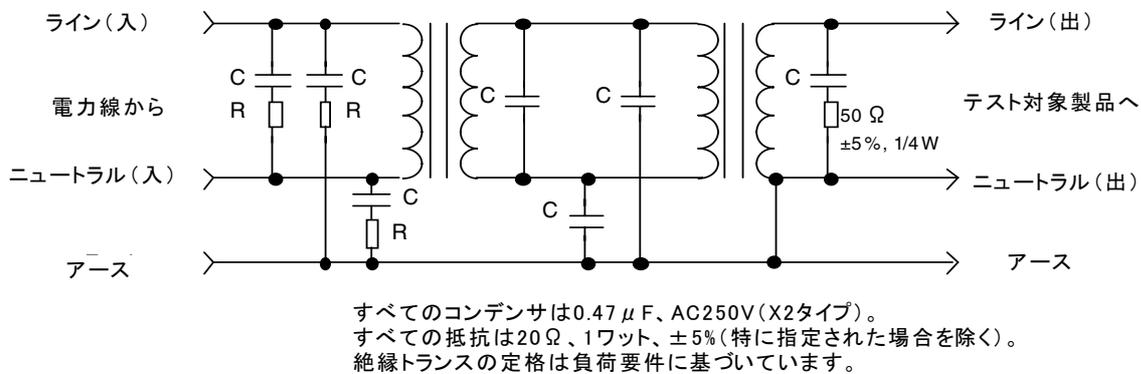


図7.1 電力線の絶縁回路

この回路に示すトランスは50/60Hzの1:1絶縁トランスです。各トランスの負荷(VA)定格は、テスト対象デバイスの負荷要件に基づいて選択する必要があります。アイソレータを配線するときは、入力と出力のワイヤを15cm以上離すことにより、入力と出力配線間の偶発的な信号カップリングを避けるようにしてください。

## テスト装置

このテストには、前節で説明した電力線アイソレータに加え、以下の市販装置が必要です。

- 一対のPLCA-22電力線通信アナライザ (モデル58022)。旧型のPLCA-21は不適切です。
- 2つのPL-20ライン・ニュートラル間電力線カプラ (エシエロン社のモデル78200-221)。
- 両端に雄のBNCコネクタが付いた長さ30cmの50  $\Omega$  同軸ケーブル2本 (AMP 1-221128-xまたは相当品)。
- 4つ以上のテーブルタップ (サージ保護、ネオンライト、ノイズフィルタリング回路を含まないもの)。
- Windows 98またはWindows XPシステムのコンピュータ。PCLTA-20ネットワークインターフェースとPLM-22 SMXトランシーバの両方、またはPL-SLTAネットワークインターフェースが搭載されている必要があります。

## 作成する必要があるテスト装置

テストを行うために以下の装置を新たに作成する必要があります。

### 「5Ω 負荷」回路

この回路は、図7.2に示すように適切な筐体の中に収め、適切なAC本線プラグ（凸）を備えるようにしてください。1MΩ抵抗のスタンドオフ電圧はピークライン電圧以上にする必要があります。

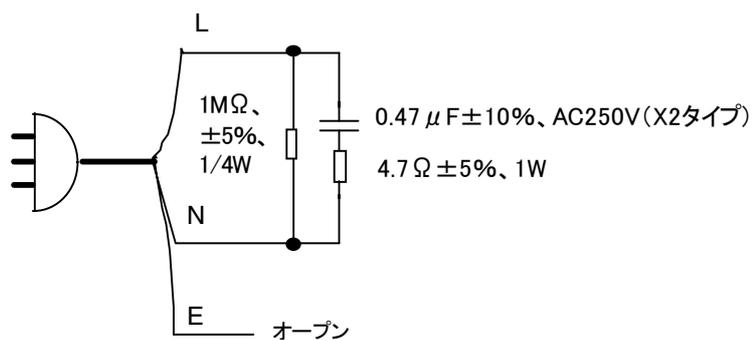


図7.2 「5Ω 負荷」回路

### 「7Ω 負荷」回路

この回路は、図7.3に示すように適切な筐体の中に収め、適切なAC本線プラグ（凸）を備えるようにしてください。1MΩ抵抗のスタンドオフ電圧はピークライン電圧以上にする必要があります。

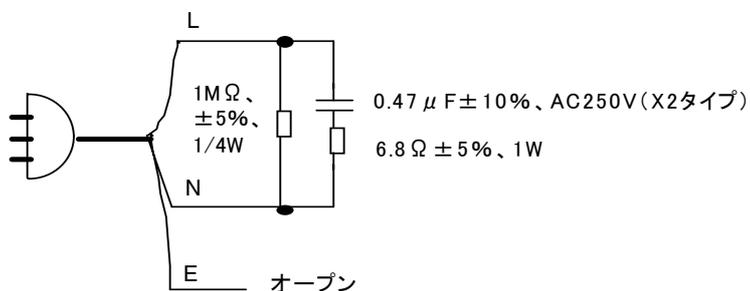


図7.3 「7Ω 負荷」回路

## インピーダンス回路

この回路は、図7.4に示すように、隔壁BNCジャック（AMP 227755-xまたは相当品）を備えた適切な筐体の中に収めてください。このインピーダンス回路をPLCA-22アナライザの出力経路と直列に配置すると、アナライザの出力インピーダンスが実効的に増加します。これにより、テスト対象製品の受信モードインピーダンスをより敏感に測定することが可能になります。

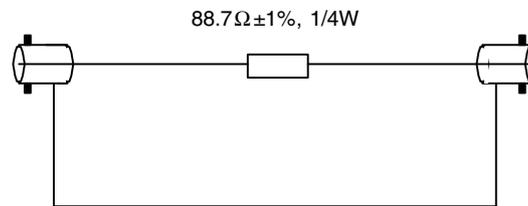


図7.4 過剰負荷の検証に使用されるインピーダンス回路

## 減衰回路

この回路は、図7.5に示すように、隔壁BNCジャック（AMP 227755-xまたは相当品）を備えた適切な筐体の中に収めてください。この減衰回路（パッド）は、図7.9の受信パフォーマンス検証セットアップに接続したときに約60dBの減衰を提供します。

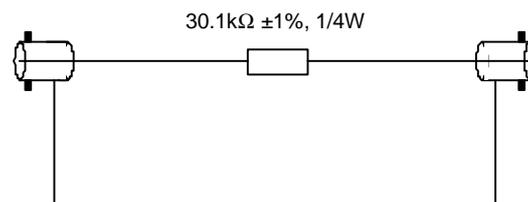


図7.5 受信パフォーマンス検証に使用される減衰回路

受信パフォーマンス検証のためには、コンピュータで**NodeUtil Node Utility** (nodetuil.exe) が実行されている必要があります。このユーティリティは、エシェロン社のウェブサイト[www.echelon.com/downloads](http://www.echelon.com/downloads)の「Development Tools」セクションから入手できます。**Node Status** コマンドを使用すると、**Unit Under Test**（テスト対象ユニット：UUT）が受信したパケットのうち破壊されていないものの数を取得できます。このセットアップについては、本章後出の「NodeUtilを使ったパケットエラー測定」節で詳しく説明します。

## 「善良な市民」検証

以下に示す手順では、テスト対象ユニット（UUT）が電力線に望ましくないノイズを注入したり、電力線に対して過剰な負荷になったりしていないことを検証できます。

## 意図的でない出力ノイズの検証

UUTが自己の通信パフォーマンスまたは電力線上の他のデバイスの通信パフォーマンスを阻害する望ましくないノイズを発生しているかどうかを確かめるには、以下の手順に従います。

1. 下の図7.6に示すように、単一のPLCA-22アナライザ、UUT、およびアイソレータを接続します。LCDディスプレイの右上隅で選択されたバンドを観察して、アナライザがUUTと同じ動作バンド(AバンドまたはCバンド)に設定されていることを確かめます(バンド設定が一致しないときは、アナライザのセットアップ画面を使って変更する必要があります)。PLCA-22アナライザをアイドルモード(パケット送信なし)にして、InternalおよびLine-to-Neutralカップリングに設定します(カップリングモードスイッチを右に設定)。
2. UUTのアプリケーションプログラムがメッセージを送っていないことを確認します。
3. 信号強度を示す棒グラフLEDを観察します。一次または二次の棒グラフメーターのいずれについても、-72dB LEDは点灯せず、-66dB LEDは点滅しないはずですが、パケット検出(PKD)LEDは毎分1度より多く点滅しないはずですが。
4. ステップ3の結果を本章最後の表7.1に記録します。

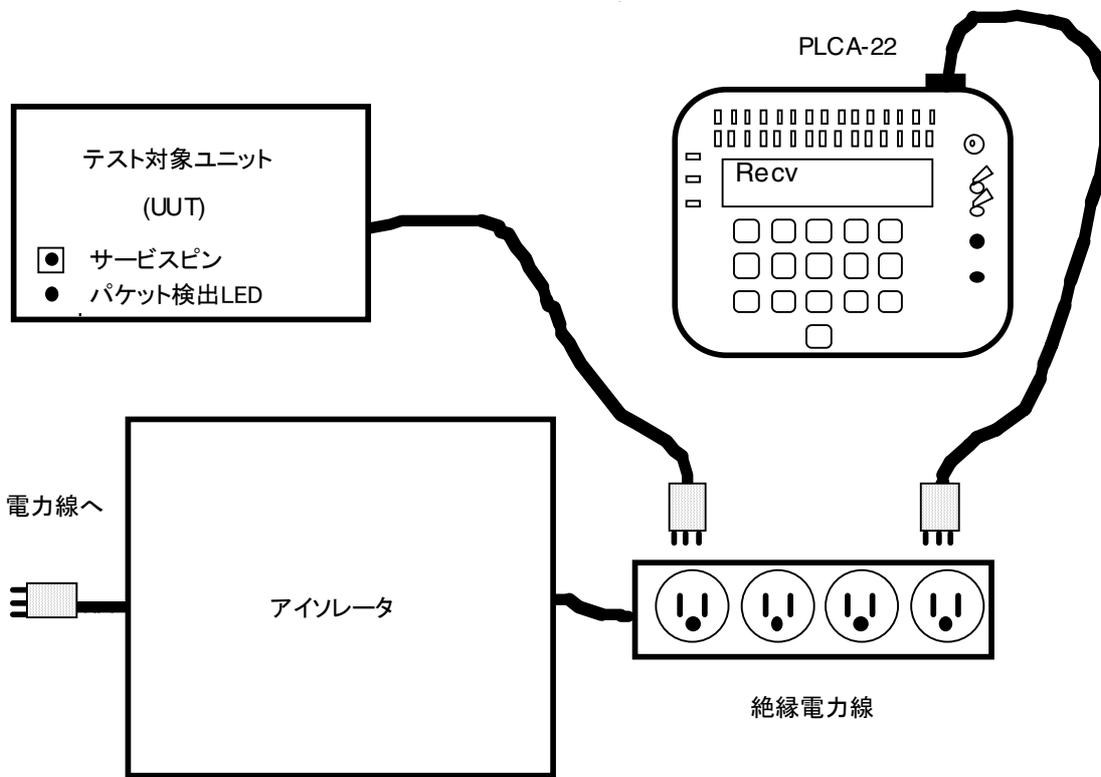


図7.6 意図的でない出力ノイズの検証

いずれかの-72dB LEDが点灯したり、いずれかの-66dB LEDが点滅したり、あるいはPKD LEDが毎分1度より多く点滅する場合は、過剰なノイズまたは干渉が存在しています。この原因としては以下が考えられます。

- UUTの内部で望ましくないノイズが発生している。これはオンボードスイッチング電源の場合によくあります。UUTがスイッチング電源を含んでいる場合は、第5章の電源ノイズマスクが満たされているかどうかを確認してください。
- アイソレータの電源入力側に存在する電力線通信信号が十分に減衰されていない。このテストを行うときは、電力線上で他の電力線信号装置が動作していないことを確認してください。
- アイソレータがテストセットアップを電力線上のノイズから完全に絶縁していない。上記の手順に従って、アイソレータの実効性を検証してください。

検証テストを続けるには、このノイズまたは干渉の原因を見つけて除去しておく必要があります。

## 過剰な負荷の検証

UUTの受信モードインピーダンスは、一次通信周波数において約100Ω以上であることが必要です。本節で説明する手順は、それを検証するために使用されます。受信モードインピーダンスが100Ωより小さいと、過剰な信号減衰が起こり、UUTおよび近くのノードの受信が損なわれる可能性があります。さらに高い受信インピーダンスを必要とするアプリケーションについては、第5章および第6章の説明を参照してください。

テストの感度を増やすには、PLCA-22アナライザの出力能力10Vp-pが使用されます。この高出力信号により、PLCA-22アナライザの0dB、-3dB、および-6dBの各LEDを使って信号強度を観察することができます。信号強度メーターのその他のLEDと異なり、これらのLEDはわずか3dBきざみなので、測定分解能を上げることを可能にします。

送信側PLCA-22アナライザの出力経路にある直列インピーダンス回路(図7.4)は、このアナライザの実効出力インピーダンスを増やすために使用されます。これは、アナライザの低送信出力インピーダンスを原因として、テスト中の製品の受信モードインピーダンスが観察しにくくなるのを防ぐためです。

推奨される検証手順は以下のとおりです。

1. 第1のPLCA-22アナライザ(Recv PLCA-22アナライザと呼びます)がUUTと同じ動作バンドを使用するように設定します。動作モードをRecvとUnackPriに設定し、図7.7に示すようにInternalおよびLine-to-Neutralのカップリング構成にしてください。
2. 第2のPLCA-22アナライザ(Send PLCA-22アナライザと呼びます)がUUTと同じ動作バンドを使用するように設定します。動作モードをSendとUnackPriに設定し、Externalカップリング構成にします。図7.7に示すように、インピーダンス回路(図7.4の88.7Ω抵抗)とカップリング回路を接続します。このテストを正しく実施するには、無中断LED点灯を実現するために、CENELECプロトコル(Cバンド動作のオプションの1つ)をオフにする必要があります(Cバンドでテストしている場合に送信ユニットのセットアップ画面で設定)。
3. Send PLCA-22アナライザのAttnが0に設定されていることを確認します。このユニットの送信パケット数を9999kに設定し、パケット長を13バイトに設定します。TxVpp: 10に設定します。
4. UUTを接続していない状態で、Send PLCA-22アナライザのSTARTを押します。テストが開始されると、Recv PLCA-22アナライザの受信パケットカウントが増加し、パケットエラーレートは0%に非常に近くなるはずですが、Recv PLCA-22アナライザの信号強度メーターは、一次信号強度-3dB LEDまでのLEDが点灯するはずですが、一次0dBのLEDが点滅するかどうかは場合によって異なります。
5. 次に、図7.7に示すようにUUTを接続します。Recv PLCA-22アナライザの一次信号強度-3dBのLEDは、点滅するか点灯し続けるはずですが、一次-3dBのLEDが消えている場合は、UUTの入力インピーダンスが低すぎます(100Ω未満)。先に進むには、UUTのインピーダンスを補正しておく必要があります。付録Bに説明するノードチェックリストを参考にしてください。

6. ステップ5の結果を本章最後の表7.1に記録します。

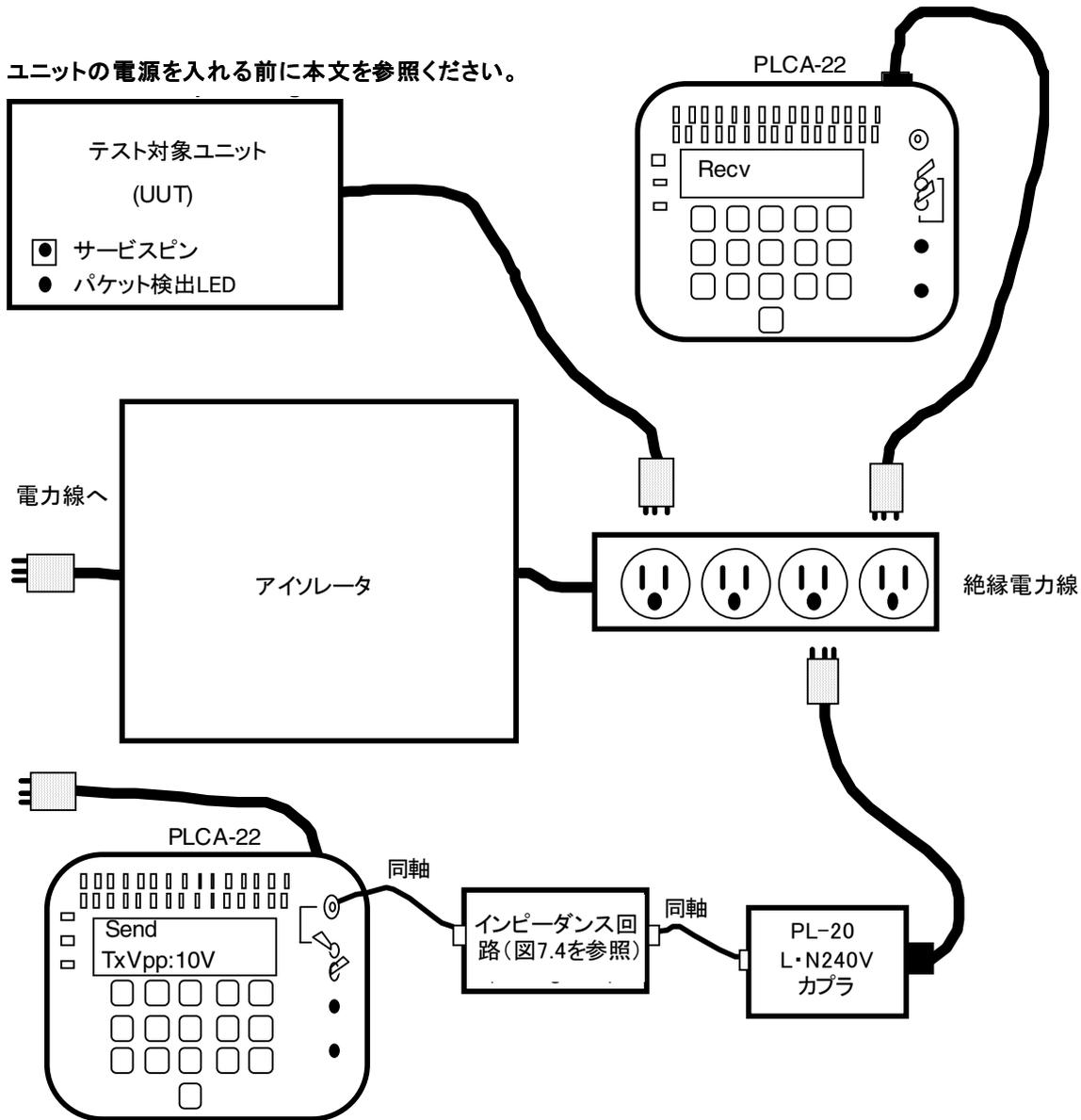


図7.7 過剰な負荷の検証

## 送信パフォーマンスの検証

UUTの送信出力インピーダンスが低インピーダンス負荷を駆動するのに十分なだけ低いことを確認するには、以下の手順に従います。

1. アイドルモード (パケットを送信していない) の PLCA-22 アナライザ 1 つを UUT と同じ動作バンド、Internal および Line-to-Neutral カップリングに設定した状態で、アナライザ、UUT、「5Ω 負荷」、およびアイソレータを図 7.8 に示すように接続します (UUT が単相電力への L・E 間カップリングを使用している場合は、「7Ω 負荷」を代用してください)。
2. UUT のアプリケーションプログラムがメッセージを送っていないことを確認します。

3. UUTのサービススイッチを押します。
4. PLCA-22アナライザの一次信号強度LEDを観察し、一次LEDのうちのどれが点灯するかをチェックします。0dB LEDまでのすべての一次LEDは、UUTからの10個のサービスピンメッセージのうち少なくとも6個で点滅するはずですが。
5. ステップ4の結果を本章最後の表7.1に記録します。

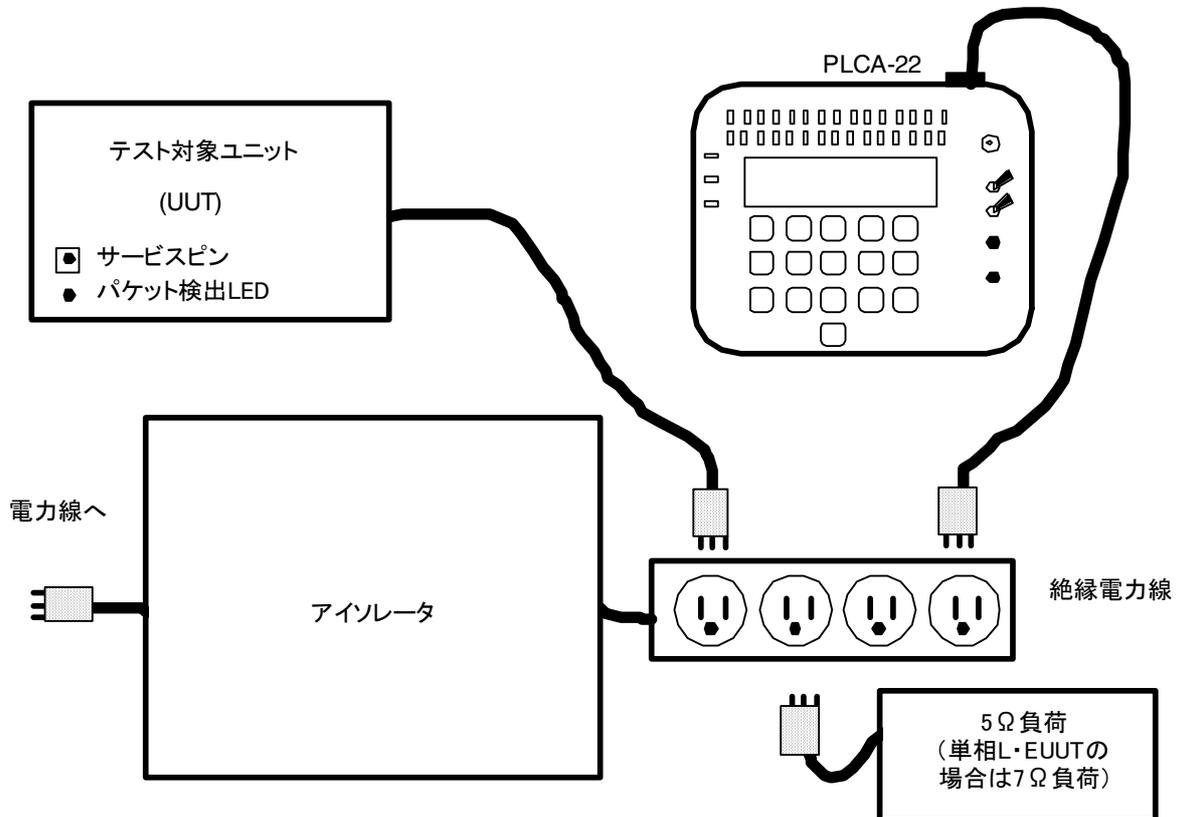


図7.8 送信パフォーマンスの検証

正しいLEDが点灯しない場合は、UUTの電力線カップリング回路の送信経路に問題があることが考えられます。送信信号レベルが低下する原因としては以下が挙げられます。

- PLスマートトランシーバの送信アンプと本線接続部との間に誤って直列インピーダンスが付加されている。
- カップリング回路の直列共振インダクタ（第4章のカップリング回路図のL2/L102）のDC抵抗が高すぎる。
- UUTが直列抵抗の高い低電流ラインヒューズを含んでいる。
- UUTの中で間違った値の部品が使用されている。
- フル送信電流負荷の条件下でアナログ電源（ $V_A$ ）電圧が不十分である。

UUTの設計の検証については、付録Bのノードチェックリストを参照してください。

## 受信パフォーマンスの検証

受信パフォーマンス検証手順では、UUTが受信したパケットのうち破壊されていないものの数を測定するためのソフトウェアツールが必要です。送信されたパケット数と正しく受信されたパケット数に基づき、パケットエラーレートが計算されます。

### NodeUtilを使ったパケットエラー測定

**NodeUtil** (nodeutil.exe) というDOSユーティリティは、UUTが正しく受信したパケット数を測定するために使用されます。NodeUtilソフトウェアを使うと、コンピュータはリモートでUUTに照会し、そのUUTが受信した破壊されていないパケット数などの状態情報を引き出すことができます。NodeUtilは、エシロン社のウェブサイト [www.echelon.com/downloads](http://www.echelon.com/downloads) から無料で入手できます。「Search for software」ドロップダウンメニューから「Development Tools」を選択してください。

図7.9にNodeUtilユーティリティを実行しているコンピュータのセットアップを図示します。コンピュータには、PLM-22 SMXトランシーバを備えたエシロン社のPCLTA-20カードが搭載されている必要があります。PCLTA-20/PLM-22は、PL-20電力線カプラを通じて絶縁電力線に接続されています。適正なPCLTA-20ドライバとコンピュータのオペレーティングシステムがインストールされていることを確認してください。ドライバのセットアップの詳細および動作情報については、『*LonWorks PCLTA-20 PCI Interface User's Guide*』を参照してください。

NodeUtilはコンピュータ上で(DOSで)実行され、電力線を通じてUUTにアクセスします。以下の検証手順は、NodeUtilを使ってUUTにアクセスする方法を説明したものです。

NodeUtilのスタートアップ画面を下に示します。適正なセットアップの詳細については、nodeutil.txt ファイルを参照してください。

```
Node Utility Release 1
04 Echelon Corporation. All rights reserved.

Successfully installed network interface.
Welcome to the LONWORKS Node Utility application.
Activate the service pin on remote node to access it.

Enter one of the following commands by typing the indicated letter:
The NODEUTIL MAIN Menu

=====
The main command menu for NODEUTIL is as follows:
  A - (A)dd node to list.
  C - Set (C)lock rates of the network interface
  D - Set the (D)omain of the network interface.
  E - (E)xit this application and return to DOS.
  F - (F)ind nodes in the current domain.
  G - (G)o to node menu.....
  H - (H)elp with commands.
  L - Display node (L)ist.
  M - Change node (M)ode or state.
  O - Redirect (O)utput to a file.
  P - Send a service (P)in message from a PCLTA.
  R - (R)eboot 3150 node.
  S - Report node (S)tatus and statistics.
  V - Control (V)erbose modes.
  W - (W)ink a node.
  Z - Shell out to DOS.
```

## 受信パフォーマンスの検証

UUTの受信感度が正しいかどうかを検証するには、以下の手順に従います。受信感度の測定は、基準トランスミッタとUUTの間の信号減衰レベルを増やしながら物理層エラーレートを監視することによって行われます。

1. UUTのアプリケーションプログラムがメッセージを送っていないことを確認します。
2. 第1のPLCA-22アナライザ (Recv PLCA-22アナライザと呼びます) がUUTと同じ動作バンドを使用するように設定します。動作モードをRecvおよびUnackPriに設定し、図7.9に示すようにInternalおよびLine-to-Neutralのカップリング構成にしてください。
3. 第2のPLCA-22アナライザ (Send PLCA-22アナライザと呼びます) がUUTと同じ動作バンドを使用するように設定します。動作モードをSendとUnackPriに設定し、Externalカップリング構成にします。減衰回路 (図7.5の30.1kΩ抵抗) とPL-20 L・N間カプラを使って、図7.9に示すようにPLCA-22アナライザを接続します。2つのPLCA-22アナライザ同士が寄生ラインコードカップリングを通じて通信しないように、Send PLCA-22アナライザのラインコードがアイソレータの入力側の電力線に接続されていることに注意してください。
4. Send PLCA-22アナライザで以下のパラメータを設定します。

パケット数	1000 (1k)
パケット長	13バイト
TxVpp	3.5V
減衰	0 dB

PLスマートトランシーバ使用UUTは7Vppを使って送信するにもかかわらず、Send PLCA-22のTxVppとしては3.5Vppが使用されます。Send PLCA-22アナライザを3.5Vpp (UUTの送信レベル7Vppよりも6dB下) に設定しておく、この手順の後続のステップでアナライザのAttnを変えた場合に、受信感度のテスト範囲を6dB増やすことが可能になります。

5. 図7.9に示すようにUUTテストセットアップを接続します。NodeUtilが正しく実行され、上に示すスタートアップ画面が表示されたら、UUTのサービススイッチを押します。これにより、デバイスから受信したサービスピンメッセージがNodeUtilによって記録されます。UUTの状態情報を得るには、「S」コマンドを選択します (統計値は前回クリアされているため、結果画面の「Packets received by node」は、UUTが受信した破壊されていないパケット数になります)。プロンプトが表示されたら、「Y」と入力してUUTの状態をクリアします。次の数ステップでは、UUTからの受信パケットカウントを取得するためにSコマンドが使用されます。計測のためにUUTの状態をクリアすることを忘れないでください。
6. Send PLCA-22アナライザのSTARTを押します。テストが開始されると、Recv PLCA-22アナライザの受信パケットカウントが増加し、パケットエラーレートは0%に非常に近くなる (1%未満) はずです。Recv PLCA-22アナライザの一次周波数信号強度メーターの-60dB LEDが点灯し、受信信号が3.5Vppの送信レベルに比べて約-60dBであることが示されます (7Vpp送信レベルとの比較では-66dB)。このレベルが出発点となります。ステップ8および9では、Send PLCA-22アナライザのAttn機能を使ってさらに減衰が加えられます。
7. Send PLCA-22アナライザが1000個のパケットを送信したら、NodeUtil sコマンドを使ってUUTから受信パケットカウントを得ます。その値とRecv PLCA-22アナライザのパケットエラーレートを、本章最後の表7.1の4列目と5列目に記録します。ノードが受信したパケットの数を1011から差し引き、それを10で割る (1000で割って100を掛ける) ことによりエラー値をパーセント単位で計算し、その結果を表7.1の一番右の列に記録します。計算の詳細については、これらのステップの最後の注記を参照してください。

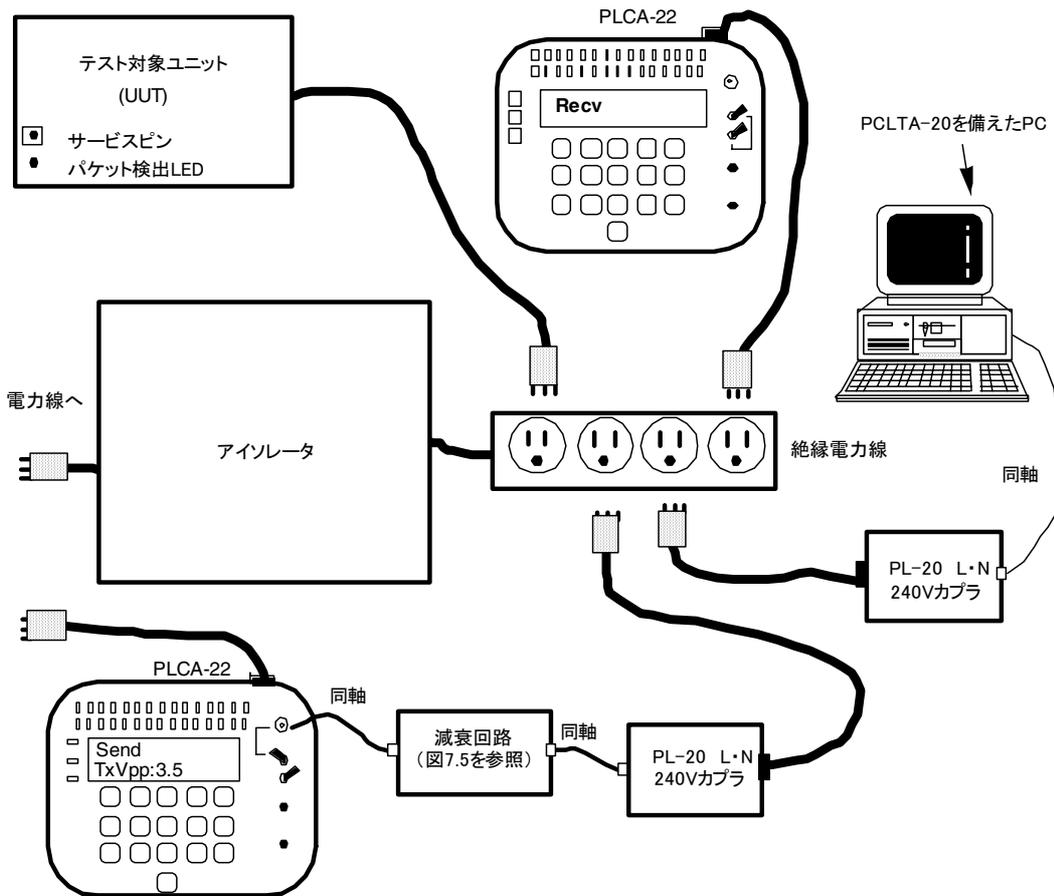


図7.9 受信パフォーマンスの検証

8. カーソルをフィールドAttnに動かした後、Send PLCA-22アナライザのCHANGEキーおよびENTERキーを押してAttnレベルを6dBずつ増やします。次に、NodeUtilのプロンプトに「Y」で応答することによってUUTの状態をクリアし、Send PLCA-22アナライザのSTARTボタンを押します。
9. 24dBまでのすべてのSend Attnレベルでステップ7と8を繰り返し、毎回の結果を本章最後の表7.1に記録します。
10. UUTの二次動作周波数をテストするには、PLCA-22アナライザをUnackPriモードからUnackSecモードに変更します。上記のステップ6～9を繰り返し、結果を表7.1の二次周波数のセクションに記録します。

**注記：**

上記の検証手順で使用したパケットエラーレートの計算では、パケットエラーレートをCRCエラーカウントから計算した場合に生じる不正確さが回避されています。この注記では、パケットエラーレートをどのように正確に測定するかについて説明します。

パケットエラーレートは、間違ったCRCを伴って受信されたパケットだけでなく、弱すぎたり破壊されていたりしてまったく検出されなかったパケットも含んでいます。これらの「ミスパケット」は、定義上ノードのCRCエラーカウントに盛り込まれません。物理層パケットエラーレートが10%の場合、ミスパケットの割合は一般的に無視できる程度です。ただし、パケットエラーレートが10%を超える場合は、エラーレートのかなりの部分がミスパケットに起因している可能性があります。

NodeUtilの「Packets received by node」フィールドは、ノードが正しく受信した実際のパケット数を示しています。この数を送信されたパケットの全数から差し引くことにより、ミスパケットも含めた正確なパケットエラーカウントを得ることができます。

電力線上で送信されたパケットの全数は、PLCA-22アナライザで選択されたテストパケット数だけでなく、PLCA-22アナライザ同士の間で送信されたいくつかの制御パケットも含んでいます。PLCA-22アナライザは、これらの制御パケットを使ってテストの前にお互いの設定を同期し、またテスト直後のテストに関するデータを交換します。UUTの状態を照会すると、さらにいくつかのパケットが記録されることとなります。全オーバーヘッドは一般に11パケットです。

このことを考慮に入れると、テストパケットが1000個の場合、物理層パケットエラーレートの正確な計算式は、次のようになります。

$$\text{PER}\% = (1011 - \text{「ノードが受信したパケット数」}) \times 100 / 1011$$

表7.1に示すSend PLCA-22アナライザとRecv PLCA-22アナライザ間の全体的な信号減衰は、減衰回路の減衰レベル、Send PLCA-22アナライザのAttnレベル、さらにSend PLCA-22アナライザ上で送信レベルとして3.5Vp-pを使ったことによる6dBを総和したものとなります。適正に動作しているPLスマートトランシーバ使用製品は、7Vp-pからの全減衰が78dB（二次周波数では72dB）に達するまで低いパケットエラーレート（3%未満）を示します。これ以上の減衰があると、UUTのエラーレートは増加する可能性があります。

全減衰が90dBでもRecv PLCA-22アナライザとUUTのエラーレートが5%を超えない場合は、テストセットアップに問題があります。すべての項目が図7.9に示すようにセットアップされていることを確認してください。UUTは、PLスマートトランシーバの機能向上のおかげで、Recv PLCA-22アナライザを約6dB上回る全減衰に至るまで動作するのが普通です。

このテストの結果が予想よりも悪い場合は、問題がそのUUTだけのパフォーマンスに影響するのか、隣接する他のレシーバもUUTの存在によって損なわれているかを調べるのが大切です。Recv PLCA-22アナライザの受信パフォーマンスが予想よりも悪かった場合は、UUTを切り離してPLCA-22アナライザのエラーレートと減衰の関係をチェックしてください。UUTの存在がPLCA-22アナライザのパフォーマンスを損なっていることが判明した場合は、UUTが電力線にノイズを逆注入している可能性があります。これと同じ症状は、過剰負荷検証テストに不合格だったUUTに修正を加えなかった場合にも現れます。

UUTの予想エラーレートと実測エラーレートを比較した結果、7Vp-pから78dB以上の全減衰があるときにUUTが確実にパケットを受信できないとわかった場合は、以下をチェックしてください。

- UUT がスイッチング電源を含んでいる場合は、第5章の電源ノイズマスクが満たされているかどうかを確認します。
- カップリング回路の部品定数を第4章で推奨されているものと比較します。値の間違った部品が挿入されていて、受信パフォーマンスが損なわれているもののまだ動作しているという可能性があります。
- 本章前出の意図的でない出力ノイズの検証テストを再び実施します。
- 本章前出の過剰負荷の検証テストを再び実施することにより、UUTの受信モードインピーダンスを再検証します。

UUTの設計の検証については、付録Bのノードチェックリストを参照してください。

第7章 – 通信パフォーマンスの検証

(このページは複製可)

表 7.1 PL 3120およびPL 3150スマートトランシーバのパフォーマンスの検証

メーカー		テスト仕様	Echelon 005-0154-0B V2 Ch 7
製品		ライン電圧	AC _____ V
Neuron コアID	_____	ライン周波数	_____ 50Hz _____ 60Hz
バンド	Aバンド _____ Cバンド _____	テスト日付	_____/_____/_____
カップリングタイプ	_____ 単相 _____ 三相	テスト実施者	

予備チェック

V <sub>A</sub> 電源電圧	10.8V~18.0V	_____ V	不合格	合格
V <sub>DD5</sub> 電源電圧	4.75V~5.25V	_____ V		
発振器周波数	(6.5523~6.5549または9.9980~10.0020MHz)	_____ MHz		

「善良な市民」検証

意図的でない出力ノイズの検証 – UUTおよびRXアナライザ、パケット送信なし

一次信号LED	-72dB 点灯していない、-66dB 点滅していない	_____ dB	不合格	合格
二次信号LED	-72dB 点灯していない、-66dB 点滅していない	_____ dB		
パケット検出LED	毎分1回より多く点滅してはならない	_____ /分		

過剰負荷の検証 – 87.7 Ω と外部カプラを通じて10Vppを送信

RXアナライザの一次LED	-3dB LEDは点灯または点滅していなければならない	_____ dB _____ 点灯 _____ 点滅	不合格	合格
---------------	-----------------------------	----------------------------	-----	----

送信パフォーマンスの検証 – RXアナライザがUUTサービスピンメッセージを読み取り5/7 Ω 負荷

RXアナライザの一次LED	0dB LEDは10試行中6回以上点滅しなければならない	_____ dB _____ /10試行	不合格	合格
---------------	------------------------------	----------------------	-----	----

受信パフォーマンスの検証 – 3.5Vppで1 k のパケットを30.1k Ω アッテネータを通じて送信

不合格	合格
-----	----

一次周波数

Send PLCA の 送信減衰 (Attn)	全減衰 (Attn + 66)	Recv PLCA UnackPri エラー% (予想)	Recv PLCA UnackPri エラー% (実測)	UUT パケット数 受信 (実測)	UUT Pri エラー% (予想)	UUT Pri エラー% (1011-受信された数) /10
0 dB	66 dB	<1%	%		<1%	%
6 dB	72 dB	<3%	%		<2%	%
12 dB	78 dB	任意	%		<3%	%
18 dB	84 dB	任意	%		任意	%
24 dB	90 dB	≥5%	%		≥5%	%

## 二次周波数

Send PLCAの 送信減衰 (Attn)	全減衰 (Attn + 66)	Recv PLCA UnackSec エラー% (予想)	Recv PLCA UnackSec エラー% (実測)	UUT パケット数 受信 (実測)	UUT Sec エラー% (予想)	UUT Sec エラー% (1011-受信された数) /10
0 dB	66 dB	<1%	%		<1%	%
6 dB	72 dB	any	%		<3%	%
12 dB	78 dB	any	%		任意	%
18 dB	84 dB	任意	%		任意	%
24 dB	90 dB	≧5%	%		≧5%	%



8

---

# PLスマートトランシーバ のプログラミング

## はじめに

PL 3120およびPL 3150スマートトランシーバの一部のパラメータは、開発者がプログラムします。本章では、設定すべきさまざまなパラメータについて説明し、またNodeBuilder®開発ツールのバージョン3.1（またはそれ以降）を使ってそれらをプログラムする方法について説明します。

PL 3120スマートトランシーバの出荷時のデフォルトトランシーバタイプはPL-20Nです。これにより、プログラマを使ってプレプログラミングをしなくても、電力線ネットワークを通じてPL 3120スマートトランシーバをプログラムすることができます。

## 搬送波周波数2重化モード

各PLスマートトランシーバは、搬送波周波数2重化機能を備えているため、ノイズが一次周波数範囲をブロックしていても他のPLスマートトランシーバおよびPLT-22使用デバイスと通信することができます。障害が原因でこの周波数範囲での通信が不可能である場合、PLスマートトランシーバ使用デバイスは自動的に二次搬送波周波数に切り換えて、他のPLスマートトランシーバまたはPLT-22使用デバイスとのトランザクションを完了することができます。

搬送波周波数2重化機能では、確認応答サービスメッセージの最後の2回の再試行は、二次搬送波周波数を使って送られます。つまり、Aバンドで3再試行（全部で4試行）の確認応答サービスがある場合、最初の2試行は86kHzの一次搬送波周波数を使って送られます。トランザクションを完了するために最後の2試行が必要な場合、これは75kHzの二次搬送波周波数を使って送られ（そして確認応答され）ます。同様に、Cバンド動作においては、一次および二次周波数はそれぞれ132kHzおよび115kHzです。PLスマートトランシーバが両方の周波数を使用するには、少なくとも2回の再試行が必要です。エシロン社では、最適の信頼性と効率を実現するため、PLスマートトランシーバ確認応答サービスメッセージの使用時の再試行として3回をお勧めしています。

確認応答なしのリポートメッセージサービスを使用する場合、PLスマートトランシーバは、2つの搬送波周波数を交互に使用することで両方の周波数の信頼性を利用します。この場合、3リポートの確認応答なしのリポートメッセージでは、1番目と3番目のパケットが一次搬送波周波数で送信され、2番目と4番目のパケットは二次搬送波周波数で送信されます。PLスマートトランシーバが両方の周波数を使用するには、少なくとも1リポートが必要です。

Cバンド動作モードの場合、二次搬送波周波数の各PLスマートトランシーバ送信には、同時に132kHzの「パイロット」信号が伴います。古いPLT-20およびPLT-21使用デバイスは、この信号を使って、そのチャンネルがビジーであることを認識できます。このパイロット信号は、PLスマートトランシーバが115kHzの二次搬送波周波数で送信するときに、115kHzの二次搬送波周波数を検出できないPLT-20またはPLT-21使用デバイスが同時に送信するのを防ぎます。

## CENELECアクセスプロトコル

CENELEC EN 50065-1規格では、異なるメーカーの複数の電力線信号デバイスが共通のAC本線で動作できるように、Cバンド（125kHz～140kHz）用のアクセスプロトコルが指定されています。周波数132.5kHzは、送信が進行中であることを示す一次帯域使用中の周波数として指定されています。

各CENELEC適合Cバンドデバイスは、132.5kHzの帯域使用中周波数を監視すると共に、131.5kHz～133.5kHzの範囲で4ミリ秒以上持続する86dBμV<sub>RMS</sub>以上の信号の存在を検出できなければなりません。帯域使用中検出器によってそのバンドが85ミリ秒以上フリーだったことが示されると、電力線信号デバイスは送信することを許可されます。各デバイスは送信間隔をランダムに選ぶ必要があり、均等に分布した7つ以上の間隔から選べるようになっていなければなりません。電力線信号デバイスのグループは、1秒以内連続的に送信することを許され、その後は少なくとも125ミリ秒は送信を停止しなければなりません。

PLスマートトランシーバはCENELECアクセスプロトコルを取り入れており、ユーザーはチャンネル定義のときにCENELECアクセスプロトコルをEnableまたはDisableできます。Enableされると、PLスマートトランシーバはLonTalkプロトコルの利点を保持しつつ、CENELECアクセスプロトコルを実施します。CENELECアクセスプロトコルがEnableされると、全体的なネットワークスループットは11%低下します。

CENELEC規格に従う国（ヨーロッパのほとんどの国々）においては、規格要件を満たすためにCENELECアクセスプロトコルをEnableする必要があります。CENELEC規格に従わない国で使用される製品では、スループットを最大化するためにCENELECプロトコルをDisableすることをお勧めします。CENELECプロトコルがEnableされているデバイスとCENELECプロトコルがDisableされているデバイスは、同じネットワークに設置しないでください。同じネットワークに設置すると、CENELECプロトコルがEnableされたデバイスは、CENELECプロトコルがDisableされたデバイスからのトラフィックが混雑しているときに送信できなくなります。したがって、1つのネットワーク上の全デバイスのCENELECプロトコルをEnableするか、全デバイスのCENELECプロトコルをDisableする必要があります。CENELEC規格では、CENELEC Aバンドで使用するアクセスプロトコルについては指定されていません。本章で後述するAバンドトランシーバパラメータでプログラムされた場合、PLスマートトランシーバの内部CENELECアクセスプロトコルはDisableされます。これを選択した場合、帯域使用中（Band-In-Use）信号はPLスマートトランシーバが送信するのを止めません。

## 電源管理

PLスマートトランシーバは、コストが重視される消費者アプリケーション（ネットワーク化調光器、スイッチ、家庭電化製品など）において、低コスト電源の設計をサポートする電源管理機能を取り入れています。このクラスの通常のアプリケーションは、消費者デバイスからの低頻度（低デューティサイクル）の送信しか必要としません。これらのデバイスの電源は、PLスマートトランシーバの超低受信モード電流および広 $V_A$ 電源動作範囲（DC+8.5V~+18V）を利用して電源コストを下げることができます。

送信デューティサイクルが低いということは、各パケットを送信する合間に10パケット時間以上待つなど（送信デューティサイクル10%）、デバイスのパケット送信頻度が低いことを意味します。このデューティサイクルの低さを利用した電源設計では、送信の合間にスマートトランシーバの消費電流が非常に小さいので、比較的長い送信間隔にコンデンサにエネルギーを蓄積し、パケットの送信時にその蓄積エネルギーを消費します。このタイプの電源は、「蓄電式電源」と呼ばれるもので、受信モード中に蓄電式コンデンサを比較的高い電圧（15Vなど）まで充電することによってエネルギーを蓄積します。送信中、コンデンサの電圧は下限（9.0Vなど）に向かって低下していききます。次に、蓄電式コンデンサは、送信の合間の比較的長い期間中にゆっくりと高電圧に充電されていきます。従来、こうした電源を適正に設計するには、サポートすべき最大送信デューティサイクルを知っておく必要があり、またワーストケースの動作条件（温度、ライン電圧、部品のばらつき、およびトランスミッタの負荷）を考慮に入れた実施方法が必要でした。

有効な最大送信デューティサイクルとワーストケースの環境条件に合わせた電源を設計するのではなく、標準動作条件に合わせて設計することができれば、こうした電源のコストを著しく下げることができます。ただし、標準動作条件に合わせて設計するという事は、確実な動作を保証するために、ワーストケースの動作条件を「管理」するための機構が必要であることを意味します。この管理機能は、動作条件（特に送信デューティサイクル）が事前にわかっていない製品にも対処できる必要があります。

PLスマートトランシーバの電源管理機能は、蓄電式電源を賢明に監視することによって、必要とされるこの機能を実現します。デバイスの送信試行頻度が高すぎる場合、電源管理機能は、デバイスの電源がパケット送信に十分なエネルギーを供給できる程度に回復するまでPLスマートトランシーバの送信を止めることで、送信デューティサイクルを強制的に制限します。この機能の詳細とアプリケーション例は第5章で説明されています。

ユーザーは、PLスマートトランシーバの電源電圧低下信号（OOGAS）ピンをどのように接続するかを選択し、チャンネル定義時に「標準トランシーバタイプ」を選択することによって、電源管理をEnableまたはDisableできます。PLスマートトランシーバのOOGASピンがVCOREピンに直接接続されていると、使用される標準トランシーバタイプに関係なく電源管理はDisableされます。PLスマートトランシーバのOOGASピンが指定された $V_A$ 抵抗分圧器に接続されていると、ユーザーは、チャンネル定義時に「LOW」サフィックスの付いた標準トランシーバタイ

プを選択することによって、電源管理を Enable することができます。標準トランシーバパラメータのセットで「LOW」サフィックスの付いたセットとそれに対応する「LOW」サフィックスなしのセットは、電源管理機能が選択されているかどうかだけが異なります。電源管理機能を Enable するには、指定されたOOGAS分圧器と「LOW」サフィックス付きの標準トランシーバタイプの両方を使用する必要があります。

電源管理機能が Enable されていると、PLスマートトランシーバは、パケット送信を保証するためにVA電源電圧として13.0Vを必要とします。13.0V以下の固定電源を持つ製品では、送信が不可能になる可能性があるため、電源管理機能を決して Enable しないでください。同様に、電源が電源管理機能に依存するような製品では、電源管理機能を決してDisableしないでください。表8.1にこれらの考慮点がまとめられています。

表 8.1 電源管理要件と電源タイプの関係

電源管理	13.0V以下の固定V <sub>A</sub> 電源	受信モードで13.0Vを超える蓄電式V <sub>A</sub> 電源
Disable	OK	電源設計がワーストケースのデューティサイクルおよび負荷条件のために電源管理に依存する場合には不可。
Enable	不可：デバイスが送信できないことあり。	OK

一部の旧型（レガシー）ネットワークツールは、インストールおよび交換プロセスでデバイスの通信パラメータをロードし、これらのパラメータを（特定のデバイスではなく）チャンネルに基づいて計算します。こうしたツールは、電源管理が Enable されているデバイスとされていないデバイスが同じチャンネル上で混在したシステムでは使用できません。

LonMaker™統合ツールをはじめ、LNS™ネットワークオペレーティングシステムに基づくツールは、PLスマートトランシーバ使用デバイスで電源管理が Enable されているかどうかにかかわらず、これらのデバイスのすべての構成を正しくサポートします。LNSに基づかないツールの場合は、同じチャンネル上で電源管理ノードと非電源管理ノードが混ざった状態がサポートされるかどうかについて、ツール販売業者にお問い合わせください。

## 標準トランシーバタイプ

PLスマートトランシーバのAバンド動作用には2つの標準トランシーバタイプが定義されており、Cバンド用には4つが定義されています。これらの標準トランシーバタイプは、PLスマートトランシーバ（あるいはPLT-22、PLT-21、またはPLT-20）使用デバイスの通信パラメータを指定します。

Aバンドにおいては、利用可能な2つの通信パラメータ間の違いは、電源管理機能が選択されているかどうかだけです。

Cバンドの場合、4つの標準タイプは、CENELECプロトコルの状態および電源管理機能の選択を除いて互いに同一です。

表8.2には、6つの標準トランシーバタイプとOOGAS ICピンを使用して、PLスマートトランシーバのさまざまな機能がどのように選択されるかが示されています。

表 8.2 標準PLスマートトランシーバタイプ

標準トランシーバ タイプ	バンド	CENELEC プロトコル	電源管理	
			OOGASピンは V COREピンに接続	OOGASピンは指定 された抵抗に接続
PL-20A	A	Disable	Disable	Disable
PL-20A-LOW	A	Disable	Disable	Enable
PL-20C	C	Enable	Disable	Disable
PL-20N	C	Disable	Disable	Disable
PL-20C-LOW	C	Enable	Disable	Enable
PL-20N-LOW	C	Disable	Disable	Enable

## NodeBuilder ツールサポート

PL スマートトランシーバは、NodeBuilder のバージョン 3.1（またはそれ以降）開発ツールによってサポートされていますが、NodeBuilder 開発ツールの古いバージョンや LonBuilder 開発者ワークベンチではサポートされていません。

### PLスマートトランシーバのチャネル定義

次の図に示すように、NodeBuilder Hardware Template Properties のページでは、適切な標準トランシーバタイプ（PL-20N、PL-20C、PL-20N-LOW、PL-20C-LOW、PL-20A、または PL-20A-LOW）が選択されています。

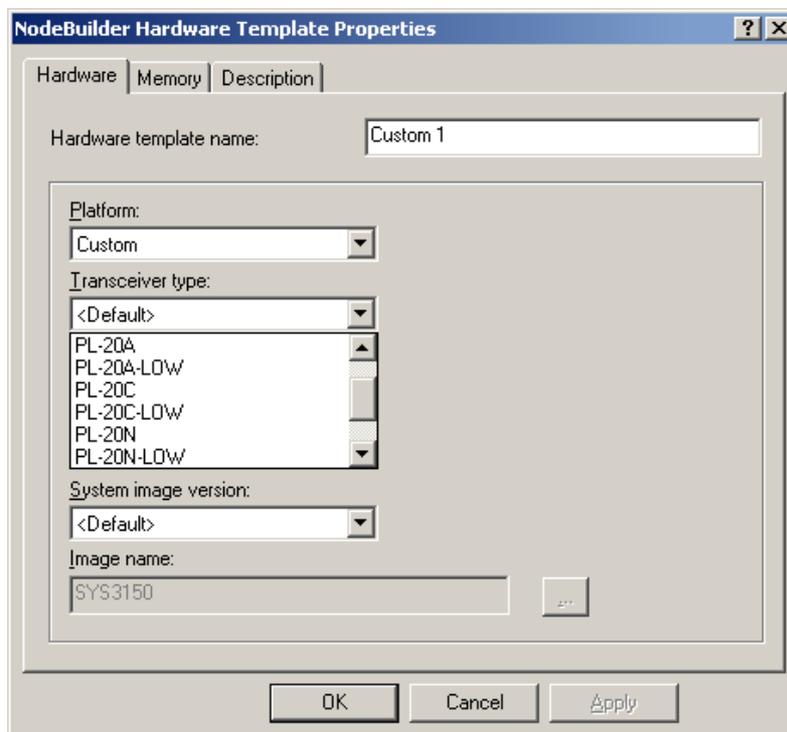


図8.1 NodeBuilder ツールを使って標準トランシーバタイプを選択する

## PLスマートトランシーバのクロック速度の選択

Aバンドで動作する場合、PLスマートトランシーバは6.5536MHzのクリスタルを使用しているため、図8.2の左側に示すように6.5536MHzを選択する必要があります。Cバンド動作では10MHzのクリスタルを使用するため、図8.2の右側に示すようにクロック速度として10MHzを選択する必要があります。

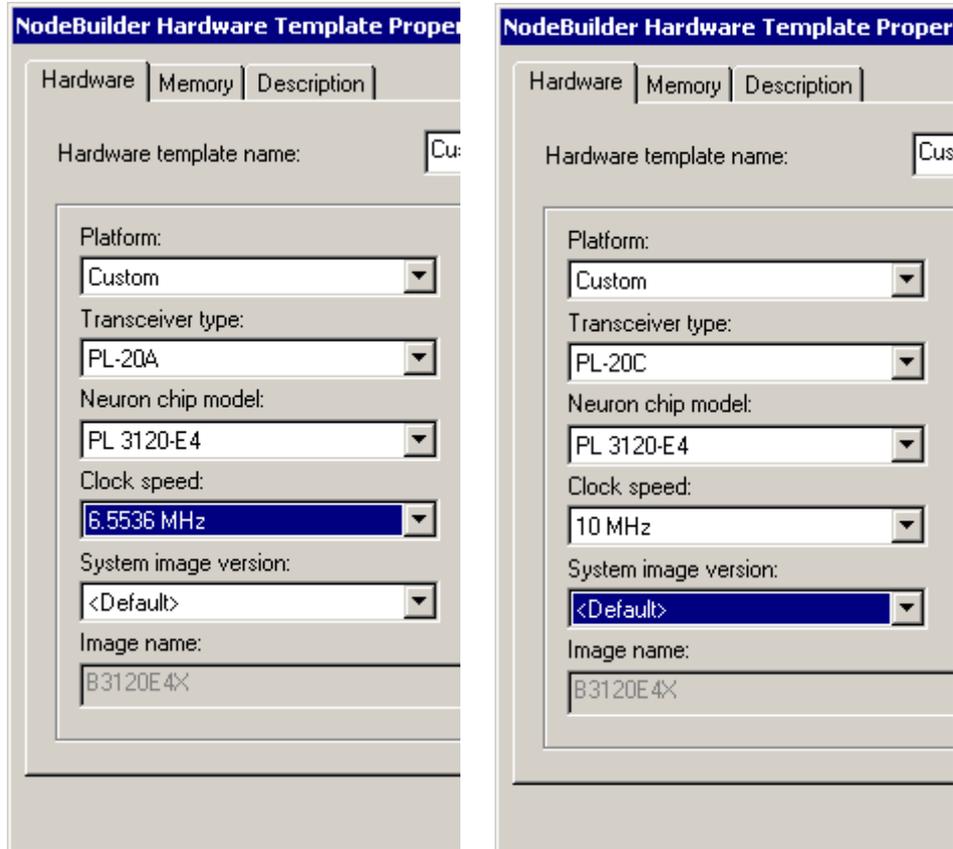


図8.2 NodeBuilderにおけるクロック速度の選択

## アプリケーションおよびトランシーバタイプパラメータのダウンロード

開発者は、PLスマートトランシーバをデバイスにハンダ付けし、**NodeLoad** コマンドラインアプリケーションを使ってアプリケーションとさまざまなトランシーバパラメータをロードすることができます（このアプリケーションは、エシェロン社のウェブサイト（[www.echelon.com/downloads](http://www.echelon.com/downloads)）から無料でダウンロードできます。「Search for software」のドロップダウンメニューで「OEM Components」を選択してください。）

NodeLoadアプリケーションでは、PLスマートトランシーバのパラメータをPL-20Nデフォルトパラメータからサポートされている他の任意のパラメータに変更することができます。たとえば、PL-20NパラメータをPL-20Aに変更することができます。通信バンドはクリスタルの周波数6.5536MHzによって決まるので、PL-20Nパラメータを持ったPL-20AデバイスはAバンドネットワークで通信します。

**注記：**パラメータをPL-20Aに変更する場合は、PLスマートトランシーバ使用デバイスを最終カスタマに出荷する前に、これらのデバイスのパラメータを必ず変更するようにしてください。

蓄電式電源を持ったデバイスを作る場合は、プログラミング中またはLOWトランシーバパラメータがロードされる前に電源が10Vを下回らないように注意する必要があります。これは、電源ライン入力で高い電圧を使うか、ポゴピンを使ってデバイスに $V_A$ 電圧を直接印加することで実現できます。NodeLoadを使う場合、まずPLスマートトランシーバのパラメータをダウンロードしてください。これらのパラメータをダウンロードする方法については、NodeLoadのユーザズガイドを参照してください。

NodeLoadは、エシエロン社の標準電力線ネットワークインターフェースをサポートしています。最大ダウンロード時間は、PL 3120スマートトランシーバの使用可能な全EEPROMメモリを消費するアプリケーションの場合、約30秒間です。生産ラインが10秒ごとに1台のデバイスを完成する能力を備えている場合は、生産量に合わせるために3台のNodeLoadステーションが必要です。異なるステーション間の通信を防ぐために、各NodeLoadステーションにおいてアイソレータが必要となります。このアイソレータの作成方法については、第7章の「電力線テストアイソレータ」節を参照してください。



A

---

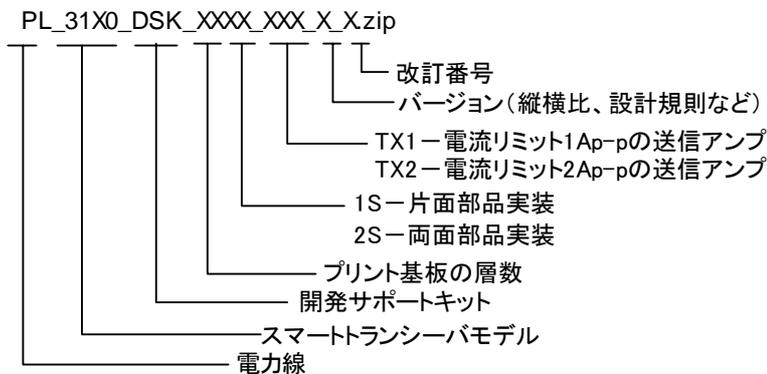
# PLスマートトランシーバ の参照設計

## はじめに

この付録では、PL 3120およびPL 3150スマートトランシーバの外部ディスクリットインターフェース回路の作り方について説明します。このインターフェース回路には、レシーバのフロントエンドフィルタおよびトランスミッタのパワーアンプが含まれています。このインターフェースは、主に抵抗とコンデンサから成る約50個の部品で構成されています。エシエロン社では、インターフェース回路を実現するための総合的なPL開発サポートキット (DSK) を提供しています。次節にはDSKの内容が記載されています。DSKの購入については、エシエロン社の販売代理店にお問い合わせください。

多様な数のプリント基板 (PCB) トレース層、片面あるいは両面部品アセンブリ、さまざまな縦横比および送信電流要件を持つアプリケーションに対応するため、DSKとともに参照設計も提供されています。各PLスマートトランシーバ参照設計パッケージは、その設計に関連するすべてのファイルを含むZIPアーカイブファイルからなっています。これらのZIPファイルの命名法を下の図に示します。

図A.1 参照設計の命名法



## 開発サポートキットの内容

PLスマートトランシーバDSKには、次の参照設計が含まれています。

参照設計番号	PLスマートトランシーバモデル	説明	ZIPファイル名
1200	PL3120-E4T10	2層 23X63mm PCB レイアウト、片面部品実装、および1Ap-pの送信アンブ	PL_3120_DSK_2L1S_TX1_1_R.zip
1201	PL3120-E4T10	4層 20X38mm PCB レイアウト、両面部品実装、および1Ap-pの送信アンブ	PL_3120_DSK_4L2S_TX1_1_R.zip
1204	PL3120-E4T10	2層 33X38mm PCB レイアウト、片面部品実装、および1Ap-pの送信アンブ	PL_3120_DSK_2L1S_TX1_2_R.zip
1205	PL3150-L10	4層 36X49mm PCB レイアウト、両面部品実装、および1Ap-pの送信アンブ	PL_3150_DSK_4L2S_TX1_1_R.zip
1209	PL3120-E4T10	4層 31X53mm PCB レイアウト、両面部品実装、および2Ap-pの送信アンブ	PL_3120_DSK_4L2S_TX2_1_R.zip
1217	PL3120-E4T10	4層 17X38mm PCB レイアウト、両面部品実装、および1Ap-pの送信アンブ (SIP設計)	PL_3120_DSK_4L2S_TX1_2_R.zip
1218	PL3150-L10	4層 48X66mm PCB レイアウト、両面部品実装、および2Ap-pの送信アンブ	PL_3150_DSK_4L2S_TX2_1_R.zip

## 参照設計ファイル

参照設計ごとに次のファイルが提供されています。

ファイル名	説明
Using the Reference Layouts.pdf	参照レイアウトファイルの使い方を説明します。
Using the Viewer.txt	無料のP-CAD <sup>®</sup> ビューアーの入手方法と使い方を説明したテキストファイル
012-xxxx-01_R_Schematic.dsn	OrCAD <sup>®</sup> フォーマットの回路図設計ファイル
012-xxxx-01_R_Schematic.pdf	PDFフォーマットの回路図設計ファイル
012-xxxx-01_R_BOM.doc	MS Wordフォーマットの部品一覧表
012-xxxx-01_R_BOM.pdf	PDFフォーマットの部品一覧表
373-xxxx-01_R_Layout_PCAD.pcb	P-CADフォーマットのレイアウト設計ファイル
373-xxxx-01_R_Layout_PCAD_Graphic.pcb	P-CADフォーマットのトレース可能なレイアウトイメージ
373-xxxx-01_R_Layout_PADS_Graphic.pcb	PADS/PowerPCBフォーマットのトレース可能なレイアウトイメージ
373-xxxx-01_R_Layout_OrCAD_Graphic.max	OrCADフォーマットのトレース可能なレイアウトイメージ
373-xxxx-01_R_Layout_DXF.zip	DXFフォーマットのレイアウト層プロット (ZIPファイル)
373-xxxx-01_R_Layout_ASCII.pcb	ASCIIフォーマットのレイアウト設計
373-xxxx-01_R_Layout_PDIF.zip	P-CADデータベース交換 (PDIF) フォーマットのレイアウト設計 (ZIPファイル)
373-xxxx-01_R_Layout_Gerbbers.zip	Gerberフォーマットのレイアウト層プロット (ZIPファイル)
373-xxxx-01_R_Layout.pdf	PDFフォーマットのレイアウト層プロット

## 参照設計仕様

### 1Ap-p送信アンプを使った参照設計の推奨動作条件

記号	パラメータ	最小値	標準値	最大値	単位
V <sub>ARX</sub>	V <sub>A</sub> 電源電圧－受信モード	8.5	12.0	18.0	V
V <sub>ATX</sub>	V <sub>A</sub> 電源電圧－送信モード (1)	10.8	12.0	18.0	V
T <sub>A</sub>	周囲温度 (1)	-40	25	85	°C

### 1Ap-p送信アンプを使った参照設計の電気的特性 (推奨動作条件範囲全域)

記号	パラメータ	最小値	標準値	最大値	単位
I <sub>ARX</sub>	V <sub>A</sub> 電源電流－受信モード		350	500	μA
I <sub>ATX</sub>	V <sub>A</sub> 電源電流－送信モード		120	250	mA
V <sub>OTX</sub>	送信出力電圧		7		V <sub>p-p</sub>
I <sub>TXLIM</sub>	送信出力電流リミット		1.0		A <sub>p-p</sub>
Z <sub>INRX</sub>	入力インピーダンス－受信モード (推奨RXCOMPインダクタ使用)		500		Ω
Z <sub>OTX</sub>	出力インピーダンス－送信モード		0.9		Ω
V <sub>PMU</sub>	電源管理－上側V <sub>A</sub> しきい値	11.2	12.1	13.0	V
V <sub>PML</sub>	電源管理－下側V <sub>A</sub> しきい値	7.3	7.9	8.6	V

**注記：** 条件によっては最小値が8.5Vになる場合もあります (詳細は第5章を参照)。  
 次の式が満たされている必要があります。  $V_{ATXAVE} < (150 - T_{AMAX}) / (8 * D_{MAX})$   
 ここで： V<sub>ATXAVE</sub> = 送信中の平均V<sub>A</sub>電源電圧  
           T<sub>AMAX</sub> = 最大周囲温度 (摂氏)  
           D<sub>MAX</sub> = デバイスの最大送信デューティサイクル (10進法表現)

2Ap-p送信アンプを使った参照設計の推奨動作条件

記号	パラメータ	最小値	標準値	最大値	単位	
V <sub>ARX</sub>	V <sub>A</sub> 電源電圧－受信モード	Aバンド	12.0	15.0	18.0	V
		Cバンド	14.25	15.0	18.0	
V <sub>ATX</sub>	V <sub>A</sub> 電源電圧－送信モード (1)	Aバンド	12.0	15.0	18.0	V
		Cバンド	14.25	15.0	18.0	
T <sub>A</sub>	周囲温度 (1)	-40	25	85	°C	

2Ap-p送信アンプを使った参照設計の電気的特性 (推奨動作条件範囲全域)

記号	パラメータ	最小値	標準値	最大値	単位
I <sub>ARX</sub>	V <sub>A</sub> 電源電流－受信モード		350	500	μA
I <sub>ATX</sub>	V <sub>A</sub> 電源電流－送信モード		160	500	mA
V <sub>OTX</sub>	送信出力電圧	Aバンド		8	V <sub>p-p</sub>
		Cバンド		10	
I <sub>TXLIM</sub>	送信出力電流リミット		2.0		Ap-p
Z <sub>INRX</sub>	入力インピーダンス－受信モード (推奨RXCOMPインダクタ使用)		500		Ω
Z <sub>OTX</sub>	出力インピーダンス－送信モード		0.7		Ω
V <sub>PMU</sub>	電源管理－上側V <sub>A</sub> しきい値	11.2	12.1	13.0	V
V <sub>PML</sub>	電源管理－下側V <sub>A</sub> しきい値	7.3	7.9	8.6	V

注記: 次の式が満たされている必要があります。V<sub>ATXAVE</sub> < (150-T<sub>AMAX</sub>)/(8\*D<sub>MAX</sub>)

ここで: V<sub>ATXAVE</sub> = 送信中の平均V<sub>A</sub>電源電圧

T<sub>AMAX</sub> = 最大周囲温度 (摂氏)

D<sub>MAX</sub> = デバイスの最大送信デューティサイクル (10進法表現)

## 開発サポートキット (DSK) 参照設計を使用することの重要性

高性能無線機が回路の変更にも敏感であると同様、各DSK参照設計は、レイアウトの変化にも敏感な非常に広いダイナミックレンジを持った回路です。レイアウトが適正であれば、各スマートトランシーバは数百マイクロボルトの信号を受信する能力を持っています。レイアウトが間違っていると、受信能力が著しく阻害され、そのデバイスは多くのアプリケーションに対して不適となります。

各電力線スマートトランシーバは、数ボルトの信号を送信し、低インピーダンスの電力線に1~2アンペアの電流を流す能力を持っています。適正な放熱とアンプの安定性を全動作温度範囲で保証するには、回路レイアウトに注意する必要があります。普通の回路レイアウト技法は、100kHzを超える変調信号を大電流で送るのには不十分です。送信アンプの電圧と電流によってかなりの発熱が起こるため、部品の配置およびPCBの銅面の設計には注意を払う必要があります。

DSK参照設計には、上記のすべての問題を考慮した電気的解析と熱的解析がなされています。エシエロン社が完全に認証したDSK参照設計には、次のような特徴があります。

- 極端な電圧および温度における数百時間の認証テストに合格している。
- 数十回のスマートトランシーバ設置の経験から作成された 26 ポイントのチェックリストに適合することが検証されている。
- 部品公差および環境条件の全域にわたって重要なパフォーマンスパラメータがすべて維持されることが、数千回のモンテカルロシミュレーションで確かめられている。

DSK 参照レイアウトから外れると、下の表に示す1つ以上の領域でパフォーマンスが劣化する可能性が非常に高くなります。

重要な領域	ガイドラインに従わなかった結果どうなるか	原因	ソリューション
電磁的適合性(伝導放射、サージ、ESDなど)	<ul style="list-style-type: none"> <li>複数回のPCBレイアウト反復</li> <li>サージ耐性の劣化による現場での故障</li> <li>ESD耐性の劣化による間欠的な動作</li> </ul>	<ul style="list-style-type: none"> <li>DSK参照設計からの逸脱</li> <li>第4章および第5章のカップリング回路および電源に関する推奨事項の無視</li> </ul>	<ul style="list-style-type: none"> <li>変更せずに承認済みのDSK参照設計を使用します。</li> <li>第4章および第5章の推奨事項に従います。</li> <li>エシエロン社と共に設計レビューを実施します。</li> </ul>
熱管理	<ul style="list-style-type: none"> <li>現場における早期の故障</li> </ul>	<ul style="list-style-type: none"> <li>参照レイアウト上の部品の相対位置の変更</li> <li>参照レイアウトの銅面の量または位置の変更</li> <li>参照設計の銅面に「熱リリーフ」を追加</li> </ul>	<ul style="list-style-type: none"> <li>変更せずに承認済みのDSK参照設計を使用します。</li> <li>エシエロン社と共に設計レビューを実施します。</li> </ul>
通信パフォーマンス	<ul style="list-style-type: none"> <li>標準的な試験室条件で機能するデバイスでも、ワークケースの現場条件では通信できないことがあります。</li> </ul>	<ul style="list-style-type: none"> <li>参照設計の一部のPCBトラックの相対的な近接度または寸法の変更</li> <li>第4章および第5章のカップリング回路および電源に関する推奨事項の無視</li> </ul>	<ul style="list-style-type: none"> <li>変更せずに承認済みのDSK参照設計を使用します。</li> <li>第4章および第5章の推奨事項に従います。</li> <li>クリスタル発振器の周波数が第2章に説明されているようにセンタリングされていることを検証します。</li> <li>第7章に説明されているように通信パフォーマンスを検証します。</li> <li>エシエロン社と共に設計レビューを実施します。</li> </ul>

DSK 参照設計を変更せずに使い、第2、4、5章のカップリング回路、電源およびクリスタル発振器の推奨事項に従うと、上記のすべての問題を避けることができます。

エシエロン社は、開発者がDSKとデータブックの要件を順守できるように、総合的な設計レビューサービスを提供しています。設計レビューの実施については、エシエロン社の販売代理店または営業員にお問い合わせください。



**B**

---

# PLスマートトランシーバ 使用デバイスの チェックリスト

## はじめに

この付録には、PL 3120およびPL 3150スマートトランシーバを使ったデバイスがその能力をフルに発揮できるようになるためのチェックリストが含まれています。付録Bのページはすべて複製可能です。

## デバイスチェックリスト

PLスマートトランシーバDSK（開発サポートキット）参照設計レイアウトおよび部品

項目	完了時チェック	説明
1		使用する参照設計： _____ その参照設計文書を含むZIPアーカイブファイルの名前を使ってください (PL_3120_DSK_2L1S_TX1_1_Rなど)。
2		参照設計レイアウトからの逸脱がある場合はそれを説明してください。 <b>注記</b> ：参照レイアウトからの逸脱が許容されるのは十分な理由のある特別な場合のみです。
3		PCBの素材、層厚、メッキ、およびビアの隙間に関する参照設計パッケージの製作ノートからの逸脱がないかどうかをチェックしてください。
4		物理的なユニットがある場合、その製品は第7章の通信パフォーマンス能力を満たしている。
5		デバイスが電源管理を利用している場合、OOGASピンが適切な分圧器を通じてV <sub>A</sub> に接続されている。
6		非電源管理デバイスの場合、OOGASがVCOREに接続されており、R24とR25が取り付けられていない。 <b>注記</b> ：その設計が電源管理のEnableとDisableをサポートする必要がある場合は、OOGASを直接VCOREに接続せずに、単にR24とR25を参照設計に示されているように配置してください。電源管理機能のEnable/Disableは、NodeBuilderでデバイスを構築するときに正しい通信チャンネルを選ぶことによって行われます。
7		PLスマートトランシーバの動作クロック周波数を測定した結果、クリスタルの変動と温度変動を考慮しても周波数の公称値からの全偏差が±200ppmを超えない程度に公称値（Aバンドなら6.5536MHz、Cバンドなら10.0000MHz）に近い。
8		BIU、PKD、およびTXON信号が使用されている場合、これらはグラウンドに接続された直列電流制限抵抗を通じて低電流（≤12mA）LEDに接続されている。
9		BIU、PKD、およびTXON信号が使用されている場合、これらはESD保護ダイオードに接続されている（良好なグラウンド接続を持たない金属筐体またはプラスチック筐体が用いられている場合）。
10		CLKSELピンがHIGHに接続されている。
11		PL 3120スマートトランシーバ使用デバイスにおいて、ICTModeピンがグラウンドに接続されている。
12		PL 3150スマートトランシーバ使用デバイスにおいて、PCBのICT用にICTModeトライステート制御が必要な場合は、ICTModeピンが5kΩ抵抗を通じてLOWに接続されている。
13		フラッシュメモリが使用されている場合、オープンコレクタ付きの低電圧割り込み（LVI）回路（Dallas Semiconductor DS1233-5など）を使ってリセット信号がPL 3150スマートトランシーバに供給されている。
14		外部発振器が使用されている場合、オープンコレクタ付きの低電圧割り込み（LVI）回路（Dallas Semiconductor DS1233-5など）を使ってリセット信号がPL 3150またはPL 3120スマートトランシーバに供給されている。
15		リセットラインにその他のオープンドレインデバイスが接続されている場合、100pF以上1000pF未満のコンデンサがRESETとグラウンドの間に接続されている。このコンデンサはPLスマートトランシーバのRESETピンのできるだけ近くに配置してください。

PL 3120およびPL 3150スマートトランシーバのプログラミング

16		<p>そのトランシーバの正しい標準トランシーバタイプがNodeBuilder 3.1およびそれ以降のバージョンによって定義されている。</p> <p>1. Aバンド 電源管理Disable : PL-20A 電源管理Enable : PL-20A-LOW</p> <p>2. Cバンド 電源管理Disable : CENELEC Disable : PL-20N CENELEC Enable : PL-20C</p> <p>電源管理Enable : CENELEC Disable : PL-20N-LOW CENELEC Enable : PL-20C-LOW</p>
----	--	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

PL 3120およびPL 3150スマートトランシーバのカップリング回路一般

17		意図されているアプリケーションに適したカップリング回路が選択されており、カップリング回路の部品が第4章の該当する仕様を満たしている。
18		ライン・アース間カップリング回路のC101が最大値の場合、グラウンド漏れ電流が最大3.5mA（または現地の電気規則およびGFI/RCDが要求する値）になる。
19		カップリング回路経路にフィルタまたは電源トランスがない。フェライトビーズがカップリング回路経路にある場合、コモンモード接続（第6章参照）になっているか、あるいは100kHzにおいて $<0.5\ \Omega$ であることが検証されている。
20		送信アンプの出力とAC本線の間の回路トレースは、幅 $\geq 1.3\text{mm}$ 、長さ $\leq 13\text{cm}$ である。
21		AC本線接続部から送信アンプへの信号リターントレースは、銅面または幅 $\geq 1.3\text{mm}$ である。
22		C103とD101の間のトレースは、幅 $\geq 1.3\text{mm}$ 、長さ $\leq 1.3\text{cm}$ である。
23		C103と送信アンプの $V_A$ 入力間のトレースは、幅 $\geq 1.3\text{mm}$ 、長さ $\leq 2.5\text{cm}$ である。
24		EMI抑制用（必要な場合）に付加したコンデンサが表6.1の要件を満たしている。

PL 3120およびPL 3150スマートトランシーバのカップリング回路の主な仕様

25		<p>ヒューズF101</p> <p>定格6Aまたは6.3A（DC抵抗<math>\leq 0.1\ \Omega</math>） 時間遅延（スローブロー） 適正な電圧定格</p>
26		<p>コンデンサC101</p> <p>適正な値が選択されている 公差10%（またはそれ以下） 適正な電圧定格（ACとDCの両方） 安全リスティンク（適用される場合）</p>
27		<p>コンデンサC102</p> <p>金属化ポリエステル（サージ耐性用に必要） 適正な値が選択されている 適正な公差 適正な電圧定格</p>
28		<p>インダクタL101（非トランス絶縁カップリング回路の場合）</p> <p>値1.0mH DC電流定格<math>\geq 30\text{mA}</math> DC抵抗<math>\leq 14\ \Omega</math> 公差10%（またはそれ以下）</p>
29		<p>インダクタL103</p> <p>適正な値 DC電流定格<math>\geq 30\text{mA}</math> DC抵抗<math>\leq 55\ \Omega</math> 公差10%（またはそれ以下）</p>

第B章 – PLスマートトランシーバ使用デバイスの チェックリスト

30		L101とL103の間隔は>1cm (非トランス絶縁カップリング回路の場合)
31		インダクタL102 (必要な場合) 第4章に従って適正な値が選択されている。 適正なDC電流定格 適正なDC抵抗 公差10% (またはそれ以下) トロイド型インダクタを使用する場合は、飽和が起きないような電流定格を選択する (インダクタ例の2~3倍)
32		トランスT101 (トランス絶縁カップリング回路の場合) 適正な仕様を持ったトランスが選択されている。 付録Cを参照
33		抵抗R101 放電時間要件を満たす適正な値 適正電圧定格 (>1.4*AC <sub>RMS</sub> ライン電圧) 高電圧テスト用の適正な定格 (適用される場合)
34		コンデンサC103 適正な値 電圧定格 ≥ DC16V 100kHzにおける適正なESR 適切な寿命定格の検証
35		PROTECT回路 バリスタを使用する場合： 適正なACまたはDC電圧定格 アプリケーション要件を満たすサージ定格については第4章を参照 バリスタの挿入よりも前に高電圧テストが実施され、グラウンド漏れ電流が問題にならないという条件が満たされない限りアースに接続されるバリスタは不可。 ヒューズのライン側にガス放電チューブが使用されている場合
36		ダイオードD101 逆ブレイクダウン ≥ 50V 順方向電圧 ≤ 1.3V @ 1A @ 25C サージ電流 ≥ 30Aを8.3ms 逆リカバリ ≤ 200ns 逆電流 ≤ 100uA @ 100C 標準容量 ≤ 40pF @ 4V
37		ダイオードD102 逆ブレイクダウン ≥ 50V 順方向電圧 ≤ 1.0V @ 1A @ 25C サージ電流 ≥ 30Aを8.3ms 逆リカバリ ≤ 25ns 逆電流 ≤ 100uA @ 100C 標準容量 ≤ 40pF @ 4V
38		リニア電源が使用されている場合、残りの電源チェックリストのセクションを省略すること

PL 3120およびPL 3150スマートトランシーバ電源-スイッチングタイプ

39		スイッチング電源の好適な動作周波数がライン、負荷、環境、および生産条件の全域にわたって46kHz ~ 55kHzまたは90kHz~110kHz、または>155kHz。
40		電源入力と電力線の間直列インダクタを使ってスイッチング電源の入力段に起因する減衰を避けている。
41		直列インダクタの値は第5章に説明されているアプリケーション要件に応じて選択されている。
42		インダクタの電流定格は、飽和せずに電源のピーク消費電流をサポートするために十分な値である。
43		インダクタをスイッチング電源の入力容量と合成したときのLC共振周波数は、通信周波数範囲 (Aバンドでは70kHz~90kHz、Cバンドでは110kHz~138kHz) の2倍以上または1/2以下である。
44		電源は第5章の入力ノイズマスクに適合する。

45		電源の測定は、その電源を国際無線障害特別委員会勧告16、第二版[3]の第8.2.1節に指定されている人工本線ネットワークに接続することで行われる。測定は予想される電源の負荷の全範囲で行なうこととし、CISPR 16に記載されているように150kHz以下では測定帯域幅200Hz、150kHz以上では帯域幅9kHzで、CENELEC EN 50065-1およびFCC測定規格に従って実施される。
----	--	------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

PL 3120およびPL 3150スマートトランシーバ電源一般

46		電源入力の適切なノイズマスクを満たさない電源の場合、局所的なスイッチング電源と電力線との間にフィルタが取り付けられている。
47		電源に予想される負荷の全範囲で測定した場合、第5章の出力ノイズマスクがすべて満たされている。

EMIおよびESD設計

48		高周波数回路トレースからの「漏洩」容量が、保護パターンによって抑制されている。
49		製品筐体がデバイスの回路基板にESD衝撃を放電してしまう可能性を最小にするように設計されている。製品筐体がプラスチック製の場合は、PCB上の保護されていない回路が、筐体の接合部に隣接しないようにすること。PCBが、プラスチック製筐体の接合部の近くに接触していない。
50		ユーザーが触れることのできる回路は、ESD電流がその回路の敏感な部品を迂回してグラウンドにシャントされるように明示的にクランプされている。
51		コネクタ、ダイオード、およびデカップリングコンデンサのすべてが、ESD電流が敏感な回路を迂回してシャントされるように配置されている。
52		第6章に説明されているように、FCCパート15および/またはCENELEC EN 50065-1に適合することを検証するために伝導放射が適正に測定されている。
53		測定には、国際無線障害特別委員会勧告16の第二版で指定されている50Ω/(50μH+5Ω)ラインインピーダンス安定化ネットワーク (LISN) が使用されている。
54		トランシーバの送信信号が測定装置にとって過負荷にならないように、適切なアッテネータが使用されている。全測定セットの残存ノイズフロアは仕様リミットの少なくとも10dB下であることが検証されている (FCC測定用にはノイズフロアが38dBμV未満、CENELEC EN 50065-1測定用にはノイズフロアが36dBμV未満)。
55		国際無線障害特別委員会勧告16で指定されているように、測定は準尖頭値検出器および平均検出器によって行われる。
56		FCC測定は指定どおりに9kHzの帯域幅フィルタを使って測定される。CENELEC EN 50065-1測定の場合、150kHzより下では帯域幅200Hzのフィルタが指定され、150kHzより上では帯域幅9kHzのフィルタが指定される。
57		EN 50065-1検証の場合、すべてのテストはRohde & Schwarz EMIテストレーバESH30 (または適正なフィルタスカートを持った相当品テスト) をマニュアルモードに設定して、第5章に説明されているセットアッププログラムを使って行われる。別方法として、適切な外部フィルタを備えたHewlett Packard装置を使うこともできる。

製品品質検査 - 電磁耐性および通信パフォーマンス

58		製品は、CEI/IEC 1000-4-5またはIEEE C62.41-1991の該当するレベルまでテストされている。
----	--	------------------------------------------------------------

PL 3150外部メモリインターフェース

59		PL 3150使用デバイスの場合、メモリ負荷容量および時間要件が満たされることをチェックすること。
----	--	---------------------------------------------------



C

---

# 絶縁トランスの仕様

## 12 $\mu$ H漏洩トランスの仕様

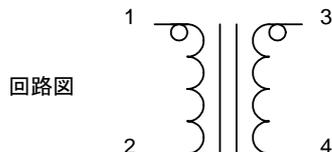


表 C.1 12 $\mu$ H漏洩トランスの電氣的仕様

パラメータ	最小値	標準値	最大値	単位
巻き数比率(1-2):(3-4)		1.0		
DC抵抗1-2、3-4			0.20	$\Omega$
磁気インダクタンス1-2 ドライ、@100kHz、1V <sub>RMS</sub>	0.75	1.0	1.25	mH
磁化インダクタンス1-2、 ウェット、@100kHz、1V <sub>RMS</sub> 、プラスDC15mA	0.75			mH
漏洩インダクタンス1-2 (3-4短絡) @100kHz、1V <sub>RMS</sub>	10.8	12.0	13.2	$\mu$ H
巻き線容量1-2			30	pF
巻き線間容量 1-2短絡から3-4短絡へ			30	pF

機械的情報、温度範囲、安全機関適合性、および価格については、販売業者にお問い合わせください。

表 C.2 12 $\mu$ H漏洩トランスの販売業者と部品番号

販売業者	連絡先	部品番号
EXCEL Electric Corporation www.excelelectriccorp.com	電話 : +1-954-581-2330 ファックス : +1-954-581-2355	EXL-324 EXL-165 EXL-165S
Precision Components, Inc. www.pcitransformers.com	電話 : +1-630-462-9110 ファックス : +1-630-469-9901	0505-0671
Tamura Corporation www.tamuracorp.com	電話 : +81-492-84-5721 (日本) +1-800-472-6624 (米国) ファックス : +81-492-84-9106	PLP01
Transpower Technologies, Inc. www.trans-power.com	電話 : +1-775-852-0140 ファックス : +1-775-852-0145	TTI7143

## 低漏洩トランスの仕様

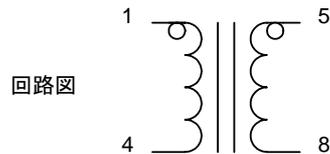


表 C.3 低漏洩トランスの電気的仕様

パラメータ	最小値	標準値	最大値	単位
巻き数比率(1-4):(5-8)		1.0		
DC抵抗1-4、5-8			0.35	$\Omega$
磁気インダクタンス1-4 ドライ、@100kHz、1V <sub>RMS</sub>	0.75	1.45	1.8	mH
磁化インダクタンス1-4、 ウェット、@100kHz、1V <sub>RMS</sub> 、プラスDC30mA	0.75			mH
漏洩インダクタンス1-4 (3-4短絡) @100kHz、1V <sub>RMS</sub>			1.0	$\mu$ H
巻き線容量1-4			25	pF
巻き線間容量 1-4短絡から5-8短絡へ			50	pF

下記に記載されたパーツの機械的情報、温度範囲、安全機関適合性、および価格については、販売業者にお問い合わせください。

表 C.4 低漏洩トランスの販売業者と部品番号

販売業者	連絡先	部品番号
Precision Components, Inc. www.pcitransformers.com	電話 : +1-815-476-9881 ファックス : +1-815-476-2535	0505-0821
Transpower Technologies, Inc. www.trans-power.com	電話 : +1-775-852-0140 ファックス : +1-775-852-0145	TTI8231



**D**

---

# 製造テストおよび 取り扱いのガイドライン

## 生産テストのガイドライン

本節では、標準的なデバイスで使用されているPL 3120およびPL 3150スマートトランシーバの物理層機能に関する生産テスト手順について説明します。以下に説明する生産テスト手順は、AバンドおよびCバンドで動作するPLスマートトランシーバ使用デバイスに適用されます。

### 物理層生産テスト

#### 生産テストの方法

本書で説明されている生産テストの方法は、設計検証テストを目的としているわけではありません。PLスマートトランシーバが組み込まれている製品の通信パフォーマンスは、すでに他の方法で完全に検証されているものと仮定されています（詳細については第7章を参照）。生産テストの目標は以下のとおりです。

- PLスマートトランシーバの周りの部品に製造上の欠陥があるデバイスを識別すること。
- 大量生産の過程で電力線通信パフォーマンスを著しく損なうような部品代替があったかどうかを識別すること。これは部品を代替したときに行う製品設計の再審査に代わるものではありません。製品設計の再審査は必須のものと考えべきです。

#### 回路内テスト (ICT)

物理層パフォーマンス検証テストでは、生産機能テストの前にテスト対象ユニット (UUT) のプリント基板 (PCB) のICTが100%すでに実施されていることが前提となります。受動的部品に対してはICT装置の精度テストが実施され、トランジスタに対しては基本的なダイオードおよびベータテストが実施され、ICに対しては入力ダイオードテストを通じてハンダ接合部が検証され、またPCBトレースに対しては連続性と短絡が検証されます。PLスマートトランシーバ開発サポートキット (DSK) とともに提供されている推奨PCBレイアウトは、100%のICTを可能にするテストポイントを含んでいます。

100%のICTが不可能な場合には、本書に説明されている以外の拡張物理層テストを行う必要があります。

ICT中、PLスマートトランシーバのRESETピンは接地しておく必要があります。これにより、チップが初期ブートシーケンスを実行するのを防げます。初期ブートが許可されるのは、VDD5電源およびRESET信号の完全性が全ブートシーケンスにわたって保証されている場合だけです。ブートプロセスとタイミングの詳細については、第2章を参照してください。

#### トランスミッタパフォーマンスの検証

トランスミッタのパフォーマンスは、テスト対象ユニットがパケットを低インピーダンス負荷 ( $5\Omega$  程度) に送信するように仕向け、許容範囲の振幅 ( $V_{RMS}$ ) の信号が生成されることを確かめることにより検証されます。

#### パケット送信の開始

デバイス内のPLスマートトランシーバがパケットを送信するように仕向ける簡単な方法は、標準的なネットワーク管理コマンドを使用して、電力線を通じてそのトランシーバと通信することです。たとえば、照会IDメッセージがデバイスに送られると、PLスマートトランシーバは本線接続部を通じて「ID応答」メッセージで応答します。PLスマートトランシーバが未構成状態であり、認証がEnableされていない場合、この方法は必ず成功します。一方、UUTが構成済みの状態で、認証がEnableされている場合は、パケットを送るために別の方法が必要です。

## 測定時間ウィンドウ

ID 応答メッセージでは、前文の後に、製造時に PL スマートトランシーバにプログラムされた一意の Neuron ID (NID) が続きます。各 NID は一意です。そのため、PL スマートトランシーバからの送信信号の  $V_{RMS}$  値を送信済みパケットの全体で平均すると、ユニットごとに異なってきます。再現可能なテストを行うには、ID 応答メッセージの最初の前文部分でのみ UUT の送信信号振幅 ( $V_{RMS}$ ) を測定する必要があります。前文は、ID 応答メッセージの最初の 35 ビット時間です。パケットの最初の 35 ビット時間は、すべての UUT について同一であり、それぞれの一意的な NID と無関係です。

最初の 35 ビット時間の持続時間は、その製品が A バンドで動作しているか C バンドで動作しているかによって異なります。

A バンドの 35 ビット時間 = 9.70ms

C バンドの 35 ビット時間 = 6.36ms

## 送信信号振幅

5  $\Omega$  程度の負荷に対して送信する（本章で後述）場合、サービスピンメッセージの最初の 35 ビット時間中に PL スマートトランシーバが生成する出力信号は約 1.00  $V_{RMS}$  にする必要があります（推奨されているテストリミットについては表 D.1 を参照）。これらの推奨テストリミットには、通常の生産のばらつきが盛り込まれているので、それ以上の保護帯を付け加えないでください。

## レシーバのパフォーマンスの検証

レシーバのパフォーマンスは、非常に減衰されたメッセージを UUT に送り、デバイスがそのメッセージに応答することを確認することにより検証されます。減衰されたメッセージは、エシエロン社から提供された波形ファイルを使って適切な D/A カード (National Instruments PXI-6070E など) から送信されます。減衰されたメッセージへの UUT の応答は、トランスミッタのパフォーマンスの検証に使うことができます。応答パケットの内容を確認する必要はありません。UUT が応答パケットを送信したということは、減衰されたメッセージが正しく受信されたことを意味します。

UUT が許容される感度でパケットを受信できることを保証するため、受信テストのメッセージは、下記のインターフェース回路（この場合は減衰 =  $20\log_{10}(V_{in}/V_{out})$ ）を使って 70dB ほど減衰されます。

## A/D、D/Aを使ったテストシステム

本節では、送信と受信パフォーマンス検証の両方を行える実用的なテストシステムについて説明します。

### ハードウェアの説明

このテストシステムには次の部品が必要です。

- データ収集ハードウェア
- テストインターフェース基板

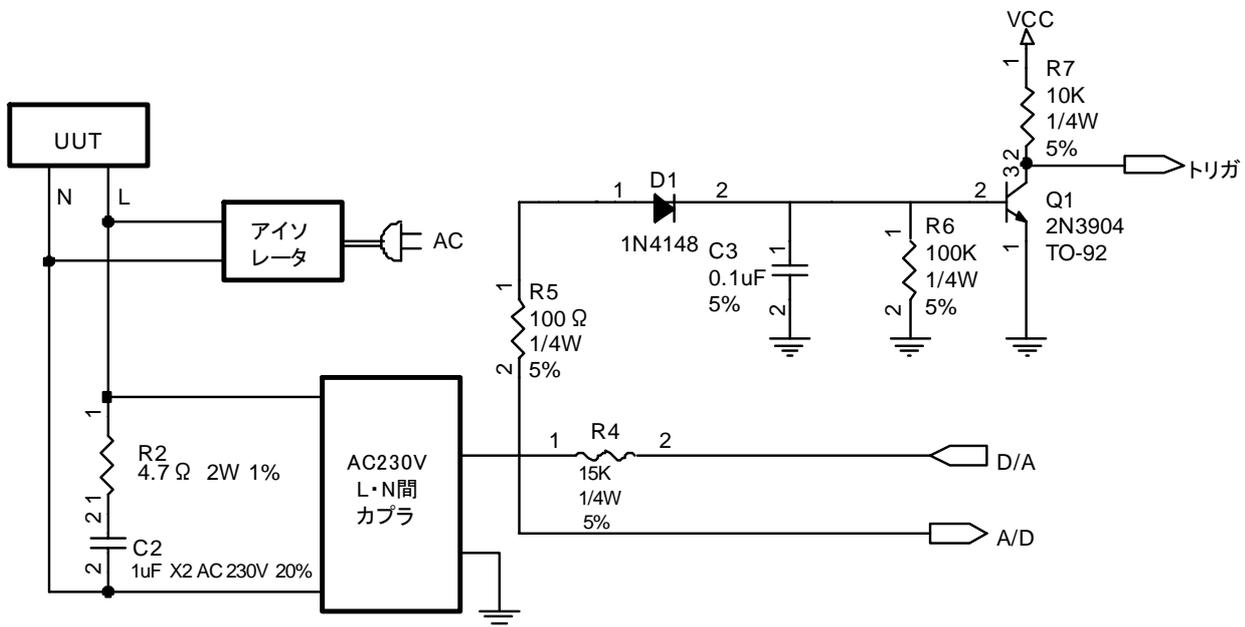
### データ収集ハードウェア

- スループットが 1 Ms/s 以上で、レファレンス付きのシングルエンド、 $\pm 10\text{V}$  レンジに設定された 12 ビット A/Dチャネル
- スループットが1 Ms/s以上で、 $\pm 10\text{V}$ レンジに設定された12ビットD/Aチャネル
- 外部トリガ能力を持ったデータ収集チャネル

このテストシステムの要件を満たすデータ収集ハードウェアとしては、PXI-6070EまたはPCI-MIO-16E-1などのNational Instrumentsのマルチファンクションカードが挙げられます。

### テストインターフェース基板

カスタムインターフェース基板を設計することにより、70dBの減衰、約 $5\ \Omega$ の負荷、カップリング回路、およびUUTから送信されたパケットでトリガするピーク検出器回路を提供する必要があります。図D.1は必要なテストインターフェース基板の図です。



図D.1 テストインターフェース基板

このインターフェース基板は次の3つの機能を持っています。

- 1 $\mu$ F の X2 コンデンサと直列に接続された 4.7 $\Omega$  の抵抗が、送信レベル検証テスト用の低インピーダンス負荷を提供します。
- 4.7 $\Omega$  抵抗および 1 $\mu$ F X2 コンデンサと 15k $\Omega$  抵抗の組み合わせにより、D/A コンバータが受信モードテストで生成するメッセージに 70dB の減衰を与えます。
- 1N4148 ダイオード、0.1 $\mu$ F コンデンサ、100k $\Omega$  抵抗、100 $\Omega$  抵抗、および 2N3904 トランジスタは、UUT が D/A コンバータからのメッセージへの応答としてパケットを送信したときに A/D コンバータをトリガする、ピーク検出機能を提供します。

絶縁のためには、第7章の図7.1に示されるような回路を使用してください。電力線カップリング用に、エシロン社のモデル番号78200-221のようなL・N間カプラを使用する必要があります。

## ソフトウェアの説明

### 入力ファイル

照会IDブロードキャストメッセージを表すAバンドまたはCバンド波形を含むファイルをソフトウェアへの入力として使用してください。このファイルは振幅をボルト単位で表し、その間隔は1 $\mu$ sです。PLスマートトランシーバを備えた任意の未構成デバイスは、適切な波形に対して自己のNeuron IDを送信することで応答します。これらのファイルは、エシロン社のウェブサイトから無料でダウンロードできます ([www.echelon.com/downloads](http://www.echelon.com/downloads)) にアクセスし、「Search for software」ドロップダウンメニューから「OEM Components」を選択してください。

### テストプロセス

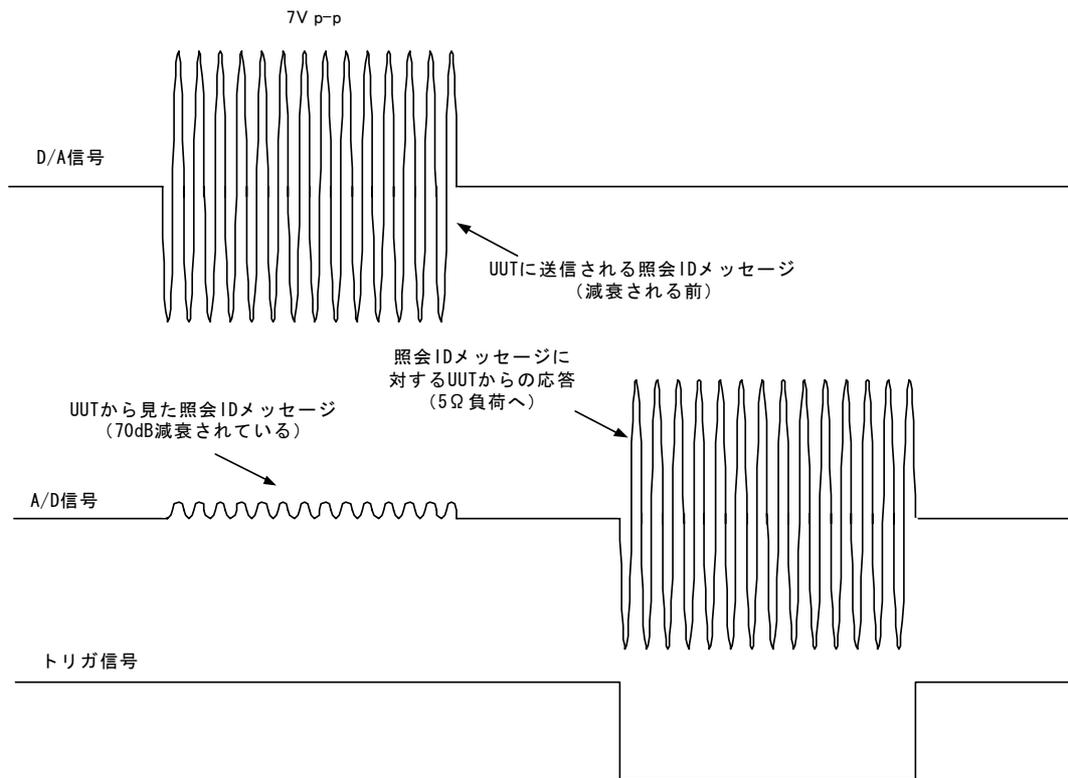
1. 波形を waveform[] と呼ばれるバッファに読み込みます。
2. 減衰回路の手前で 7Vp-p の波形が得られるように、適正なゲインとオフセットを適用して波形をスケールングします。この波形はゼロボルトを中心とすべきです。
3. インターフェース基板からのトリガ信号の受信後ただちに UUT からの応答を捕捉できるように、A/D チャンネルの準備を整えておきます。
4. A/D チャンネルを通じて waveform[] 信号を UUT に出力します。
5. UUT はこの信号を受信すると、Neuron ID を含むメッセージで数百ミリ秒後に応答します。
6. 応答を捕捉して、最初の 35 ビットの  $V_{RMS}$  値を計算します。この測定ウィンドウは A バンドでは 9.7ms、C バンドでは 6.36ms にしてください。

$V_{RMS}$  値のテストリミットは、電力線デバイスで使用されているアンプのタイプおよびトランシーバのチャンネルタイプによって決まります。下の表に推奨リミットを示します。

表 D.1 さまざまなトランシーバタイプのテストリミット

デバイスで使用されているトランシーバタイプ	$V_{RMS}$
Cバンド7V p-p/1A	0.8 (単相L・E間カップリングでは0.65)
Cバンド10V p-p/2A	1.3
Aバンド7V p-p/1A	0.8
Aバンド8V p-p/2A	1.2

図D.2に、送信信号、受信信号、およびトリガ信号の完全なテストサイクルを示します (図中の信号レベルとタイミングは説明用であり、実際の比率に忠実ではありません)。



図D.2 テストサイクルの波形

### ミスメッセージに関する注記

PLスマートトランシーバの適応型感度アルゴリズムのため、正常なトランシーバが1つのパケットを見逃すことは統計上可能です。そのため、最初のテストが不合格の場合は、テストをあと2回繰り返す必要があります。3回の試行で2回合格であれば、そのUUTは正常です。UUTが3回のテストのうち1回しか合格しない場合、そのUUTは合格と不合格のどちらにもとれる状態とみなすべきであり、第7章の手順で検証することが必要となります。3回以上のテストで不合格になるUUTは不良です。

### テストシステムの検証

本節では、電力線の物理層テストの再現性を保証するための生産テストシステムに対して実施すべき検証手順を説明します。この手順には以下が含まれています。

- テストシステム内のバックグラウンドノイズの検証
- 照会IDメッセージの振幅の検証

### バックグラウンドノイズの検証

テストシステムのアイソレータの機能の1つは、電力線または生産テストシステムの他の部分からのノイズがテスト結果に影響するのを防ぐことです。このテストシステムは、PLスマートトランシーバのフル振幅送信と比べて約70dB減衰された照会IDメッセージを送信するように設計されています。この70dB減衰メッセージの振幅は約2mVp-pです。UUTがこの低レベル信号を受信できることを確実に検証するには、テストシステムのバックグラウンドノイズレベルが減衰メッセージより6~9dB以上低くなっている必要があります。ここで重

要なのは、PLスマートトランシーバの通信周波数付近のノイズのみがテストの再現性に影響するという点を理解することです。電力線アイソレータは、PLスマートトランシーバの通信周波数に近い周波数のノイズを除去するように設計されています。ただし、このアイソレータは、低周波数ノイズをPLスマートトランシーバの送信レベルの80dB下まで抑制するわけではありません。実際、1Vp-p程度の低周波数ノイズがアイソレータを通過することは珍しくありません。したがって、バックグラウンドノイズレベルは周波数選択的な計測器で測定する必要がありますということになります。

テストシステムのバックグラウンドノイズを検証する最もシンプルな方法は、1台のPLCA-22（電力線通信アナライザ、エシエロン社のモデル58022）をUUTの本線接続部に接続することです。PLCA-22の信号強度LED棒グラフを使用すると、ノイズレベルを監視することができます。信号強度メーターには、トランシーバの内部デジタル信号処理によってフィルタリングされた後の本線信号レベルが表示されます。つまり、このメーターには、PLスマートトランシーバに影響するノイズのみが示されます。バックグラウンドノイズの読み取り値は-78dB以下に収まるべきです。つまり、最大限の場合でも、信号強度メーターの-78dB LEDのみが点灯する程度でなければなりません。その他のLEDが点灯する場合は、第7章に示すようにアイソレータを検証してください。

### 照会IDメッセージ振幅の検証

「バックグラウンドノイズの検証」節で説明したように、減衰した照会IDメッセージの振幅は約2mVp-pであるべきで、本線には振幅がこれを大きく上回る低周波数ノイズが存在することになります。このため、減衰したメッセージをオッシロスコープのような広帯域の計測器で直接測定するのは実際的ではありません。ノイズの存在が原因で、パケットによるトリガが非常に難しくなります。この問題もまた、周波数選択的な計測器を使用すること解決できます。

PLCA-22を使って照会IDメッセージの減衰を検証し、PLCA-22の信号強度メーターを使って照会IDメッセージの振幅を監視することができます。ただし、この場合は照会IDメッセージしか観測する必要がないため、UUTをテストシステムから切り離す必要があります（照会IDに対するUUTからの応答は観測されるべきではありません）。UUTを切り離して生産テストを実行し、PLCA-22の信号強度LEDを監視してください。照会IDが送信されると、-72dB LED以下のLEDが点灯するはずですが、これ以外のLEDが点灯する場合（-66dB LEDが点灯する場合など）は、減衰回路が適正に動作していないことを意味します。検証する必要がある重要な素子は、4.7Ω抵抗（R2）、15kΩ抵抗（R4）、およびアイソレータの出カインピーダンスを設定する50Ω抵抗です。

## 製造取り扱いガイドライン

本節では、PLスマートトランシーバのハンダ付けおよび取り扱いに関する製造ガイドラインを提供します。

### 基板のハンダ付けに関する考慮事項

すべてのPLスマートトランシーバチップは、IPC/JEDEC規格J-STD-020Cのレベル3分類となっています。これは、湿気除けのバッグから取り出してから、気温30℃未満および湿度60%未満の条件で、168時間のフロアライフを持っていることを意味します。リフロー中の層間剥離を防ぐために、湿気除けのバッグから取り出したパーツは168時間以内にリフローする必要があります。そうしないと、ドライバークする必要性が生じます。ドライバークが必要な場合は、IPC/JEDEC J-STD-033Aに従って、パーツを24時間125℃でバークしてください。PLスマートトランシーバの出荷時に使用されているチューブとリールは、ドライバークには耐えられません。PLスマートトランシーバの出荷に使われているトレイは、125℃までのドライバークに耐えます。

PLスマートトランシーバの最大ピーク温度は235℃です。最適なリフロープロファイルに関する推奨事項については、ハンダメーカのデータシートを参考にしてください。選択した実際のリフロープロファイルには、235℃というピーク温度の制限を盛り込んでおく必要があります。

可能な場合は、適正に校正された機械的な取り扱い（pick and place）装置でだけパーツを取り扱うようにしてください。パーツを手で取り扱っていると、リードが曲がる危険が増えます。リードが曲がっていると、基板レベルのアセンブリプロセス中に回路がオープンになったり短絡したりする可能性があります。

## 取り扱い上の注意と静電放電

すべてのCMOSデバイスは絶縁ゲートを持っており、この絶縁ゲートは電圧ブレイクダウンの可能性があります。PLスマートトランシーバのゲートオキサイドは、ゲートソース電位が約10Vのときブレイクダウンします。これらのデバイスの高インピーダンスゲートは、オンチップネットワークにより保護されています。ただし、こうしたオンチップネットワークがICにESD耐性を与えるわけではありません。実験室でのテストによると、これらのデバイスは一度の超高電圧放電で故障する可能性があります。また、それより低い電圧の放電が数回あった場合も、累積効果で故障する可能性があります。

静電損傷を受けたデバイスは、損傷の程度によってさまざまな動作を示します。最も深刻な損傷が加わった場合は、入力または出力が完全に破壊され、 $V_{DD5}$ またはGNDに短絡になったり、オープン回路になったりするため、簡単に検出されます。これが起こると、デバイスはもう機能しなくなります。損傷がそれほどひどくない場合、間欠的な障害や性能の劣化という形で表面化するため、発見が困難です。静電損傷があると、しばしば漏れ電流が増加します。

CMOS デバイスは、取り扱い中に発生する可能性がある大きな静電放電に対して耐性がありません。たとえば、ワックスをかけた床の上を歩く人が生成する静電気の電圧は4kV～15kV（湿度、表面状態などに依存）です。

### CMOSデバイス

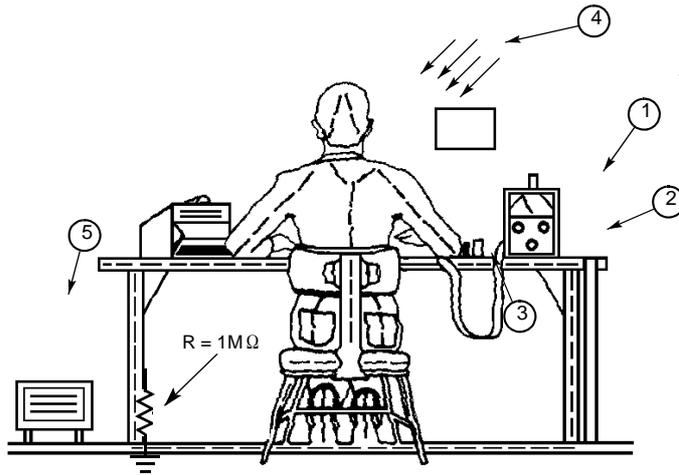
CMOSデバイスで作業する場合は、以下のステップに従ってください。

- データシートで指定されている最大定格を超えないでください。
- デバイスのすべての未使用入力は、 $V_{DD5}$ またはGNDに接続してください。
- すべての低インピーダンス装置（パルス発生器など）は、デバイスの電源を投入するまでは CMOS 入力に接続しないでください。同様に、このタイプの装置は電源をオフにする前に接続を切ってください。
- CMOS デバイスを含む回路基板は、そのデバイスを拡張したものに過ぎないので、同様の取り扱い上の注意が適用されます。デバイスに直接配線されているコネクタに接触すると損傷の恐れがあります。プラスチックラッピングは避けてください。PC基板への外部接続がCMOS集積回路のピンに来ている場合、入力または出力と直列に抵抗を用いてください。この直列抵抗を使用すると、直列抵抗と入力容量によって形成される時間定数だけ遅延が付加されることに注意してください。この抵抗は、PC基板が抜き取られて静電気発生物と接触したときの損傷を抑える働きをします。
- すべての CMOS デバイスは、保管時と輸送時に静電気防止材料の中に入れてください。デバイスを普通の発泡プラスチック、Styrofoam<sup>®</sup>（発泡スチロール）、プラスチックトレイなどに入れないでください。デバイスは使用するまで元の容器から出さないでください。
- すべての CMOS デバイスは接地されたベンチ表面に置き、作業者はデバイスを取り扱う前に自分の身体を接地してください。これは、作業者がベンチ表面に対して帯電している可能性があるため必要です。皮膚に接触させた手首ストラップの使用を強くお勧めします。図D.3を参照してください。
- ナイロンなどの静電気発生材料がCMOS回路と接触しないようにしてください。
- 取り扱いが自動化されている場合、デバイス、ベルト、またはボードの動きにより高レベルの静電気が発生していることがあります。イオン化エアブローまたは室内加湿器を用いて静電気の蓄積を抑えてください。ICパッケージの上面、底面、および側面と接触する機械部分はすべて接地された金属その他の導電材料でできていなければなりません。
- 冷却用にCO<sub>2</sub>を用いたコールドチャンバーにはバフフルを装備し、デバイスは導電性材料の中または上に置くか、PCBにハンダ付けされている必要があります。
- ピンをまっすぐにしたり、手でハンダ付けしたりする必要がある場合は、使用する装置にグランドストラップを付け、ハンダ付けタイ (tie) が接地されていることを確認してください。

## ウェーブ溶接機操作

ウェーブ溶接機操作中は以下の手順に従ってください。

- ウェーブ溶接機装置のハンダポットと導電性コンベヤシステムは、アースグラウンドに接地されていなければなりません。
- ローディングおよびアンローディングワークベンチの上面は、導電性のものを用い、アースグラウンドに接地してください。
- 作業者は前述の注意事項を守る必要があります。
- 完成したアセンブリは、次のステーションに移動する前に静電防止容器に入れてください。



注記：

1. ベンチトップの作業エリアを覆う1/16インチの導電シート素材。
2. グラウンドストラップ。
3. 皮膚と接触する手首ストラップ。
4. 静電気中和器（作業対象に向けられたイオン化エアブロー）。主に直接的な接地を実施しにくいところで使用。
5. 室内加湿器。主に湿度が45%未満のところで使用。注意事項：通常、建物の暖房および冷房システムは空気を乾燥させるため、建物内の湿度は屋外の湿度よりも低くなります。

図D.3 標準的な製造作業台

## 基板洗浄操作

基板洗浄操作中は以下の手順に従ってください。

- 蒸気洗浄器（vapor degreaser）およびバスケットは必ずアースグラウンドに接地する。作業者も同様に接地する。
- ブラシやスプレー洗浄は行わない。
- アセンブリを静電気防止容器から出したら、直ちに蒸気脱脂洗浄器に入れる。
- 洗浄されたアセンブリを洗浄バスケットから出したら直ちに静電気防止容器に入れる。
- 高速空気や溶剤、被覆剤の使用は、モジュール回路が接地されていて、静電気除去装置がモジュールに向けられているときにのみにする。ライン監視用に静電気検出メーターの使用を強くお勧めします。
- ライン監視用に静電気検出メーターの使用を強くお勧めします。
- 装置仕様では、ユーザーに CMOS デバイスの存在について注意を喚起し、デバイスやモジュールの保守や交換の際には事前にこの仕様を理解することを要件とする。
- 通電中には CMOS デバイスをテストソケットに挿入したり、取り出したりしない。テスト用デバイスの電源すべてについて、過渡電圧がないことを確認する。
- パラメータテストまたは機能テストを行う前に、装置セットアップの電圧極性が正しいことを再確認する。
- 輸送用レールを再使用しないこと。長く使用を続けると静電防止被覆が劣化します。
- 手首ストラップと装置記録の保守と検査を定期的に行う。手首ストラップの不良動作は見逃されることがあります。また、装置を動かしたときにグラウンドが正しく再接続されない場合があります。

## 参考文献

Total Control of the Static in Your Business

以下から入手できます。

Static Control Systems Div.

Box ELB-3, 225-4S

3M Center

St. Paul, MN 55144

1-800-328-1368

1-612-733-9420 (米国ミネソタ州)

**E**

---

## 参考文献

この付録では、本書の作成に当たって参考とした文献などの一覧を示します。

- [1] 47CFR15, Subpart B (Unintentional Radiators), *U.S. Code of Federal Regulations*, (旧FCC Part 15, Subpart J).
- [2] CENELEC EN 50065-1:2001 "Signaling on low-voltage electrical installations in the frequency range 3kHz to 148.5kHz" Part 1 "General requirements, frequency bands and electromagnetic disturbances,".
- [3] *CISPR 16, CISPR Specification for radio interference measuring apparatus and measurement methods*, International Electrotechnical Commission, Second edition, 1987.
- [4] *IEC 61000-4-2 Electromagnetic compatibility, Part 4:Testing and measurement techniques - Section 2:Electrostatic discharge immunity test*, International Standard, First Edition, 1995-01.
- [5] *IEC 61000-4-3 Electromagnetic compatibility, Part 4:Testing and measurement techniques - Section 3:Radiated, radio-frequency, electromagnetic field immunity test*, International Standard, First Edition, 1995-02.
- [6] *IEC 61000-4-4 Electromagnetic compatibility, Part 4:Testing and measurement techniques - Section 4:Electrical fast transient/burst immunity test*, International Standard, First Edition, 1995-01.
- [7] *IEC 61000-4-5 Electromagnetic compatibility, Part 4:Testing and measurement techniques - Section 5:Surge immunity test*, International Standard, First Edition, 1995-02.
- [8] *IEEE C62.41-1991, IEEE Recommended Practice on Surge Voltage in Low-Voltage AC Power Circuits*.
- [9] *Noise Reduction Techniques in Electronic Systems*, 2nd ed., by Henry W. Ott, John Wiley & Sons, 1988.
- [10] "ESD as an EMI Problem....How to Prevent and Fix," *EDN Designer's Guide to Electromagnetic Compatibility*, EDN Supplement, pp.S23-S29, 1/20/94.
- [11] *Protection of Electronic Circuits from Overvoltages*, by Ronald B. Standler, John Wiley & Sons, 1989.
- [12] *Conducted Emissions Measurements on Power Line Transceiver Products:Test method for performing EN 50065-1 conducted emissions tests using Hewlett-Packard EMI test receivers*, May 19, 1995. このアプリケーションノートは下記から入手できます。

Clay Bilby, EMC Applications Engineer  
Santa Rosa Systems Division  
Hewlett-Packard Company  
1400 Fountaingrove Parkway  
Santa Rosa, California, 95403  
代表番号 : 707/577-1414  
直通番号 : 707/577-3842  
ファックス : 707/577-5329