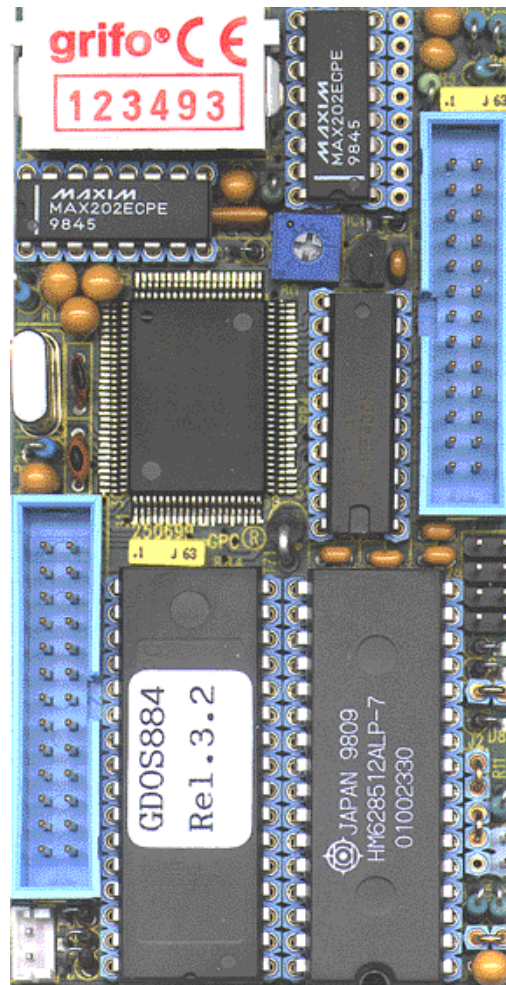


GPC[®] 884

General Purpose Controller Am188ES

MANUALE TECNICO



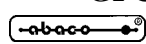
grifo[®]
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it



<http://www.grifo.it> <http://www.grifo.com>
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC[®] 884 Edizione 3.20 Rel. 9 Settembre 1999

, GPC[®], grifo[®], sono marchi registrati della ditta grifo[®]

GPC[®] 884

General Purpose Controller Am188ES

MANUALE TECNICO

Modulo Intelligente nel formato 100x50 mm; CPU AM188ES da 26 a 40 MHz; 512K EPROM o FLASH; 512K RAM; EEPROM seriale fino ad 8 Kbits; 2 linee seriali in RS 232 di cui una settabile in RS 422 o RS 485; Doppio Baud Rate Generator, settabile da software, fino a 115 KBaud; 16 linee di I/O TTL settabili da software, con possibilità di definibile la funzionalità di alcune di queste linee, associandole alle periferiche della scheda (DMA, Timer Counter, Interrupt, ecc.); 11 linee di A/D converter da 12 bits con fondo scala 0÷2,5 V o 0÷5V; 3 Timer Counter da 16 bits; Jumper leggibile da software; 2 DMA; Real Time Clock; Interfaccia **ABACO**[®] I/O BUS; Watch Dog; Circuiteria di back up con batteria al Litio a bordo scheda; Power failure in grado di generare interrupt; Unica tensione di alimentazione a 5Vdc, basso consumo; Vasta disponibilità di software di base e di tools di sviluppo; Contenitore opzionale, per guide ad Ω tipo DIN 46277-1 e DIN 46277-3.

grifo[®]

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

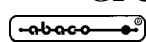
<http://www.grifo.com>

Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



GPC[®] 884

Edizione 3.20 Rel. 9 Settembre 1999

, GPC[®], grifo[®], sono marchi registrati della ditta grifo[®]

Vincoli sulla documentazione grifo® Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della **grifo®**.

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo®** non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.

grifo® altresì si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo®**.

Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:

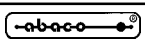


Attenzione: Pericolo generico



Attenzione: Pericolo di alta tensione

Marchi Registrati

 , GPC®, **grifo®** : sono marchi registrati della **grifo®**.

Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

INTRODUZIONE.....	1
VERSIONE SCHEDA	1
INFORMAZIONI GENERALI	2
PROCESSORE DI BORDO	3
CLOCK.....	3
MEMORIE	4
COMUNICAZIONE SERIALE	4
ABACO® I/O BUS	4
LINEE DI I/O DIGITALI	6
REAL TIME CLOCK	6
WATCH DOG	6
A/D CONVERTER	6
SPECIFICHE TECNICHE	8
CARATTERISTICHE GENERALI	8
CARATTERISTICHE FISICHE	8
CARATTERISTICHE ELETTRICHE	9
INSTALLAZIONE	10
CONNESSIONI CON IL MONDO ESTERNO	10
CN2 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP	11
CN1 - CONNETTORE PER ABACO® I/O BUS	11
CN3A - CONNETTORE PER LINEA SERIALE A	12
CN3B - CONNETTORE PER LINEA SERIALE B	14
CN5 - CONNETTORE PER I/O DEL PIO E A/D CONVERTER	18
CN5A - CONNETTORE PER A/D CONVERTER	20
INTERFACCIE PER I/O DIGITALI.....	22
TASTO DI RESET	22
INTERFACCIAMENTO DEGLI I/O CON IL CAMPO	23
TRIMMER E TARATURE	23
JUMPERS.....	24
JUMPERS A 2 VIE	26
JUMPERS A 3 VIE	27
JUMPERS A 5 VIE	27
RESET E WATCH DOG	28
INTERRUPTS	28
COMUNICAZIONE SERIALE	29
SELEZIONE MEMORIE	30
POWER FAILURE	30
PIN MULTIPLEXATI	31
BACK UP	32
DESCRIZIONE SOFTWARE.....	33

MAPPAGGI ED INDIRIZZAMENTI	35
MAPPAGGIO DELLE RISORSE DI BORDO	35
MAPPAGGIO PERIFERICHE IN I/O	36
MAPPAGGIO ABACO® I/O BUS	37
MAPPAGGIO MEMORIE	37
DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO	39
WATCH DOG	39
JUMPER CONFIGURAZIONE INPUT UTENTE	39
EEPROM SERIALE	39
A/D CONVERTER	40
REAL TIME CLOCK	40
PERIFERICHE DELLA CPU	41
SCHEDE ESTERNE	42
BIBLIOGRAFIA	45
APPENDICE A: DISPOSIZIONE JUMPERS E DRIVERS	A-1
APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO	B-1
APPENDICE C: MONTAGGIO MECCANICO DELLA SCHEDA	C-1
APPENDICE D: SCHEMI ELETTRICI	D-1
APPENDICE E: INDICE ANALITICO	E-1

INDICE DELLE FIGURE

FIGURA 1: SCHEMA A BLOCCHI	5
FIGURA 2: FOTO SCHEDA	7
FIGURA 3: PIANTE COMPONENTI	7
FIGURA 4: CN2 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP	10
FIGURA 5: CN1 - CONNETTORE PER ABACO® I/O BUS	11
FIGURA 6: CN3A - CONNETTORE PER LINEA SERIALE A	12
FIGURA 7: SCHEMA DI COMUNICAZIONE SERIALE	13
FIGURA 8: CN3B - CONNETTORE PER LINEA SERIALE B	14
FIGURA 9: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232	15
FIGURA 10: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 422	15
FIGURA 11: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485	15
FIGURA 12: ESEMPIO COLLEGAMENTO IN RETE IN RS 485	16
FIGURA 13: DISPOSIZIONE CONNETTORI, TRIMMERS, BATTERIA, MEMORIE, ECC.	17
FIGURA 14: CN5 - CONNETTORE PER I/O DEL PIO E A/D CONVERTER	18
FIGURA 15: SCHEMA DI COLLEGAMENTO LINEE DI I/O DEL PIO	19
FIGURA 16: CN5A - CONNETTORE PER A/D CONVERTER	20
FIGURA 17: SCHEMA D'INGRESSO A/D CONVERTER	21
FIGURA 18: TABELLA RIASSUNTIVA JUMPERS	24
FIGURA 19: DISPOSIZIONE JUMPERS	25
FIGURA 20: TABELLA JUMPERS A 2 VIE	26
FIGURA 21: TABELLA JUMPERS A 3 VIE	27
FIGURA 22: TABELLA JUMPERS A 5 VIE	27
FIGURA 23: TABELLA DI SELEZIONE MEMORIE	30
FIGURA 24: TABELLA PIN MULTIPLEXATI	31
FIGURA 25: STATO DEI PIN DI CN5 DURANTE POWER-ON O RESET	32
FIGURA 26: COLLEGAMENTO HARDWARE DEI DISPOSITIVI	35
FIGURA 27: TABELLA INDIRIZZAMENTO I/O	36
FIGURA 28: MAPPAGGIO DELLE MEMORIE	38
FIGURA 29: SCHEMA DELLE POSSIBILI CONNESSIONI	43
FIGURA A1: DISPOSIZIONE JUMPERS PER MEMORIE	A-1
FIGURA A2: DISPOSIZIONE JUMPERS PER COMUNICAZIONE SERIALE	A-1
FIGURA A3: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE	A-2
FIGURA C1: QUOTE PER MONTAGGIO IN PIGGY-BACK	C-1
FIGURA C2: MONTAGGIO IN PIGGY-BACK	C-2
FIGURA C3: MONTAGGIO SU GUIDA WEIDMULLER	C-3
FIGURA D1: SCHEMA ELETTRICO DI ESPANSIONE PPI	D-1
FIGURA D2: SCHEMA ELETTRICO SPA 03	D-2
FIGURA D3: SCHEMA ELETTRICO QTP 16P	D-3
FIGURA D4: SCHEMA ELETTRICO QTP 24P 1/2	D-4
FIGURA D5: SCHEMA ELETTRICO QTP 24P 2/2	D-5
FIGURA D6: SCHEMA ELETTRICO IAC 01	D-6
FIGURA D7: SCHEMA ELETTRICO DI I/O SU ABACO® I/O BUS	D-7
FIGURA D8: SCHEMA ELETTRICO INTERFACCIA BUS	D-8



INTRODUZIONE

L'uso di questi dispositivi é rivolto - **IN VIA ESCLUSIVA** - a personale specializzato.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - **IN VIA ESCLUSIVA** - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'**ASSISTENZA TECNICA AUTORIZZATA**, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - **PRIMA DI COMINCIARE AD OPERARE** - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 884** versione **250699** e successive. La validità delle informazioni riportate é quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sul fianco sinistro della CPU nel lato componenti o sotto la CPU nel lato stagnature).

INFORMAZIONI GENERALI

La scheda **GPC® 884** (**General Purpose Controller Am188ES 4 series**), che fa parte della **Serie 4** delle CPU con ingombro di 100x50 mm, è un potente modulo di controllo, della fascia **Low-Cost**, in grado di funzionare autonomamente come periferica intelligente e/o remotata in una più vasta rete di telecontrollo e/o di acquisizione. La **GPC® 884** può essere fornita di un supporto in plastica provvisto degli attacchi per le guide ad **Omega** tipo **DIN 46277-1** e **DIN 46277-3**. In questo modo non è necessario l'uso di un **Rack**, ma la scheda può essere montata, in modo più economico, direttamente nel quadro elettrico. Viste le ridotte dimensioni della scheda **GPC® 884**, questa può essere montata nella stessa guida in plastica che contiene le periferiche di I/O, come ad esempio le **ZBx xxx**, formando in questo modo un unico elemento **BLOCK**. Un'altra tipica applicazione della scheda **GPC® 884**, è quella di essere adoperata come un modulo di CPU da montare in **Piggy-Back** sulle schede periferiche realizzate direttamente dall'utente. La **GPC® 884** è basata sulla potente e nota **CPU Am188ES AMD**, codice compatibile con qualsiasi **PC**, e dispone di notevoli risorse hardware. Particolarmente interessante è la disponibilità di 11 linee di **A/D Converter** da 12 bits. La estrema modularità e la notevole completezza di risorse hardware della scheda **GPC® 884** le consentono di poter affrontare applicazioni anche di notevole complessità con estrema disinvoltura. La notevole facilità di impiego è determinata anche dalla ricca serie di tools di sviluppo software con linguaggi ad alto livello che, in un ambiente molto amichevole ed efficiente, consentono di poter lavorare al meglio utilizzando unicamente un normale PC. Tra questi tools una particolare attenzione va rivolta all'ambiente integrato di sviluppo composto dal **GET 188** in abbinamento ad un efficiente **Compilatore Romato PASCAL**, oppure al tools che consente di **Romare**, quanto sviluppato con i normali **Compilatori C** della **Borland**, disponibili sui **PC**. Grande attenzione è stata posta alla più delicata delle operazioni, quella del **Debugger**, rendendo disponibili dei programmi che consentono di effettuare il **Debugger Simbolico/Sorgente Remoto** direttamente sulla scheda, con caratteristiche analoghe al **Turbo Debugger Borland**. Per una rapida prototipizzazione si può ricorrere alle ottime schede **SPA 03** ed **SPA 04** su cui è possibile montare, anche in **Piggy-Back**, la **GPC® 884**. La presenza del connettore **ABACO® I/O BUS** consente inoltre di poter pilotare direttamente le schede di I/O della serie **ZBR xxx** e **ZBT xxx**, e tramite **ABB 03**, **ABB 05**, ecc. è possibile gestire tutte le numerose schede periferiche disponibili sul **BUS ABACO®**.

- Modulo Intelligente **ABACO® BLOCK**, della **Serie 4**, nel formato 100x50 mm.
- Contenitore, opzionale, per guide ad Ω tipo **DIN 46277-1** e **DIN 46277-3**.
- **CPU AM188ES** da **26** a **40 MHz** con **512K EPROM** o **FLASH** e **512K RAM**.
- Circuiteria di **back up** per **RAM** e **RTC** tramite batteria al **LITIO** interna ed esterna.
- **EEPROM** seriale fino ad 8 Kbytes.
- **1 Jumper** leggibile da software con funzioni di **RUN/DEBUG** mode.
- **2** canali di **DMA** indipendenti completamente settabili via software.
- **2** linee seriali in **RS 232** di cui una settabile in **RS 422** od in **RS 485**.
- **Doppio Baud Rate Generator**, settabile da software, fino a **115 KBaud**.
- **16** linee di **I/O TTL** settabili da software, su connettore a 26 vie con pin out compatibile con standard **I/O ABACO®** da 20 vie. Via software è definibile la funzionalità di alcune di queste linee, associandole alle periferiche della scheda (**DMA**, **Timer Counter**, **Interrupt**, ecc.).
- **11** linee di **A/D converter** da 12 bits con fondo scala **0÷2,5 V** o **0÷5V**.
- **Condensatori di filtro** su **4** delle 11 linee di conversione A/D.
- **Real Time Clock** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi. Può essere programmato per emettere un **INT** con cadenze definibili da software.

- **3 Timer Counter** da 16 bits e **generatori** di impulsi, gestibili da software.
- Connettore **ABACO® I/O BUS** da 26 vie per espansione nei confronti di schede periferiche.
- **Watch Dog** resettabile da software.
- Sezione di **Power Management** in grado di ridurre i consumi in base alle esigenze operative via software.
- Circuiteria di **power failure** in grado di generare interrupt.
- Unica tensione di alimentazione a **5Vdc**, basso consumo.
- Protezione della logica di bordo dai transienti tramite **TransZorb™**.
- Vasta disponibilità di software di base e di **tools di sviluppo** che consentono di poter utilizzare la scheda senza dover utilizzare un sistema di sviluppo dedicato ma semplicemente un normale **PC**. Tra i programmi disponibili si possono citare: **Monitor Debugger Trace, Symbolic Remote Debugger, GCTR 884, HTC 86, GET 188, Compilatore Romato PASCAL, FORTH**, ecc.

Viene di seguito riportata una descrizione dei blocchi funzionali della scheda, con indicate le operazioni effettuate da ciascuno di essi. Per una più facile individuazione di tali blocchi e per una verifica delle loro connessioni, fare riferimento alla figura 1.

PROCESSORE DI BORDO

La scheda **GPC® 884** é predisposta per accettare il processore **Am188ES** prodotto dalla **AMD**. Tale processore a 16 bit é codice compatibile con la diffusissima famiglia Intel 86 ed é quindi caratterizzato da: un esteso set di istruzioni, un'alta velocità di esecuzione, un'efficiente gestione degli interrupts, una vasta scelta di modalità d'indirizzamento, una efficacissima manipolazione dei dati, ecc. Di fondamentale importanza é la presenza delle seguenti periferiche interne al microprocessore:

- 2 Timer Counter ed 1 Timer a 16 bit, con possibilità di generare forme d'onda (TCU);
- 2 linee seriali asincrone complete di segnali di handshake (ASP);
- 2 canali di DMA per trasferimenti dati ad alta velocità (DMAC);
- sezione di controllo interrupt (ICU);
- sezione di power management (CPMU);
- sezione di generazione segnali di controllo periferiche (CSU);
- 32 linee di I/O definibili via software (PIO);
- 1 sezione di acquisizione segnali PWM (PWD);

Per maggiori informazioni sul componente si faccia riferimento all'apposita documentazione della casa costruttrice, oppure all'appendice B di questo manuale.

CLOCK

Sulla **GPC® 884** é presente una circuiteria che provvede a generare la frequenza di clock per la CPU da cui vengono ricavate anche le frequenze necessarie per le altre sezioni della scheda (Timer, Seriali, DMA ecc.). Il valore standard di clock é di **26,045 MHz**, ma in caso di applicazioni particolarmente veloci, la frequenza di clock può essere aumentata fino a **40,665 MHz** intervenendo via hardware sull'apposita circuiteria. La selezione della frequenza di lavoro non può essere effettuata dall'utente e deve quindi essere specificata in fase di ordine. Si ricorda inoltre che la frequenza di clock della CPU normalmente coincide con quella del quarzo montato a bordo scheda e che si può intervenire via software sull'apposita sezione di power management per ridurre i valori e quindi i consumi.

MEMORIE

E' possibile dotare la scheda di un massimo di 1032K di memoria variamente suddivisi con un massimo di 512KByte di EPROM o FLASH EPROM, 512KByte di RAM statica ed infine 8KByte di EEPROM seriale. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con 128KByte RAM di lavoro più 512 Byte di EEPROM seriale e che tutte le rimanenti configurazioni di memoria devono essere quindi opportunamente specificate in fase di ordine della scheda. Sfruttando la circuiteria di back up di bordo più la batteria tampone esterna, si ha la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema, anche per lunghi periodi di inattività. Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo (Chip Select Unit), che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microprocessore. Per maggiori informazioni fare riferimento al capitolo "DESCRIZIONE HARDWARE" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo stripping della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

COMUNICAZIONE SERIALE

La comunicazione seriale é completamente settabile via software per quanto riguarda sia il protocollo sia la velocità (da un minimo di 50 ad un massimo di 115200 Baud con entrambe le frequenze di clock disponibili) ed in modo completamente autonomo per entrambe le linee di comunicazione. Tali settaggi avvengono tramite la programmazione delle apposite sezioni di baud rate generator dell'ASPC interno all'Am188ES, quindi per ulteriori informazioni si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale. Dal punto di vista hardware é invece possibile selezionare, tramite una serie di comodi jumpers, il protocollo fisico di comunicazione. In particolare una linea é sempre bufferata in RS 232, mentre la rimanente può essere bufferata in RS 232, RS 485 ed RS 422; in quest'ultimo caso é definibile anche se la comunicazione avviene in Full Duplex o Half Duplex.

ABACO® I/O BUS

Una delle caratteristiche di fondamentale importanza della **GPC® 884** è quella di disporre del cosiddetto **ABACO® I/O BUS**: ovvero un connettore normalizzato **ABACO®** con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), per gestione di linee di I/O logico, per counter, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente. Utilizzando mother board come l'**ABB 03** o l'**ABB 05** é inoltre possibile gestire anche le schede periferiche in formato Europa con interfaccia per BUS **ABACO®**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

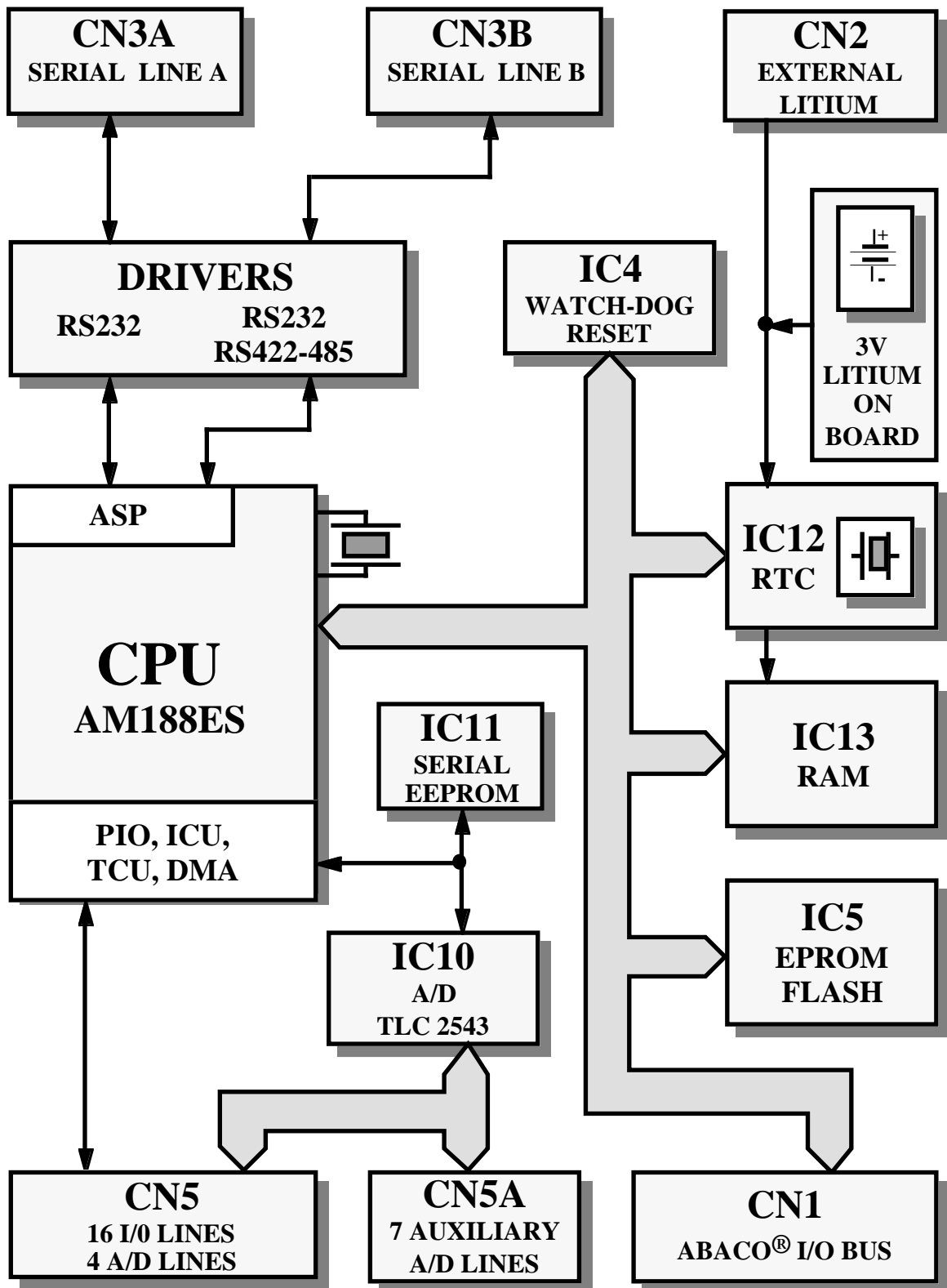


FIGURA 1: SCHEMA A BLOCCHI

LINEE DI I/O DIGITALI

Sulla scheda sono disponibili 16 linee di I/O digitale a livello TTL, con direzionalità settabile a livello di bit, gestite dalla CPU. Tali linee sono collegate direttamente ad un connettore a 26 vie con pin out compatibile allo standard **I/O ABACO®** da 20 vie ed hanno quindi la possibilità di essere direttamente collegate a numerose schede d'interfaccia.

Via software é definibile la funzionalità di queste linee, con possibilità di associarle anche alle periferiche della scheda (DMA, Timer Counter, Interrupt, ecc.), tramite una semplice programmazione di 6 registri situati nello spazio di I/O della CPU.

REAL TIME CLOCK

La **GPC® 884** dispone di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. Il componente é alimentato dalla circuiteria di back up in modo da garantire la validità dei dati in ogni condizione operativa ed é completamente gestito via software, tramite la programmazione di 16 registri situati nello spazio di I/O della CPU dall'apposita logica di controllo (CSU). La sezione di RTC può inoltre generare interrupt in corrispondenza di intervalli di tempo programmabili via software, in modo da poter periodicamente distogliere la CPU dalle normali operazioni oppure periodicamente risvegliarla dagli stati di basso consumo.

WATCH DOG

La scheda **GPC® 884** é provvista di una circuiteria di watch dog che, se utilizzata, consente di uscire da stati di loop infinito o da condizioni anomale non previste dal programma applicativo. Tale circuiteria é composta da una sezione astabile con un tempo d'intervento di circa 1400 msec.

Tutta la gestione avviene via software (tramite l'accesso ad un opportuno registro situato nello spazio d'indirizzamento della CPU) e conferisce al sistema basato sulla scheda, una sicurezza estrema.

A/D CONVERTER

La sezione di A/D converter della **GPC® 884** é basata su un convertitore in grado di acquisire 11 canali con una risoluzione massima di 12 bits. Dal punto di vista software é possibile definire quali canali attivare, dare lo start o lo stop all' acquisizione, definire il formato della combinazione restituita, ecc., tramite la gestione di una comunicazione sincrona con il dispositivo. Al fine di semplificare la gestione dello stesso A/D alcuni pacchetti software forniscono delle procedure di utility che gestiscono la sezione in tutte le sue parti. I segnali analogici collegabili sono segnali in tensione variabili nel range 0÷2,49 V oppure 0÷5,00 V; tale valore di fondo scala é relativo a tutti gli ingressi analogici e deve essere specificato in fase d'ordine. In assenza di indicazioni la scheda viene fornita nella versione standard con fondo scala a 2,49 V.

A bordo scheda sono presenti dei condensatori di filtro su 4 delle 11 linee di conversione A/D.

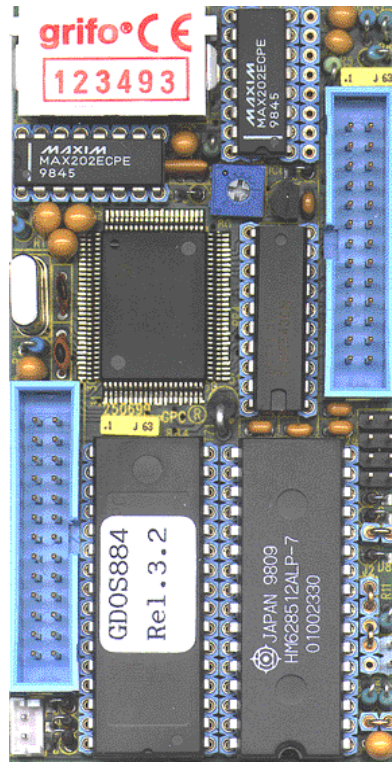


FIGURA 2: FOTO SCHEDA

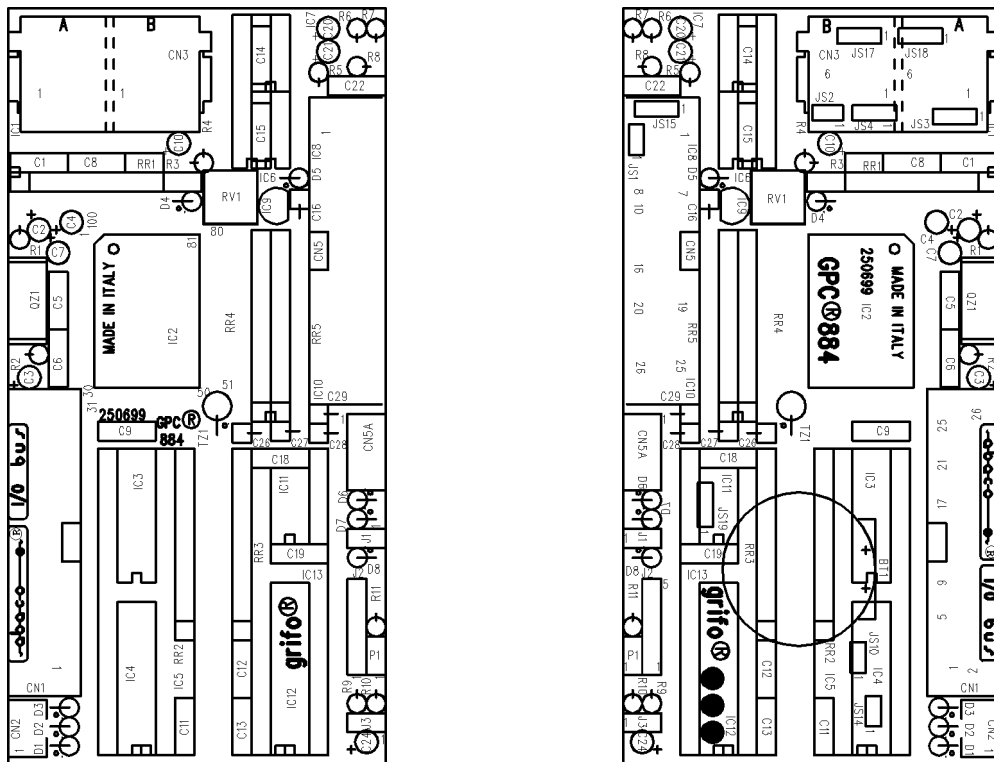


FIGURA 3: PIANTE COMPONENTI

SPECIFICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse della scheda:	16 input/output digitali TTL (PIO) 2 timer counter a 16 bit (TCU) 1 timer a 16 bit (TCU) 2 canali trasferimento dati (DMA) 1 linea seriale RS 232 (ASP 1) 1 linea seriale RS 232 o RS 422-485 (ASP 0) 11 linee di A/D converter (di cui 4 dotate di filtri) 1 watch dog hardware astabile 1 real time clock 1 jumper di configurazione 1 interfaccia ABACO ® I/O BUS
Memoria indirizzabile:	IC 5: EPROM da 128K x 8 a 512K x 8 FLASH EPROM da 128K x 8 a 512K x 8 IC 13: RAM da 128K x 8 a 512K x 8 IC 11: EEPROM seriale da 256 byte a 8K byte
CPU di bordo:	AMD Am188ES
Frequenza clock:	26,045 o 40,665 MHz
Risoluzione A/D:	12 bit
Tempo conversione A/D:	10 µsec
Tempo intervento watch dog:	da 940 msec a 2060 msec (tipico 1420 msec)

CARATTERISTICHE FISICHE

Dimensioni (L x A x P):	100 x 50 x 25 mm (senza contenitore) 110 x 60 x 60 mm (con contenitore per guide DIN)
Peso:	66 g (senza contenitore) 126 g (con contenitore per guide DIN)
Connettori:	CN1: 26 vie scatolino verticale M CN2: 2 vie rapida estrazione M CN5: 26 vie scatolino verticale M CN5A: 8 vie scatolino verticale M CN3A: Plug a 6 vie CN3B: Plug a 6 vie

Range di temperatura: da 0 a 50 gradi Centigradi

Umidità relativa: 20% fino a 90% (senza condensa)

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione: 5 Vdc

Corrente assorbita sui 5 Vdc: 160 mA nella configurazione base (26,045 MHz)
220 mA nella configurazione base (40,665 MHz)

Batteria di bordo di back up: 3,0 Vdc; 180 mAh

Batteria esterna di back up: 3,6÷5 Vdc

Corrente di back up: 3,5 μ A (batteria di bordo)
4,5 μ A (batteria esterna da 3,6 Vdc)

Ingressi analogici: 0÷2,49 V; 0÷5,00 V

Impedenza ingressi analogici: 1 K Ω

Rete terminazione RS 422-485: Resistenza terminazione linea= 120 Ω
Resistenza di pull up sul positivo= 3,3 K Ω
Resistenza di pull down sul negativo=3,3 K Ω

Soglia d'intervento power failure: 52 mV prima dell'intervento del reset

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei trimmers, ecc. presenti sulla **GPC® 884**.

CONNESSIONI CON IL MONDO ESTERNO

Il modulo **GPC® 884** è provvisto di 6 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 13, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN2 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

CN2 é un connettore a scatolino, verticale, maschio, con passo 2,54 mm a 2 vie. Tramite CN2 deve essere collegata una batteria esterna che provvede a mantenere i dati della RAM di bordo ed a garantire il funzionamento del real time clock, in assenza di tensione di alimentazione (per maggiori informazioni fare riferimento al paragrafo "BACK UP").

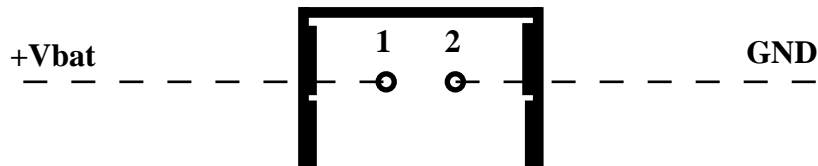


FIGURA 4: CN2 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda:

+Vbat	=	I	-	Positivo della batteria esterna di back up.
GND	=		-	Negativo della batteria esterna di back up.

CN1 - CONNETTORE PER ABACO® I/O BUS

CN1 è un connettore a scatola verticale con passo 2.54 mm a 26 piedini. Tramite CN1 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite l'ABACO® I/O BUS di cui questo connettore riporta tutti i segnali a livello TTL.

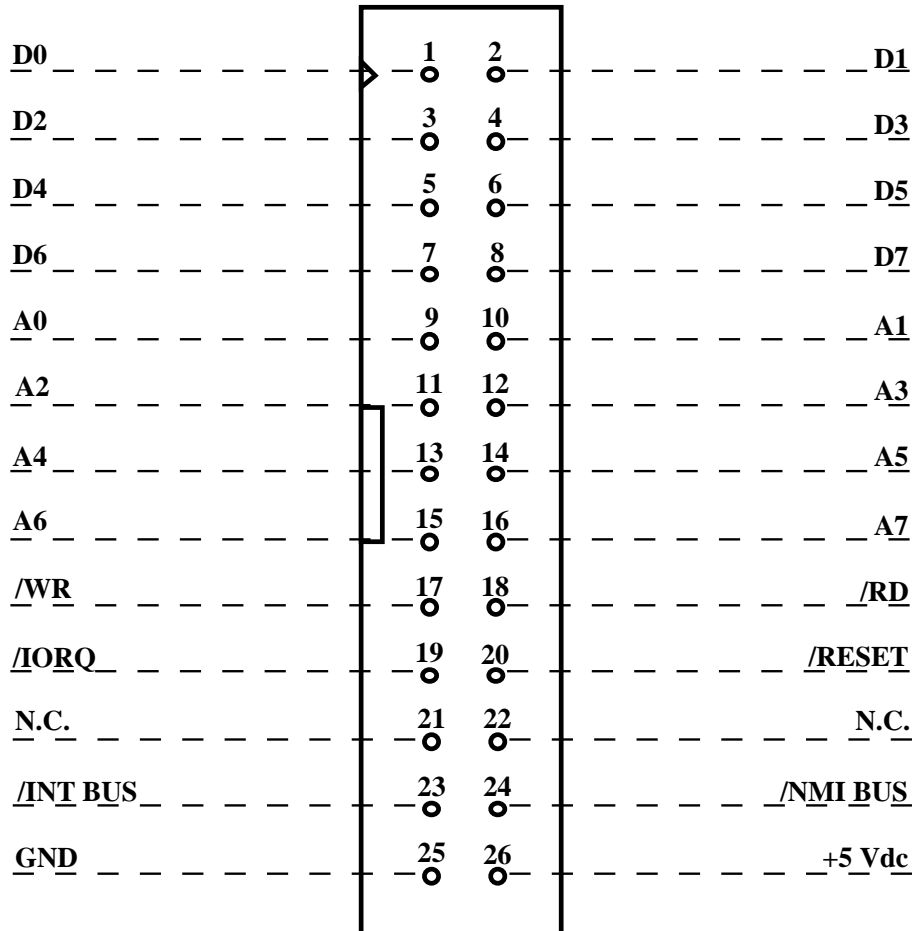


FIGURA 5: CN1 - CONNETTORE PER ABACO® I/O BUS

Legenda:

- A0-A7** = O - Address BUS: BUS degli indirizzi.
- D0-D7** = I/O - Data BUS: BUS dei dati.
- /INT BUS** = I - Interrupt request: richiesta d'interrupt. Deve essere in open collector
- /NMI BUS** = I - Non Mascable Interrupt: richiesta d'interrupt non mascherabile.
- /IORQ** = O - Input Output Request: richiesta operazione Input Output su I/O BUS.
- /RD** = O - Read cycle status: richiesta di lettura.
- /WR** = O - Write cycle status: richiesta di scrittura.
- /RESET** = O - Reset: azzeramento.
- +5 Vdc** = I - Linea di alimentazione a +5 Vcc.
- GND** = - Linea di massa.
- N.C.** = - Non collegato.

CN3A - CONNETTORE PER LINEA SERIALE A

Il connettore per la comunicazione della linea seriale A, in RS 232, denominato CN3A sulla scheda, é del tipo PLUG a 6 vie. La disposizione di tali segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard RS 232.

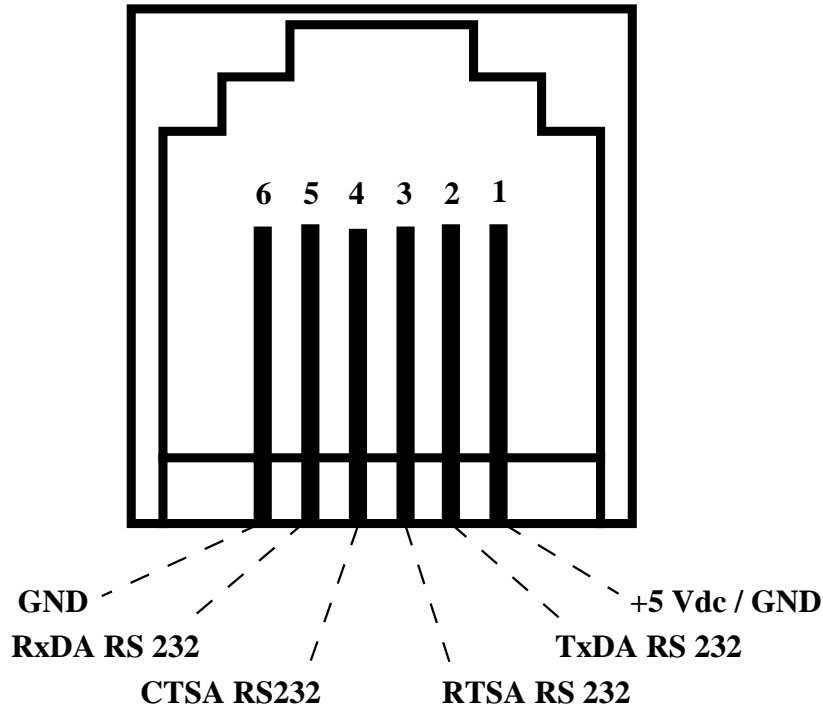


FIGURA 6: CN3A - CONNETTORE PER LINEA SERIALE A

Legenda:

RxDA RS 232	= I - Receive Data: linea di ricezione in RS 232 della seriale A=ASP1.
TxDA RS 232	= O - Transmit Data: linea di trasmissione in RS 232 della seriale A=ASP1.
CTSA RS 232	= I - Clear To Send: linea di abilitazione alla trasmissione in RS 232 della seriale A=ASP1.
RTSA RS 232	= O - Request To Send: linea di richiesta di trasmissione in RS 232 della seriale A=ASP1.
+5 Vdc/GND	= I - Linea di alimentazione a +5 Vcc o linea di massa.
GND	= - Linea di massa.

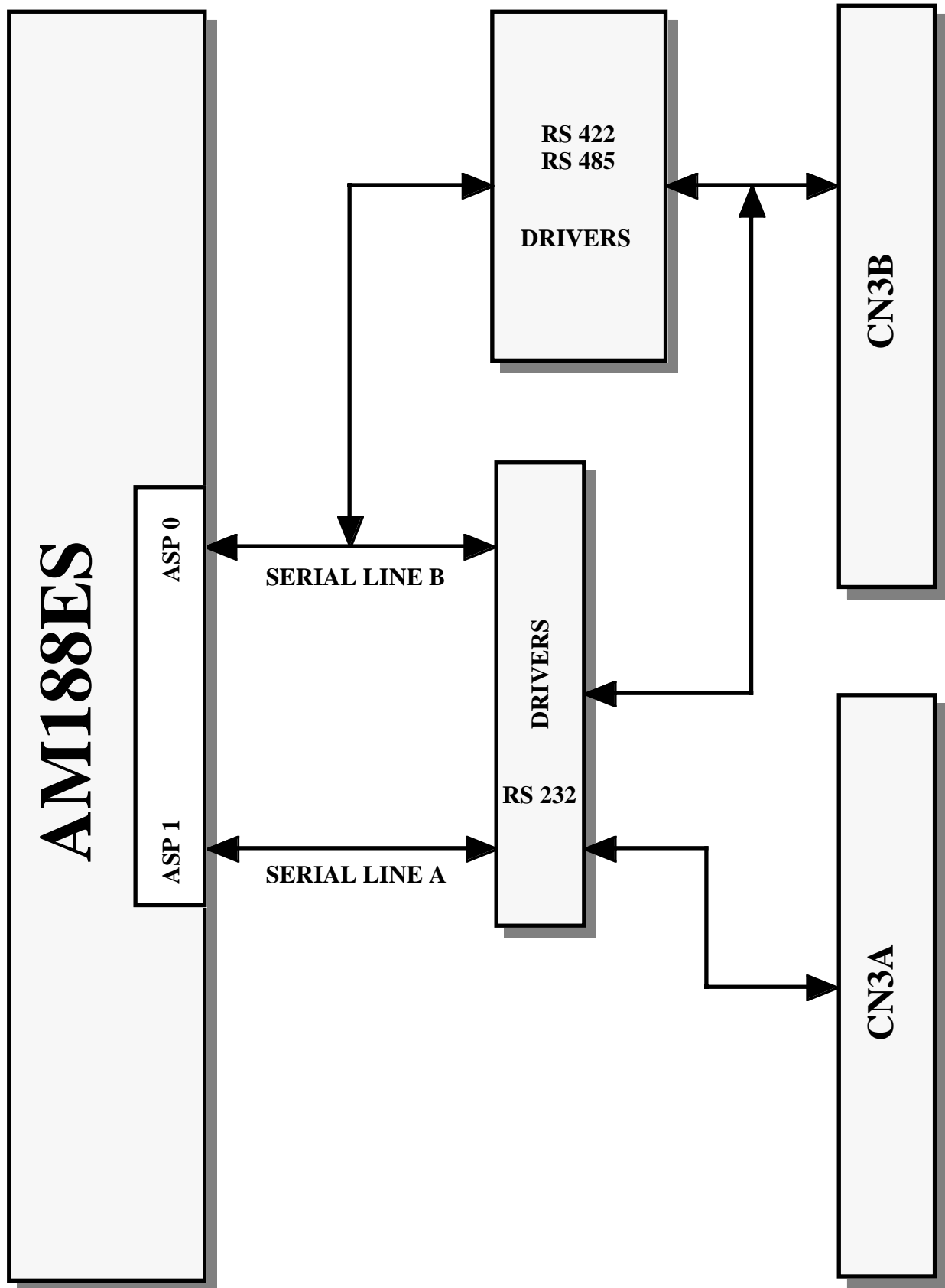
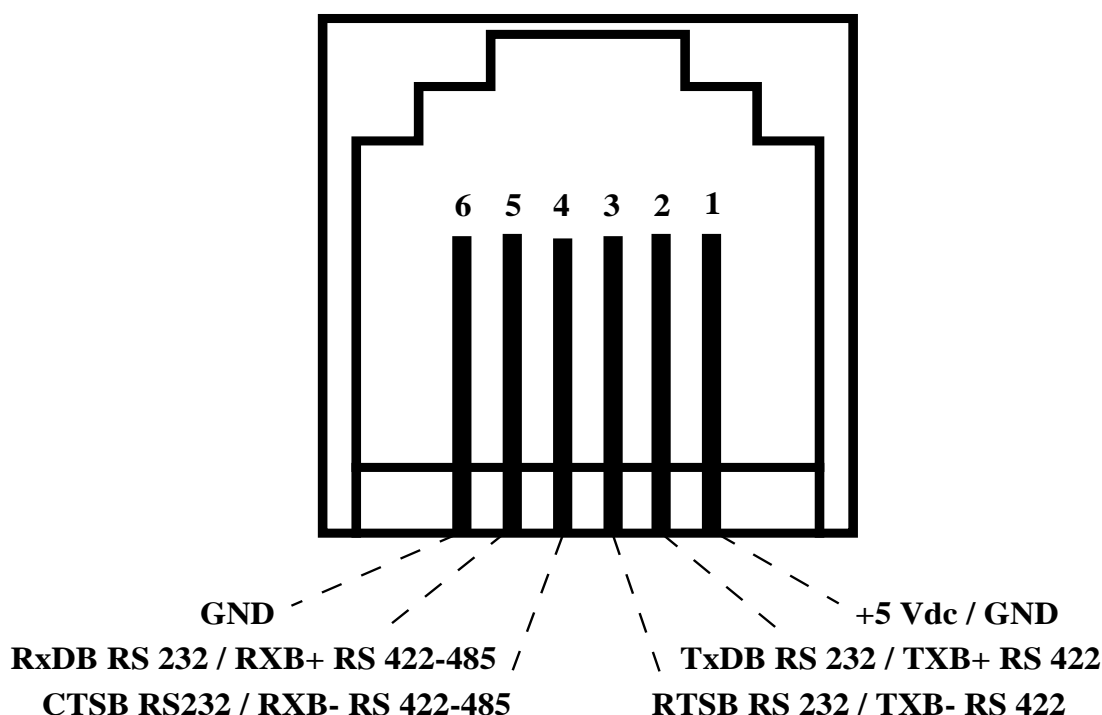


FIGURA 7: SCHEMA DI COMUNICAZIONE SERIALE

CN3B - CONNETTORE PER LINEA SERIALE B

Il connettore per la comunicazione della linea seriale B, in RS 232, RS 422 o RS 485, denominato CN3B sulla scheda, é del tipo PLUG a 6 vie. Fisicamente la linea seriale B della **GPC[®] 884** é collegata alla linea seriale ASP 0 della CPU. La disposizione di tali segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative ad ognuno degli standard di comunicazione usati.

**FIGURA 8: CN3B - CONNETTORE PER LINEA SERIALE B**

Legenda:

RXB- RS 422-485	= I - Receive Data Negative: linea bipolare negativa di ricezione differenziale in RS 422 e RS 485 della seriale B=ASP 0.
RXB+ RS 422-485	= I - Receive Data Positive: linea bipolare positiva di ricezione differenziale in RS 422 e RS 485 della seriale B=ASP 0.
TXB- RS 422	= O - Transmit Data Negative: linea bipolare negativa di trasmissione differenziale in RS 422 e RS 485 della seriale B=ASP 0.
TXB+ RS 422	= O - Transmit Data Positive: linea bipolare positiva di trasmissione differenziale in RS 422 e RS 485 della seriale B=ASP 0.
RxDB RS 232	= I - Receive Data: linea ricezione in RS 232 della seriale B=ASP 0.
TxDB RS 232	= O - Transmit Data: linea trasmissione in RS 232 della seriale B=ASP 0.
CTSB RS 232	= I - Clear To Send: linea di abilitazione alla trasmissione in RS 232 della seriale B=ASP 0.
RTSB RS 232	= O - Request To Send: linea di richiesta di trasmissione in RS 232 della seriale B=ASP 0.
+5 Vdc/GND	= I - Linea di alimentazione a +5 Vcc o linea di massa.
GND	= - Linea di massa.

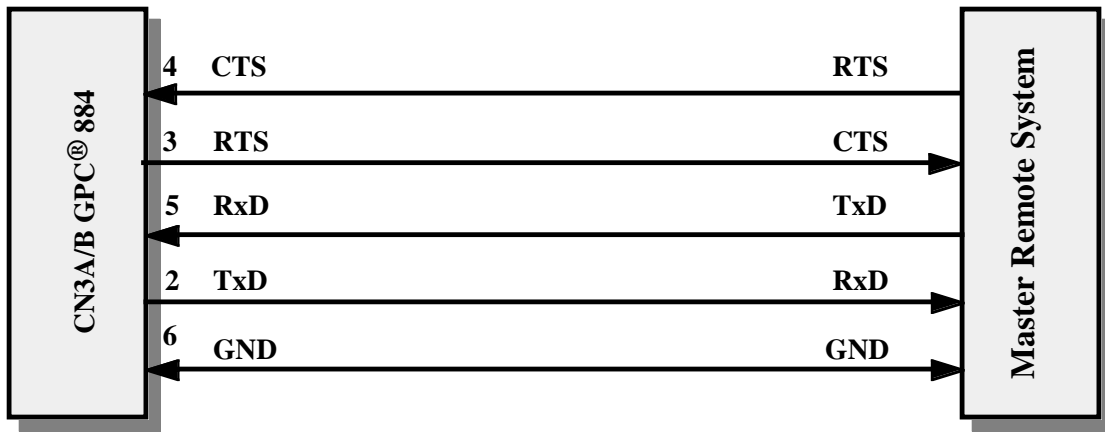


FIGURA 9: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232

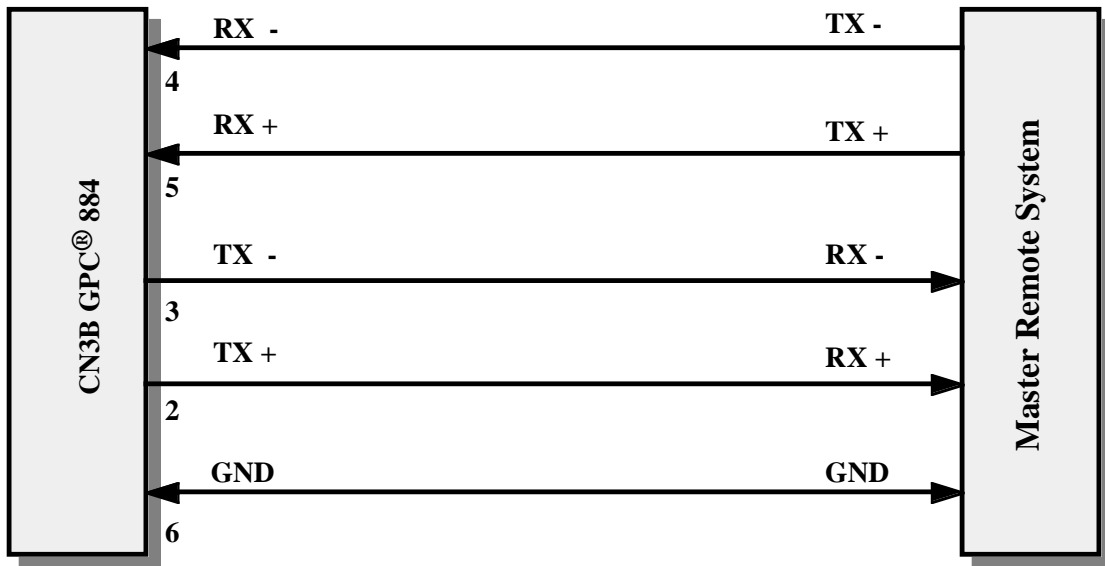


FIGURA 10: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 422

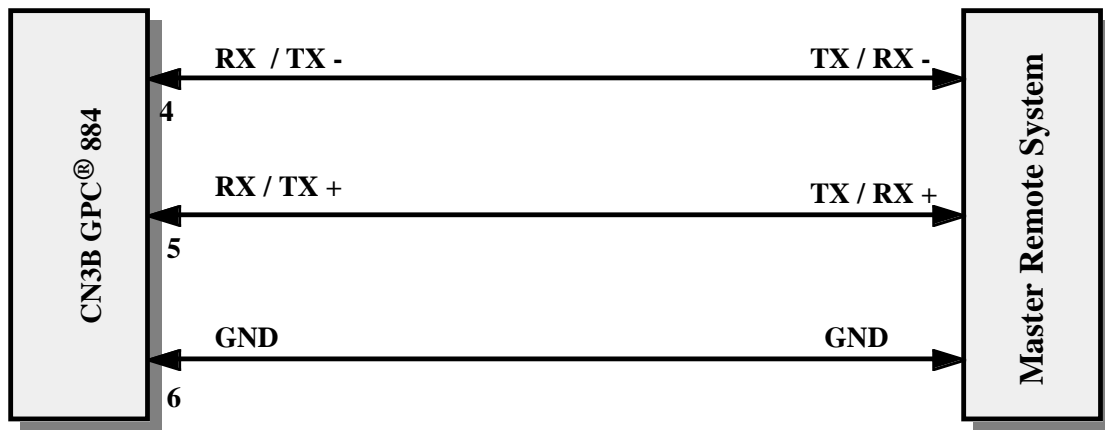


FIGURA 11: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485

Nella figura seguente, viene illustrato un esempio di rete Master-Slave in RS 485.

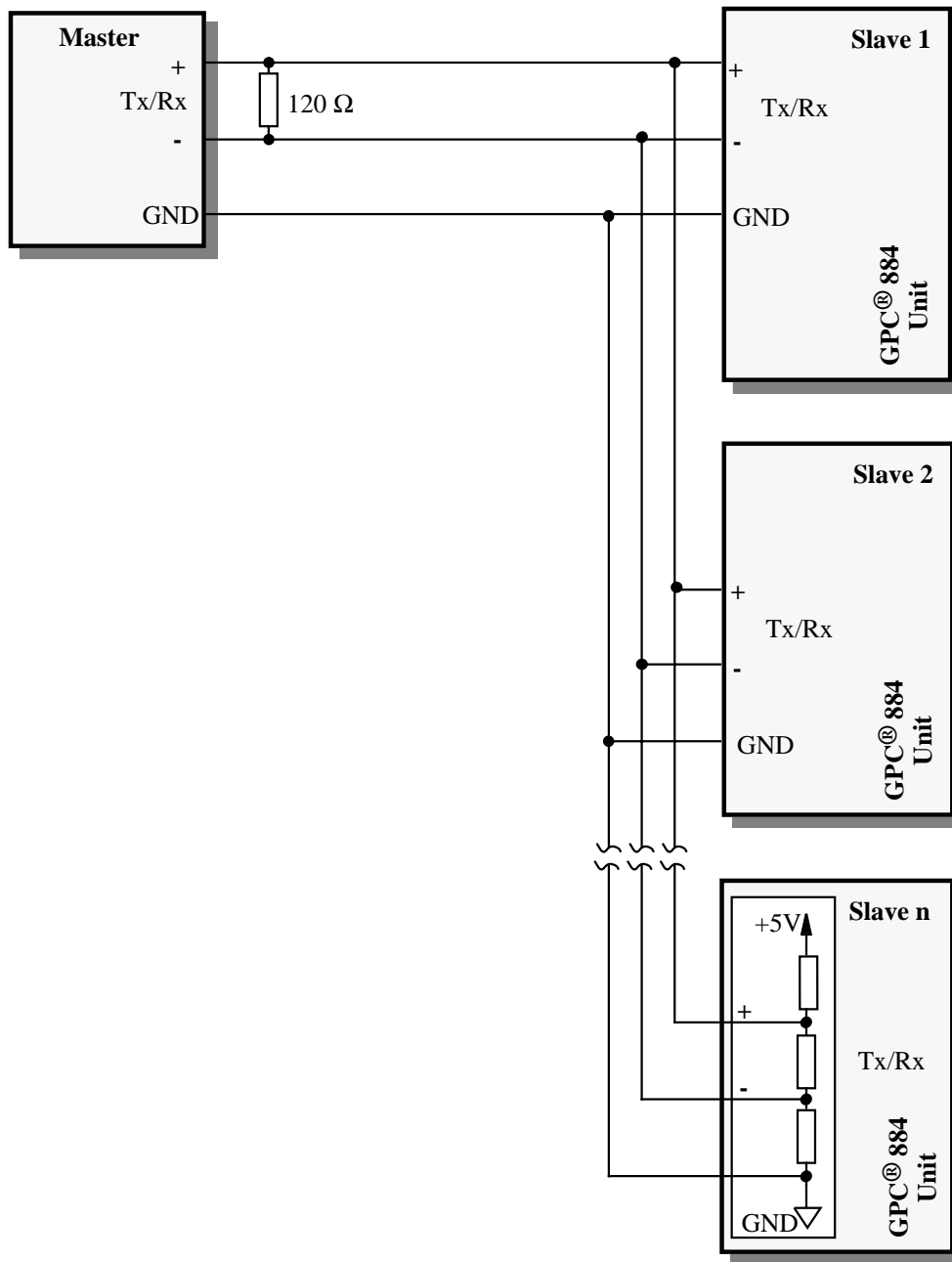


FIGURA 12: ESEMPIO COLLEGAMENTO IN RETE IN RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura lungo la linea e due resistenze di terminazione (120 Ω), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.

A bordo della GPC® 884 è presente la circuiteria di terminazione e forzatura, che può essere inserita o disinserita, tramite appositi jumpers, come illustrato in seguito.

In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non è già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti).

Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "RS 422 and RS 485 Interface Cicuits", nella parte introduttiva riguardante le reti RS 422-485.

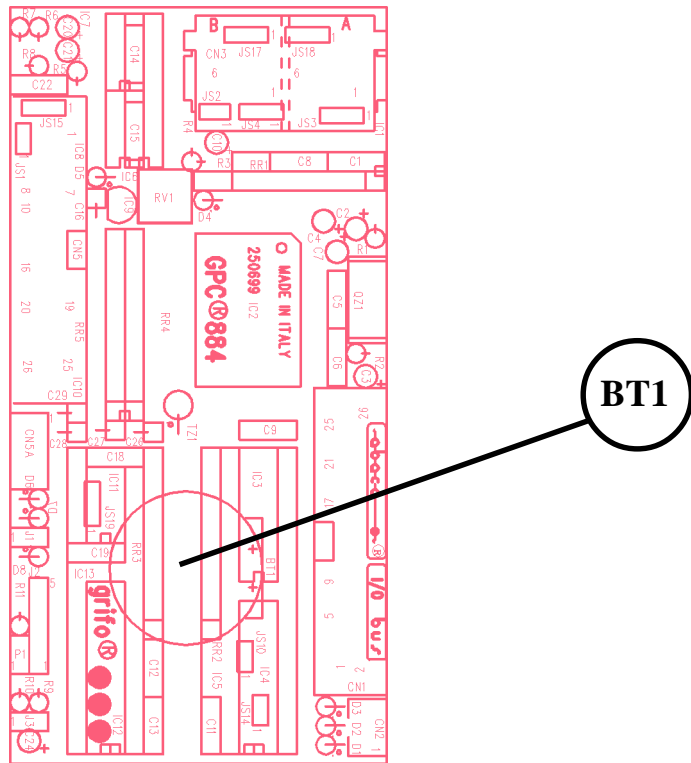
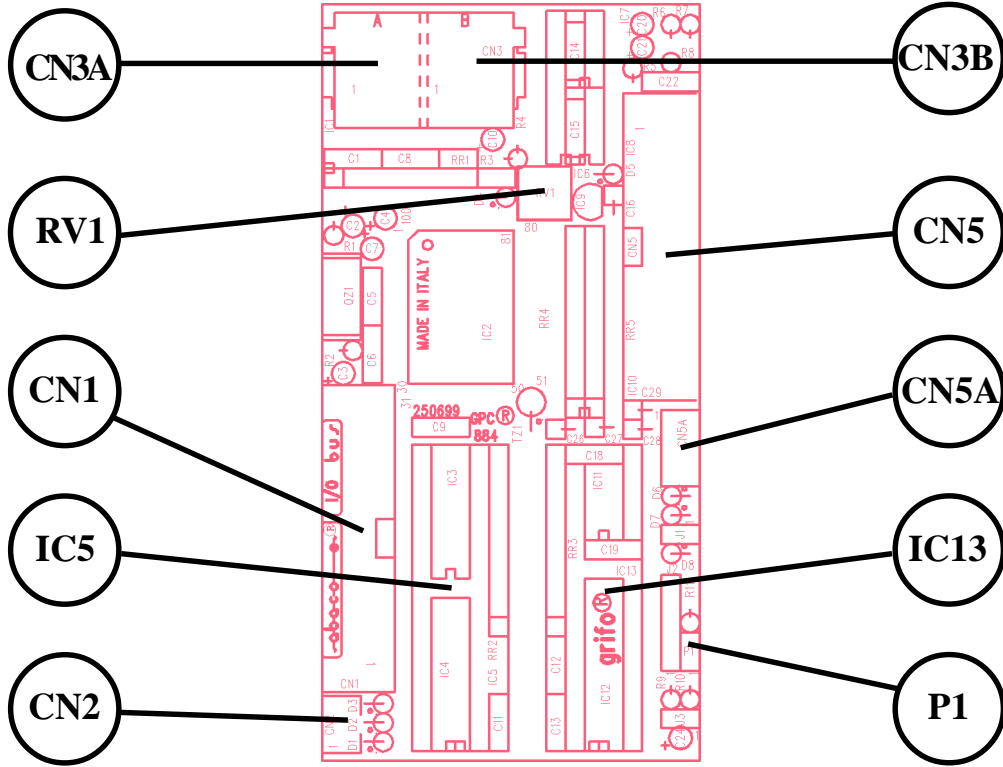
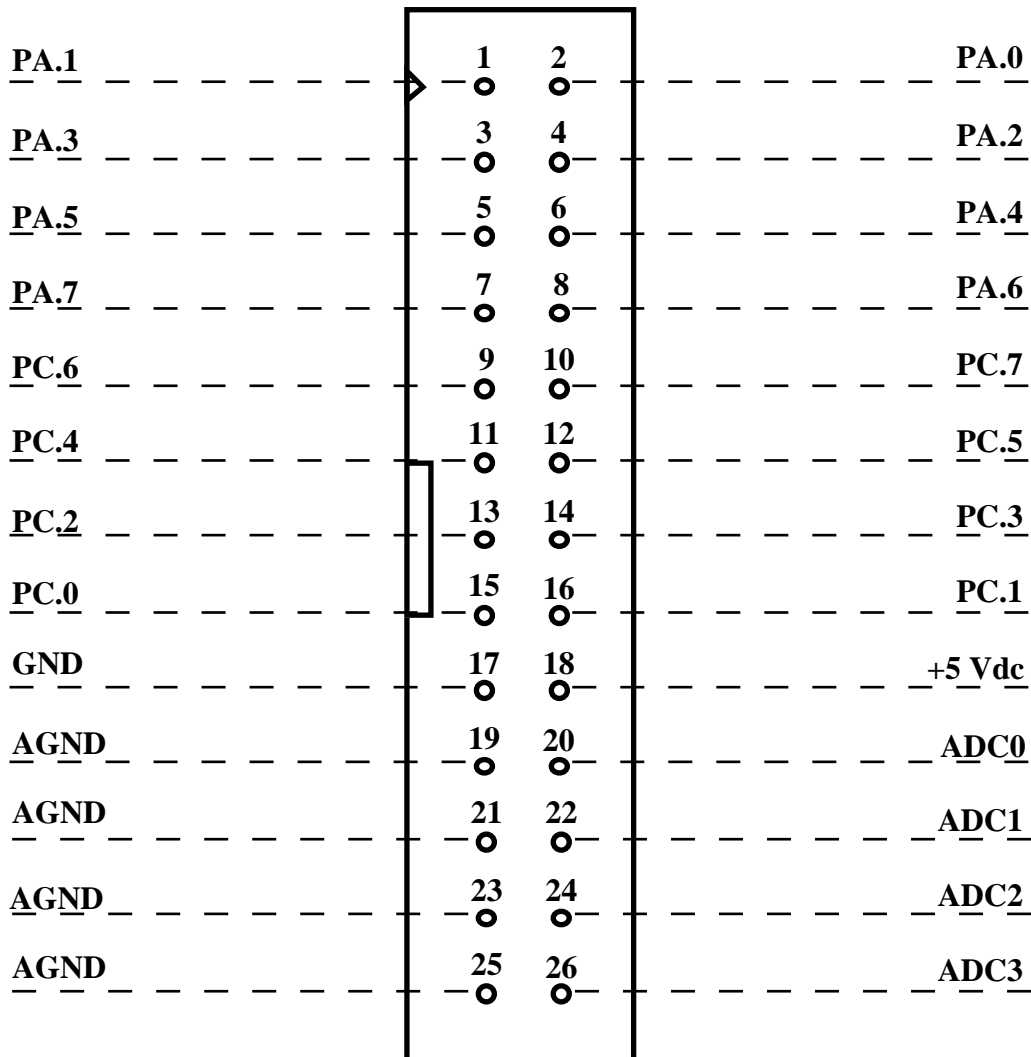


FIGURA 13: DISPOSIZIONE CONNETTORI, TRIMMERS, BATTERIA, MEMORIE, ECC.

CN5 - CONNETTORE PER I/O DEL PIO E A/D CONVERTER

CN5 è un connettore a scatola verticale con passo 2.54 mm a 26 piedini. Tramite CN5 si effettua la connessione tra le 16 linee di I/O digitale del PIO (o relativi segnali delle periferiche) e 4 delle 11 linee di A/D converter, nei confronti dell'ambiente esterno. I segnali del PIO coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO**[®], mentre i segnali A/D sono segnali analogici in tensione (0÷2,49 V o 0÷5,00 V), dotati di condensatori di filtro. La disposizione dei segnali su questo connettore é studiata in modo da ridurre tutti i problemi di rumore ed interferenza, garantendo quindi un'ottima trasmissione del segnale.


FIGURA 14: CN5 - CONNETTORE PER I/O DEL PIO E A/D CONVERTER

Legenda:

- PA.n** = I/O - Linea digitale n del port A del PIO (Vedere par. "PIN MULTIPLEXATI").
PC.n = I/O - Linea digitale n del port C del PIO (Vedere par. "PIN MULTIPLEXATI").
ADCn = I - Linea analogica d'ingresso canale n di A/D converter.
+5 Vdc = O - Linea di alimentazione a +5 Vcc.
GND = - Linea di massa.
AGND = - Linea di massa analogica.

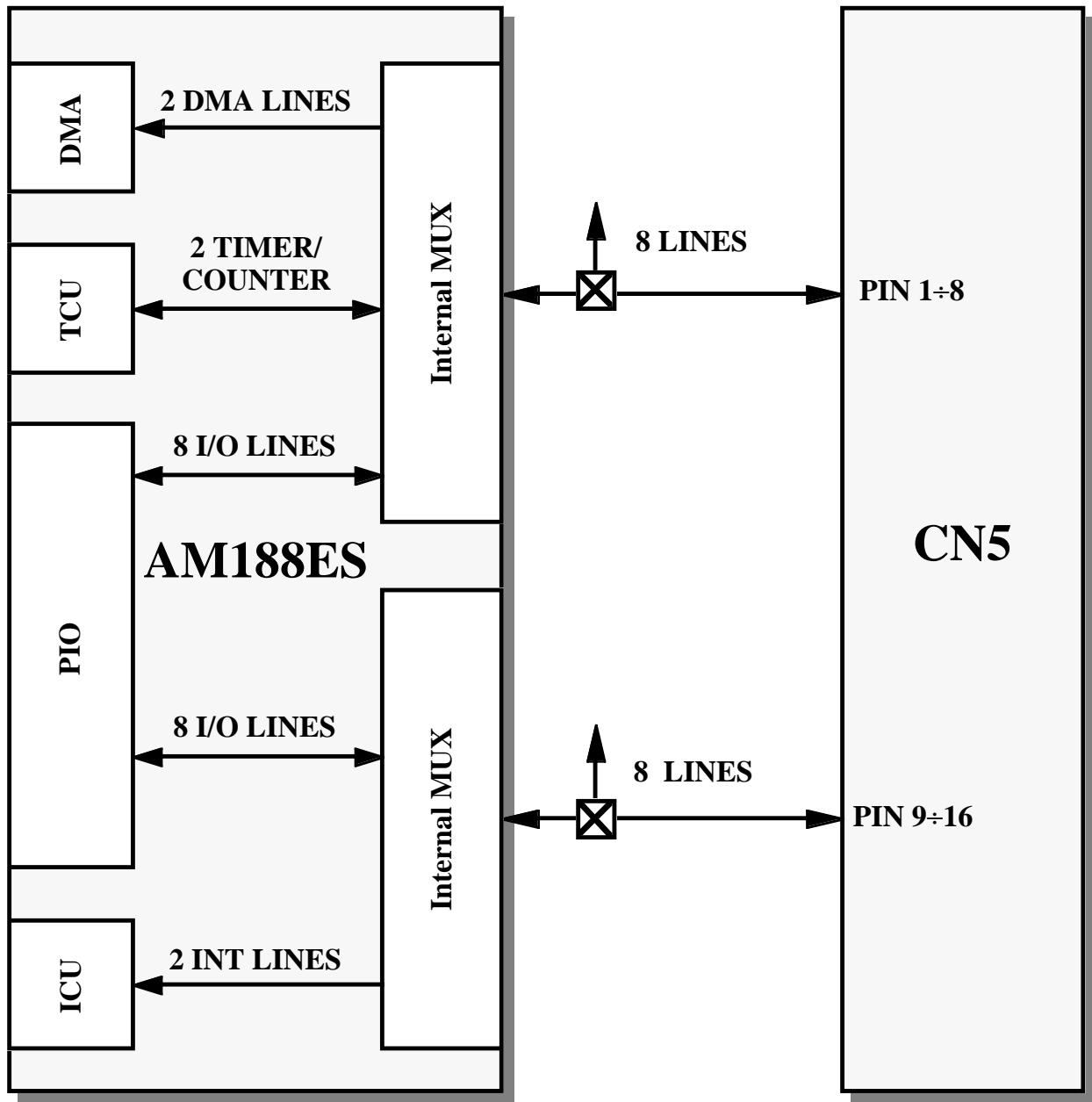


FIGURA 15: SCHEMA DI COLLEGAMENTO LINEE DI I/O DEL PIO

CN5A - CONNETTORE PER A/D CONVERTER

CN5A è un connettore a strip verticale con passo 2.54 mm a 4+4 piedini. Tramite CN5A si effettua la connessione tra 7 delle 11 linee di A/D converter nei confronti dell'ambiente esterno. I segnali collegabili a questo connettore sono segnali analogici in tensione (0÷2,49 V o 0÷5,00 V). Gli ingressi analogici presenti su questo connettore, sono privi di condensatori di filtro.

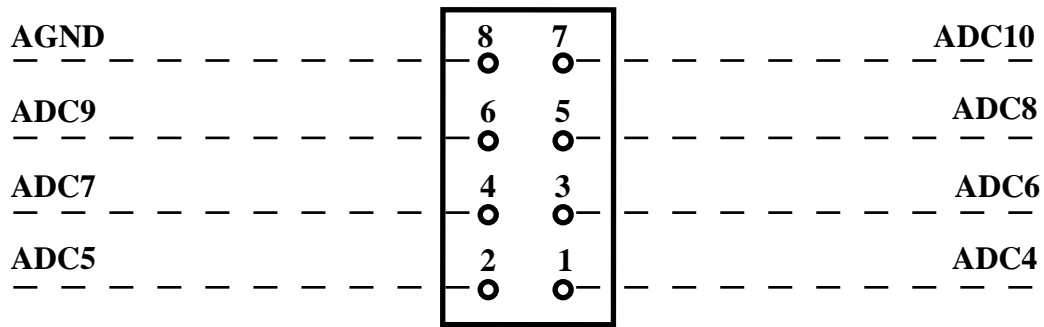


FIGURA 16: CN5A - CONNETTORE PER A/D CONVERTER

Legenda:

ADC_n = I - Linea analogica d'ingresso canale n di A/D converter.
AGND = - Linea di massa analogica.

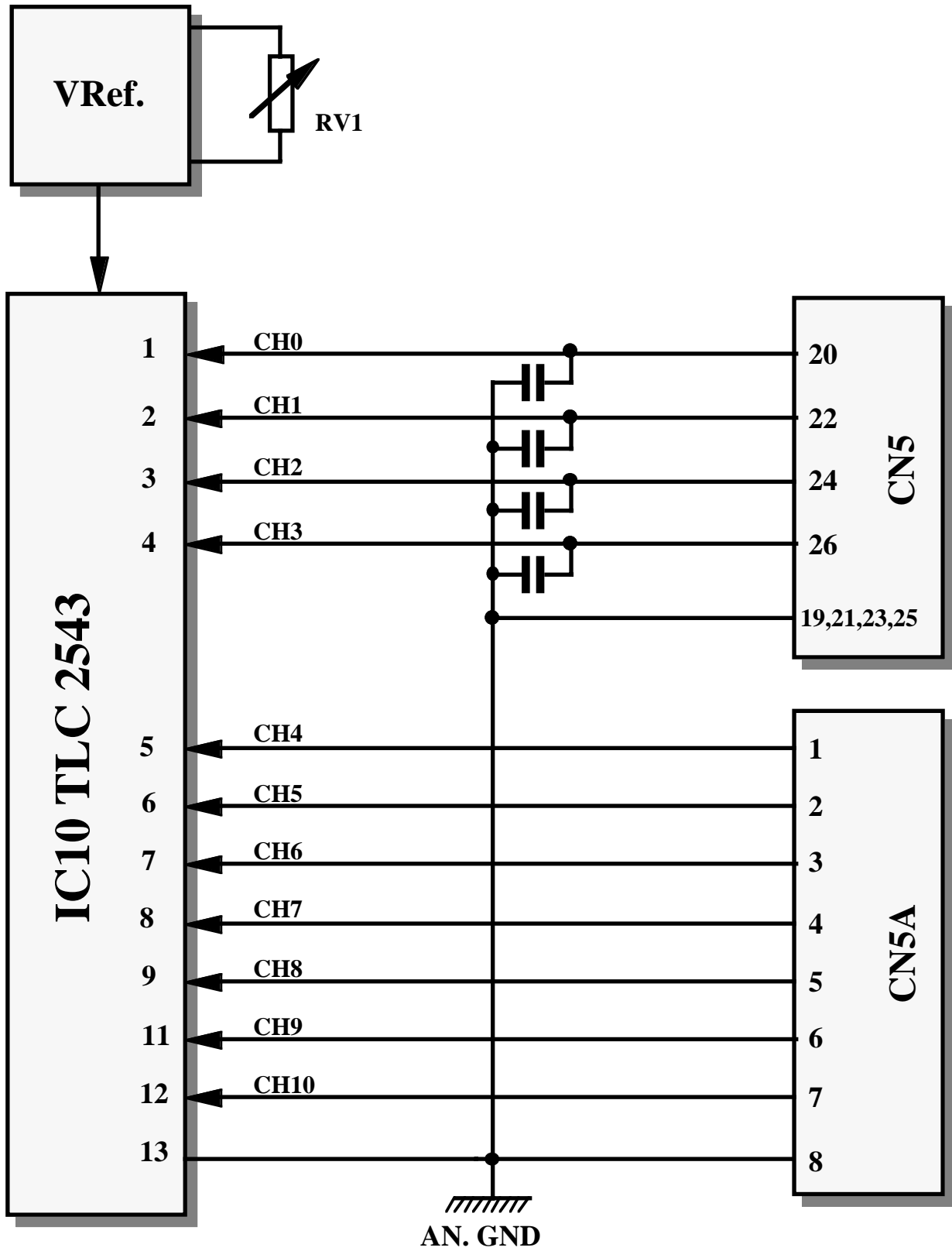


FIGURA 17: SCHEMA D'INGRESSO A/D CONVERTER

INTERFACCIE PER I/O DIGITALI

Tramite CN5 (connettore compatibile con standard di I/O **ABACO**[®]) si può collegare la **GPC**[®] **884** ai numerosi moduli del carteggio **grifo**[®] che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfacce richiedono solo un flat cable da 18 vie intestato con due connettori da 26 e 20 vie (FLT.26+20) con cui è possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione è altrettanto semplice ed immediata, infatti i pacchetti software disponibili per la **GPC**[®] **884** sono provvisti di tutte le procedure necessarie. Quest'ultime per la maggioranza dei pacchetti software disponibili, coincidono con dei "driver software" o delle librerie aggiunti al linguaggio di programmazione, che consentono di utilizzare direttamente le istruzioni ad alto livello dello stesso linguaggio di programmazione e quindi tutta la loro potenza.

Di particolare interesse è la possibilità di collegare direttamente una serie di moduli come:

- **QTP 16P, QTP 24P, KDL x24, KDF 224, DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC**[®] **884**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.
- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo è dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con un completo file system e rendono utilizzabili le memory card direttamente con le istruzioni ad alto livello per la gestione dei files.
- **IAC 01, DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.
- **RBO xx, TBO xx, XBI xx, OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé.

Per maggiori informazioni relative alle interfacce per I/O digitali si veda il capitolo "SCHEDE ESTERNE" e la documentazione del software utilizzato.

TASTO DI RESET

Sulla **GPC**[®] **884** è presente un contatto di reset denominato P1 che consente di attivare la linea di /RESET della scheda. Sui due pin del P1 si può collegare un contatto normalmente aperto (ad esempio un pulsante) ed una volta chiuso questo contatto (cortocircuitando i due pin) la scheda riprende l'esecuzione del programma in EPROM, partendo da una condizione di azzeramento generale. La funzione principale di questo contatto è quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug. Per una facile individuazione di tale contatto a bordo scheda, si faccia riferimento alla figura 13, mentre per ulteriori informazioni sulla circuiteria di reset si veda il paragrafo "RESET E WATCH DOG".

INTERFACCIAMENTO DEGLI I/O CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 884** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485, fare riferimento alle specifiche standard di ognuno di questi protocolli.
- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.
- I segnali d'ingresso alla sezione A/D devono essere collegati a segnali analogici a bassa impedenza che rispettino il range di variazione ammesso che può arrivare a +2,49 V o +5,00 V a seconda della configurazione. Da notare che i 4 ingressi analogici presenti su CN5 sono dotati di condensatori di filtro che garantiscono una maggiore stabilità sul segnale acquisito, ma che allo stesso tempo abbassano la frequenza di taglio.

TRIMMER E TARATURE

Sulla **GPC® 884** é presente il trimmer RV1 da utilizzare per la taratura della scheda; tale componente permette di fissare il valore della tensione di riferimento su cui si basa la sezione di A/D converter. La scheda viene sottoposta ad un accurato test di collaudo che provvede a verificare la funzionalità della stessa ed allo stesso tempo a tararla in tutte le sue parti. La taratura viene effettuata in laboratorio a temperatura costante di +20 gradi centigradi, seguendo la procedura di seguito descritta:

- Si effettua la taratura di precisione della Vref della sezione A/D tramite la regolazione del trimmer RV1, tramite un multimetro galvanicamente isolato a 5 cifre ad un valore di 2,4900 V o 5,0000V.
- Si verifica la corrispondenza tra segnale analogico fornito in ingresso e combinazione letta dalla sezione A/D converter. La verifica viene effettuata fornendo un segnale di verifica con un calibratore campione e controllando che la differenza tra la combinazione determinata dalla scheda e quella determinata in modo teorico, non superi la somma degli errori della sezione A/D.
- Si blocca il trimmer della scheda, opportunamente tarato, tramite vernice.

Le sezioni d'interfaccia analogica utilizzano componenti di alta precisione che vengono addirittura scelti in fase di montaggio, proprio per evitare lunghe e complicate procedure di taratura. Per questo una volta completato il test di collaudo e quindi la taratura, il trimmer RV1 viene bloccato, in modo da garantire una immunità della taratura anche ad eventuali sollecitazioni meccaniche (vibrazioni, spostamenti, ecc.).

La circuiteria di generazione della tensione di riferimento definisce anche il fondo scala per tutti gli 11 canali di ingresso analogico, tra i due possibili range: 0÷2,49 V o 0÷5,00 V. La scelta di questo valore di fondo scala deve essere specificata in fase d'ordine della scheda, infatti implica il montaggio di diversi componenti ed una diversa procedura di taratura. In assenza di indicazioni, la scheda viene fornita nella versione standard con fondo scala a 2,49 V.

L'utente di norma non deve intervenire sulla taratura della scheda, ma se lo dovesse fare (a causa di derive termiche, derive del tempo, ecc.) deve rigorosamente seguire la procedura sopra illustrata. Per una facile individuazione del trimmer a bordo scheda, si faccia riferimento alla figura 13.

JUMPERS

Esistono a bordo della GPC® 884 13 jumpers, di cui 3 a cavaliere ed 10 a stagno, con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalit  di connessione.

JUMPERS	N. VIE	UTILIZZO
J1	2	Setta l'input utente nella modalit� di RUN o di DEBUG.
J2	5	Seleziona il tipo di dispositivo EPROM o FLASH EPROM, montato su IC5.
J3	2	Seleziona il size del dispositivo di RAM montato su IC13.
JS1	2	In abbinamento a JS2, collega la circuiteria di terminazione e forzatura alla linea di ricezione in RS 422, RS 485.
JS2	2	In abbinamento a JS1, collega la circuiteria di terminazione e forzatura alla linea di ricezione in RS 422, RS 485.
JS3	3	Seleziona il tipo di collegamento per il pin 1 di CN6B.
JS4	3	Seleziona il tipo di collegamento per il pin 1 di CN6A.
JS10	2	Attiva la circuiteria di watch-dog.
JS14	2	Collega la batteria di bordo BT1 alla circuiteria di back-up.
JS15	3	Seleziona tipo di comunicazione per la linea seriale B tra RS 422 e RS 485.
JS17	3	Definisce la modalit� di funzionamento del pin 63 della CPU (/CTS1-PIO18).
JS18	3	Definisce la modalit� di funzionamento del pin 62 della CPU (/RTS1-PIO19).
JS19	3	Collega la circuiteria di Power Failure.

FIGURA 18: TABELLA RIASSUNTIVA JUMPERS

Nelle successive tabelle é riportata una descrizione tabellare delle possibili connessioni dei 13 jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alla figura 3 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi invece la figura 19. In tutte le seguenti tabelle l'* indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

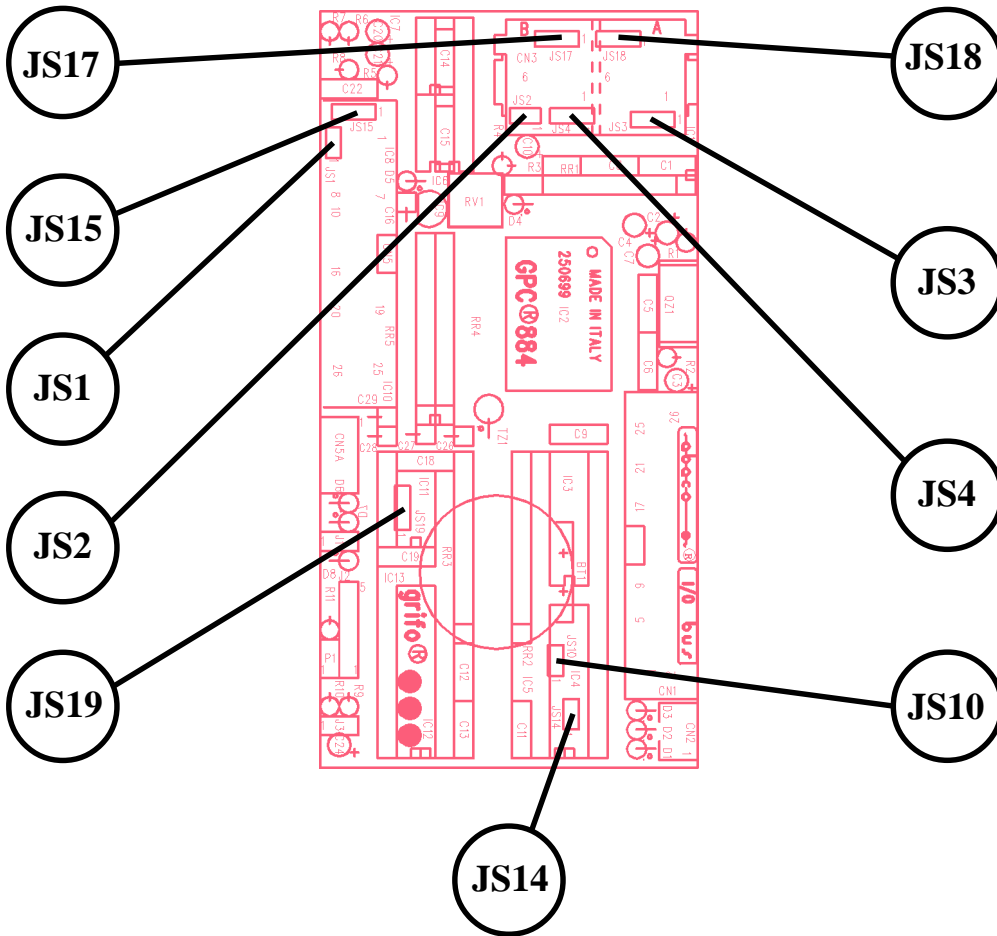
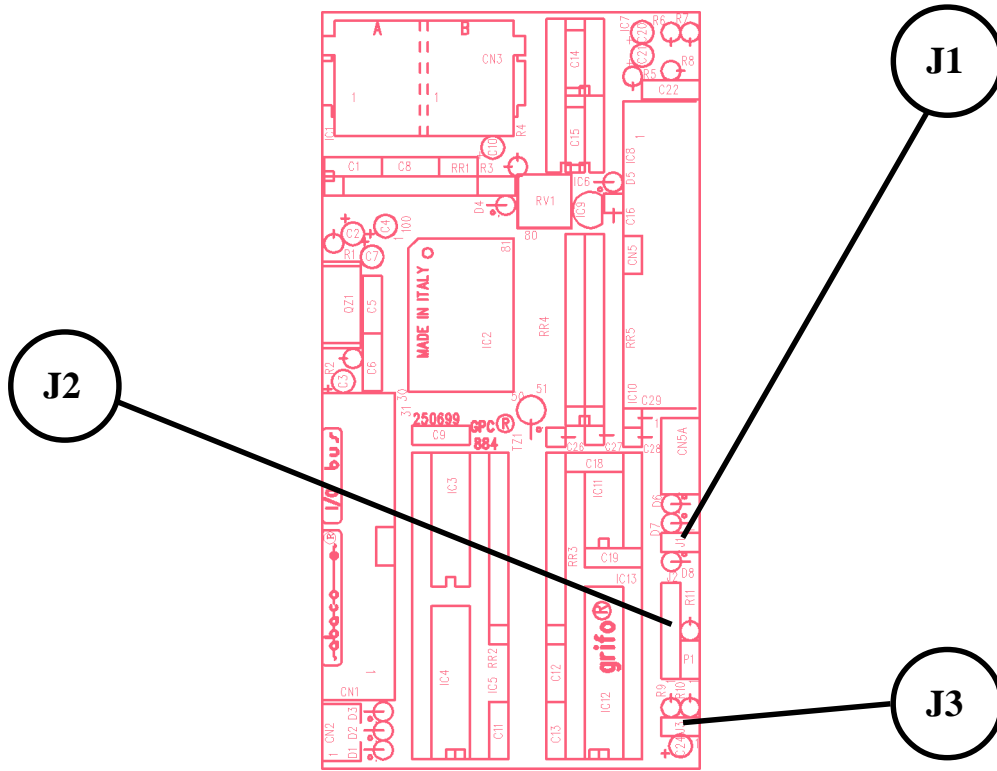


FIGURA 19: DISPOSIZIONE JUMPERS

JUMPERS A 2 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J1	non connesso	Collega a +5Vcc l'input utente, selezionando la modalità RUN.	*
	connesso	Collega a GND l'input utente, selezionando la modalità DEBUG.	
J3	non connesso	Predisporre IC13 per RAM da 128K Byte.	*
	connesso	Predisporre IC13 per RAM da 512K Byte.	
JS1	non connesso	In abbinamento a JS2, non collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485.	*
	connesso	In abbinamento a JS2, collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485.	
JS2	non connesso	In abbinamento a JS1, non collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485.	*
	connesso	In abbinamento a JS1, collega la circuiteria di terminazione e forzatura alla linea seriale B in RS 422-485.	
JS10	non connesso	Disattiva il funzionamento della circuiteria di watch-dog.	*
	connesso	Attiva il funzionamento della circuiteria di watch-dog.	
JS14	non connesso	Non collega la batteria di bordo BT1 alla circuiteria di back-up.	*
	connesso	Collega la batteria di bordo BT1 alla circuiteria di back-up.	

FIGURA 20: TABELLA JUMPERS A 2 VIE

JUMPERS A 3 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
JS3	posizione 1-2	Collega il pin 1 di CN3A a GND.	*
	posizione 2-3	Collega il pin 1 di CN3A a +5 Vcc.	
JS4	posizione 1-2	Collega il pin 1 di CN3B a GND.	*
	posizione 2-3	Collega il pin 1 di CN3B a +5 Vcc.	
JS15	posizione 1-2	Seleziona la comunicazione sulla linea seriale B in RS 485 (half duplex a 2 fili).	
	posizione 2-3	Seleziona la comunicazione sulla linea seriale B in RS 422 (full duplex o half duplex a 4 fili).	
JS17	posizione 1-2	Collega il pin 63 della CPU (/CTS1-PIO18) al segnale /CTSA.	*
	posizione 2-3	Collega il pin 63 della CPU (/CTS1-PIO18) al pin 9 di CN5 (PC.6).	
JS18	posizione 1-2	Collega il pin 62 della CPU (/RTS1-PIO19) al segnale /RTSA.	*
	posizione 2-3	Collega il pin 62 della CPU (/RTS1-PIO19) al pin 10 di CN5 (PC.7).	
JS19	Non connesso	Non collega la circuiteria di Power Failure.	*
	posizione 1-2	Collega la circuiteria di Power Failure al segnale NMI della CPU.	
	posizione 2-3	Collega la circuiteria di Power Failure al segnale INT0 della CPU.	

FIGURA 21: TABELLA JUMPERS A 3 VIE**JUMPERS A 5 VIE**

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J2	posizione 1-2 e 3-4	Predisporre IC5 per EPROM.	*
	posizione 2-3 e 4-5	Predisporre IC5 per FLASH EPROM.	

FIGURA 22: TABELLA JUMPERS A 5 VIE

RESET E WATCH DOG

La scheda **GPC® 884** è dotata di una circuiteria di watch dog molto efficiente e di facile gestione software. In particolare le caratteristiche di questa circuiteria sono le seguenti:

- funzionamento astabile;
- tempo d'intervento di 1400 msec;
- attivazione via hardware;
- retrigger via software;

Si ricorda che nel funzionamento astabile una volta scaduto il tempo d'intervento la circuiteria si attiva, rimane attiva per il tempo di reset e quindi si disattiva nuovamente.

Con il jumper JS10 si seleziona se collegare la circuiteria di watch dog alla circuiteria di reset, ovvero si attiva, via hardware, la sua gestione.

Si ricorda inoltre che tra le sorgenti di /RESET della **GPC® 884**, oltre all'eventuale circuiteria di watch dog, sono sempre presenti il pulsante P1 e la circuiteria di power on.

Per quanto riguarda l'operazione di retrigger della circuiteria di watch dog esterna, si faccia riferimento al paragrafo "WATCH DOG".

INTERRUPTS

Una caratteristica peculiare della **GPC® 884** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore oppure all'appendice B di questo manuale.

- **ABACO® I/O BUS** -> Genera un NMI sulla CPU, tramite la linea /NMI BUS di CN1.
Genera un INT0 sulla CPU, tramite la linea /INT BUS di CN1.
- Power failure -> Genera un NMI o INT0 sulla CPU, a seconda del collegamento di JS19.
- Real Time Clock -> Genera un INT1 sulla CPU.
- A/D converter -> Genera un INT3 sulla CPU.
- PIO -> Genera un INT2 sulla CPU, tramite linea PC.5 di CN5.
Genera un INT4 sulla CPU, tramite linea PC.4 di CN5.
- Periferiche della CPU -> Generano un interrupt interno. In particolare le possibili sorgenti d'interrupt interno sono le sezioni: TC 0, TC 1, TC 2, DMA 0, DMA 1, ASP 0, ASP 1, interrupt software.

Sulla scheda é presente un gestore d'interrupt (ICU) che consente di attivare, disattivare, mascherare le sorgenti d'interrupt e che regola l'attivazione contemporanea di più interrupts. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.

COMUNICAZIONE SERIALE

La linea di comunicazione seriale A della scheda **GPC® 884** può essere bufferata solo in RS 232, mentre la linea seriale B può essere bufferata in RS 232, RS 422 o RS 485. La selezione del tipo d'interfacciamento avviene via hardware e viene effettuata tramite un opportuno strappaggio dei jumpers di bordo, come può essere desunto dalla lettura delle precedenti tabelle. Dal punto di vista software sono invece definibili tutti i parametri del protocollo fisico di comunicazione tramite la programmazione dei registri interni della CPU. Vengono di seguito riportate le possibili configurazioni che possono essere effettuate; da notare che i jumpers non menzionati nella successiva descrizione, non hanno alcuna influenza ai fini della comunicazione, qualunque posizione essi occupino.

- LINEA SERIALE A=ASP 1 SETTATA IN RS 232

Con i jumpers JS17 e JS18 in posizione 2-3 la linea seriale é a soli tre fili (TX,RX,GND), mentre collegando gli stessi jumpers in posizione 1-2 la seriale A diventa a cinque fili (TX,RX,CTS,RTS,GND) e fisicamente vengono aggiunti due segnali di handshake ottenuti da due delle 16 linee di I/O del PIO.

- LINEA SERIALE B=ASP 0 SETTATA IN RS 232

Su IC6 deve essere montato il driver MAX 202 mentre su IC7, IC8 non deve essere montato nessun driver.

- LINEA SERIALE B=ASP 0 SETTATA IN RS 485

Su IC 8 deve essere montato il driver SN75176; su IC 6, IC 7 non deve essere montato nessun driver ed il jumper JS15 deve essere in posizione 1-2. In questa modalità le linee da utilizzare sono i pin 4 e 5 di CN3B, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale /RTSB=/RTS0 gestito via software.

Questa comunicazione la si utilizza per comunicazioni su sistemi multipunto, infatti il driver su IC 8 può essere settato in ricezione o in trasmissione, tramite la gestione del segnale /RTS0 (0=basso= trasmissione, 1=alto=ricezione). Sempre in questa modalità é possibile ricevere quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

- LINEA SERIALE B=ASP 0 SETTATA IN RS 422

Su IC 7 e IC 8 devono essere montati i drivers SN75176; su IC 6 non deve essere montato nessun driver ed il jumper JS15 deve essere in posizione 2-3.

Per sistemi punto punto, la linea /RTSB=/RTS0 può essere mantenuta sempre bassa (trasmettitore sempre attivo), mentre per sistemi multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione sempre tramite la linea /RTS0 (0=basso=trasmettitore attivo e viceversa).

Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers JS1 e JS2 é possibile connettere la circuiteria di terminazione e forzatura sulla linea. Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione. Per ulteriori informazioni relative alla comunicazione seriale fare riferimento all'appendice A.

SELEZIONE MEMORIE

La **GPC® 884** può montare fino ad un massimo di 1032 Kbytes di memoria variamente suddivisa. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

IC	DISPOSITIVO	DIMENSIONE	STRIPPAGGIO
5	EPROM	128K Byte	J2 in posizione 1-2 e 3-4
	EPROM	256K Byte	J2 in posizione 1-2 e 3-4
	EPROM	512K Byte	J2 in posizione 1-2 e 3-4
	FLASH EPROM	128K Byte	J2 in posizione 2-3 e 4-5
	FLASH EPROM	256K Byte	J2 in posizione 2-3 e 4-5
	FLASH EPROM	512K Byte	J2 in posizione 2-3 e 4-5
13	RAM	128K Byte	J3 non connesso
	RAM	512K Byte	J3 connesso
11	EEPROM	256÷8K Byte	

FIGURA 23: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte l'EEPROM seriale di IC 11 che deve essere richiesta alla **grifo®** in fase di ordine della scheda. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione della casa costruttrice. Per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 13.

POWER FAILURE

In abbinamento alla circuiteria di power management gestita dalla CPU della **GPC® 884** é inoltre disponibile un'interessante circuiteria di power failure. Quest'ultima, con il jumper JS19, può essere collegata a due diversi interrupt (NMI o INT0).

La circuiteria si preoccupa di controllare la tensione di alimentazione e quando questa scende al valore di soglia (**52 mV** prima dell'intervento del reset), provvede ad attivare l'uscita richiedendo l'attenzione della CPU nel caso che JS19 sia collegato in una delle due posizioni.

Da notare che il tempo che intercorre tra l'attivazione del power failure e quello del reset, varia in funzione del tipo di alimentazione della scheda; questo normalmente é nell'ordine dei 100 µsec, sufficienti solo per eseguire procedure di risposta veloci (ad esempio il salvataggio di un flag nella memoria tamponata).

L'uso classico di questa circuiteria é quello di informare la scheda dell'imminente caduta della tensione di alimentazione, in modo da salvare le condizioni di stato necessarie, grazie alla carica residua sempre della sezione alimentatrice.

PIN MULTIPLEXATI

Il microcontrollore Am188ES usato a bordo della GPC® 884 é provvisto di due port a 16 bit di I/O generico per un totale di 32 linee. Molte di queste linee sono fisicamente multiplexate all'interno dello stesso microprocessore e possono quindi assumere funzionalità diverse a seconda della programmazione software effettuata. Nella seguente tabella viene riportato l'elenco di questi segnali con la relativa descrizione di tutte le possibili funzioni e del loro uso sulla scheda.

SEGNALE PIO	FUNZIONI MPX	USO SU GPC® 884
PIO 00	PIO 00 ; TMR IN 1	PA.0 su CN5
PIO 01	PIO 01 ; TMR OUT 1	PA.1 su CN5
PIO 03	PIO 03	PA.2 su CN5
PIO 10	PIO 10 ; TMR OUT 0	PA.3 su CN5
PIO 11	PIO 11 ; TMR IN 0	PA.4 su CN5
PIO 12	PIO 12 ; DRQ 0	PA.5 su CN5
PIO 13	PIO 13 ; DRQ 1	PA.6 su CN5
PIO 14	PIO 14	PA.7 su CN5
PIO 15	PIO 15	PC.0 su CN5
PIO 24	PIO 24	PC.1 su CN5
PIO 25	PIO 25	PC.2 su CN5
PIO 26	PIO 26	PC.3 su CN5
PIO 30	PIO 30 ; INT4	PC.4 su CN5
PIO 31	PIO 31 ; INT2 ; PWD	PC.5 su CN5
PIO 18	PIO 18 ; /CTS1	PC.6 su CN5 ; /CTSA
PIO 19	PIO 19 ; /RTS1	PC.7 su CN5 ; /RTSA
PIO 04	PIO 04 ; DTR	SDA EEPROM seriale ; DIN A/D converter
PIO 06	PIO 06 ; SRDY	SCL EEPROM seriale
PIO 05	PIO 05 ; /DEN	CLK A/D converter
PIO 09	PIO 09 ; A19	DOUT A/D converter
PIO 29	PIO 29 ; /CLKDIV2	/CS A/D converter

FIGURA 24: TABELLA PIN MULTIPLEXATI

L'utente può arbitrariamente decidere il tipo di funzionalità di tutti i segnali collegati al connettore CN5, mentre deve programmare con scrupolosa attenzione i segnali dedicati alla gestione dell'EEPROM seriale e dell'A/D converter. Normalmente i pacchetti software sviluppati per la scheda si preoccupano già di effettuare il giusto settaggio di tutte le linee del PIO.

La seguente tabella riporta lo stato delle linee di I/O, presenti sul connettore CN5, durante la fase di power-on o reset.

PIN CN5	STATO DURANTE POWER-ON O RESET
PA.0	Input con pull-up interno
PA.1	Input con pull-down interno
PA.2	Input con pull-up interno
PA.3	Input con pull-down interno
PA.4	Input con pull-up interno
PA.5	Input con pull-up interno
PA.6	Input con pull-up interno
PA.7	Input con pull-up interno
PC.0	Input con pull-up interno
PC.1	Input con pull-up interno
PC.2	Input con pull-up interno
PC.3	Input con pull-up interno
PC.4	Input con pull-up interno
PC.5	Input con pull-up interno
PC.6	Input con pull-up interno
PC.7	Input con pull-up interno

FIGURA 25: STATO DEI PIN DI CN5 DURANTE POWER-ON O RESET

Il valore della resistenza interna di pull-up o pull-down è di circa 10 K Ω , quindi in assenza di carichi esterni a bassa impedenza, le relative linee su CN5, durante la fase di power-on o reset, si settano rispettivamente allo stato logico 1 o 0.

BACK UP

La GPC[®] 884 è provvista di una batteria al litio BT1 che provvede a tamponare la RAM ed il RTC di bordo anche in assenza della tensione di alimentazione. Il jumper JS14 provvede a collegare o meno questa batteria in modo da salvaguardarne la durata prima dell'installazione o in tutti i casi in cui il back up non è necessario. Una seconda batteria esterna può essere collegata alla circuiteria di back up tramite il connettore CN2: quest'ultima non è interessata dalla configurazione del jumper JS14 e sostituisce a tutti gli effetti la BT1.

Per la scelta della batteria esterna di back up seguire le indicazioni del paragrafo "CARATTERISTICHE ELETTRICHE", mentre per la sua individuazione si veda la figura 13.

DESCRIZIONE SOFTWARE

Questa scheda ha la possibilità di usufruire di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda può utilizzare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per l'8086 e derivati. Si ricorda inoltre che anche tutto il software disponibili sui P.C. potrebbe essere eseguito sulla **GPC® 884** ma che realmente ciò non è possibile a causa della sua incompatibilità hardware con i P.C. Tra questi ricordiamo:

GET188

Completo programma di EDITOR, Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 188. Questo programma, sviluppato dalla **grifo®**, consente di operare in condizioni ottimali, tutte le volte che si deve usare il GDOS o la versione per FLASH EPROM FGDOS. Viene fornito in abbinamento all'acquisto di uno dei pacchetti citati e viene personalizzato con il nome ed i dati dell'acquirente. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma SOFT-PC. Viene fornito su dischetti MS-DOS da 3"1/2 con relativa documentazione sul manuale GDOS 188.

GDOS 188

Tools di sviluppo completo per le schede della fam. 80. Viene fornito in abbinamento al programma GET188, per consentire un immediato e pieno utilizzo di questo potente strumento di sviluppo. Il GDOS può essere concettualmente diviso in due distinte strutture. Una struttura lavora essenzialmente su PC, mantenendo il collegamento con la seconda tramite la linea seriale. La seconda risiede in EPROM ed opera a bordo scheda. La parte a bordo scheda è essenzialmente un potente Sistema Operativo che si preoccupa di eseguire tutte quelle funzioni a più basso livello e nello stesso tempo consente di poter operare con alcuni linguaggi ad Alto Livello direttamente a bordo scheda. L'abbinamento delle due strutture fa sì che la scheda ed il PC si comportino come un'unica macchina. Infatti la scheda usa, come se fossero le proprie, le risorse del PC come le Memoria di Massa quali i Floppy-Disk, l'Hard-Disk; la Stampante ecc. Il tutto avviene in modo completamente trasparente per l'utente il quale usa questo tipo di Macchina Virtuale esattamente come è abituato ad adoperare il suo PC.

Il GDOS, oltre ai tipici drivers del PC, gestisce come RAM-Disk una porzione della memoria RAM di bordo. Questo significa che il dispositivo di RAM a bordo scheda, tamponato tramite batteria, può essere gestito in modo diretto dai linguaggi ad alto livello, trattando comodamente come Files, le informazioni da archiviare o ricercare.

Nel GDOS 188 è inoltre presente un potente monitor debugger che è in grado di caricare, eseguire e debuggare programmi applicativi generati da un generico cross assembler compiler esterno.

Il Tools viene fornito in EPROM, in abbinamento al disco in formato MS-DOS del GET188, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

FGDOS 188

Caratteristiche analoghe al GDOS, con la differenza che è in grado di programmare e cancellare le FLASH-EPROM a bordo scheda, con i programmi generati dall'utente. In questo modo non è necessario un programmatore di EPROM esterno per congelare il programma. E' inoltre possibile, tramite un PC Portatile, intervenire direttamente a bordo macchina per cambiare il programma di gestione.

Il Tools viene fornito in FLASH-EPROM, in abbinamento al disco in formato MS-DOS del GET188, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

PASCAL 86

Completo e molto efficiente Compilatore PASCAL in grado di generare un codice romato per la famiglia 86 di CPU. Ha delle caratteristiche operative analoghe a quelle del Turbo PASCAL Ver.3 della Borland, a cui si fà riferimento per quanto riguarda sia le caratteristiche che la manualistica. Il PASCAL 86 lavora in abbinamento ad una delle varie versioni di Sistema Operativo GDOS. Le modalità di Emulazione Terminale offerta dal programma GET188, supportano pienamente il tipico Editor a pieno schermo del PASCAL, compresa la gestione degli attributi. Sfruttando la possibilità di gestione di RAM-Disk offerta dal GDOS, si possono sfruttare appieno le istruzioni di file system offerte dal linguaggio. Genera un codice molto compatto, il quale risiede e viene eseguito in EPROM o FLASH EPROM e che richiede pochissimo spazio di RAM.

Il programma viene fornito in EPROM o FLASH EPROM, assieme al sistema operativo GDOS, e su dischetto MS-DOS in abbinamento alle note tecniche e ad una serie di esempi.

GCTR 884

Completo Tools di sviluppo, per la scheda **GPC® 884**, che consente di sviluppare dei programmi applicativi adoperando un Compilatore C della Borland o della Microsoft, in abbinamento ad un normale PC. Un potentissimo Symbolic Remote Debugger, residente sulla scheda, consente di operare in modalità simbolica e sorgente, con delle prestazioni e delle comodità di uso analoghe a quelle di un In Circuit Emulator, grazie ad un semplice collegamento seriale. Alla fine delle operazioni é possibile congelare il programma in EPROM o FLASH EPROM, con un uso molto limitato delle risorse RAM.

Viene fornito in EPROM o FLASH EPROM, con una serie di Floppy-Disk , la relativa manualistica tecnica e degli esempi d'uso.

HCT 86

Cross Compilatore C professionale della Hi-Tech Software. Questo compilatore é estremamente veloce e genera pochissimo codice. Questo risultato é ottenuto grazie a delle avanzate tecniche di ottimizzazione del codice generato, basato su tecniche di Intelligenza Artificiale che gli consentono di ottenere un codice compatto ed estremamente veloce. Il pacchetto comprende IDE, Compiler, Ottimizzatore del codice, Assembler, Linker, Remote debugger, ecc. Questo tools é Full ANSI/ISO Standard C ed é Full Library Source Code. Una volta fatto il porting del modulo di Remote-Debugger, consente di debuggare il software direttamente nell'hardware in sperimentazione. Questo tipo di specializzazione del Remote-Debugger é già disponibile, e viene fornito, per tutte le schede di CPU della **grifo®**. Il pacchetto software viene fornito su dischetti da 3"1/2 nel formato MS-DOS, completo di un esauriente manuale.

Questa versione supporta le CPU 8088, 8086, 80188, 80C188, 80186, 80C186, 80286, V20, V30, V25, ecc.

DDS MICRO C 86

E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore "C" (integer), un assembler, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie, una serie di utility ed una ricca documentazione su dischetto da 3"1/2 nel formato MS-DOS.

MAPPAGGI ED INDIRIZZAMENTI

In questo capitolo ci occuperemo di fornire tutte le informazioni relative all'utilizzo della scheda, dal punto di vista della programmazione via software. Tra queste si trovano le informazioni riguardanti il mappaggio della scheda e la gestione software delle sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda è interamente affidata alla sezione di generazione segnali di controllo periferiche (CSU) del microprocessore. Essa si occupa del mappaggio delle zone di RAM, EPROM, FLASH EPROM e di tutte le periferiche di bordo con una semplice gestione software. Tale unità di controllo è in grado di gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU Am188ES indirizza direttamente 1M Byte di memoria e 64K indirizzi di I/O, quindi alla logica di controllo è assegnato il compito di allocare lo spazio logico d'indirizzamento delle memorie nello spazio fisico massimo di 1032K Byte. Questa gestione è effettuata dalla sezione CSU del microprocessore che è in grado di generare segnali di chip select in corrispondenza di determinati indirizzi fissati dall'utente, via software tramite la programmazione dei suoi registri interni.

Con questa prerogativa il mappaggio della scheda è arbitrariamente scelto dalla programmazione della CPU e per l'utente è sufficiente conoscere i collegamenti hardware effettuati a bordo scheda. Riassumendo l'elenco dei dispositivi mappati ed il relativo collegamento hardware nei confronti dei segnali della CPU è il seguente:

DISPOSITIVO	ZOCOLO	SEGNALI	INDIRIZZO
EPROM FLASH EPROM	IC5	/UCS	
RAM	IC13	/LCS	
EEPROM	IC11	PIO4 ; PIO6	
A/D TLC2543	IC10	PIO4 ; PIO5 ; PIO9 ; PIO29	
ABACO® I/O BUS		/PCS0	INDPCS0
RTC 72421	IC12	/PCS1	INDPCS1
JUMPER J1		/PCS1	INDPCS1
WATCH DOG	IC4	/PCS6	INDPCS6

FIGURA 26: COLLEGAMENTO HARDWARE DEI DISPOSITIVI

Normalmente i pacchetti software sviluppati per la scheda si preoccupano già di effettuare una programmazione della CSU con modalità descritte nella documentazione d'uso degli stessi pacchetti software.

MAPPAGGIO PERIFERICHE IN I/O

Il mappaggio delle periferiche di bordo è avviene tramite opportuni registri allocati in altrettante locazioni di I/O. Viene di seguito riportato l'indirizzamento di tali registri il loro nome, il tipo di accesso ed una breve descrizione del loro significato. Per quanto riguarda la descrizione dettagliata del loro significato, si faccia riferimento al capitolo successivo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

DISP.	REG.	IND.	R/W	SIGNIFICATO
ABACO® I/O BUS	I/O BUS	INDPCS0+00H ... INDPCS0+FFH	R/W	Indirizzi ABACO® I/O BUS
RUN / DEB.	RUNDEB	INDPCS1+00H	R	Registro di acquisizione stato jumper input utente.
Real Time Clock	SEC1	INDPCS1+00H	R/W	Registro dati per unità secondi
	SEC10	INDPCS1+01H	R/W	Registro dati per decine secondi
	MIN1	INDPCS1+02H	R/W	Registro dati per unità minuti
	MIN10	INDPCS1+03H	R/W	Registro dati per decine minuti
	HOU1	INDPCS1+04H	R/W	Registro dati per unità ore
	HOU10	INDPCS1+05H	R/W	Registro dati per decine ore e AM/PM
	DAY1	INDPCS1+06H	R/W	Registro dati per unità giorno
	DAY10	INDPCS1+07H	R/W	Registro dati per decine giorno
	MON1	INDPCS1+08H	R/W	Registro dati per unità mese
	MON10	INDPCS1+09H	R/W	Registro dati per decine mese
	YEA1	INDPCS1+0AH	R/W	Registro dati per unità anno
	YEA10	INDPCS1+0BH	R/W	Registro dati per decine anno
	WEE	INDPCS1+0CH	R/W	Registro dati per giorno della settimana
	REGD	INDPCS1+0DH	R/W	Registro di controllo D
	REGE	INDPCS1+0EH	R/W	Registro di controllo E
REGF	INDPCS1+0FH	R/W	Registro di controllo F	
W. DOG	RWD	INDPCS6+00H	R/W	Registro di retrigger del Watch Dog

FIGURA 27: TABELLA INDIRIZZAMENTO I/O

Si ricorda che la precedente tabella riporta la descrizione dei soli registri delle periferiche esterne al microprocessore e che per la descrizione di quelli interni si può fare riferimento all'apposita documentazione della casa costruttrice, oppure all'appendice B di questo manuale. Il valore degli indirizzi riportati in tabella (INDPCS0, INDPCS1, ecc) é definita dalla programmazione effettuata sulla CSU.

MAPPAGGIO ABACO® I/O BUS

La CSU della **GPC® 884** provvede anche alla gestione dell'**ABACO® I/O BUS**, definendo gli indirizzi in cui tale BUS viene allocato; come si può notare dalla tabella indirizzamento I/O, tale BUS è indirizzato in corrispondenza degli indirizzi del /PCS0 per una estensione di 256 bytes. Un accesso in I/O in un qualsiasi indirizzo compreso in questo range abilita il segnale /IORQ e tutti gli altri segnali di controllo di CN1. Nella fase di mappaggio di eventuali schede periferiche collegate alla scheda, solo il byte meno significativo dell'indirizzo di I/O è significativo in quanto l'**ABACO® I/O BUS** prevede solo 8 bit d'indirizzamento ed 8 bit di dati.

MAPPAGGIO MEMORIE

Sulla scheda i 1032K Byte di memoria che possono essere montati sono così allocati:

Fino a 512K Byte di EPROM o 512K Byte di FLASH EPROM allocati nello spazio di memoria.

Fino a 512K Byte di RAM allocati nello spazio di memoria.

Fino a 8K Byte di EEPROM seriale allocati indirettamente nello spazio di I/O.

La **GPC® 884** può indirizzare direttamente un massimo di 1M Byte di memoria che coincide con lo spazio d'indirizzamento fisico del microprocessore. Questa capacità di memoria, sulla scheda, può essere suddivisa in diversi segmenti distinti ognuno dei quali può avere indirizzi d'inizio e dimensioni programmabili via software. La circuiteria di CSU, interna al microprocessore, si occupa appunto di dividere lo spazio direttamente indirizzato dalla CPU in vari segmenti e di allocarli in memoria nello spazio dei dispositivi fisici. Programmando la circuiteria di CSU tramite gli appositi registri, è quindi possibile indirizzare direttamente la quantità di memoria effettivamente montata su IC 5 ed IC 13, con la facoltà di definire anche le modalità e le tempistiche d'accesso.

Viene di seguito riportata una figura che illustra le possibili configurazioni dei dispositivi allocati nello spazio di memoria; per maggiori informazioni sulle modalità di gestione della CSU fare riferimento all'appendice B, mentre per una facile individuazione e configurazione dei dispositivi di memoria fare riferimento alla figura 13.

All'atto del power on o del reset la CSU è programmata in modo da allocare un segmento di 64K Bytes alla fine dello spazio fisico d'indirizzamento della CPU, quindi la scheda parte con l'esecuzione del codice posto all'indirizzo fisico FFFF0H che corrisponde sempre con l'ultimo segmento da 16 Bytes della EPROM o FLASH EPROM di IC 5 .

Alcuni pacchetti software, come il GDOS ed il GCTR, si occupano autonomamente della gestione della circuiteria di CSU per allocare tutta la memoria fisicamente presente a bordo scheda nello spazio d'indirizzamento del microprocessore, senza interessare direttamente l'utente.

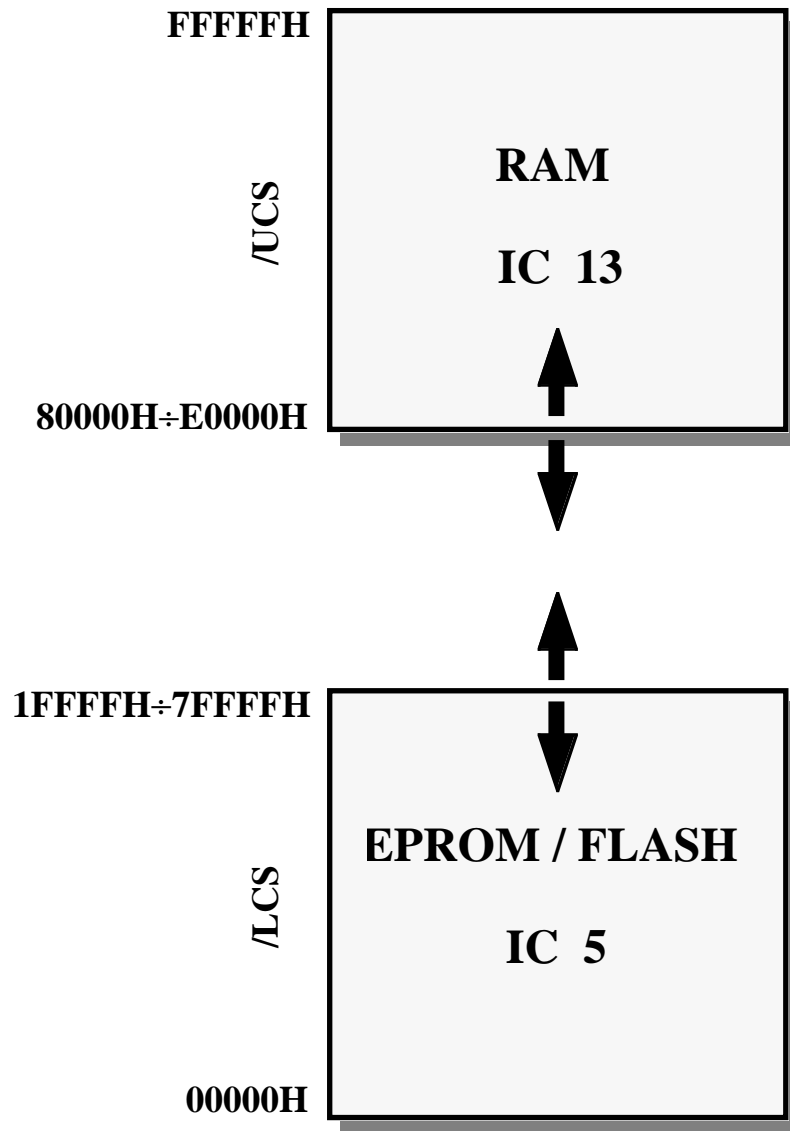


FIGURA 28: MAPPAGGIO DELLE MEMORIE

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri (al fine di comprendere le successive informazioni, fare sempre riferimento alla tabella di indirizzamento I/O). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento all'appendice B di questo manuale. Nei paragrafi successivi si usano le indicazioni D0÷D7 per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O.

WATCH DOG

Il retrigger della circuiteria di watch dog presente sulla **GPC® 884**, avviene tramite una semplice operazione di input e/o output al registro RWD. Affinché la circuiteria di watch dog non intervenga, è indispensabile retriggerarla ad intervalli regolari di durata inferiore al tempo d'intervento. Se ciò non avviene e tramite il jumper JS10 la circuiteria è attivata, una volta scaduto il tempo d'intervento la scheda viene resettata. Il tempo d'intervento è di circa 1,4 sec e nella condizione di default, la circuiteria è disabilitata.

JUMPER CONFIGURAZIONE INPUT UTENTE

Il jumper di configurazione J1 presente sulla **GPC® 884** può essere acquisito via software, effettuando una semplice operazione di input all'indirizzo di allocazione del registro RUNDEB ed esaminando il bit D7. L'acquisizione è in logica negata, ovvero il jumper connesso fornisce lo stato logico 0 al corrispondente bit, mentre il jumper non connesso fornisce lo stato logico 1. Tale jumper svolge la funzione di selettore delle modalità RUN (non connesso) o DEBUG (connesso), caratteristica di alcuni pacchetti software della **grifo®**.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (IC 11), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. Si ricorda solo che i primi 32 bytes (0÷31) sono riservati e perciò si deve evitare la modifica dei medesimi. La sezione PIO della CPU consente la gestione software della EEPROM tramite i suoi registri, con le seguenti corrispondenze:

PIO 04 (input/output)	->	linea DATA (SDA)
PIO 06 (output)	->	linea CLOCK (SCL)

Data l'implementazione hardware della circuiteria di gestione del modulo di EEPROM seriale, si ricorda che di tale dispositivo i segnali A0,A1,A2 dello slave address sono tutti posti a0 logico. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del relativo segnale.

A/D CONVERTER

Per quanto riguarda la gestione software degli 11 canali di A/D converter, di cui é dotata la **GPC® 884**, si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. La sezione PIO della CPU consente la gestione software dell'A/D converter tramite i suoi registri, con le seguenti corrispondenze:

PIO 04 (output)	->	linea DATA IN
PIO 09 (input)	->	linea DATA OUT
PIO 05 (output)	->	linea I/O CLOCK
PIO 29 (output)	->	linea /CS

Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del relativo segnale.

REAL TIME CLOCK

Questa periferica è vista in 16 locazioni di I/O consecutive di cui 3 di stato e le rimanenti 13 per i dati. I registri dati sono utilizzati sia per operazioni di lettura (dell'orario attuale) che di scrittura (per l'inizializzazione dell'orologio) così come i registri di stato i quali sono utilizzati in scrittura (per la programmazione del modo di funzionamento dell'orologio) ed in lettura (per determinare lo stato dell'orologio). Per quanto riguarda il significato dei registri dati vale la corrispondenza:

SEC1	- Unita' dei secondi	- 4 bit meno significativi:	SEC1.3÷SEC.0
SEC10	- Decine dei secondi	- 3 bit meno significativi:	SEC10.2÷SEC10.0
MIN1	- Unita' dei minuti	- 4 bit meno significativi:	MIN1.3÷MIN1.0
MIN10	- Decine dei minuti	- 3 bit meno significativi:	MIN10.2÷MIN10.0
HOU1	- Unita' delle ore	- 4 bit meno significativi:	HOU1.3÷HOU1.0
HOU10	- Decine delle ore	- 2 bit meno significativi:	HOU10.1÷HOU10.0
Il terzo bit di tale registro, H10.2, indica l'AM/PM			
DAY1	- Unita' del giorno	- 4 bit meno significativi:	DAY1.3÷DAY1.0
DAY10	- Decine del giorno	- 2 bit meno significativi:	DAY10.1÷DAY10.0
MON1	- Unita' del mese	- 4 bit meno significativi:	MON1.3÷MON1.0
MON10	- Decine del mese	- 1 bit meno significativo:	MON10.0
YEA1	- Unita' dell' anno	- 4 bit meno significativi:	YEA1.3÷YEA1.0
YEA10	- Decine dell' anno	- 4 bit meno significativi:	YEA10.3÷YEA10.0
WEE	- Giorno della settimana	- 3 bit meno significativi:	WEE.2÷WEE.0

Per quest' ultimo registro vale la corrispondenza:

WEE.2	WEE.1	WEE.0	Giorno della settimana
0	0	0	Domenica
0	0	1	Lunedì
0	1	0	Martedì
0	1	1	Mercoledì
1	0	0	Giovedì
1	0	1	Venerdì
1	1	0	Sabato

I tre registri di controllo sono invece utilizzati come segue:

D7 D6 D5 D4 D3 D2 D1 D0
REGD = NU NU NU NU 30S IF B H

dove:

NU = Non usato

30S = Se attivo (1) permette di effettuare una correzione di 30 secondi dell'orario. Una volta settato i secondi del RTC vengono azzerati ed i minuti incrementati se il precedente valore dei secondi era superiore o uguale a 30.

IF = Gestisce lo stato d'interrupt del RTC. In lettura riporta lo stato attuale d'interrupt (1=attivo e viceversa), mentre se resettato con una scrittura determina la fine interrupt, quando il RTC lavora in interrupt mode.

B = Indica se possono essere effettuate operazioni di lettura/scrittura dei registri: 1 -> operazioni impossibili e viceversa.

H = Se attivo (1) effettua la memorizzazione dell'orario fissato.

D7 D6 D5 D4 D3 D2 D1 D0
REG E = NU NU NU NU T1 T0 I M

dove:

NU = Non usato.

T1 T0 = Determinano la durata del periodo di interrupt

0 0 -> 1/64 secondo

0 1 -> 1 secondo

1 0 -> 1 minuto

1 1 -> 1 ora

I = Determina modalità di gestione interrupt: se settato seleziona l'interrupt mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva con un reset del bit IF del registro D; se resettato seleziona lo standard mode in cui l'interrupt si attiva allo scadere del periodo programmato e si disattiva autonomamente dopo 7,8 msec.

M = Se settato (1) disabilita il pin di interrupt del RTC e viceversa.

D7 D6 D5 D4 D3 D2 D1 D0
REG F = NU NU NU NU T 24/12 S R

dove:

NU = Non usato.

T = Stabilisce da quale contatore interno prelevare il segnale di conteggio: 1 -> contatore principale (conteggio veloce per test); 0 -> 15° contatore (conteggio normale).

24/12 = Stabilisce il modo di conteggio delle ore: 1 -> 0÷23; 0 -> 0÷11 con AM/PM.

S = Se settato provoca l'arresto dell'avanzamento dell'orologio fino alla successiva abilitazione.

R = Se settato (1) provoca il reset di tutti i contatori interni.

PERIFERICHE DELLA CPU

La descrizione dei registri e del relativo significato di tutte le periferiche interne della CPU (ASP, TCU, DMA, ICU, CSU, ecc) é disponibile nell'appendice B. Qualora queste informazioni fossero ancora insufficienti, fare riferimento alla documentazione tecnica della casa costruttrice.

SCHEDE ESTERNE

La scheda **GPC® 884** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 884** alle numerose schede periferiche del carteggio **grifo®** tramite l'**ABACO®** I/O BUS. Anche schede in formato Europa con BUS **ABACO®** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle caratteristiche di massima; per maggiori informazioni richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela

Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G26

Quick Terminal Panel 26 tasti con LCD grafico

Interfaccia operatore provvista di display grafico da 240x128 pixel retroilluminato a LEDs; tastiera a membrana da 26 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232. Tasti ed etichette personalizzabili dall'utente tramite serigrafie da inserire in apposite tasche; contenitore metallico e plastico; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

MCI 64

Memory Cards Interfaces 64 MBytes

Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO®**; sono disponibili driver per linguaggi ad alto livello.

IBC 01

Interface Block Communication

Scheda di conversioni per comunicazioni seriali. 2 linee RS 232; 1 linea RS 422-485; 1 linea in fibra ottica; interfaccia DTE/DCE selezionabile; attacco rapido per guide tipo DIN 46277-1 e 3.

ZBR xxx

Zippered BLOCK Relays xx Input + xx Output

Periferica per xx Input optoisolati e visualizzati tipo NPN; xx relé da 3A con MOV; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO®** I/O BUS; LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapido per guide Ω . Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

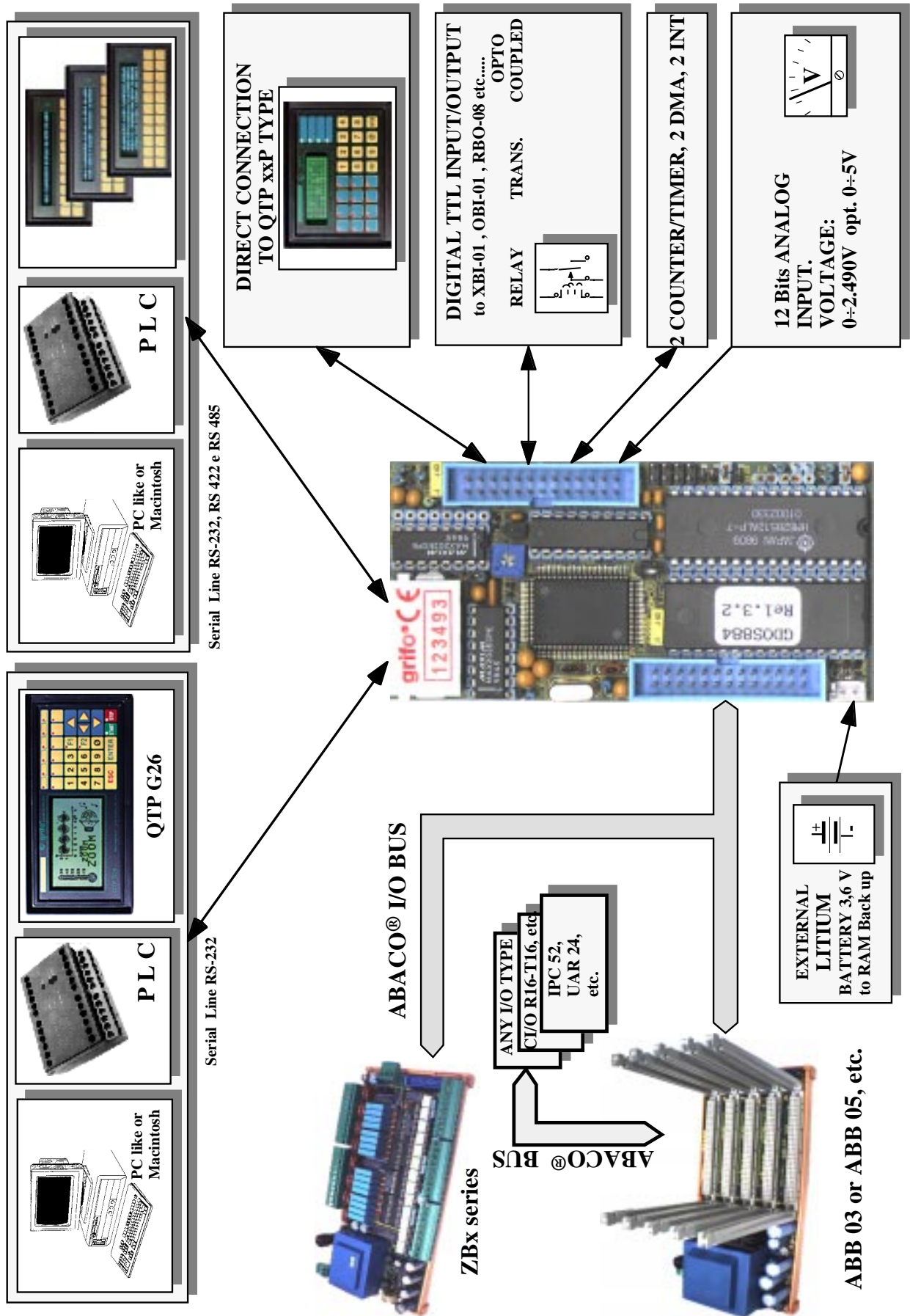


FIGURA 29: SCHEMA DELLE POSSIBILI CONNESSIONI

IAC 01

Interface Adapter Centronics

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO**[®] a 20 vie e connettore a vaschetta D 25 vie femmina con pin out standard Centronics per la gestione di una stampante parallela.

OBI N8 - OBI P8

Opto BLOCK Input NPN-PNP

Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO**[®] a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08

Transistor BLOCK Output

Interfaccia per 16 connettore normalizzato I/O **ABACO**[®] a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

RBO 08 - RBO 16

Relé BLOCK Output

Interfaccia per connettore normalizzato I/O **ABACO**[®] a 20 vie; 8 o 16 output visualizzati con relé da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

FBC 20 - FBC 120

Flat Block Contact 20 vie

Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiera a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01

Didactis Experimental Board

Scheda di supporto per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, display LCD, display Fluorescente, connettore I/O **GPC**[®] 68; collegamento con il campo.

IAL 42

Interface Adapter LCD

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO**[®] e connettore a scatolino a 14 vie con pin out standard per la gestione di display fluorescenti LCD.

XBI 01

miXed BLOCK Input-Output

Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO**[®] a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

XBI R4 - XBI T4

miXed BLOCK Input-Output

Interfaccia per connettore normalizzato I/O **ABACO**[®] a 20 vie; 4 relé da 3 A con MOV o 4 transistor open collectors da 3 A optoisolati; 4 linee di input optoisolate; linee di I/O visualizzate; connettore a morsettiera; attacco rapido per guide DIN tipo C e guide Ω .

ZBT xxx

Zipped BLOCK Transistors xx Input + xx Output

Periferica per xy Input optoisolati e visualizzati tipo NPN; yz darlington da 3A con diodo di ricircolo; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO**® I/O BUS; 61 LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapido per guide Ω . Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

ABB 05

Abaco® Block BUS 5 slots

Mother board **ABACO**® da 5 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO**® I/O BUS; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω .

ABB 03

Abaco® Block BUS 3 slots

Mother board **ABACO**® da 3 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO**® I/O BUS. Attacco rapido per guide Ω .

ADC 812

Analog to Digital Converter, 8 channels, 12 bits multi-range

Modulo periferico della serie 4 (100x50 mm); A/D converter DAS (Data Acquisition System) multi-range a 8 canali da 12 bit; Track-Hold; tempo di conversione 6 μ s; range dei segnali d'ingresso ± 10 , ± 5 , +10, +5Vdc oppure 0÷20, 4÷20mA; interfaccia per **ABACO**® I/O BUS; possibilità di montaggio diretto su guide Ω di tipo DIN 46277-1 e 3.

DAC 212

Digital to Analog Converter 12 bits, multi-range

Modulo periferico della serie 4 (100x50 mm); D/A converter multi-range a 2 canali da 12 bit; range del segnali d'uscita ± 10 o 0/+10 Vdc; interfaccia per **ABACO**® I/O BUS; possibilità di montaggio diretto su guide Ω di tipo DIN 46277-1 e 3.

CAN 14

Control Area Network, 1 channel, galvanically insulated

Modulo periferico della serie 4 (100x50 mm); UART CAN SJA1000; 1 canale seriale galvanicamente isolato; interfaccia per **ABACO**® I/O BUS; possibilità di montaggio diretto su guide Ω di tipo DIN 46277-1 e 3.

BIBLIOGRAFIA

E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 884**.

Manuale TEXAS INSTRUMENTS:	<i>The TTL Data Book - SN54/74 Families</i>
Manuale TEXAS INSTRUMENTS:	<i>RS-422 and RS-485 Interface Circuits</i>
Manuale TEXAS INSTRUMENTS:	<i>Data Acquisition Circuits Data Book</i>
Manuale NEC:	<i>Memory Products</i>
Manuale MAXIM:	<i>New Releases Data Book - Volume IV</i>
Manuale MAXIM:	<i>New Releases Data Book - Volume V</i>
Manuale XICOR:	<i>Data Book</i>
Manuale NATIONAL SEMICONDUCTOR:	<i>Linear Databook - Volume 1</i>
Documentazione SEIKO EPSON:	<i>REAL TIME CLOCK MODULE RTC-72421 Application manual</i>
Manuale AMD:	<i>Am186ES and Am188ES User manual</i>

APPENDICE A: DISPOSIZIONE JUMPERS E DRIVERS

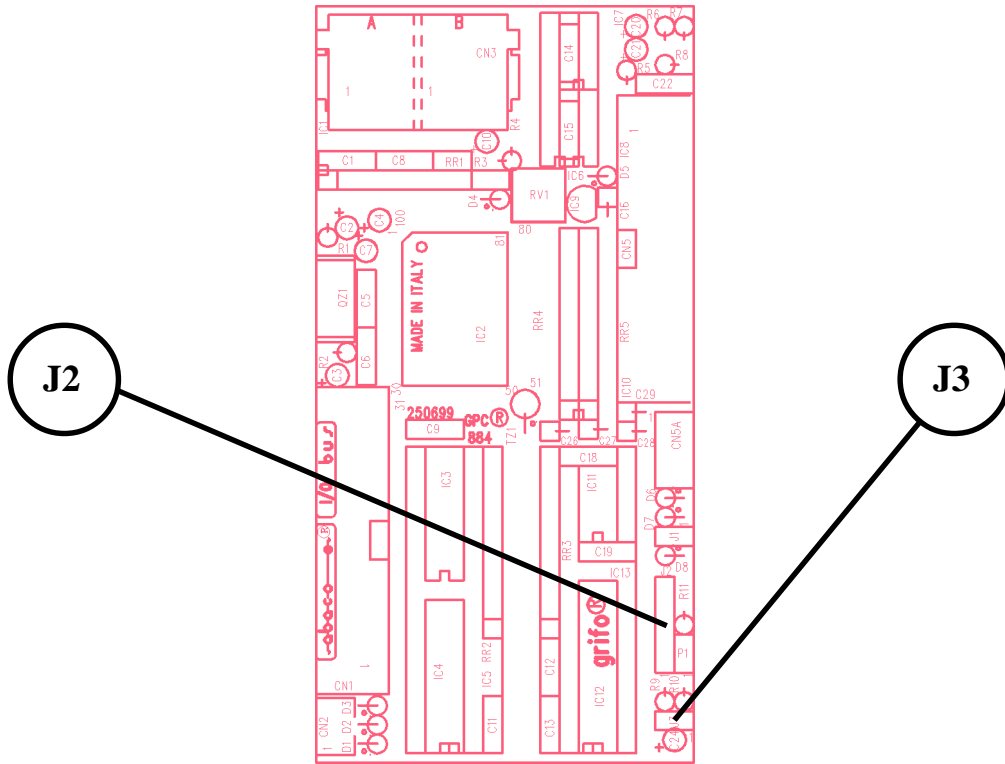


FIGURA A1: DISPOSIZIONE JUMPERS PER MEMORIE

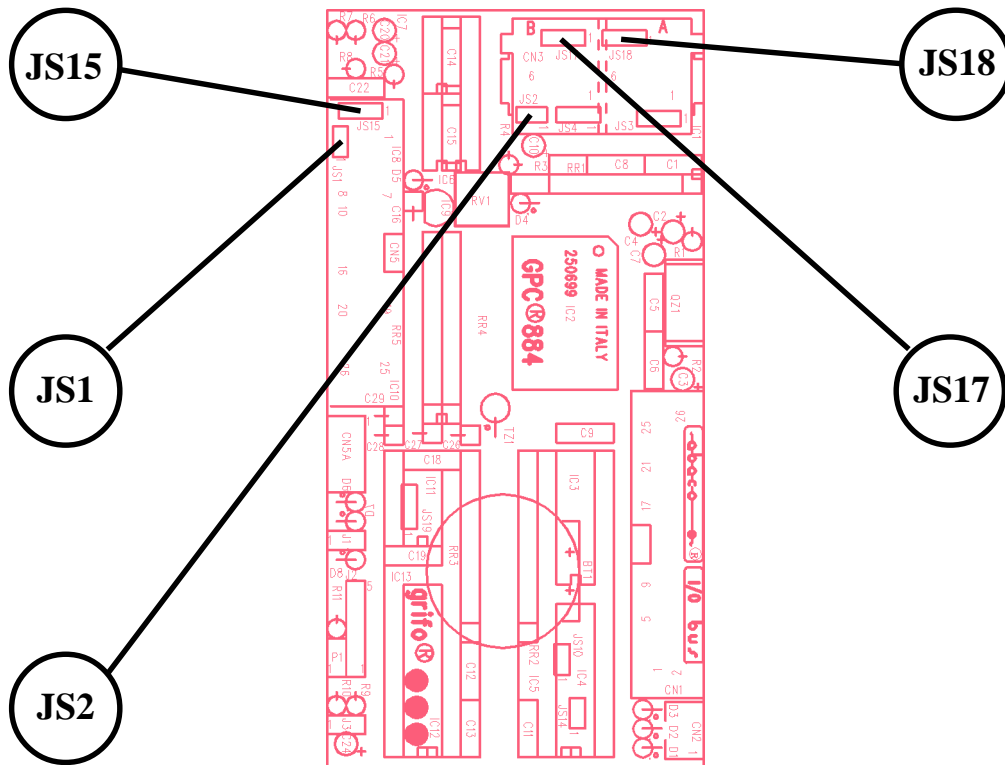
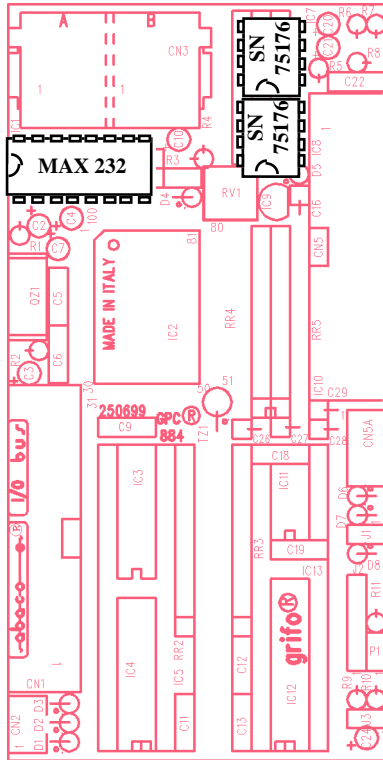
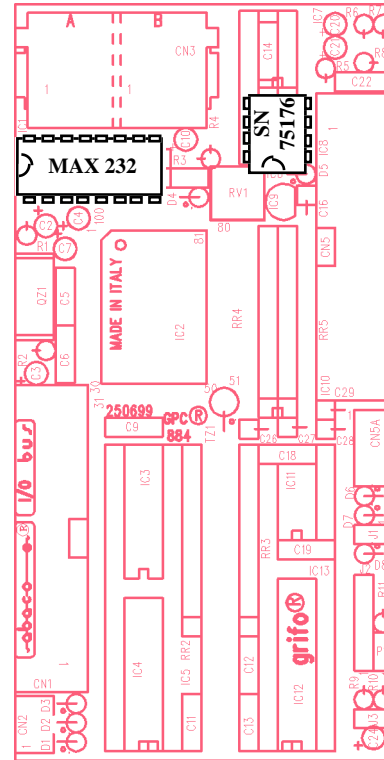


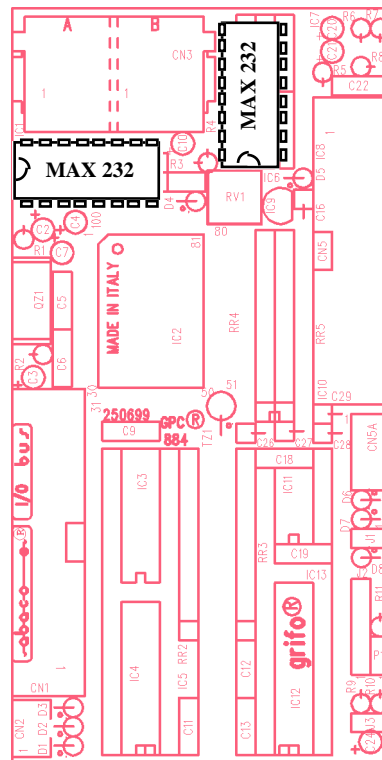
FIGURA A2: DISPOSIZIONE JUMPERS PER COMUNICAZIONE SERIALE



Seriele A = RS 232
Seriele B = RS 422



Seriele A = RS 232
Seriele B = RS 485



Seriele A = RS 232
Seriele B = RS 232

FIGURA A3: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

PRELIMINARY



Am186™ ES/ESLV and Am188™ ES/ESLV

High Performance, 80C186-/80C188-Compatible and
80L186-/80L188-Compatible, 16-Bit Embedded Microcontrollers

DISTINCTIVE CHARACTERISTICS

- n **E86™ family 80C186-/188- and 80L186-/188-compatible microcontrollers with enhanced bus interface**
 - Lower system cost with higher performance
 - 3.3-V \pm 0.3-V operation (Am186ESLV and Am188ESLV microcontrollers)
- n **High performance**
 - 20-, 25-, 33-, and 40-MHz operating frequencies
 - Supports zero-wait-state operation at 25 MHz with 100-ns static memory (Am186ESLV and Am188ESLV microcontrollers) and 40 MHz with 70-ns static memory (Am186ES and Am188ES microcontrollers)
 - 1-Mbyte memory address space
 - 64-Kbyte I/O space
- n **Enhanced features provide improved memory access and remove the requirement for a 2x clock input**
 - Nonmultiplexed address bus
 - Processor operates at the clock input frequency
 - On the Am186ES/ESLV microcontroller, 8-bit or 16-bit memory and I/O static bus option
- n **Enhanced integrated peripherals provide increased functionality, while reducing system cost**
 - Thirty-two programmable I/O (PIO) pins
 - Two full-featured asynchronous serial ports allow full-duplex, 7-bit, 8-bit, or 9-bit data transfers
 - Serial port hardware handshaking with $\overline{\text{CTS}}$, $\overline{\text{RTS}}$, $\overline{\text{ENRX}}$, and $\overline{\text{RTR}}$ selectable for each port
 - Multidrop 9-bit serial port protocol
 - Independent serial port baud rate generators
 - DMA to and from the serial ports
 - Watchdog timer can generate NMI or reset
 - A pulse-width demodulation option
 - A data strobe, true asynchronous bus interface option included for DEN
 - Pseudo static RAM (PSRAM) controller includes auto refresh capability
 - Reset configuration register
- n **Familiar 80C186/80L186 peripherals**
 - Two independent DMA channels
 - Programmable interrupt controller with up to eight external and eight internal interrupts
 - Three programmable 16-bit timers
 - Programmable memory and peripheral chip-select logic
 - Programmable wait state generator
 - Power-save clock divider
- n **Software-compatible with the 80C186/80L186 and 80C188/80L188 microcontrollers with widely available native development tools, applications, and system software**
- n **A compatible evolution of the Am186™EM and Am188™EM microcontrollers**
- n **Available in the following packages:**
 - 100-pin, thin quad flat pack (TQFP)
 - 100-pin, plastic quad flat pack (PQFP)

GENERAL DESCRIPTION

The Am186™ ES/ESLV and Am188™ ES/ESLV microcontrollers are an ideal upgrade for 80C186/188 and 80L186/188 microcontroller designs requiring 80C186/188 and 80L186/188 compatibility, increased performance, serial communications, and a direct bus interface.

The Am186ES/ESLV and Am188ES/ESLV microcontrollers are part of the AMD E86 family of embedded microcontrollers and microprocessors based on the x86 architecture. The E86 family includes the 16- and 32-bit microcontrollers and microprocessors described on page 8.

The Am186ES/ESLV and Am188ES/ESLV microcontrollers have been designed to meet the most common requirements of embedded products developed for the office automation, mass storage, and communications markets. Specific applications include disk drives, hand-held and desktop terminals, set-top controllers, fax machines, printers, photocopiers, feature phones, cellular phones, PBXs, multiplexers, modems, and industrial controls.

This document contains information on a product under development at Advanced Micro Devices. The information is intended to help you evaluate this product. AMD reserves the right to change or discontinue work on this proposed product without notice.

Publication# 20002 Rev: B Amendment/0
Issue Date: February 1997



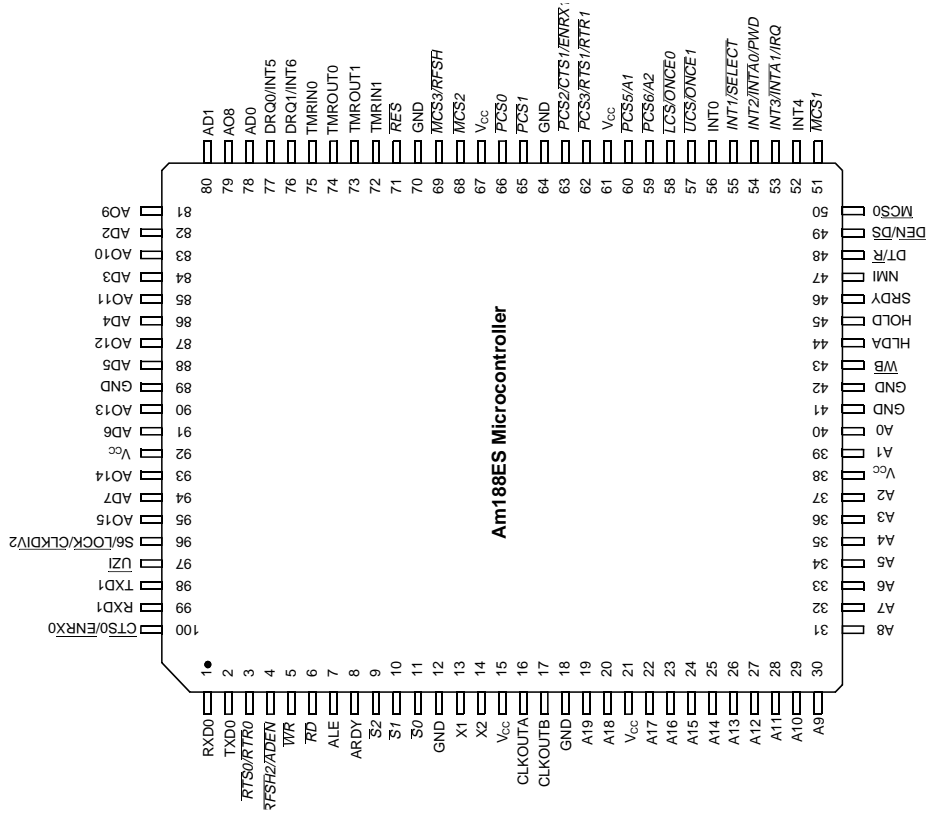
PRELIMINARY

AMDE

CONNECTION DIAGRAM

Am188ES Microcontroller

Top Side View—100-Pin Plastic Quad Flat Pack (PQFP)



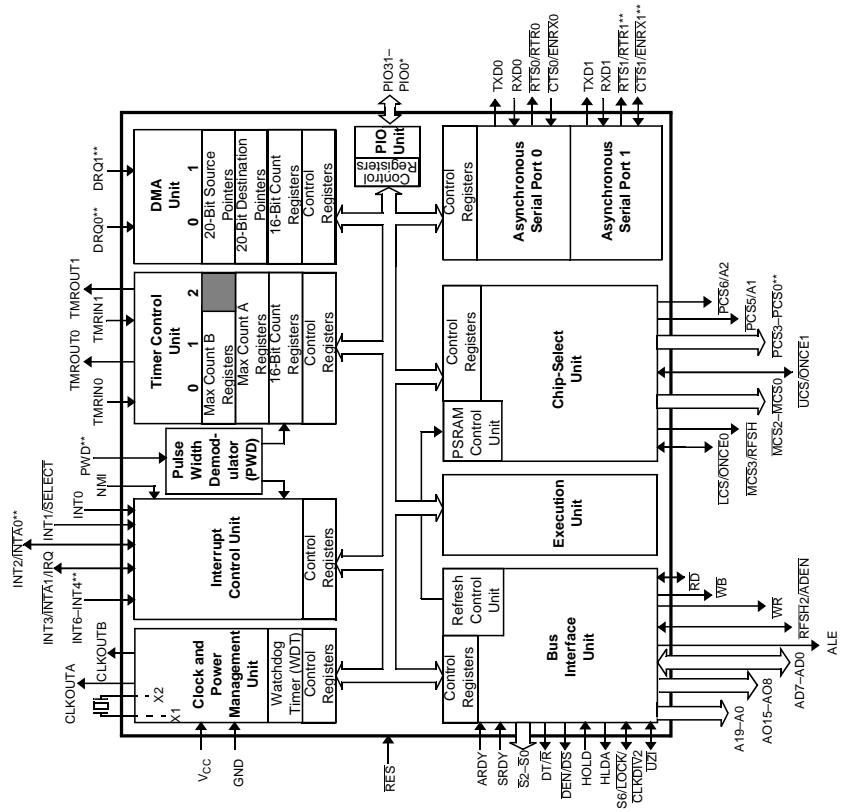
Note: Pin 1 is marked for orientation.

Am186/188ES and Am186/188ESLV Microcontrollers

PRELIMINARY

AMDE

Am188ES MICROCONTROLLER BLOCK DIAGRAM



Notes: *All PIO signals are shared with other physical pins. See the pin descriptions beginning on page 27 and Table 2 on page 34 for information on shared functions.
** PWD, INT5, INT6, RTS1/RTR1, and CTS1/ENRX1 are multiplexed with INT2/INTA0, DRQ0, DRQ1, PCS3, and PCS2 respectively. See the pin descriptions beginning on page 27.

Am186/188ES and Am186/188ESLV Microcontrollers



Table 4-1 Peripheral Control Block Register Map

Register Name	Offset	Page	Register Name	Offset	Page
Processor Control Registers: Chapters 4 and 6					
Peripheral control block relocation register	F6h	4-3	Timer 2 mode/control register	66h	8-5
Reset configuration register	F6h	4-4	Timer 2 max count compare A register	62h	8-7
Processor release level register	F4h	4-5	Timer 2 count register	60h	8-6
Auxiliary configuration register	F2h	4-6	Timer 1 mode/control register	5Eh	8-3
System configuration register	F0h	4-7	Timer 1 max count compare B register	5Ch	8-7
Watchdog timer control register	E6h	6-3	Timer 1 max count compare A register	5Ah	8-7
Enable RCU register	E4h	6-2	Timer 1 count register	58h	8-6
Clock prescaler register	E2h	6-2	Timer 0 mode/control register	56h	8-3
Memory partition register	E0h	6-1	Timer 0 max count compare B register	54h	8-7
DMA Registers: Chapter 9					
DMA 0 control register	CAh	9-3	Timer 0 max count compare A register	52h	8-7
DMA 1 control register	DAh	9-3	Timer 0 count register	50h	8-6
DMA 1 transfer count register	D8h	9-6	Interrupt Registers: Chapter 7		
DMA 1 destination address high register	D6h	9-7	Serial port 0 interrupt control register	44h	7-18
DMA 1 destination address low register	D4h	9-8	Serial port 1 interrupt control register	42h	7-18
DMA 1 source address high register	D2h	9-9	INT4 interrupt control register	40h	7-16
DMA 1 source address low register	D0h	9-10	INT3 control register	3Eh	7-15
DMA 0 control register	CAh	9-3	INT2 control register	3Ch	7-15
DMA 0 transfer count register	C8h	9-6	INT1 control register	3Ah	7-14
DMA 0 destination address high register	C6h	9-7	INT0 control register	38h	7-14
DMA 0 destination address low register	C4h	9-8	DMA1/INT6 interrupt control register	36h	7-17
DMA 0 source address high register	C2h	9-9	DMA0/INT5 interrupt control register	34h	7-17
DMA 0 source address low register	C0h	9-10	Timer interrupt control register	32h	7-29
Chip-Select Registers: Chapter 5					
PCS and MCS auxiliary register	A8h	5-10	Interrupt status register	30h	7-19
Midrange memory chip-select register	A6h	5-8	Interrupt request register	2Eh	7-20
Peripheral chip-select register	A4h	5-12	Interrupt in-service register	2Ch	7-22
Low memory chip-select register	A2h	5-6	Interrupt priority mask register	2Ah	7-23
Upper memory chip-select register	A0h	5-4	Interrupt mask register	28h	7-34
Serial Port 0 Registers: Chapter 10					
Serial port 0 baud rate divisor register	88h	10-13	Interrupt poll status register	26h	7-25
Serial port 0 receive register	86h	10-12	Interrupt poll register	24h	7-26
Serial port 0 transmit register	84h	10-11	End-of-interrupt register	22h	7-27
Serial port 0 status register	82h	10-9	Interrupt vector register	20h	7-36
Serial port 0 control register	80h	10-5	Serial Port 1 Registers: Chapter 10		
PIO Registers: Chapter 11					
PIO data 1 register	7Ah	11-5	Serial port 1 baud rate divisor register	18h	10-13
PIO direction 1 register	78h	11-4	Serial port 1 receive register	16h	10-12
PIO mode 1 register	76h	11-3	Serial port 1 transmit register	14h	10-11
PIO data 0 register	74h	11-5	Serial port 1 status register	12h	10-9
PIO direction 0 register	72h	11-4	Serial port 1 control register	10h	10-5
PIO mode 0 register	70h	11-3			

Note: All unused addresses are reserved and should not be accessed.

4.1.1 Peripheral Control Block Relocation Register (RELREG, Offset FEh)

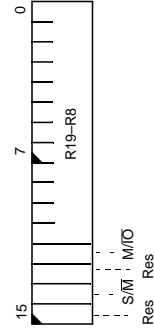
The peripheral control block is mapped into either memory or I/O space by programming the Peripheral Control Block Relocation (RELREG) register (see Figure 4-1). This register is a 16-bit register at offset FEh from the control block base address. The Peripheral Control Block Relocation register provides the upper 12 bits of the base address of the control block. The control block is effectively an internal chip select range.

Other chip selects can overlap the control block only if they are programmed to zero wait states and ignore external ready. If the control register block is mapped into I/O space, the upper four bits of the base address must be programmed as 0000b (since I/O addresses are only 16 bits wide).

In addition to providing relocation information for the control block, the Peripheral Control Block Relocation register contains a bit that places the interrupt controller into either slave mode or master mode.

At reset, the Peripheral Control Block Relocation register is set to 20FFh, which maps the control block to start at FF00h in I/O space. An offset map of the 256-byte peripheral control register block is shown in Table 4-1.

Figure 4-1 Peripheral Control Block Relocation Register



The value of the RELREG register is 20FFh at reset.

Bit 15: Reserved

Bit 14: Slave/Master (S/M)—Configures the interrupt controller for slave mode when set to 1 and for master mode when set to 0.

Bit 13: Reserved

Bit 12: Memory/I/O Space (M/I/O)—When set to 1, the peripheral control block (PCB) is located in memory space. When set to 0, the PCB is located in I/O space.

Bits 11-0: Relocation Address Bits (R19-R8)—R19-R8 define the upper address bits of the PCB base address. The lower eight bits (R7-R0) default to 00h. R19-R16 are ignored when the PCB is mapped to I/O space.



AMDE

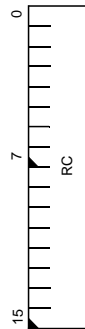
4.1.2 Reset Configuration Register (RESCON, Offset F6h)

The Reset Configuration (RESCON) register (see Figure 4-2) in the peripheral control block latches system-configuration information that is presented to the processor on the address/data bus (AD15-AD0 for the 186 or AO15-AO8 and AD7-AD1 for the 188) during the rising edge of reset. The interpretation of this information is system-specific. The processor does not impose any predetermined interpretation, but simply provides a means for communicating this information to software.

When the RES input is asserted Low, the contents of the address/data bus are written into the Reset Configuration register. The system can place configuration information on the address/data bus using weak external pullup or pulldown resistors, or using an external driver that is enabled during reset. The processor does not drive the address/data bus during reset.

For example, the Reset Configuration register could be used to provide the software with the position of a configuration switch in the system. Using weak external pullup and pulldown resistors on the address and data bus, the system could provide the microcontroller with a value corresponding to the position of a jumper during a reset.

Figure 4-2 Reset Configuration Register



The value of the RESCON register is system-dependent.

Bits 15-0: Reset Configuration (RC)—There is a one-to-one correspondence between address/data bus signals during the reset and the Reset Configuration register's bits. On the Am186ES microcontroller, AD15 corresponds to bit 15 of the Reset Configuration register, and so on. On the Am188ES microcontroller, AO15 corresponds to register bit 15 and AD7 corresponds to bit 7. Once RES is deasserted, the Reset Configuration register holds its value. This value can be read by software to determine the configuration information.

The contents of the Reset Configuration register are read-only and remain valid until the next processor reset.

Peripheral Control Block

4-4

AMDE

4.1.3 Processor Release Level Register (PRL, Offset F4h)

The Processor Release Level register (Figure 4-3) is a read-only register that specifies the processor version.

Figure 4-3 Processor Release Level Register



Bits 15-8: Processor Release Level (PRL)—This byte returns the current release level of the processor, as well as the identification of the family member. The Am186ES and Am188ES microcontrollers' revision A PRL is 10h.

Bits 7-0: Reserved

Table 4-2 Processor Release Level (PRL) Values

PRL Value	Processor Release Level
10h	A
11h	B
12h	C
13h	D
14h	E

4-5



4.1.4

Auxiliary Configuration Register (AUXCON, Offset F2h)

The auxiliary configuration register is used to configure the asynchronous serial port flow-control signals and to configure the data bus width for memory and I/O accesses. The format of the auxiliary configuration register is shown in Figure 4-4.

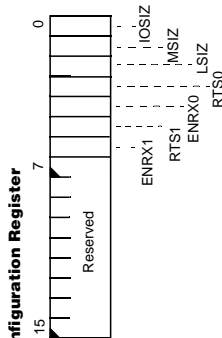


Figure 4-4

The reset value of this register is 0000h.

Bits 15-7: Reserved

Bit 6: Serial Port 1 Enable Receiver Request (ENRX1)—When this bit is 1, the CTS1/ENRX1 pin is configured as ENRX1. When this bit is 0, the CTS1/ENRX1 pin is configured as CTS1. This bit is 0 after processor reset.

Bit 5: Serial Port 1 Request to Send (RTS1)—When this bit is 1, the RTR1/RTS1 pin is configured as RTS1. When this bit is 0, the RTR1/RTS1 pin is configured as RTR1. This bit is 0 after processor reset.

Bit 4: Serial Port 0 Enable Receiver Request (ENRX0)—When this bit is 1, the CTS0/ENRX0 pin is configured as ENRX0. When this bit is 0, the CTS0/ENRX0 pin is configured as CTS0. This bit is 0 after processor reset.

Bit 3: Serial Port 0 Request to Send (RTS0)—When this bit is 1, the RTR0/RTS0 pin is configured as RTS0. When this bit is 0, the RTR0/RTS0 pin is configured as RTR0. This bit is 0 after processor reset.

Bit 2: LCS Data Bus Size (LSIZ)—(Am186ES microcontroller only) This bit determines the width of the data bus for accesses to LCS space. If this bit is 1, 8-bit accesses are performed. If this bit is 0, 16-bit accesses are performed. This bit should not be modified while executing from LCS space or while the PCB is overlaid with LCS space. This bit is 0 after processor reset.

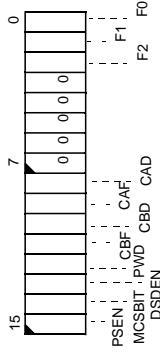
Bit 1: Midrange Data Bus Size (MSIZ)—(Am186ES microcontroller only) This bit determines the width of the data bus for memory accesses which do not fall into the UCS or LCS address spaces, including MCS address space and PCS address space, if mapped to memory. If this bit is 1, 8-bit accesses are performed. If this bit is 0, 16-bit accesses are performed. This bit should not be modified while executing from the associated address space or while the PCB is overlaid on this address space. This bit is 0 after processor reset.

Bit 0: I/O Space Data Bus Size (IOSIZ)—(Am186ES microcontroller only) This bit determines the width of the data bus for all I/O space accesses. If this bit is 1, 8-bit accesses are performed. If this bit is 0, 16-bit accesses are performed. This bit is 0 after processor reset. This bit should not be modified while the PCS is located in I/O space.

4.1.5 System Configuration Register (SYSCON, Offset F0h)

The format of the system configuration register is shown in Figure 4-5.

Figure 4-5 System Configuration Register



The value of the SYSCON register at reset is 0000h.

Bit 15: Enable Power-Save Mode (PSEN)—When set to 1, enables power-save mode and divides the internal operating clock by the value in F2-F0. PSEN is automatically cleared when an external interrupt, including those generated by on-chip peripheral devices, occurs. The value of the PSEN bit is not restored by the execution of an IRET instruction. Software interrupts (INT instruction) and exceptions do not clear the PSEN bit, and interrupt service routines for these conditions should do so, if desired. This bit is 0 after processor reset.

Bit 14: MCS0 Only Mode Bit (MCSBIT)—This bit controls the MCS0 only mode. When set to 0, the middle chip selects operate normally. When set to 1, MCS0 is active over the entire MCS range. This bit is 0 after processor reset.

Bit 13: Data Strobe Mode of DEN Enable (DSDEN)—This bit enables the data strobe timings on the DEN pin. When this bit is set to 1, data strobe bus mode is enabled, and the DS timing for reads and writes is identical to the normal read cycle DEN timing. When this bit is set to 0, the DEN timing for both reads and writes is normal. The DEN pin is renamed DS in data strobe bus mode. This bit is 0 after processor reset.

During the bus cycle in which the DSDEN bit of the SYSCON register is written, the timing of the DEN/DS pin is slightly different from normal. When a 1 is written to the DSDEN bit (which previously contained a 0), the falling edge of DEN/DS occurs during PH2 of T₁, as it does during a normal write cycle, but the rising edge occurs during PH1 of T₄ in conformance with the data strobe timing. All writes after this have the normal data strobe timing until the DSDEN bit is reset.

When a 0 is written to the DSDEN bit (which previously contained a 1), the falling edge of DEN/DS occurs during PH2 of T₂ as it does with the data strobe timing, but the rising edge occurs during PH2 of T₄ in conformance with normal write cycle timing. All writes after this have the normal write cycle timing until the DSDEN bit is set again.

Bit 12: Pulse Width Demodulation Mode Enable (PWD)—This bit enables pulse width demodulation mode. When this bit is set to 1, pulse width demodulation is enabled. When this bit is set to 0, pulse width demodulation is disabled. This bit is 0 after processor reset.

Bit 11: CLKOUTB Output Frequency (CBF)—When set to 1, CLKOUTB follows the crystal input (PLL) frequency. When set to 0, CLKOUTB follows the internal processor frequency (after the clock divisor). This bit is 0 after processor reset.



AMD E

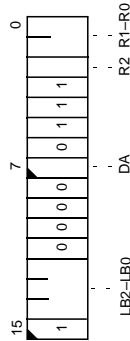
5.5.1

Upper Memory Chip Select Register (UMCS, Offset A0h)

The Am186ES and Am188ES microcontrollers provide the UCS chip select pin for the top of memory. On reset, the microcontroller begins fetching and executing instructions starting at memory location FFFF0h, so upper memory is usually used as instruction memory. To facilitate this usage, UCS defaults to active on reset with a default memory range of 64 Kbytes from F0000h to FFFFFh, with external ready required and three wait states automatically inserted.

The UCS memory range always ends at FFFFFh. The lower boundary is programmable. The Upper Memory Chip Select is configured through the UMCS register (Figure 5-1).

Figure 5-1 Upper Memory Chip Select Register



The value of the UMCS register at reset is F03Bh.

Bit 15: Reserved—Set to 1.

Bits 14-12: Lower Boundary (LB2-LB0)—The LB2-LB0 bits define the lower bound of the memory access through the UCS chip selects. The number of programmable bits has been reduced from the eight bits in the 80C186 and 80C188 microcontrollers to three bits in the Am186ES and Am188ES microcontrollers.

The Am186ES and Am188ES microcontrollers provide an additional block size of 512K, which is not available on the 80C186 and 80C188 microcontrollers. Table 5-2 outlines the possible configurations and differences with the 80C186 and 80C188 microcontrollers.

Table 5-2 UMCS Block Size Programming Values

Memory Block Size	Starting Address	LB2-LB0	Comments
64K	F0000h	111b	Default
128K	E0000h	110b	
256K	C0000h	100b	
512K	80000h	000b	Not available on the 80C186 or 80C188 microcontroller

5-4

Chip Select Unit

AMD E

CLKOUTB can be used as a full-speed clock source in power-save mode.

Bit 10: CLKOUTB Drive Disable (CBD)—When set to 1, CBD three-states the clock output driver for CLKOUTB. When set to 0, CLKOUTB is driven as an output. This bit is 0 after processor reset.

Bit 9: CLKOUTA Output Frequency (CAF)—When set to 1, CLKOUTA follows the crystal input (PLL) frequency. When set to 0, CLKOUTA follows the internal processor frequency (after the clock divisor). This bit is 0 after processor reset.

CLKOUTA can be used as a full-speed clock source in power-save mode.

Bit 8: CLKOUTA Drive Disable (CAD)—When set to 1, CAD three-states the clock output driver for CLKOUTA. When set to 0, CLKOUTA is driven as an output. This bit is 0 after processor reset.

Bits 7-3: Reserved—Read back as 0.

Bits 2-0: Clock Divisor Select (F2-F0)—Controls the division factor when Power-Save mode is enabled. F2-F0 is 000b after processor reset. Allowable values are as follows:

F2	F1	F0	Divider Factor
0	0	0	Divide by 1 (2 ⁰)
0	0	1	Divide by 2 (2 ¹)
0	1	0	Divide by 4 (2 ²)
0	1	1	Divide by 8 (2 ³)
1	0	0	Divide by 16 (2 ⁴)
1	0	1	Divide by 32 (2 ⁵)
1	1	0	Divide by 64 (2 ⁶)
1	1	1	Divide by 128 (2 ⁷)

4.2

INITIALIZATION AND PROCESSOR RESET

Processor initialization or startup is accomplished by driving the RES input pin Low. RES must be Low during power-up to ensure proper device initialization. RES forces the Am186ES and Am188ES microcontrollers to terminate all execution and local bus activity. No instruction or bus activity occurs as long as RES is active.

After RES is deasserted and an internal processing interval elapses, the microcontroller begins execution with the instruction at physical location FFFF0h. RES also sets some registers to predefined values as shown in Table 4-3.

4-8

Peripheral Control Block



AM186

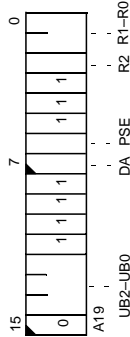
5.5.2 Low Memory Chip Select Register (LMCS, Offset A2h)

The Am186ES and Am188ES microcontrollers provide the $\overline{\text{LCS}}$ chip select pin for the bottom of memory. Since the interrupt vector table is located at 0000h at the bottom of memory, the $\overline{\text{LCS}}$ pin has been provided to facilitate this usage. The $\overline{\text{LCS}}$ pin is not active on reset, but any write access to the LMCS register activates this pin.

Before activating the $\overline{\text{LCS}}$ chip select, the width of the data bus for $\overline{\text{LCS}}$ space should be configured in the AUXCON register.

The Low Memory Chip Select is configured through the LMCS register (see Figure 5-2).

Figure 5-2 Low Memory Chip Select Register



The value of the LMCS register at reset is undefined except DA is set to 0.

Bit 15: Reserved—Set to 0.

Bits 14–12: Upper Boundary (UB2–UB0)—The UB2–UB0 bits define the upper boundary of the memory accessed through the $\overline{\text{LCS}}$ chip select. Because of the timing requirements of the $\overline{\text{LCS}}$ output and the nonmultiplexed address bus, the number of programmable memory sizes for the LMCS register is reduced compared to the 80C186 and 80C188 microcontrollers. Consequently, the number of programmable bits has been reduced from eight bits in the 80C186 and 80C188 microcontrollers to three bits in the Am186ES and Am188ES microcontrollers.

The Am186ES and Am188ES microcontrollers have a block size of 512 Kbytes, which is not available on the 80C186 and 80C188 microcontrollers. Table 5-3 outlines the possible configurations.

Table 5-3 LMCS Block Size Programming Values

Memory Block Size	Ending Address	UB2–UB0
64K	0FFFFh	000b
128K	1FFFFh	001b
256K	3FFFFh	011b
512K	7FFFFh	111b

Chip Select Unit

5-6

AM188

Bits 11–8: Reserved

Bit 7: Disable Address (DA)—The DA bit enables or disables the AD15–AD0 bus during the address phase of a bus cycle when $\overline{\text{UCS}}$ is asserted. If DA is set to 1, AD15–AD0 is not driven during the address phase of a bus cycle when $\overline{\text{UCS}}$ is asserted. If DA is set to 0, AD15–AD0 is driven during the address phase of a bus cycle. Disabling AD15–AD0 reduces power consumption. DA defaults to 0 at power-on reset.

Note: On the Am188ES microcontroller, the AO15–AO8 address pins are driven during the data phase of the bus cycles, even when DA is set to 1 in either the Upper Memory Chip Select register (UMCS) or the Low Memory Chip Select register (LMCS).

If $\overline{\text{BHE}}/\overline{\text{ADEN}}$ (on the 186) or $\overline{\text{RFSH2}}/\overline{\text{ADEN}}$ (on the 188) is held Low on the rising edge of RES, then AD15–AD0 is always driven regardless of the DA setting. This configures AD15–AD0 to be enabled regardless of the setting of DA.

If $\overline{\text{BHE}}/\overline{\text{ADEN}}$ (on the 186) or $\overline{\text{RFSH2}}/\overline{\text{ADEN}}$ (on the 188) is High on the rising edge of RES, then DA in the Upper Memory Chip Select (UMCS) register and DA in the Low Memory Chip Select (LMCS) register control the AD15–AD0 disabling.

See the descriptions of the $\overline{\text{BHE}}/\overline{\text{ADEN}}$ and $\overline{\text{RFSH2}}/\overline{\text{ADEN}}$ pins in Chapter 3.

Bit 6: Reserved—Set to 0.

Bits 5–3: Reserved—Set to 1.

Bit 2: Ready Mode (R2)—The R2 bit is used to configure the ready mode for the $\overline{\text{UCS}}$ chip select. If R2 is set to 0, external ready is required. If R2 is set to 1, external ready is ignored. In each case, the processor also uses the value of the R1–R0 bits to determine the number of wait states to insert. R2 defaults to 0 at reset.

Bits 1–0: Wait-State Value (R1–R0)—The value of R1–R0 determines the number of wait states inserted into an access to the $\overline{\text{UCS}}$ memory area. From zero to three wait states can be inserted (R1–R0 = 00b to 11b). R1–R0 default to 11b at reset.

Chip Select Unit

5-5



AMDE

5.5.3

Midrange Memory Chip Select Register (MMCS, Offset A6h)

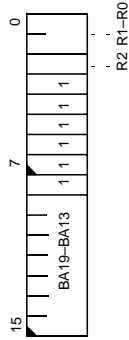
The Am186ES and Am188ES microcontrollers provide four chip select pins, **MCS3–MCS0**, for use within a user-locatable memory block. The base address of the memory block can be located anywhere within the 1-Mbyte memory address space, exclusive of the areas associated with the **UCS** and **LCS** chip selects (and, if they are mapped to memory, the address range of the Peripheral Chip Selects, **PCS6–PCS5** and **PCS3–PCS0**). The **MCS** address range can overlap the **PCS** address range if the **PCS** chip selects are mapped to I/O space.

The Midrange Memory Chip Selects are programmed through two registers. The Midrange Memory Chip Select (**MMCS**) register (see Figure 5-3) determines the base address and the ready condition and wait states of the memory block accessed through the **MCS** pins. The **PCS** and **MCS** Auxiliary (**MPCS**) register is used to configure the block size. The **MCS3–MCS0** pins are not active on reset. Both the **MMCS** and **MPCS** registers must be accessed with a read to activate these chip selects.

Unlike the **UCS** and **LCS** chip selects, the **MCS3–MCS0** outputs assert with the multiplexed **AD** address bus (**AD15–AD0** or **AQ15–AQ8** and **AD7–AD0**) rather than the earlier timing of the **A19–A0** bus. The **A19–A0** bus can still be used for address selection, but the timing is delayed for a half cycle later than that for **UCS** and **LCS**.

The Midrange Memory Chip Selects are configured by the **MMCS** register (Figure 5-3).

Figure 5-3 Midrange Memory Chip Select Register



The value of the **MMCS** register at reset is undefined.

Bits 15–9: Base Address (BA19–BA13)—The base address of the memory block that is addressed by the **MCS** chip select pins is determined by the value of **BA19–BA13**. These bits correspond to bits **A19–A13** of the 20-bit memory address. Bits **A12–A0** of the base address are always 0.

The base address can be set to any integer multiple of the size of the memory block size selected in the **MPCS** register. For example, if the midrange block is 32 Kbytes, the block could be located at 10000h or 18000h but not at 14000h.

The base address of the midrange chip selects can be set to 00000h only if the **LCS** chip select is not active. This is because the **LCS** base address is defined to be address 00000h and chip select address ranges are not allowed to overlap. Because of the additional restriction that the base address must be a multiple of the block size, a 512K **MMCS** block size can only be used when located at address 00000h, and the **LCS** chip selects must not be active in this case. Use of the **MCS** chip selects to access low memory allows the timing of these accesses to follow the **AD** address bus rather than the **A** address bus. Locating a 512K **MMCS** block at 80000h always conflicts with the range of the **UCS** chip select and is not allowed.

5-8

Chip Select Unit

AMDE

Bits 11–8: Reserved—Set to 1.

Bit 7: Disable Address (DA)—The **DA** bit enables or disables the **AD15–AD0** bus during the address phase of a bus cycle when **LCS** is asserted. If **DA** is set to 1, **AD15–AD0** is not driven during the address phase of a bus cycle when **LCS** is asserted. If **DA** is set to 0, **AD15–AD0** is driven during the address phase of a bus cycle. Disabling **AD15–AD0** reduces power consumption. This bit is 0 after processor reset.

Note: On the Am188ES microcontroller, the **AQ15–AQ8** address pins are driven during the data phase of the bus cycles, even when **DA** is set to 1 in either the Upper Memory Chip Select register (**UMCS**) or the Low Memory Chip Select register (**LMCS**).

If **BHE/ADEN** (on the 186) or **RFSH2/ADEN** (on the 188) is held Low on the rising edge of **RES**, then **AD15–AD0** is always driven regardless of the **DA** setting.

If **BHE/ADEN** (on the 186) or **RFSH2/ADEN** (on the 188) is High on the rising edge of **RES**, then **DA** in the **UMCS** register and **DA** in the **LMCS** register control the **AD15–AD0** disabling. See the descriptions of the **BHE/ADEN** and **RFSH2/ADEN** pins in Chapter 3.

Bit 6: PSRAM Mode Enable (PSE)—The **PSE** bit is used to enable **PSRAM** support for the **LCS** chip select memory space. When **PSE** is set to 1, **PSRAM** support is enabled. When **PSE** is set to 0, **PSRAM** support is disabled. The refresh control unit registers, **EDRAM**, **MDRAM**, and **CDRAM**, must be configured for auto refresh before **PSRAM** support is enabled.

MCS3/RFSH is configured as **RFSH** by setting the enable bit (**EN**) in the enable **RCU** register (**EDRAM**, offset E4h).

Bits 5–3: Reserved—Set to 1.

Bit 2: Ready Mode (R2)—The **R2** bit is used to configure the ready mode for the **LCS** chip select. If **R2** is set to 0, external ready is required. If **R2** is set to 1, external ready is ignored. In each case, the processor also uses the value of the **R1–R0** bits to determine the number of wait states to insert.

Bits 1–0: Wait-State Value (R1–R0)—The value of **R1–R0** determines the number of wait states inserted into an access to the **LCS** memory area. From zero to three wait states can be inserted (**R1–R0** = 00b to 11b).

5-7

Chip Select Unit



AMDE

5.5.4

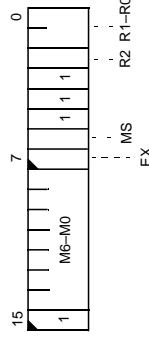
PCS and MCS Auxiliary Register (MPCS, Offset A8h)

The PCS and MCS Auxiliary (MPCS) register (see Figure 5-4) differs from the other chip select control registers in that it contains fields that pertain to more than one type of chip select. The MPCS register fields provide program information for MCS3-MCS0 as well as PCS6-PCS5 and PCS3-PCS0.

In addition to its function as a chip select control register, the MPCS register contains a field that configures the PCS6-PCS5 pins as either chip selects or as alternate sources for the A2 and A1 address bits. When programmed to provide address bits A1 and A2, PCS6-PCS5 cannot be used as peripheral chip selects. These outputs can be used to provide latched address bits for A2 and A1.

On reset, PCS6-PCS5 are not active. If PCS6-PCS5 are configured as address pins, an access to the MPCS register causes the pins to activate. No corresponding access to the PACS register is required to activate the PCS6-PCS5 pins as addresses.

Figure 5-4 PCS and MCS Auxiliary Register



The value of the MPCS register at reset is undefined.

Bit 15: Reserved—Set to 1.

Bits 14-8: MCS Block Size (M6-M0)—This field determines the total block size for the MCS3-MCS0 chip selects. Each individual chip select is active for one quarter of the total block size. The size of the memory block defined is shown in Table 5-4.

Only one of the bits M6-M0 can be set at any time. If more than one of the M6-M0 bits is set, unpredictable operation of the MCS lines occurs.

If the MCSBIT in the SYSCON register is set, MCS0 asserts over the entire programmed block size. MCS3-MCS1 will continue to assert over their programmed range but are typically used as PIOs in the configuration.

Table 5-4 MCS Block Size Programming

Total Block Size	Individual Select Size	M6-M0
8K	2K	0000001b
16K	4K	0000010b
32K	8K	0000100b
64K	16K	0001000b
128K	32K	0010000b
256K	64K	0100000b
512K	128K	1000000b

Chip Select Unit
5-10

AMDE

Bits 8-3: Reserved—Set to 1.

Bit 2: Ready Mode (R2)—The R2 bit is used to configure the ready mode for the MCS chip selects. If R2 is set to 0, external ready is required. If R2 is set to 1, external ready is ignored. In each case, the processor also uses the value of the R1-R0 bits to determine the number of wait states to insert.

Bits 1-0: Wait-State Value (R1-R0)—The value of R1-R0 determines the number of wait states inserted into an access to the MCS memory area. From zero to three wait states can be inserted (R1-R0 = 00b to 11b).

Chip Select Unit
5-9



AMD
5.5.5
Peripheral Chip Select Register (PACS, Offset A4h)

Unlike the UCS and LCS chip selects, the PCS outputs assert with the same timing as the multiplexed AD address bus. Also, each peripheral chip select asserts over a 256-byte address range, which is twice the address range covered by peripheral chip selects in the 80C186 and 80C188 microcontrollers.

The Am186ES and Am188ES microcontrollers provide six chip selects, PCS6–PCS5 and PCS3–PCS0, for use within a user-locatable memory or I/O block. (PCS4 is not implemented on the Am186ES and Am 188ES microcontrollers). The base address of the memory block can be located anywhere within the 1-Mbyte memory address space, exclusive of the areas associated with the UCS, LCS, and MCS chip selects, or they can be configured to access the 64-Kbyte I/O space.

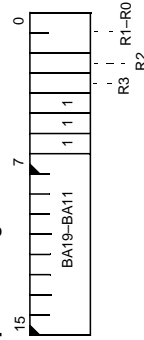
The Peripheral Chip Selects are programmed through two registers—the Peripheral Chip Select (PACS) register and the PCS and MCS Auxiliary (MPCS) register. The Peripheral Chip Select (PACS) register (Figure 5-5) determines the base address, the ready condition, and the wait states for the PCS3–PCS0 outputs.

The PCS and MCS Auxiliary (MPCS) register (see Figure 5-4) contains bits that configure the PCS6–PCS5 pins as either chip selects or address pins A1 and A2. When the PCS6–PCS5 pins are chip selects, the MPCS register also determines whether PCS chip selects are active during memory or I/O bus cycles and specifies the ready and wait states for the PCS6–PCS5 outputs.

The PCS pins are not active on reset. The PCS pins are activated as chip selects by writing to the PACS and MPCS registers.

PCS6–PCS5 can be configured and activated as address pins by writing only the MPCS register. No corresponding access to the PACS register is required in this case.

PCS3–PCS0 can be configured for zero wait states to 15 wait states. PCS6–PCS5 can be configured for zero wait states to three wait states.

Figure 5-5 Peripheral Chip Select Register


The value of the PACS register at reset is undefined.

Bits 15-7: Base Address (BA19-BA11)—The base address of the peripheral chip select block is defined by BA19-BA11 of the PACS register. BA19-BA11 correspond to bits 19-11 of the 20-bit programmable base address of the peripheral chip select block. Bit 6 of the PACS register corresponds to bit 10 of the base address in the original 80C186 and 80C188 microcontrollers and is not implemented. Thus, code previously written for the 80C186 microcontroller in which bit 6 was set with a meaningful value would not produce the address expected on the Am186ES microcontroller.

When the PCS chip selects are mapped to I/O space, BA19-16 must be programmed to 0000b because the I/O address bus is only 16-bits wide.

5-12

Chip Select Unit

AMD

Bit 7: Pin Selector (EX)—This bit determines whether the PCS6–PCS5 pins are configured as chip selects or as alternate outputs for A2-A1. When this bit is set to 1, PCS6–PCS5 are configured as peripheral chip select pins. When EX is set to 0, PCS5 becomes address bit A1 and PCS6 becomes address bit A2.

Bit 6: Memory/I/O Space Selector (MS)—This bit determines whether the PCS pins are active during memory bus cycles or I/O bus cycles. When MS is set to 1, the PCS outputs are active for memory bus cycles. When MS is set to 0, the PCS outputs are active for I/O bus cycles.

Bits 5-3: Reserved—Set to 1.

Bit 2: Ready Mode (R2)—This bit applies only to the PCS6–PCS5 chip selects. If R2 is set to 0, external ready is required. If R2 is set to 1, external ready is ignored. In each case, the processor also uses the value of the R1-R0 bits to determine the number of wait states to insert.

Bits 1-0: Wait-State Value (R1-R0)—These bits apply only to the PCS6–PCS5 chip selects. The value of R1-R0 determines the number of wait states inserted into an access to the PCS memory or I/O area. From zero to three wait states can be inserted (R1-R0 = 00b to 11b).

5-11

Chip Select Unit

Table 5-5 PCS Address Ranges

PCS Line	Range	
	Low	High
PCS0	Base Address	Base Address+255
PCS1	Base Address+256	Base Address+511
PCS2	Base Address+512	Base Address+767
PCS3	Base Address+768	Base Address+1023
Reserved	N/A	N/A
PCS5	Base Address+1280	Base Address+1535
PCS6	Base Address+1536	Base Address+1791

Bits 6-4: Reserved—Set to 1.

Bit 3: Wait-State Value (R3)—If this bit is set to 0, the number of wait states from zero to three is encoded in the R1-R0 bits. In this case, R1-R0 encodes from zero (00b) to three (11b) wait states.

When R3 is set to 1, the four possible values of R1-R0 encode four additional wait-state values as follows: 00b = 5 wait states, 01b = 7 wait states, 10b = 9 wait states, and 11b = 15 wait states. Table 5-6 shows the wait-state encoding.

Table 5-6 PCS3-PCS0 Wait-State Encoding

R3	R1	R0	Wait States
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	5
1	0	1	7
1	1	0	9
1	1	1	15

Bit 2: Ready Mode (R2)—The R2 bit is used to configure the ready mode for the PCS3-PCS0 chip selects. If R2 is set to 0, external ready is required. External ready is ignored when R2 is set to 1. In each case, the processor also uses the value of the R3 and R1-R0 bits to determine the number of wait states to insert. The ready mode for PCS6-PCS5 is configured through the MPCS register.

Bits 1-0: Wait-State Value (R1-R0)—The value of R3 and R1-R0 determines the number of wait states inserted into a PCS3-PCS0 access. Up to 15 wait states can be inserted.

See the discussion of bit 3 (R3) for the wait-state encoding of R1-R0.

From zero to three wait states for the PCS6-PCS5 outputs are programmed through the R1-R0 bits in the MPCS register.

Table 7-1 Am186ES and Am188ES Microcontroller Interrupt Types

Interrupt Name	Interrupt Type	Vector Table Address	EOI Type	Overall Priority	Related Instructions	Notes
Divide Error Exception	00h	00h	N/A	1	DIV, IDIV	1
Trace Interrupt	01h	04h	N/A	1A	All	2
Nonmaskable Interrupt (NMI)	02h	08h	N/A	1B		
Breakpoint Interrupt	03h	0Ch	N/A	1	INT3	1
INT0 Detected Overflow Exception	04h	10h	N/A	1	INT0	1
Array Bounds Exception	05h	14h	N/A	1	BOUND	1
Unused Opcode Exception	06h	18h	N/A	1	Undefined Opcodes	1
ESC Opcode Exception	07h	1Ch	N/A	1	ESC Opcodes	1, 3
Timer 0 Interrupt	08h	20h	08h	2A		4, 5
Timer 1 Interrupt	12h	48h	08h	2B		4, 5
Timer 2 Interrupt	13h	4Ch	08h	2C		4, 5
Reserved for AMD Use	09h	24h				
DMA 0 Interrupt/INT5	0Ah	28h	0Ah	3		5
DMA 1 Interrupt/INT6	0Bh	2Ch	0Bh	4		5
INT0 Interrupt	0Ch	30h	0Ch	5		
INT1 Interrupt	0Dh	34h	0Dh	6		
INT2 Interrupt	0Eh	38h	0Eh	7		
INT3 Interrupt	0Fh	3Ch	0Fh	8		
INT4 Interrupt	10h	40h	10h	9		6
Asynchronous Serial Port 1 Interface	11h	42h	11h	9		6
Asynchronous Serial Port 0 Interrupt	14h	44h	14h	9		6
Reserved for AMD Use	15h-1Fh	54h-7Ch				

Notes:

Default priorities for the interrupt sources are used if the user does not reprogram priority levels.

1. Interrupts generate as a result of an instruction execution.
2. Trace is performed in the same manner as 8086 and 8088.
3. An ESC opcode causes a trap.
4. All three timers constitute one source of request to the interrupt controller. As such, they share the same priority level with respect to other interrupt sources. However, the timers have a defined priority order among themselves (2A>2B>2C).
5. The interrupt types of these sources are programmable in slave mode.
6. Not available in slave mode.



7.3 MASTER MODE INTERRUPT CONTROLLER REGISTERS

The interrupt controller registers for master mode are shown in Table 7-2. All the registers can be read and written unless otherwise specified.

Registers can be redefined in slave mode. See Section 7.4 on page 7-28 for detailed information regarding slave mode register usage. On reset, the microcontroller is in master mode. Bit 14 of the Peripheral Control Block Relocation register (see Figure 4-1) must be set to initiate slave mode operation.

Table 7-2 Interrupt Controller Registers in Master Mode

Offset	Register Mnemonic	Register Name	Associated Pins	Comments
38h	I0CON	INT0 Control	INT0	
3Ah	I1CON	INT1 Control	INT1	
3Ch	I2CON	INT2 Control	INT2	
3Eh	I3CON	INT3 Control	INT3	
40h	I4CON	INT4 Control	INT4	
34h	DMA0CON	DMA0 Interrupt Control/INT5	INT5	
36h	DMA1CON	DMA1 Interrupt Control/INT6	INT6	
32h	TCUCON	Timer Interrupt Control	TMRIN1 TMRIN0 TMRROUT1 TMRROUT0	
44h	SP0CON	Serial Port 0 Interrupt Control		
42h	SP1CON	Serial Port 1 Interrupt Control		
30h	INTSTS	Interrupt Status		
2Eh	REQST	Interrupt Request	INT6-INT0	Read-only register
2Ch	INSERV	In-Service	INT6-INT0	
2Ah	PRIMSK	Priority Mask		
28h	IMASK	Interrupt Mask	INT6-INT0	
26h	POLLST	Poll Status		Read-only register
24h	POLL	Poll		Read-only register
22h	EOI	End of Interrupt		Write-only register

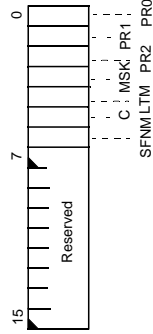
7.3.1 INT0 and INT1 Control Registers (I0CON, Offset 38h, I1CON, Offset 3Ah) (Master Mode)

The INT0 interrupt is assigned to interrupt type 0Ch. The INT1 interrupt is assigned to interrupt type 0Dh.

When cascade mode is enabled for INT0 by setting the C bit of I0CON to 1, the INT2 pin becomes INTA0, the interrupt acknowledge for INT0.

When cascade mode is enabled for INT1 by setting the C bit of I1CON to 1, the INT3 pin becomes INTA1, the interrupt acknowledge for INT1.

Figure 7-4 INT0 and INT1 Control Registers



The value of I0CON and I1CON at reset is 000Fh.

Bits 15-7: Reserved—Set to 0.

Bit 6: Special Fully Nested Mode (SFNMLTM)—When set to 1, enables special fully nested mode for INT0 or INT1.

Bit 5: Cascade Mode (C)—When set to 1, this bit enables cascade mode for INT0 or INT1.

Bit 4: Level-Triggered Mode (LTM)—This bit determines whether the microcontroller interprets an INT0 or INT1 interrupt request as edge- or level-sensitive. A 1 in this bit configures INT0 or INT1 as an active High, level-sensitive interrupt. A 0 in this bit configures INT0 or INT1 as a Low-to-High, edge-triggered interrupt. In either case, INT0 or INT1 must remain High until they are acknowledged.

Bit 3: Mask (MSK)—This bit determines whether the INT0 or INT1 signal can cause an interrupt. A 1 in this bit masks this interrupt source, preventing INT0 or INT1 from causing an interrupt. A 0 in this bit enables INT0 or INT1 interrupts.

This bit is duplicated in the InterruptMask register. See the InterruptMask register in Section 7.3.10 on page 7-24.

Bits 2-0: Priority Level (PR2-PR0)—This field determines the priority of INT0 or INT1 relative to the other interrupt signals, as shown in Table 7-3 on page 7-18.



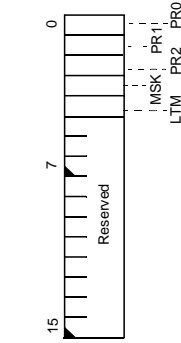
AMD

7.3.3 INT4 Control Register (I4CON, Offset 40h) (Master Mode)

The Am186ES and Am188ES microcontrollers provide INT4, an additional external interrupt pin. This input behaves like INT3-INT0 on the 80C186 microcontroller with the exception that INT4 is only intended for use as a fully nested-mode interrupt source. INT4 is not available in cascade mode.

This interrupt is assigned to interrupt type 10h. The Interrupt 4 Control register (see Figure 7-6) controls the operation of the INT4 signal.

Figure 7-6 INT4 Control Register



The value of I4CON at reset is 000Fh.

Bits 15-5: Reserved—Set to 0.

Bit 4: Level-Triggered Mode (LTM)—This bit determines whether the microcontroller interprets an INT4 interrupt request as edge- or level-sensitive. A 1 in this bit configures INT4 as an active High, level-sensitive interrupt. A 0 in this bit configures INT4 as a Low-to-High, edge-triggered interrupt. In either case, INT4 must remain High until it is acknowledged.

Bit 3: Mask (MSK)—This bit determines whether the INT4 signal can cause an interrupt. A 1 in this bit masks this interrupt source, preventing INT4 from causing an interrupt. A 0 in this bit enables INT4 interrupts.

This bit is duplicated in the Interrupt Mask register. See the Interrupt Mask register in Section 7.3.10 on page 7-24.

Bits 2-0: Priority (PR)—This field determines the priority of INT4 relative to the other interrupt signals, as shown in Table 7-3 on page 7-18.

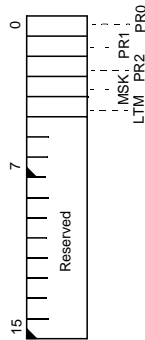
AMD

7.3.2 INT2 and INT3 Control Registers (I2CON, Offset 3Ch, I3CON, Offset 3Eh) (Master Mode)

The INT2 interrupt is assigned to interrupt type 0Eh. The INT3 interrupt is assigned to interrupt type 0Fh.

The INT2 and INT3 pins can be configured as interrupt acknowledge pins INTA0 and INTA1 when cascade mode is implemented.

Figure 7-5 INT2 and INT3 Control Registers



The value of I2CON and I3CON at reset is 000Fh.

Bits 15-5: Reserved—Set to 0.

Bit 4: Level-Triggered Mode (LTM)—This bit determines whether the microcontroller interprets an INT2 or INT3 interrupt request as edge- or level-sensitive. A 1 in this bit configures INT2 or INT3 as an active High, level-sensitive interrupt. A 0 in this bit configures INT2 or INT3 as a Low-to-High, edge-triggered interrupt. In either case, INT2 or INT3 must remain High until they are acknowledged.

Bit 3: Mask (MSK)—This bit determines whether the INT2 or INT3 signal can cause an interrupt. A 1 in this bit masks this interrupt source, preventing INT2 or INT3 from causing an interrupt. A 0 in this bit enables INT2 or INT3 interrupts.

This bit is duplicated in the Interrupt Mask register. See the Interrupt Mask register in Section 7.3.10 on page 7-24.

Bits 2-0: Priority Level (PR2-PR0)—This field determines the priority of INT2 or INT3 relative to the other interrupt signals, as shown in Table 7-3 on page 7-18.

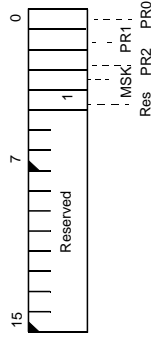


AMDE

7.3.5 Serial Port 0/1 Interrupt Control Registers (SP0CON/SP1CON, Offset 44h/42h) (Master Mode)

The serial port interrupt control registers control the operation of the serial ports' interrupt source (SP1 and SP0, bits 10–9 in the interrupt request register). Serial port 0 is assigned to interrupt type 14h and serial port 1 is assigned to interrupt type 11h. The control register format is shown in Figure 7-8.

Figure 7-8 Serial Port 0/1 Interrupt Control Register



The value of SP0CON and SP1CON at reset is 001Fh.

Bits 15–5: Reserved—Set to 0.

Bit 4: Reserved—Set to 1.

Bit 3: Mask (MSK)—This bit determines whether the serial port can cause an interrupt. A 1 in this bit masks this interrupt source, preventing the serial port from causing an interrupt. A 0 in this bit enables serial port interrupts.

This bit is duplicated in the Interrupt Mask register. See the Interrupt Mask register in Section 7.3.10 on page 7-24.

Bits 2–0: Priority (PR2–PR0)—This field determines the priority of the serial port relative to the other interrupt signals. After a reset, the priority is 7. See Table 7-3.

Table 7-3 Priority Level

Priority (High) 0	PR2–PR0
1	0 0 1b
2	0 1 0b
3	0 1 1b
4	1 0 0b
5	1 0 1b
6	1 1 0b
(Low) 7	1 1 1b

7-18

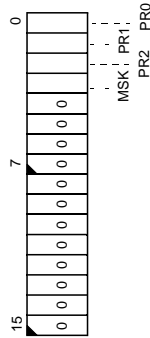
Interrupt Control Unit

AMDE

7.3.4 Timer and DMA Interrupt Control Registers (TCUCON, Offset 32h, DMA0CON/INT5CON, Offset 34h, DMA1CON/INT6CON, Offset 36h) (Master Mode)

The three timer interrupts are assigned to interrupt type 08h, 12h, and 13h. All three timer interrupts are configured through TCUCON, offset 32h. The DMA0 interrupt is assigned to interrupt type 0Ah. The DMA1 interrupt is assigned to interrupt type 0Bh. See the DMA control registers for how to configure these pins as DMA requests or external interrupts.

Figure 7-7 Timer/DMA Interrupt Control Registers



The value of TCUCON, DMA0CON, and DMA1CON at reset is 000Fh.

Bits 15–4: Reserved—Set to 0.

Bit 3: Interrupt Mask (MSK)—This bit determines whether the corresponding signal can generate an interrupt. A 1 masks this interrupt source. A 0 enables the corresponding interrupt.

This bit is duplicated in the Interrupt Mask register. See the Interrupt Mask register in Section 7.3.10 on page 7-24.

Bits 2–0: Priority Level (PR2–PR0)—Sets the priority level for its corresponding source. See Table 7-3 on page 7-18.

7-17

Interrupt Control Unit



AMD

7.3.7

Interrupt Request Register (REQST, Offset 2Eh) (Master Mode)

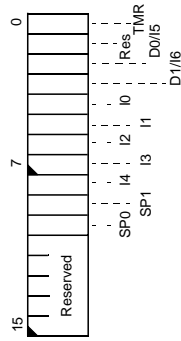
The hardware interrupt sources have interrupt request bits inside the interrupt controller. A read from this register yields the status of these bits. The Interrupt Request register is a read-only register. The format of the Interrupt Request register is shown in Figure 7-10.

For internal interrupts (SP0, SP1, D1/I6, D0/I5, and TMR), the corresponding bit is set to 1 when the device requests an interrupt. The bit is reset during the internally generated interrupt acknowledge.

For INT6–INT0 external interrupts, the corresponding bit (INT4–INT0) reflects the current value of the external signal. The device must hold this signal High until the interrupt is serviced.

Generally the interrupt service routine signals the external device to remove the interrupt request.

Figure 7-10 Interrupt Request Register



The REQST register is undefined on reset.

Bits 15–11: Reserved

Bit 10: Serial Port 0 Interrupt Request (SP0)—This bit indicates the interrupt state of serial port 0. If enabled, the SP0 bit is the logical OR of all possible serial port interrupt sources (THRE, RDR, BRK1, BRK0, FER, PER, and OER status bits).

Bit 9: Serial Port 1 Interrupt Request (SP1)—This bit indicates the interrupt state of serial port 1. If enabled, the SP1 bit is the logical OR of all possible serial port interrupt sources (THRE, RDR, BRK1, BRK0, FER, PER, and OER status bits).

Bits 8–4: Interrupt Requests (INT4–INT0)—When set to 1, the corresponding INT pin has an interrupt pending (i.e., when INT0 is pending, INT0 is set).

Bit 3: DMA Channel 1/Interrupt 6 Request (D1/I6)—When set to 1, DMA channel 1 or INT6 has an interrupt pending.

Bit 2: DMA Channel 0/Interrupt 5 Request (D0/I5)—When set to 1, DMA channel 0 or INT5 has an interrupt pending.

Bit 1: Reserved

7-20

Interrupt Control Unit

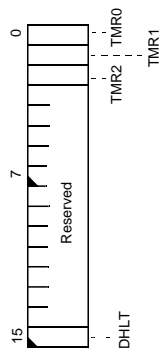
AMD

7.3.6

Interrupt Status Register (INTSTS, Offset 30h) (Master Mode)

The interrupt status register indicates the interrupt request status of the three timers.

Figure 7-9 Interrupt Status Register



Bit 15: DMA Halt (DHLT)—When set to 1, halts any DMA activity. This bit is automatically set to 1 when nonmaskable interrupts occur and is reset when an IRET instruction is executed. Time critical software, such as interrupt handlers, can modify this bit directly to inhibit DMA transfers. Because of the function of this register as an interrupt request register for the timers, the DHLT bit should not be modified by software when timer interrupts are enabled.

Bits 14–3: Reserved

Bits 2–0: Timer Interrupt Request (TMR2–TMR0)—When set to 1, these bits indicate that the corresponding timer has an interrupt request pending. (Note that the timer TMR bit in the REQST register is the logical OR of these timer interrupt requests.)

7-19

Interrupt Control Unit

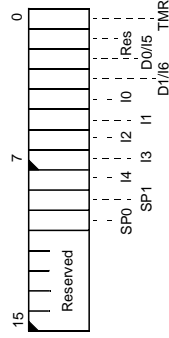


AMDE

7.3.8 Interrupt In-Service Register (INSERT, Offset 2Ch) (Master Mode)

The bits in the In-Service register are set by the interrupt controller when the interrupt is taken. Each bit in the register is cleared by writing the corresponding interrupt type to the End-of-Interrupt (EOI) register.

Figure 7-11 Interrupt In-Service Register



The INSERT register is set to 0000h on reset.

Bits 15–11: Reserved

Bit 10: Serial Port 0 Interrupt In-Service (SP0)—This bit indicates the in-service state of serial port 0.

Bit 9: Serial Port 1 Interrupt In-Service (SP1)—This bit indicates the in-service state of the serial port 1.

Bits 8–4: Interrupt In-Service (INT4–INT0)—These bits indicate the in-service state of the corresponding INT pin.

Bit 3: DMA Channel 1/Interrupt 6 In-Service (D1/I6)—This bit indicates the in-service state of DMA channel 1 or INT6.

Bit 2: DMA Channel 0/Interrupt 5 In-Service (D0/I5)—This bit indicates the in-service state of DMA channel 0 or INT5.

Bit 1: Reserved

Bit 0: Timer Interrupt In-Service (TMR)—This bit indicates the state of the in-service timer interrupts. This bit is the logical OR of all the timer interrupt requests. When set to a 1, this bit indicates that the corresponding timer interrupt request is in-service.

AMDE

Bit 0: Timer Interrupt Request (TMR)—This bit indicates the state of the timer interrupts. This bit is the logical OR of the timer interrupt requests. When set to a 1, this bit indicates that the timer control unit has an interrupt pending.

The interrupt status register indicates the specific timer that is requesting an interrupt. See Section 7.3.6.



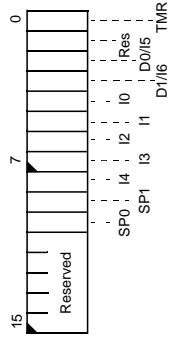
AMD

7.3.10 Interrupt Mask Register (IMASK, Offset 28h)

The Interrupt Mask register is a read/write register. Programming a bit in the Interrupt Mask register has the effect of programming the MSK bit in the associated interrupt control register. The format of the Interrupt Mask register is shown in Figure 7-13.

When a bit is set to 1 in this register, the corresponding interrupt source is masked off. When the bit is set to 0, the interrupt source is enabled to generate an interrupt request.

Figure 7-13 Interrupt Mask Register



The IMASK register is set to 07FDh on reset.

Bits 15-11: Reserved

Bit 10: Serial Port 0 Interrupt Mask (SP0)—When set to 1, this bit indicates that the serial port 0 interrupt is masked.

Bit 9: Serial Port 1 Interrupt Mask (SP1)—When set to 1, this bit indicates that the serial port 1 interrupt is masked.

Bits 8-4: Interrupt Mask (INT4-INT0)—When set to 1, an INT4-INT0 bit indicates that the corresponding interrupt is masked.

Bits 3-2: DMA Channel Interrupt Masks (D1/I6-D0/I5)—When set to 1, a D1/I6-D0/I5 bit indicates that the corresponding DMA or INT6/INT5 channel interrupt is masked.

Bit 1: Reserved

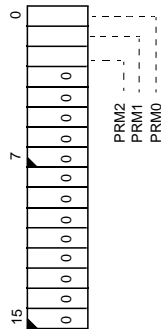
Bit 0: Timer Interrupt Mask (TMR)—When set to 1, this bit indicates that interrupt requests from the timer control unit are masked.

AMD

7.3.9 Priority Mask Register (PRIMSK, Offset 2Ah)

The Priority Mask register provides the value that determines the minimum priority level at which maskable interrupts can generate an interrupt.

Figure 7-12 Priority Mask Register



The value of PRIMSK at reset is 0007h.

Bits 15-3: Reserved—Set to 0.

Bits 2-0: Priority Field Mask (PRM2-PRM0)—This field determines the minimum priority that is required for a maskable interrupt source to generate an interrupt. Maskable interrupts with programmable priority values that are numerically higher than this field are masked. The possible values are zero (000b) to seven (111b).

A value of seven (111b) allows all interrupt sources that are not masked to generate interrupts. A value of five (101b) allows only unmasked interrupt sources with a programmable priority of zero to five (000b to 101b) to generate interrupts.

Table 7-4 Priority Level

Priority (High) 0	PR2-PR0
1	0 0 1b
2	0 1 0b
3	0 1 1b
4	1 0 0b
5	1 0 1b
6	1 1 0b
(Low) 7	1 1 1b

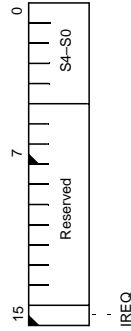


AMD

7.3.12 Poll Register (POLL, Offset 24h) (Master Mode)

When the Poll register is read, the current interrupt is acknowledged and the next interrupt takes its place in the Poll register.
The Poll Status register mirrors the current state of the Poll register, but the Poll Status register can be read without affecting the current interrupt request. This is a read-only register.

Figure 7-15 Poll Register



Bit 15: Interrupt Request (IREQ)—Set to 1 if an interrupt is pending. When this bit is set to 1, the S4-S0 field contains valid data.

Bits 14-5: Reserved—Set to 0.

Bits 4-0: Poll Status (S4-S0)—Indicates the interrupt type of the highest priority pending interrupt (see Table 7-1). Reading the Poll register acknowledges the highest pending interrupt and allows the next interrupt to advance into the register.

Although the IS bit is set, the interrupt service routine does not begin execution automatically. The application software must execute the appropriate ISR.

7-26

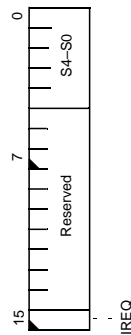
Interrupt Control Unit

AMD

7.3.11 Poll Status Register (POLLST, Offset 26h) (Master Mode)

The Poll Status register mirrors the current state of the Poll register. The Poll Status register can be read without affecting the current interrupt request. But when the Poll register is read, the current interrupt is acknowledged and the next interrupt takes its place in the Poll register. This is a read-only register.

Figure 7-14 Poll Status Register



Bit 15: Interrupt Request (IREQ)—Set to 1 if an interrupt is pending. When this bit is set to 1, the S4-S0 field contains valid data.

Bits 14-5: Reserved—Set to 0.

Bits 4-0: Poll Status (S4-S0)—Indicates the interrupt type of the highest priority pending interrupt (see Table 7-1 on page 7-4).

7-25

Interrupt Control Unit



7.3.13 End-of-Interrupt Register (EOI, Offset 22h) (Master Mode)

The End-of-Interrupt (EOI) register is a write-only register. The in-service flags in the In-Service register (see Section 7.3.8 on page 7-22) are reset by writing to the EOI register. Before executing the IRET instruction that ends an interrupt service routine (ISR), the ISR should write to the EOI register to reset the IS bit for the interrupt.

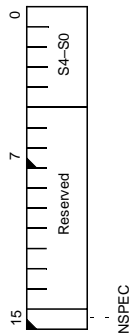
The specific EOI reset is the most secure method to use for resetting IS bits. Figure 7-16 shows example code for a specific EOI reset. See Table 7-1 on page 7-4 for specific EOI values.

Figure 7-16 Example EOI Assembly Code

```

...      ;ISR code
...
mov ax,int_type      ;load the interrupt type in ax
mov dx,0ff22h       ;write the interrupt type to EOI
out dx,ax
popa
iret                ;return from interrupt
    
```

Figure 7-17 End-of-Interrupt Register



Bit 15: Non-Specific EOI (NSPEC)—The NSPEC bit determines the type of EOI command. When written as a 1, NSPEC indicates non-specific EOI. When written as a 0, NSPEC indicates the specific EOI interrupt type in S4–S0.

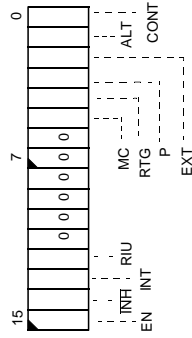
Bits 14–5: Reserved

Bits 4–0: Source Interrupt Type (S4–S0)—Specifies the EOI type of the interrupt that is currently being processed. See Table 7-1 on page 7-4.

8.3.2 Timer 0 and Timer 1 Mode and Control Registers (TOCON, Offset 56h, T1CON, Offset 5Eh)

These registers control the functionality of timer 0 and timer 1. See Figure 8-2.

Figure 8-2 Timer 0 and Timer 1 Mode and Control Registers



The value of TOCON and T1CON at reset is 0000h.

Bit 15: Enable Bit (EN)—When set to 1, the timer is enabled. When set to 0, the timer is inhibited from counting. This bit can only be written with the INH bit set at the same time.

Bit 14: Inhibit Bit (INH)—Allows selective updating of enable (EN) bit. When set to 1 during a write, EN can also be modified. When set to 0 during a write, writes to EN are ignored. This bit is not stored and is always read as 0.

Bit 13: Interrupt Bit (INT)—When set to 1, an interrupt request is generated when the count register equals a maximum count. If the timer is configured in dual maximum mode, an interrupt is generated each time the count reaches maximum A or maximum B. When INT is set to 0, the timer will not issue interrupt requests. If the enable bit is cleared after an interrupt request has been generated but before the pending interrupt is serviced, the interrupt request will still be present.

Bit 12: Register in Use Bit (RIU)—When the maximum compare A register is being used for comparison to the timer count value, this bit is set to 0. When the maximum compare B register is being used, this bit is set to 1.

Bits 11–6: Reserved—Set to 0.

Bit 5: Maximum Count Bit (MC)—The MC bit is set to 1 when the timer reaches a maximum count. In dual maximum mode, the bit is set each time either maximum compare A or B register is reached. This bit is set regardless of the timer interrupt-enable bit. The MC bit can be used to monitor timer status through software polling instead of through interrupts.

Bit 4: Retrigger Bit (RTG)—Determines the control function provided by the timer input pin. When set to 1, a 0 to 1 edge transition on TMRIN0 or TMRIN1 resets the count. When set to 0, a High input enables counting and a Low input holds the timer value. This bit is ignored when external clocking (EXT=1) is selected.

Bit 3: Prescaler Bit (P)—When set to 1, the timer is prescaled by timer 2. When set to 0, the timer counts up every fourth CLKOUT period. This bit is ignored when external clocking is enabled (EXT=1).

Bit 2: External Clock Bit (EXT)—When set to 1, an external clock is used. When set to 0, the internal clock is used.



Bit 1: Alternate Compare Bit (ALT)—When set to 1, the timer counts to maxcount compare A, then resets the count register to 0. Then the timer counts to maxcount compare B, resets the count register to zero, and starts over with maxcount compare A.

If ALT is clear, the timer counts to maxcount compare A, and then resets the count register to zero and starts counting again against maxcount compare A. In this case, maxcount compare B is not used.

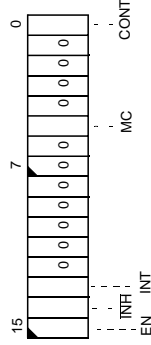
Bit 0: Continuous Mode Bit (CONT)—When set to 1, CONT causes the associated timer to run in the normal continuous mode.

When CONT is set to 0, EN is cleared after each timer count sequence and the timer clears and then halts on reaching the maximum count. If CONT=0 and ALT=1, the timer counts to the maxcount compare A register value and resets, then it counts to the B register value and resets and halts.

8.3.3 Timer 2 Mode and Control Register (T2CON, Offset 66h)

This register controls the functionality of timer 2. See Figure 8-3.

Figure 8-3 Timer 2 Mode and Control Register



The value of T2CON at reset is 0000h.

Bit 15: Enable Bit (EN)—When EN is set to 1, the timer is enabled. When set to 0, the timer is inhibited from counting. This bit cannot be written to unless the INH bit is set to 1 during the same write.

Bit 14: Inhibit Bit (INH)—Allows selective updating of enable (EN) bit. When INH is set to 1 during a write, EN can be modified on the same write. When INH is set to 0 during a write, writes to EN are ignored. This bit is not stored and is always read as 0.

Bit 13: Interrupt Bit (INT)—When INT is set to 1, an interrupt request is generated when the count register equals a maximum count. When INT is set to 0, the timer will not issue interrupt requests. If the EN enable bit is cleared after an interrupt request has been generated but before the pending interrupt is serviced, the interrupt request remains active.

Bits 12–6: Reserved—Set to 0.

Bit 5: Maximum Count Bit (MC)—The MC bit is set to 1 when the timer reaches its maximum count. This bit is set regardless of the timer interrupt-enable bit. The MC bit can be used to monitor timer status through software polling instead of through interrupts.

Bits 4–1: Reserved—Set to 0.

Bit 0: Continuous Mode Bit (CONT)—When CONT is set to 1, it causes the associated timer to run continuously. When set to 0, EN is cleared after each timer count sequence and the timer halts on reaching the maximum count.



AMD

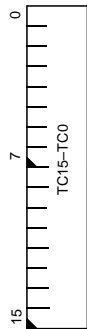
8.3.4

Timer Count Registers (T0CNT, Offset 50h, T1CNT, Offset 58h, T2CNT, Offset 60h)

These registers can be incremented by one every four internal processor clocks. Timer 0 and timer 1 can also be configured to increment based on the TMRIN0 and TMRIN1 external signals, or they can be prescaled by timer 2. See Figure 8-4.

The count registers are compared to maximum count registers and various actions are triggered based on reaching a maximum count.

Figure 8-4 Timer Count Registers



The value of these registers at reset is undefined.

Bits 15-0: Timer Count Value (TC15-TC0)—This register contains the current count of the associated timer. The count is incremented every fourth processor clock in internal clocked mode, or each time the timer 2 maximum count is reached if prescaled by timer 2. Timer 0 and timer 1 can be configured for external clocking based on the TMRIN0 and TMRIN1 signals.

8-6

Timer Control Unit

AMD

8.3.5

Timer Maxcount Compare Registers (T0CMPA, Offset 52h, T0CMPB, Offset 54h, T1CMPA, Offset 5Ah, T1CMPB, Offset 5Ch, T2CMPA, Offset 62h)

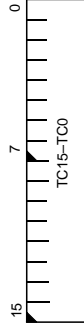
These registers serve as comparators for their associated count registers. Timer 0 and timer 1 each have two maximum count compare registers. See Figure 8-5.

Timer 0 and timer 1 can be configured to count and compare to register A and then count and compare to register B. Using this method, the TMROUT0 or TMROUT1 signals can be used to generate wave forms of various duty cycles.

Timer 2 has one compare register, T2CMPA.

If a maximum count compare register is set to 0000h, the timer associated with that compare register will count from 0000h to FFFFh before requesting an interrupt. With a 40-MHz clock, a timer configured this way interrupts every 6.5536 ms.

Figure 8-5 Timer Maxcount Compare Registers



The value of these registers at reset is undefined.

Bits 15-0: Timer Compare Value (TC15-TC0)—This register contains the maximum value a timer will count to before resetting its count register to 0.

8-7

Timer Control Unit



Bit 13: Destination Increment (DINC)—When DINC is set to 1, the destination address is automatically incremented after each transfer. The address increments by 1 or 2 depending on the byte/word bit (B/W, bit 0). The address remains constant if the increment and decrement bits are set to the same value (00b or 11b).

Bit 12: Source Address Space Select (SMIO)—When SMIO is set to 1, the source address is in memory space. When set to 0, the source address is in I/O space.

Bit 11: Source Decrement (SDEC)—When SDEC is set to 1, the source address is automatically decremented after each transfer. The address decrements by 1 or 2 depending on the byte/word bit (B/W, bit 0). The address remains constant if the increment and decrement bits are set to the same value (00b or 11b).

Bit 10: Source Increment (SINC)—When SINC is set to 1, the source address is automatically incremented after each transfer. The address increments by 1 or 2 depending on the byte/word bit (B/W, bit 0). The address remains constant if the increment and decrement bits are set to the same value (00b or 11b).

Bit 9: Terminal Count (TC)—The DMA decrements the transfer count for each DMA transfer. When TC is set to 1, source or destination synchronized DMA transfers terminate when the count reaches 0. When TC is set to 0, source or destination synchronized DMA transfers do not terminate when the count reaches 0. Unsynchronized DMA transfers always terminate when the count reaches 0, regardless of the setting of this bit.

Bit 8: Interrupt (INT)—When INT is set to 1, the DMA channel generates an interrupt request on completion of the transfer count. The TC bit must also be set to generate an interrupt.

Bits 7–6: Synchronization Type (SYN1–SYN0)—The SYN1–SYN0 bits select channel synchronization as shown in Table 9-2. The value of this field is ignored if TDRQ (bit 4) is set to 1. For more information on DMA synchronization, see Section 9.4 on page 9-11. This field is 11b after processor reset.

Table 9-2 Synchronization Type

SYN1	SYN0	Sync Type
0	0	Unsynchronized
0	1	Source Synchron
1	0	Destination Synchron
1	1	Reserved

Bit 5: Relative Priority (P)—When P is set to 1, it selects high priority for this channel relative to the other channel during simultaneous transfers.

Bit 4: Timer 2 Synchronization (TDRQ)—When TDRQ is set to 1, it enables DMA requests from timer 2. When set to 0, TDRQ disables DMA requests from timer 2.

Bit 3: External Interrupt Enable Bit (EXT)—This bit enables the external interrupt functionality of the corresponding DRQ pin. If this bit is set to 1, the external pin is an INT pin and requests on the pin are processed by the interrupt controller; the associated DMA channel does not respond to changes on the DRQ pin. When this bit is set to 0, the pin functions as a DRQ pin.

Bit 2: Change Start Bit (CHG)—This bit must be set to 1 during a write to allow modification of the ST bit. When CHG is set to 0 during a write, ST is not altered when writing the control word. This bit always reads as 0.

9.3 PROGRAMMABLE DMA REGISTERS

The following sections describe the control registers that are used to configure and operate the two DMA channels.

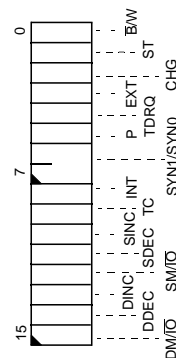
9.3.1

DMA Control Registers (D0CON, Offset CAh, D1CON, Offset DAh)

The DMA control registers (see Figure 9-2) determine the mode of operation for the DMA channels. These registers specify the following options:

- 1. Whether the destination address is memory or I/O space
 - 1. Whether the destination address is incremented, decremented, or maintained constant after each transfer
 - 1. Whether the source address is memory or I/O space
 - 1. Whether the source address is incremented, decremented, or maintained constant after each transfer
 - 1. If DMA activity ceases after a programmed number of DMA cycles
 - 1. If an interrupt is generated with the last transfer
 - 1. The mode of synchronization
 - 1. The relative priority of the DMA channel with respect to the other DMA channel
 - 1. Whether timer 2 DMA requests are enabled or disabled
 - 1. Whether bytes or words are transferred (on the Am186 microcontroller only)
 - 1. Whether the DRQ pin is used for external interrupts
- The DMA channel control registers can be changed while the channel is operating. Any changes made during DMA operations affect the current DMA transfer.

Figure 9-2 DMA Control Registers



The value of D0CON and D1CON at reset is undefined except ST is set to 0.

Bit 15: Destination Address Space Select (DMIO)—Selects memory or I/O space for the destination address. When DMIO is set to 1, the destination address is in memory space. When set to 0, the destination address is in I/O space.

Bit 14: Destination Decrement (DDEC)—When DDEC is set to 1, the destination address is automatically decremented after each transfer. The address decrements by 1 or 2 depending on the byte/word bit (B/W, bit 0). The address remains constant if the increment and decrement bits are set to the same value (00b or 11b).



AMD

9.3.3

DMA Transfer Count Registers (D0TC, Offset C8h, D1TC, Offset D8h)

Each DMA channel maintains a 16-bit DMA Transfer Count register (DTC). This register is decremented after each DMA cycle, regardless of the state of the TC bit in the DMA control register. However, if the TC bit in the DMA control word is set or if unsynchronized transfers are programmed, DMA activity terminates when the transfer count register reaches 0.

Figure 9-3 DMA Transfer Count Registers



The value of D0TC and D1TC at reset is undefined.

Bits 15-0: DMA Transfer Count (TC15-TC0)—Contains the transfer count for a DMA channel. Value is decremented by 1 after each transfer.

AMD

Bit 1: Start/Stop DMA Channel (ST)—The DMA channel is started when the start bit is set to 1. This bit can be modified only when the CHG bit is set to 1 during the same register write. This bit is 0 after processor reset.

Bit 0: Byte/Word Select (BW)—On the Am186ES microcontroller, when BW is set to 1, word transfers are selected. When BW is set to 0, byte transfers are selected. Word transfers are not supported on the Am188ES microcontroller. Only byte transfers are supported when either the source or the destination bus width is 8 bits.

9.3.2 Serial Port/DMA Transfers

The Am186ES and Am188ES microcontrollers have the added feature of being able to DMA to and from the serial ports. This is accomplished by programming the DMA controller to perform transfers between a data buffer (located either in memory or I/O space) and a serial port peripheral control register (SP0TD, SP1TD, SP0RD, or SP1RD). It is important to note that when a DMA channel is in use by a serial port, the corresponding external DMA request signal is deactivated.

For DMA to the serial port, the transmit data register address, either I/O mapped or memory mapped, should be specified as a byte destination for the DMA by writing the address of the register into the DMA destination low and DMA destination high registers. The destination address (the address of the transmit data register) should be configured as a constant throughout the DMA operation. The serial port transmitter acts as the synchronizing device so the DMA channel should be configured as destination synchronized.

For DMA from the serial port, the receive data register address, either I/O mapped or memory mapped, should be specified as a byte source for the DMA by writing the address of the register into the DMA Source and DMA Source High registers. The source address (the address of the receive data register) should be configured as a constant throughout the DMA. The serial port receiver acts as the synchronizing device so the DMA channel should be configured as source synchronized.



AMDE

9.3.5 DMA Destination Address Low Register (Low Order Bits) (D0DSTL, Offset C4h, D1DSTL, Offset D4h)

Figure 9-5 shows the DMA Destination Address Low register. The sixteen bits of this register are combined with the four bits of the DMA Destination Address High register (see Figure 9-4) to produce a 20-bit destination address.

Figure 9-5 DMA Destination Address Low Register



The value of D0DSTL and D1DSTL at reset is undefined.

Bits 15-0: DMA Destination Address Low (DDA15-DDA0)—These bits are driven onto A15-A0 during the write phase of a DMA transfer.

DMA Controller

9-8

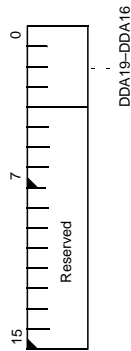
AMDE

9.3.4 DMA Destination Address High Register (High Order Bits) (D0DSTH, Offset C6h, D1DSTH, Offset D6h)

Each DMA channel maintains a 20-bit destination and a 20-bit source register. Each 20-bit address takes up two full 16-bit registers (the high register and the low register) in the peripheral control block. For each DMA channel to be used, all four address registers for that channel must be initialized. These addresses can be individually incremented or decremented after each transfer. If word transfers are performed, the address is incremented or decremented by 2 after each transfer. If byte transfers are performed, the address is incremented or decremented by 1.

Each register can point into either memory or I/O space. The user must program the upper four bits to 0000b in order to address the normal 64K I/O space. Since the DMA channels can perform transfers to or from odd addresses, there is no restriction on values for the destination and source address registers. Higher transfer rates can be achieved on the Am186ES microcontroller if all word transfers are performed to or from even addresses so that accesses occur in single 16-bit bus cycles.

Figure 9-4 DMA Destination Address High Register



The value of D0DSTH and D1DSTH at reset is undefined.

Bits 15-4: Reserved

Bits 3-0: DMA Destination Address High (DDA19-DDA16)—These bits are driven onto A19-A16 during the write phase of a DMA transfer.

DMA Controller

9-7



AMD

9.3.7 DMA Source Address Low Register (Low Order Bits) (D0SRCL, Offset C0h, D1SRCL, Offset D0h)

Figure 9-7 shows the DMA Source Address Low register. The sixteen bits of this register are combined with the four bits of the DMA Source Address High register (see Figure 9-6) to produce a 20-bit source address.

Figure 9-7 DMA Source Address Low Register



The value of D0SRCL and D1SRCL at reset is undefined.

Bits 15-0: DMA Source Address Low (DSA15-DSA0)—These bits are driven onto A15-A0 during the read phase of a DMA transfer.

DMA Controller

9-10

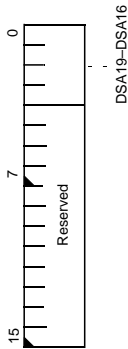
AMD

9.3.6 DMA Source Address High Register (High Order Bits) (D0SRCH, Offset C2h, D1SRCH, Offset D2h)

Each DMA channel maintains a 20-bit destination and a 20-bit source register. Each 20-bit address takes up two full 16-bit registers (the high register and the low register) in the peripheral control block. For each DMA channel to be used, all four address registers for that channel must be initialized. These addresses can be individually incremented or decremented after each transfer. If word transfers are performed, the address is incremented or decremented by 2 after each transfer. If byte transfers are performed, the address is incremented or decremented by 1.

Each register can point into either memory or I/O space. The user must program the upper four bits to 0000b in order to address the normal 64K I/O space. Since the DMA channels can perform transfers to or from odd addresses, there is no restriction on values for the destination and source address registers. Higher transfer rates can be achieved on the Am186ES microcontroller if all word transfers are performed to or from even addresses so that accesses occur in single 16-bit bus cycles.

Figure 9-6 DMA Source Address High Register



The value of D0SRCH and D1SRCH at reset is undefined.

Bits 15-4: Reserved

Bits 3-0: DMA Source Address High (DSA19-DSA16)—These bits are driven onto A19-A16 during the read phase of a DMA transfer.

DMA Controller

9-9



When a DMA channel is being used for serial port transmits or receives, the DMA request is generated internally. The corresponding external DMA request signals, DRQ0 or DRQ1, are not active for serial port DMA transfers.

Bit 12: Receive Status Interrupt Enable (RSIE)—This bit enables the serial port to generate an interrupt request when an exception occurs during data reception. When this bit is set, interrupt requests are generated for the error conditions reported in the serial port status register (BRK0, BRK1, OER, PER, FER).

Bit 11: Send Break (BRK)—When this bit is set, the TXD pin is driven Low regardless of the data being shifted out of the transmit register.

A short break, as reported by the BRK0 bit in the status register, is a continuous Low on the TXD output for a duration of more than one frame transmission time M, where M = start bit + data bits (+ parity bit) + stop bit. The transmitter can be used to time the break by setting the BRK bit when the transmitter is empty (indicated by the TEMT bit of the serial port status register), writing the serial port transmit register with data, then waiting until the TEMT bit is again set before resetting the BRK bit.

A long break, as reported by the BRK1 bit in the status register, is a continuous Low on the TXD output for a duration of more than two frame transmission times plus the transmission time for three additional bits (2M+3). The transmitter can be used to time the break as follows:

1. Wait for the TEMT bit in the status register to be set.
2. Set the BRK bit.
3. Perform two sequential writes to the transmit register.
4. Wait for the TEMT bit in the status register to be set again.
5. Write a character with the low nibble zeroed and the high nibble High (for example, F0h).
6. Clear the BRK bit. The character being transmitted continues to hold the TXD pin Low for the required additional 3-bit transmission time.

Note: The transmitter can only be used to time the break if hardware flow control is disabled. If flow control is enabled, setting the BRK bit will still force the TXD line Low, but the receiving device may deassert the CTS input, inhibiting the clocking out of the character in the transmit data register.

Bit 10: Transmit Bit 8 (TB8)—This bit is transmitted as the ninth data bit in modes 2 and 3 (see the mode field description). This bit is not buffered and is cleared after every transmission. In order to transmit a character with the 8th data bit High, the following protocol should be followed:

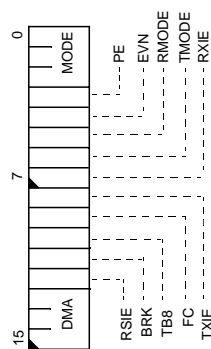
1. Wait for the TEMT bit in the status register to become set.
2. Write the control register with this bit set.
3. Write the character to be transmitted.

Bit 9: Flow Control Enable (FC)—When this bit is 1, hardware flow control is enabled for the associated serial port. When this bit is 0, hardware flow control is disabled for the associated serial port. The nature of the flow control signals is determined by the setting of the ENRX0/ENRX1 and RTS0/RTS1 bits in the AUXCON register. See the discussion of the AUXCON register and Section 10.1.1 on page 10-1 for more information. If this bit is 1 for serial port 0, the associated pins are used as flow control signals, overriding their function as Peripheral Chip Select signals. This bit is 0 after processor reset.

10.2.1 Serial Port 0/1 Control Registers (SPOCT/SP1CT, Offset 80h/10h)

The serial port control registers control both the transmit and receive sections of the serial port. The format of the serial port control registers is shown in Figure 10-3.

Figure 10-3 Serial Port Control Register



The value of SPOCT/SP1CT at reset is 0000h.

Bits 15–13: DMA Control Field (DMA)—This field configures the serial port for use with DMA transfers according to the following table.

Table 10-3 DMA Control Bits

DMA Bits	Receive	Transmit
000b	No DMA	No DMA
001b	DMA0	DMA1
010b	DMA1	DMA0
011b	Reserved	Reserved
100b	DMA0	No DMA
101b	DMA1	No DMA
110b	No DMA	DMA0
111b	No DMA	DMA1

DMA transfers to a serial port function as destination-synchronized DMA transfers. A new transfer is requested when the transmit holding register is empty. This corresponds with the assertion of the THRE bit in the serial port status register in non-DMA mode. When the port is configured for DMA transfers, the corresponding transmit interrupt is disabled regardless of the setting of the TXIE bit.

DMA transfers from the serial port function as source-synchronized DMA transfers. A new transfer is requested when the serial port receive register contains valid data. This corresponds with the assertion of the RDR bit in the serial port status register in non-DMA mode. When the port is configured for DMA receives, the corresponding receive interrupt is disabled regardless of the setting of the RXIE bit. Receive status interrupts may still be taken, as configured by the RSIE bit.

Hardware handshaking may be used in conjunction with serial port DMA transfers.





bit reset (Low) is ignored. The transmit portion of the port behaves identically with mode 3 operation.

This mode can be used in conjunction with mode 3 to allow for multidrop communications over a common serial link. In this case, the serial port is configured as mode 2 initially. Each time data is received with the ninth bit set, the data is compared by software against a unique ID for this receiver. If the received data does not match the port ID, the port is left in mode 2. If the received data matches the port ID, software should reconfigure the serial port to mode 3, allowing it to receive 9-bit data with the ninth bit reset.

In a serial multidrop configuration, multiple serial ports are attached to the same serial line. The master serial port is configured in mode 3 while the slave serial ports are configured in mode 2. The master polls the other devices by sending out status request packets. Each of these status request packets begins with an address byte (i.e. ninth data bit is set). The slave ports report a receive character for the address byte since the ninth bit is set. Each port then attempts to match the address against its own address. If the addresses do not match, the port remains in mode 2 and ignores the remainder of the message. If the addresses match, software reconfigures the port into mode 3. The two mode 3 ports are able to exchange data freely.

It should be noted that only ports which are actively exchanging data (i.e. ports in mode 3) should have hardware handshaking enabled. If this is not the case, multiple devices may be driving the hardware handshaking lines. For this reason, hardware handshaking is not supported for the mode 2 configuration and should not be enabled. In addition, it is possible for more than two devices to be configured as mode 3 at any one time, hardware handshaking should not be enabled.

Mode 3 supports 8 data bits when parity is enabled or 9 data bits with parity disabled. When not using parity, the ninth bit (bit 8) for transmission is set by writing a 1 to the TB8 field in the serial port control register. The ninth data bit for a receive can be read in the RB8 field of the serial port status register. See the discussion of the TB8 and RB8 fields for more information.

This mode can be used in conjunction with mode 2 (see above) to allow for multidrop communications over a common serial link. In this case, parity must be disabled. In this configuration, software interprets receive characters as data as long as the ninth data bit is reset (Low). When a character is received with the ninth bit set, software should compare the lower eight bits against the port ID. If the port ID matches the receive data, the port should remain in mode 3. If the port ID does not match the receive data, the port should be reconfigured to mode 2.

Mode 4—In this mode, each frame consists of 7 data bits, a start bit, and a stop bit. Parity is not available in this mode.



Bit 8: Transmitter Ready Interrupt Enable (TXIE)—When this bit is set, the serial port generates an interrupt request whenever the transmit holding register is empty (THRE bit in the status register is set), indicating that the transmitter is available to accept a new character for transmission. When this bit is reset, the serial port does not generate transmit interrupt requests. Interrupt requests continue to be generated as long as the TXIE bit is set and the transmitter does not contain valid data to transmit, i.e., the THRE bit in the status register remains set.

Bit 7: Receive Data Ready Interrupt Enable (RXIE)—When this bit is set, the serial port generates an interrupt request whenever the receive register contains valid data (RDR bit in the status register is set). When this bit is reset, the serial port does not generate receive interrupt requests. Interrupt requests continue to be generated as long as the RXIE bit is set and the receiver contains unread data (the RDR bit in the status register is set).

Bit 6: Transmit Mode (TMODE)—When this bit is set, the transmit section of the serial port is enabled. When this bit is reset, the transmitter and transmit interrupt requests are disabled.

Bit 5: Receive Mode (RMODE)—When this bit is set, the receive section of the serial port is enabled. When this bit is reset, the receiver is disabled.

Bit 4: Even Parity (EVN)—This bit determines the parity sense. When EVN is set, even parity checking is enforced (even number of 1s in frame). When EVN is reset, odd parity checking is enforced (odd number of 1s in frame).

Note: This bit is valid only when the PE bit is set (parity enabled).

Bit 3: Parity Enable (PE)—When this bit is set, parity checking is enabled. When this bit is reset, parity checking is disabled.

Bits 2-0: Mode of Operation (MODE)—This field determines the operating mode for the serial port. The valid modes and their descriptions are shown in Table 10-4.

Mode 1 supports 7 data bits when parity is enabled or 8 data bits with parity disabled. When using parity, the eighth bit becomes the parity bit and is generated for transmits, or checked for receives automatically by the processor.

Table 10-4 Serial Port MODE Settings

MODE	Description	Data Bits	Parity Bits	Stop Bits
0	Reserved			
1	Data Mode 1	7 or 8	1 or 0	1
2	Data Mode 2	9	N/A	1
3	Data Mode 3	8 or 9	1 or 0	1
4	Data Mode 4	7	N/A	1
5	Reserved			
6	Reserved			
7	Reserved			

Mode 2—When configured in this mode, the serial port receiver will not complete a data reception unless the ninth data bit is set (High). Any character received with the ninth data



Bit 5: Framing Error Detected (FER)—When this bit is set, the serial port has detected a framing error. Framing errors are generated when the receiver samples the RXD line as Low when it expected the stop bit.

Note: *This bit should be reset by software.*

Bit 4: Overrun Error Detected (OER)—This bit is set when the processor detects an overrun error. An overrun error occurs when the serial port overwrites valid, unread data in the receive register, resulting in loss of data.

Note: *This bit should be reset by software.*

Bit 3: Parity Error Detected (PER)—This bit is set when the processor detects a parity error (modes 1 and 3).

Note: *This bit should be reset by software.*

Bit 2: Transmitter Empty (TEMT)—When this bit is set, the transmitter has no data to transmit and the transmit shift register is empty. This indicates to software that it is safe to disable the transmit section. This bit is read-only.

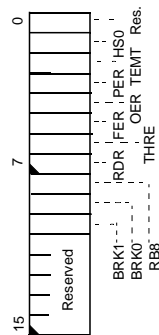
Bit 1: Handshake Signal 0 (HS0)—This bit reflects the inverted value of the external CTS pin. If CTS is asserted, HS0 is set to 1. This bit is read-only.

Bit 0: Reserved

10.2.2 Serial Port 0/1 Status Registers (SP0STS/SP1STS, Offset 82h/12h)

The Serial Port Status Registers provide information about the current status of the associated serial port. The THRE and TEMT fields provide the software with information about the state of the transmitter. The BRK1, BRK0, RB8, RDR, FER, OER, and PER bits provide information about the receiver. The HS0 bit reflects the value of the serial port's associated CTS/ENRX signal. The THRE, TEMT, and HS0 bits are updated during each processor cycle. The format of the Serial Port Status Register is shown in Figure 10-4.

Figure 10-4 Serial Port 0/1 Status Register



Bits 15–11: Reserved

Bit 10: Long Break Detected (BRK1)—This bit is set when a long break is detected on the asynchronous serial interface. A long break is defined as a Low signal on the RXD pin for greater than 2M+3 bit times, where M = (start bit + # data bits + # parity bits + stop bit).

If the serial port is receiving a character when the break begins, the reception of the character will be completed (generating a framing error) before timing for the break begins. To guarantee detection with the specified 2M+3 bit times, the break must begin outside of a frame.

Note: *This bit should be reset by software.*

Bit 9: Short Break Detected (BRK0)—This bit is set when a short break is detected on the asynchronous serial interface. A short break is defined as a Low signal on the RXD pin for greater than M bit times, where M = (start bit + # data bits + # parity bits + stop bit).

If the serial port is receiving a character when the break begins, the reception of the character will be completed (generating a framing error) before timing for the break begins. To guarantee detection with the specified M bit times, the break must begin outside of a frame.

Note: *This bit should be reset by software.*

Bit 8: Received Bit 8 (RB8)—This bit contains the ninth data bit received in modes 2 and 3. (See Serial Port Control register definition.)

Note: *This bit should be reset by software.*

Bit 7: Receive Data Ready (RDR)—When this bit is set, the corresponding Receive Data register contains valid data. This field is read-only. The RDR bit can only be reset by reading the associated SP0RD/SP1RD register.

Bit 6: Transmit Holding Register Empty (THRE)—When this bit is set, the transmit holding register is ready to accept data for transmission. This field is read-only.



AMD

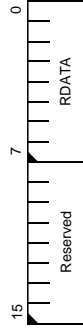
10.2.4 Serial Port 0/1 Receive Registers (SPORD/SP1RD, Offset 86h/16h)

These registers (Figure 10-6) contain data received over the serial port. The receiver is double-buffered; the receive section can be receiving a subsequent frame of data in the receive shift register (which is not accessible to software) while the receive data register is being read.

The Receive-Data-Ready (RDR) bit in the serial port status register reports the current state of this register. When the RDR bit is set, the receive register contains valid unread data. The RDR bit is automatically cleared when the receive register is read.

When hardware handshaking is enabled, the CTS/ENRFX signals are deasserted while the receive register contains valid unread data. Reading the receive register causes the CTS/ENRFX signals to be asserted. This behavior prevents overrun errors, but may result in delays between character transmissions.

Figure 10-6 Serial Port Receive 0/1 Registers



The value of SPRD at reset is undefined.

Bits 15–8: Reserved

Bits 7–0: Receive Data (RDATA)—This field holds valid data received over the serial line only when the RDR bit in the associated serial port control register is set.

Asynchronous Serial Port

10-12

AMD

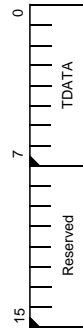
10.2.3 Serial Port 0/1 Transmit Registers (SPOTD/SP1TD, Offset 84h/14h)

The transmit registers (Figure 10-5) are written by software with the value to be transmitted over the serial interface. The transmitter is double-buffered; data to be transmitted is copied from the transmit register to the transmit shift register (which is not accessible to software) before transmitting. The state of the transmit and transmit shift registers is reflected in the TEMT and THRE bits in the associated Serial Port Status register.

When hardware handshaking is enabled, the transmitter will not transmit data while RTS/RTR inputs are deasserted. Data is held in the transmit and transmit shift registers without affecting the transmit pin.

The serial port transmit register in the Am186EM and Am188EM microcontrollers is renamed in the Am186ES and Am188ES microcontrollers as the Serial Port 0 Transmit register.

Figure 10-5 Serial Port 0/1 Transmit Registers



The value of SPTD at reset is undefined.

Bits 15–8: Reserved

Bit 7–0: Transmit Data (TDATA)—This field contains data to be transmitted through the asynchronous serial port.

Asynchronous Serial Port

10-11





AMDE

10.2.5 Serial Port 0/1 Baud Rate Divisor Registers (SPOBAUD/SP1BAUD, Offset 88h/18h)

Each of the asynchronous serial ports has a baud rate divisor register, so the two ports can operate at different rates.

These registers (Figure 10-7) specify a clock divisor for the generation of the serial clock that controls the associated serial port. The baud rate divisor register specifies the number of internal processor cycles in one phase (half period) of the 16x serial clock.

If power-save mode is in effect, the baud rate divisor must be reprogrammed to reflect the new processor clock frequency. Since power-save mode is automatically exited when an interrupt is taken, serial port transmits and receives may be corrupted if the serial port is in use and interrupts are enabled during power-save mode.

A general formula for the baud rate divisor is:

$$\text{BAUDDIV} = \frac{\text{Processor Frequency}}{16 \cdot \text{baud rate}}$$

The maximum baud rate is 1/16 of the internal processor clock and is achieved by setting BAUDDIV=000h. This results in a baud rate of 2500 Kb at 20 MHz, 1562.5 Kb at 25MHz, 2062.5 Kb at 33 MHz, and 1250 Kb at 40 MHz. A BAUDDIV setting of zero results in no transmission or reception of data.

The serial port receiver can tolerate a 3.0% overspeed and 2.5% underspeed baud rate deviance.

Table 10-5 Common Baud Rates

Baud Rate	Divisor Based on CPU Clock Rate		
	20 MHz	25 MHz	33 MHz 40 MHz
300	4166	5208	6875 8333
600	2083	2604	3437 4166
1050	1190	1488	1964 2380
1200	1041	1302	1718 2083
1800	694	868	1145 1388
2400	520	651	859 1041
4800	260	325	429 520
7200	173	217	286 347
9600	130	162	214 260
19200	65	81	107 130
28800	43	54	71 86
38400	33	40	53 65
56000	22	28	36 45
57600	22	27	35 43
76800	16	20	26 32
115200	10	13	18 22

Asynchronous Serial Port

10-13



AMDE

Baud Rate	Divisor Based on CPU Clock Rate		
	20 MHz	25 MHz	33 MHz 40 MHz
128000	9	12	16 19
153600	8	10	13 16

Special	15 MHz	21 MHz	24 MHz	30 MHz
187500	5	7	8	10

Note: A 1% error applies to all values in the above tables.

Figure 10-7 Serial Port 0/1 Baud Rate Divisor Registers



The value of SPBAUD at reset is 0000h.

Bits 15-0: Baud Rate Divisor (BAUDDIV)—This field specifies the divisor for the internal processor clock.

Asynchronous Serial Port

10-14



Table 11-1

PIO Pin Assignments

PIO No	Associated Pin	Power-On Reset Status
0	TM/RNI	Input with pullup
1	TM/ROUT1	Input with pulldown
2	PCS6/A2	Input with pullup
3	PCS5/A1	Input with pullup
4	DT/R	Normal operation ⁽³⁾
5	DEI/DS	Normal operation ⁽³⁾
6	SRDY	Normal operation ⁽⁴⁾
7 ⁽¹⁾	A17	Normal operation ⁽³⁾
8 ⁽¹⁾	A18	Normal operation ⁽³⁾
9 ⁽¹⁾	A19	Normal operation ⁽³⁾
10	TM/ROUT0	Input with pulldown
11	TM/RNO	Input with pullup
12	DRQ0/INT5	Input with pullup
13	DRQ1/INT6	Input with pullup
14	MCS0	Input with pullup
15	MCS1	Input with pullup
16	PCS0	Input with pullup
17	PCS1	Input with pullup
18	PCS2/CTS1/ENRX1	Input with pullup
19	PCS3/RTS1/RTR1	Input with pullup
20	RTS0/RTR0	Input with pullup
21	CTS0/ENRX0	Input with pullup
22	TXD0	Input with pullup
23	RXD0	Input with pullup
24	MCS2	Input with pullup
25	MCS3/RFSH	Input with pullup
26 ^(1,2)	UZI	Input with pullup
27	TXD1	Input with pullup
28	RXD1	Input with pullup
29 ^(1,2)	S6/LOCK/CLKDIV2	Input with pullup
30	INT4	Input with pullup
31	INT2/INTA0/PWD	Input with pullup

Notes:

1. These pins are used by emulators. (Emulators also use S2-S0, RES, NMI, CLKOUTA, BFE, ALE, AD15-AD0, and A16-A0.)
2. These pins revert to normal operation if BFE/ADEN (186) or RFSH2/ADEN (188) is held Low during power-on reset.
3. When used as a PIO, input with pullup option available.
4. When used as a PIO, input with pulldown option available.

11.2

PIO MODE REGISTERS

Table 11-2 shows the possible settings for the PIO Mode and PIO Direction bits. The Am186ES and Am188ES microcontrollers default the 32 PIO pins to either 00b (normal operation) or 01b (PIO input with weak internal pullup or pulldown enabled).

Pins that default to active High outputs at reset are pulled down. All other pins are pulled up, or are normal operation. See Table 11-2. The column titled *Power-On Reset State* in Table 11-1 lists the defaults for the PIOs.

The internal pullup resistor has a value of approximately 10 Kohms. The internal pulldown resistor has a value of approximately 10 Kohms.

Table 11-2 PIO Mode and PIO Direction Settings

PIO Mode	PIO Direction	Pin Function
0	0	Normal operation
0	1	PIO input with pullup/pulldown
1	0	PIO output
1	1	PIO input w/o pullup/pulldown

Figure 11-2 PIO Mode 1 Register (PIOMODE1, offset 76h)



Figure 11-3 PIO Mode 0 Register (PIOMODE0, offset 70h)



11.2.1

PIO Mode 1 Register (PIOMODE1, Offset 76h)

The value of PIOMODE1 at reset is 0000h.

Bits 15-0: PIO Mode Bits (PMODE31-PMODE16)—This field, along with the PIO direction registers, determines whether each PIO pin performs its preassigned function or is enabled as a custom PIO signal. The most significant bit of the PMODE field determines whether PIO31 is enabled, the next bit determines whether PIO30 is enabled, and so on. Table 11-2 shows the values that the PIO mode bits and the PIO direction bits can encode.

11.2.2

PIO Mode 0 Register (PIOMODE0, Offset 70h)

The value of PIOMODE0 at reset is 0000h.

Bits 15-0: PIO Mode Bits (PMODE15-PMODE0)—This field is a continuation of the PMODE field in the PIO Mode 1 register.



11.3 PIO DIRECTION REGISTERS

Each PIO is individually programmed as an input or output by a bit in one of the PIO Direction registers (see Figure 11-4 and Figure 11-5). Table 11-2 on page 11-3 shows the values that the PIO mode bits and the PIO direction bits can encode. The column titled *Power-On Reset Status* in Table 11-1 lists the reset default values for the PIOs. Bits in the PIO Direction registers have the same correspondence to pins as bits in the PIO Mode registers.

Figure 11-4 PIO Direction 1 Register (PDIR1, offset 78h)



Figure 11-5 PIO Direction 0 Register (PDIR0, offset 72h)



11.3.1 PIO Direction 1 Register (PDIR1, Offset 78h)

The value of PDIR1 at reset is FFFFh.

Bits 15-0: PIO Direction Bits (PDIR31-PDIR16)—This field determines whether each PIO pin acts as an input or an output. The most significant bit of the PDIR field determines the direction of PIO31, the next bit determines the direction of PIO30, and so on. A 1 in the bit configures the PIO signal as an input and a 0 in the bit configures it as an output or as normal pin function.

11.3.2 PIO Direction 0 Register (PDIR0, Offset 72h)

The value of PDIR0 at reset is FC0Fh.

Bits 15-0: PIO Direction Bits (PDIR15-PDIR0)—This field is a continuation of the PDIR field in the PIO Direction 1 register.

11.4 PIO DATA REGISTERS

If a PIO pin is enabled as an output, the value in the corresponding bit in one of the PIO Data registers (see Figure 11-6 and Figure 11-7) is driven on the pin with no inversion (Low=0, High=1). If a PIO pin is enabled as an input, the value on the PIO pin is reflected in the value of the corresponding bit in the PIO Data register, with no inversion. Bits in the PIO Data registers have the same correspondence to pins as bits in the PIO Mode registers and PIO Direction registers.

Figure 11-6 PIO Data 1 Register (PDATA1, offset 7Ah)

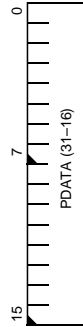


Figure 11-7 PIO Data 0 Register (PDATA0, offset 74h)



11.4.1 PIO Data Register 1 (PDATA1, Offset 7Ah)

Bits 7-0: PIO Data Bits (PDATA31-PDATA16)—This field determines the level driven on each PIO pin or reflects the external level of the pin, depending upon whether the pin is configured as an output or an input in the PIO Direction registers. The most significant bit of the PDATA field indicates the level of PIO31, the next bit indicates the level of PIO30, and so on.

The value of PDATA1 at reset is undefined.

11.4.2 PIO Data Register 0 (PDATA0, Offset 74h)

Bits 15-0: PIO Data Bits (PDATA15-PDATA0)—This field is a continuation of the PDATA field in the PIO Data 1 register.

The value of PDATA0 at reset is undefined.

11.5 OPEN-DRAIN OUTPUTS

The PIO Data registers permit the PIO signals to be operated as open-drain outputs. This is accomplished by keeping the appropriate PDATA bits constant in the PIO Data register and writing the data value into its associated bit position in the PIO Direction register, so the output is either driving Low or is disabled, depending on the data.



APPENDICE C: MONTAGGIO MECCANICO DELLA SCHEDA

La **GPC® 884** può essere interfacciata al mondo esterno in due modalità; il primo è il cosiddetto montaggio in piggy-back, che consiste nel montare la scheda al di sopra del proprio hardware, sfruttando il prolungamento dei pin dei connettori CN1, CN5 e CN5A. Questi infatti si estendono nel lato saldature per circa 7 mm, permettendo quindi un comodo inserimento su connettori femmina, del tipo strip a passo 2.54 mm.

La seconda modalità di connessione, invece, consiste nell'inserire la scheda, eventualmente abbinata ad una scheda periferica (ad esempio un modulo tipo **ZBR** o **ZBT**), su una guida Weidmuller tipo RS/100 (codice 414487), per il montaggio su barre Ω del tipo DIN 46277-1 e 3; questo contenitore plastico può essere ordinato alla **grifo®** come opzione **WM.xxx**, dove xxx indica, in mm, la lunghezza desiderata.

In questo caso il collegamento elettrico tra la **GPC® 884** e la scheda periferica avviene tramite un flat-cable, che deve essere più corto possibile.

Nelle figure seguenti sono riportate le quote meccaniche, relative alla posizioni dei connettori ed alcune immagini riguardanti queste due modalità di connessione.

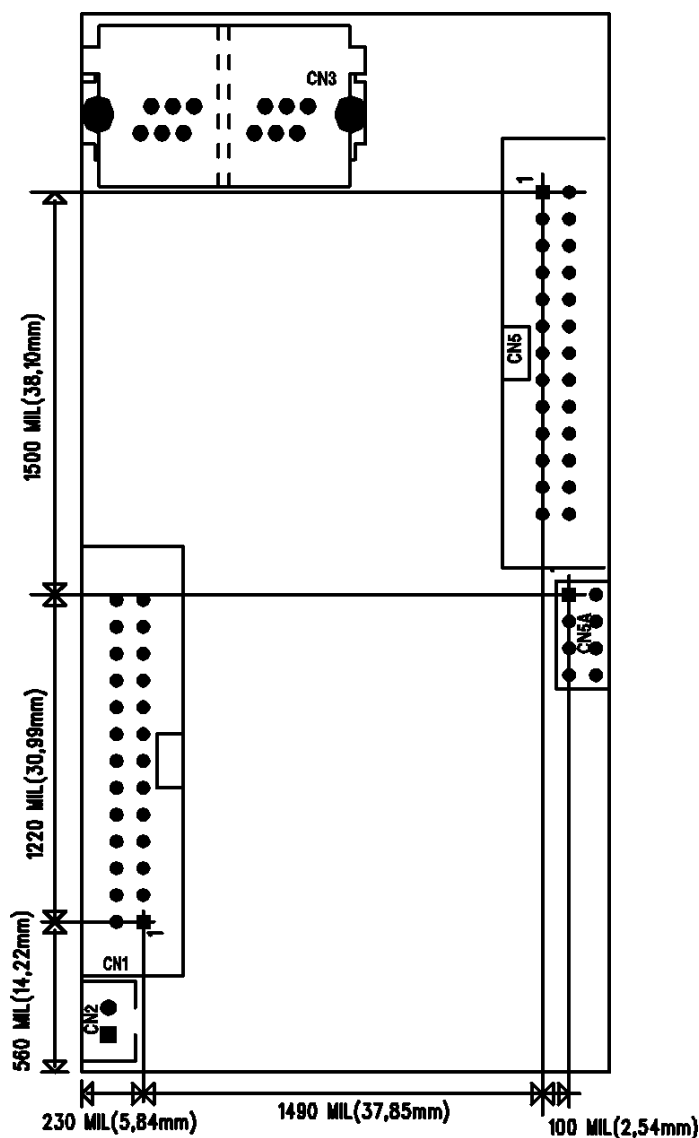


FIGURA C1: QUOTE PER MONTAGGIO IN PIGGY-BACK

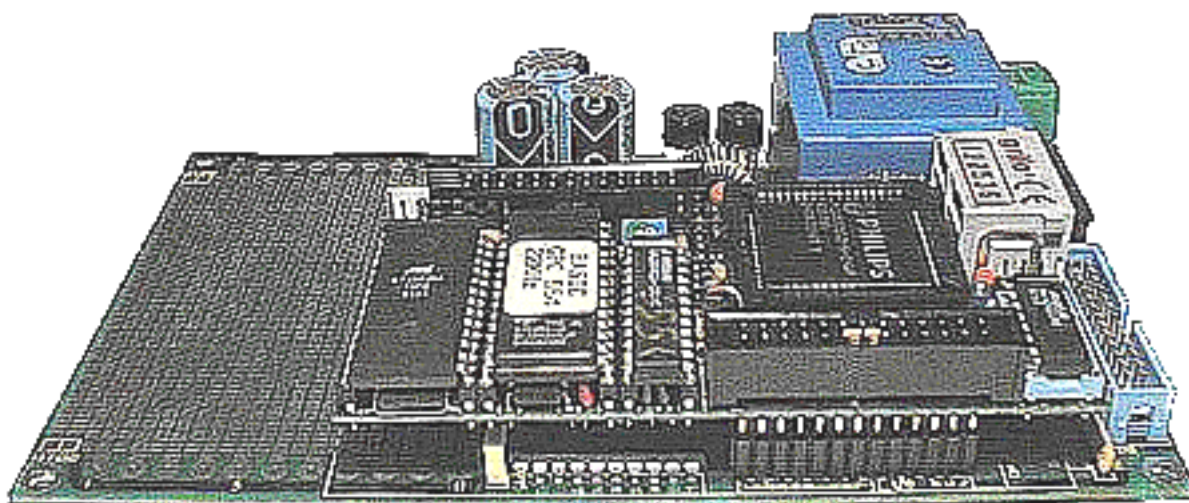
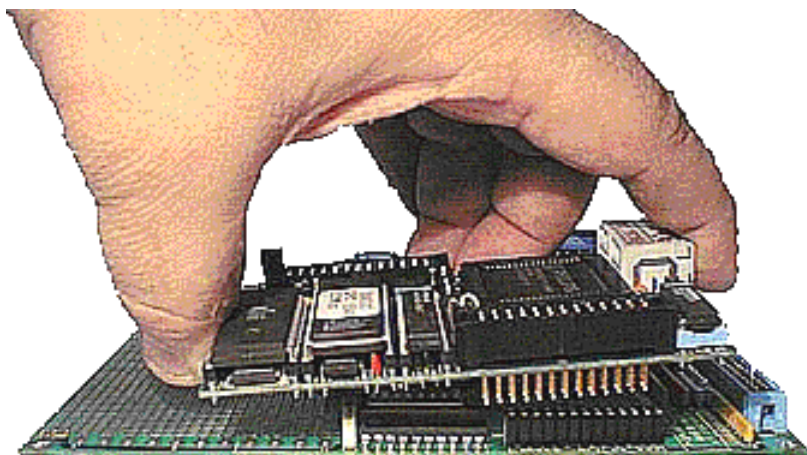


FIGURA C2: MONTAGGIO IN PIGGY-BACK

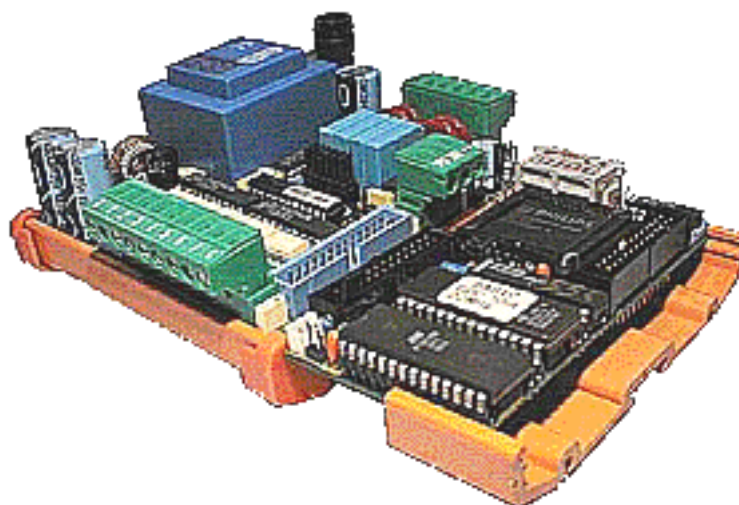
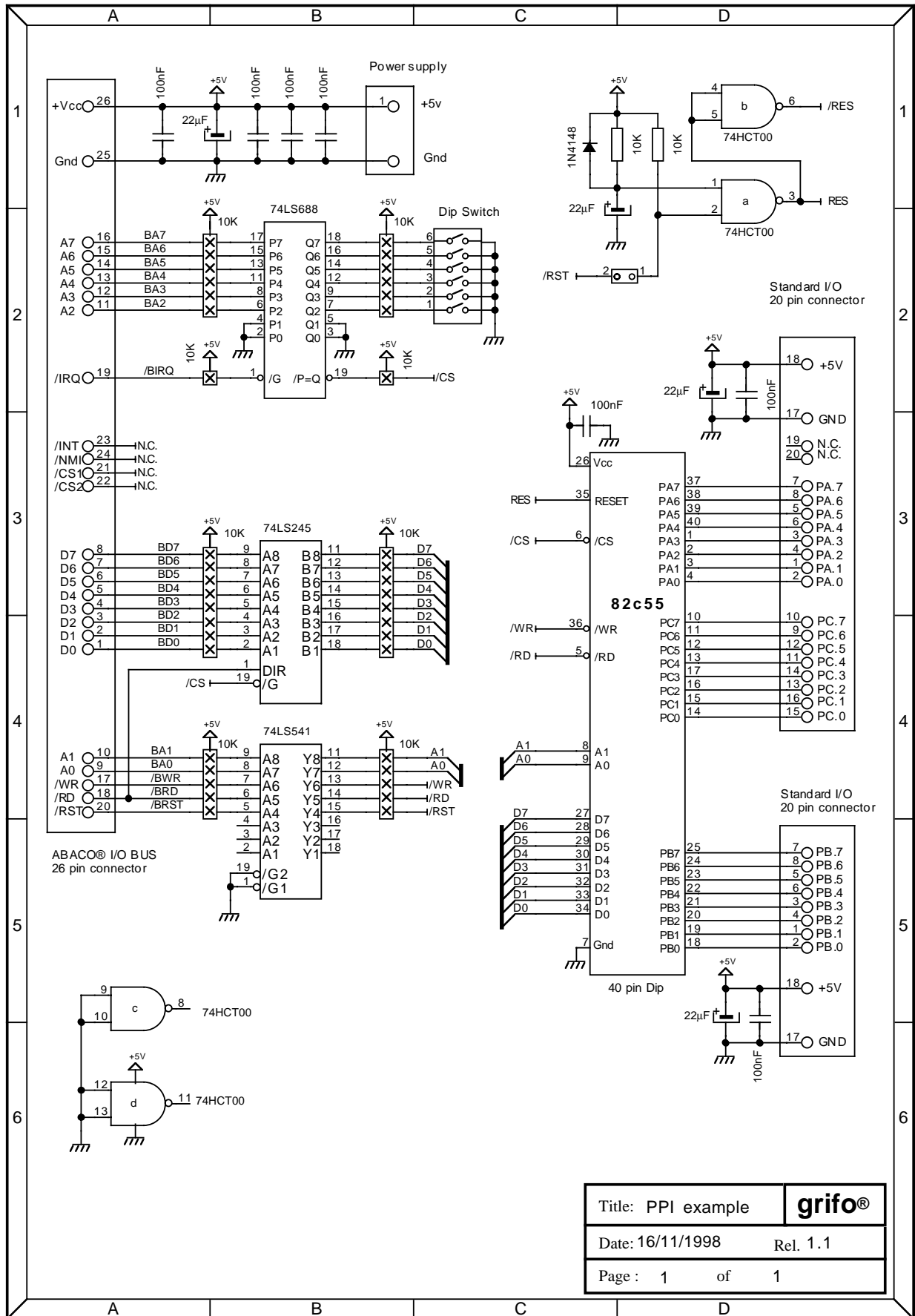


FIGURA C3: MONTAGGIO SU GUIDA WEIDMULLER

APPENDICE D: SCHEMI ELETTRICI



Title: PPI example	grifo®
Date: 16/11/1998	Rel. 1.1
Page : 1	of 1

FIGURA D1: SCHEMA ELETTRICO DI ESPANSIONE PPI

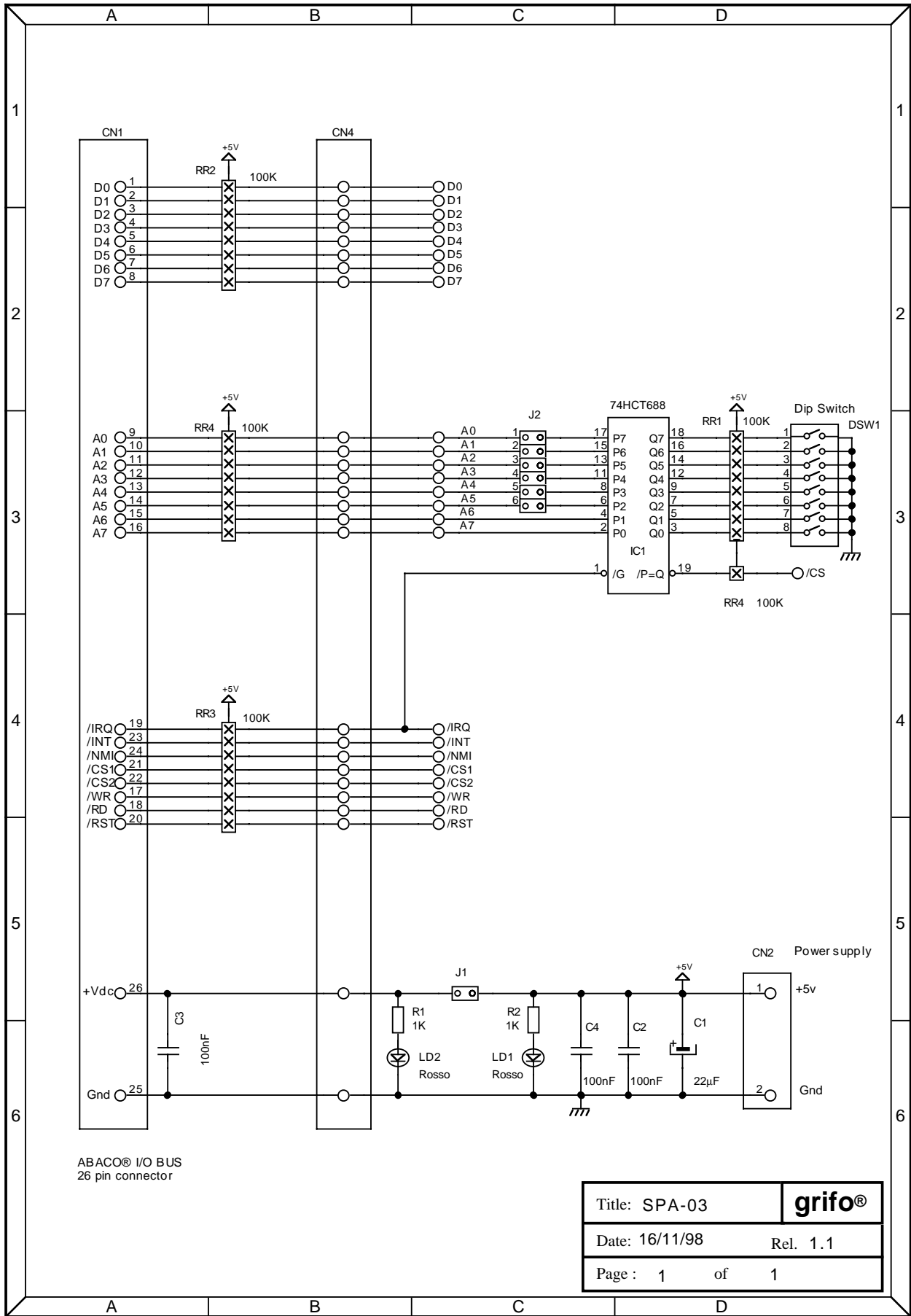
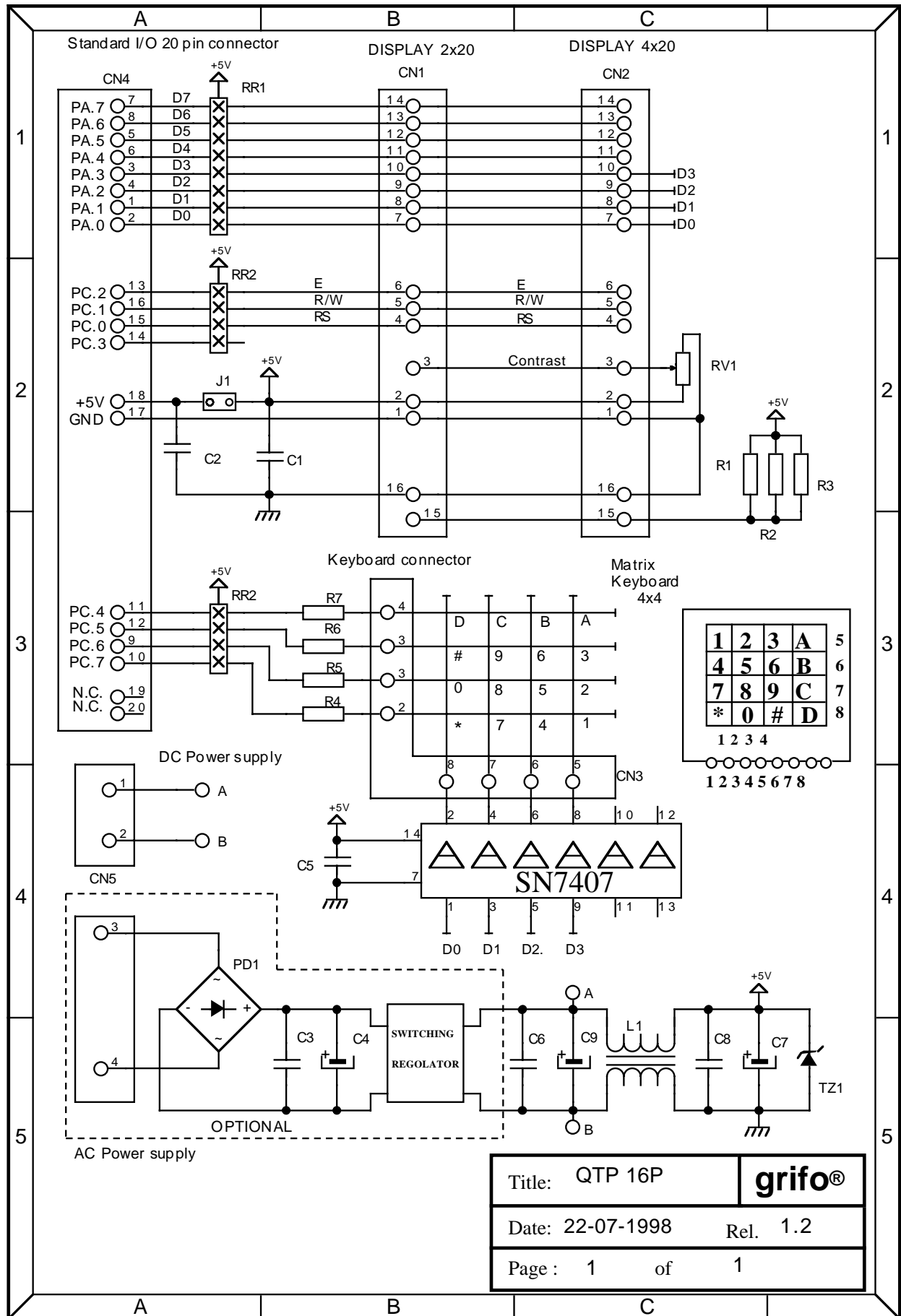


FIGURA D2: SCHEMA ELETTRICO SPA 03



Title: QTP 16P	grifo®
Date: 22-07-1998	Rel. 1.2
Page : 1	of 1

FIGURA D3: SCHEMA ELETTRICO QTP 16P

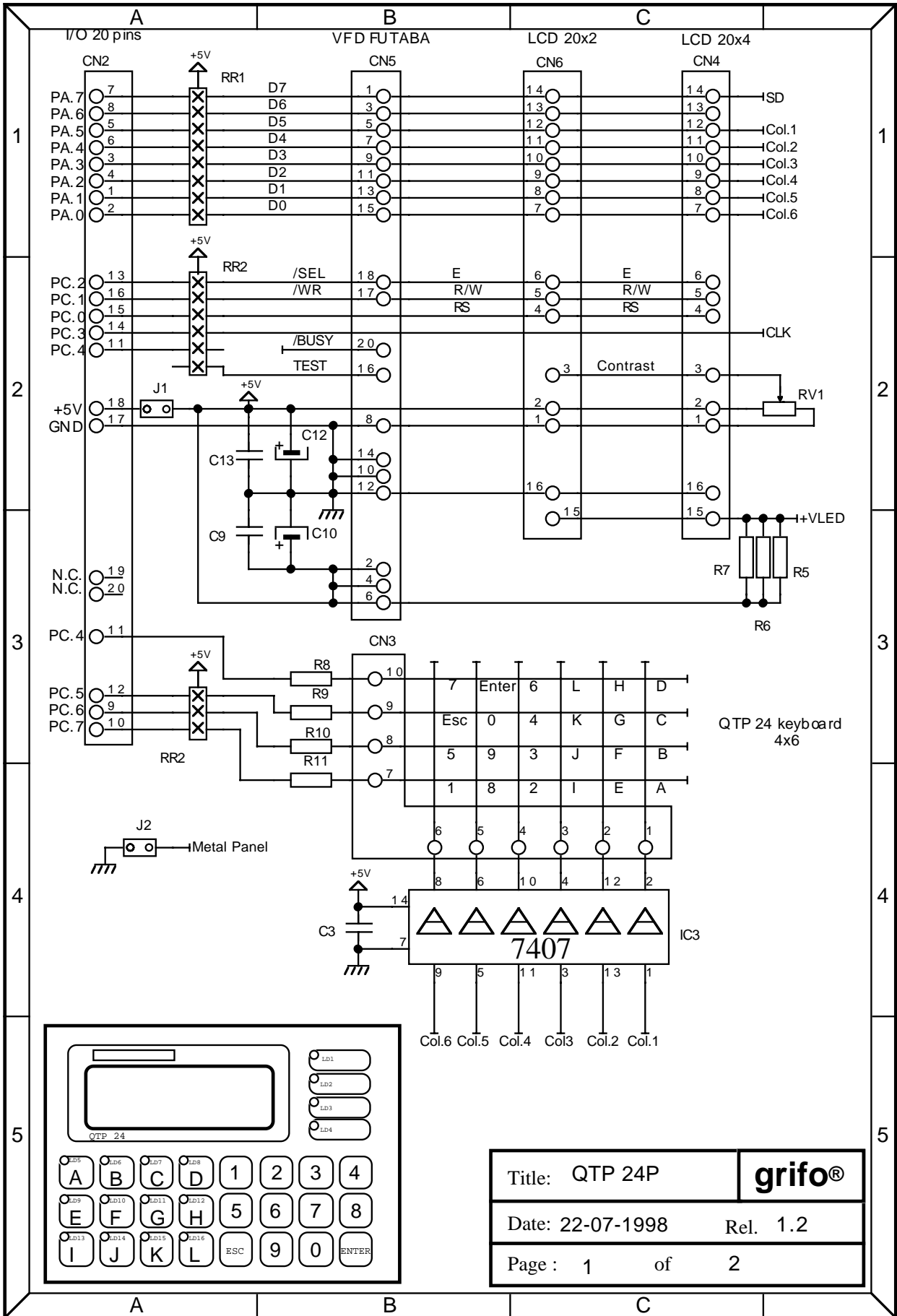


FIGURA D4: SCHEMA ELETTRICO QTP 24P 1/2



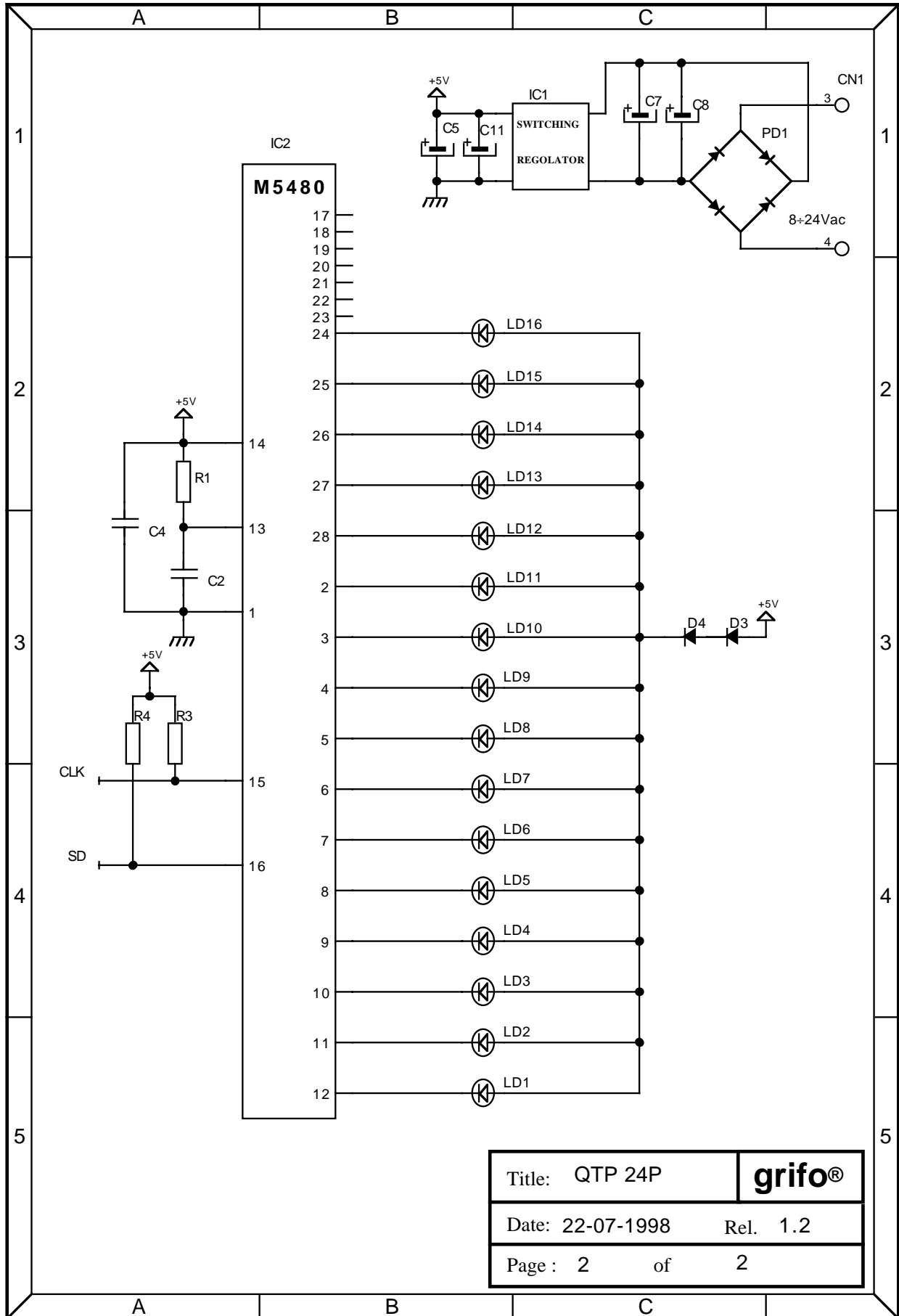


FIGURA D5: SCHEMA ELETTRICO QTP 24P 2/2

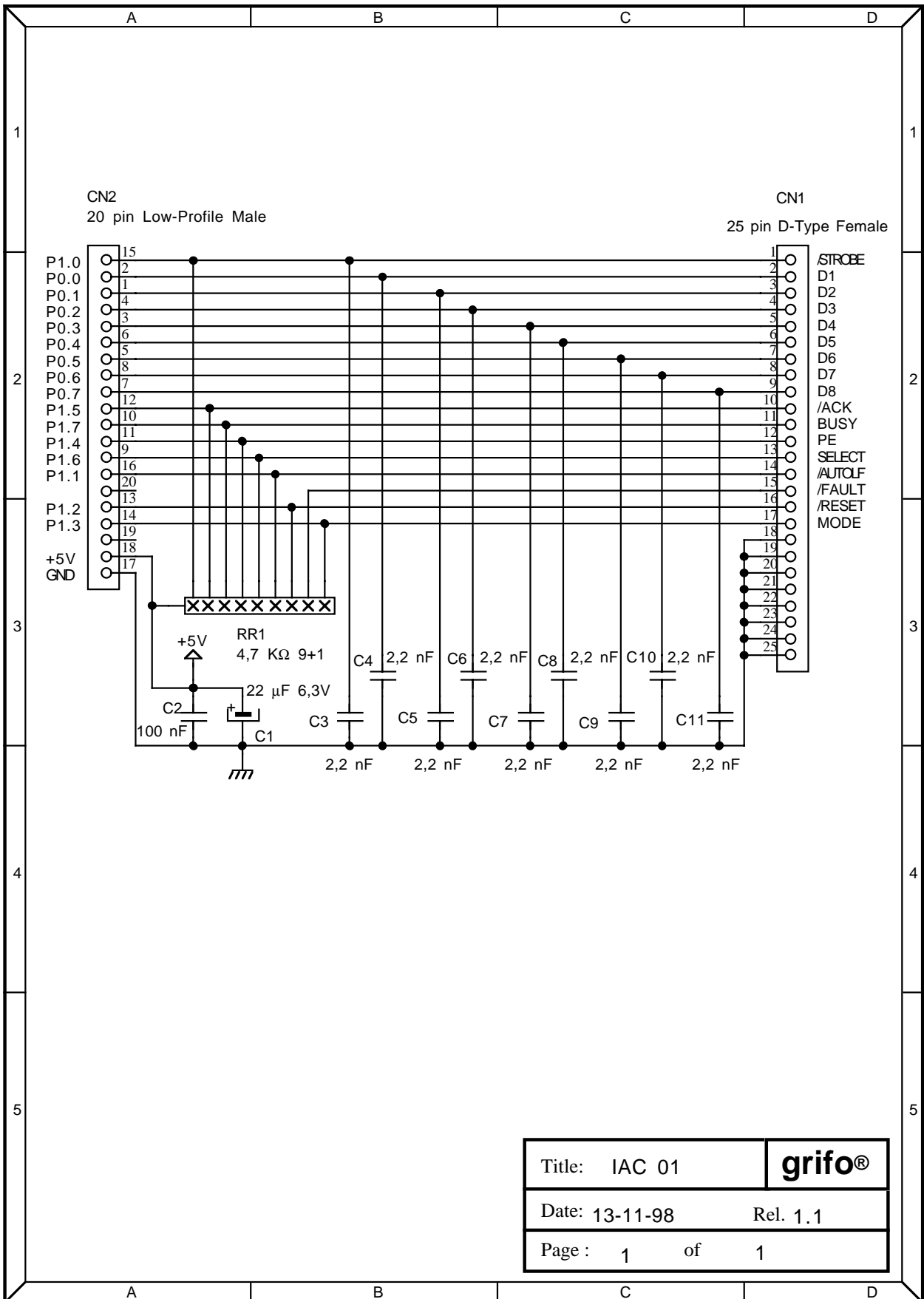
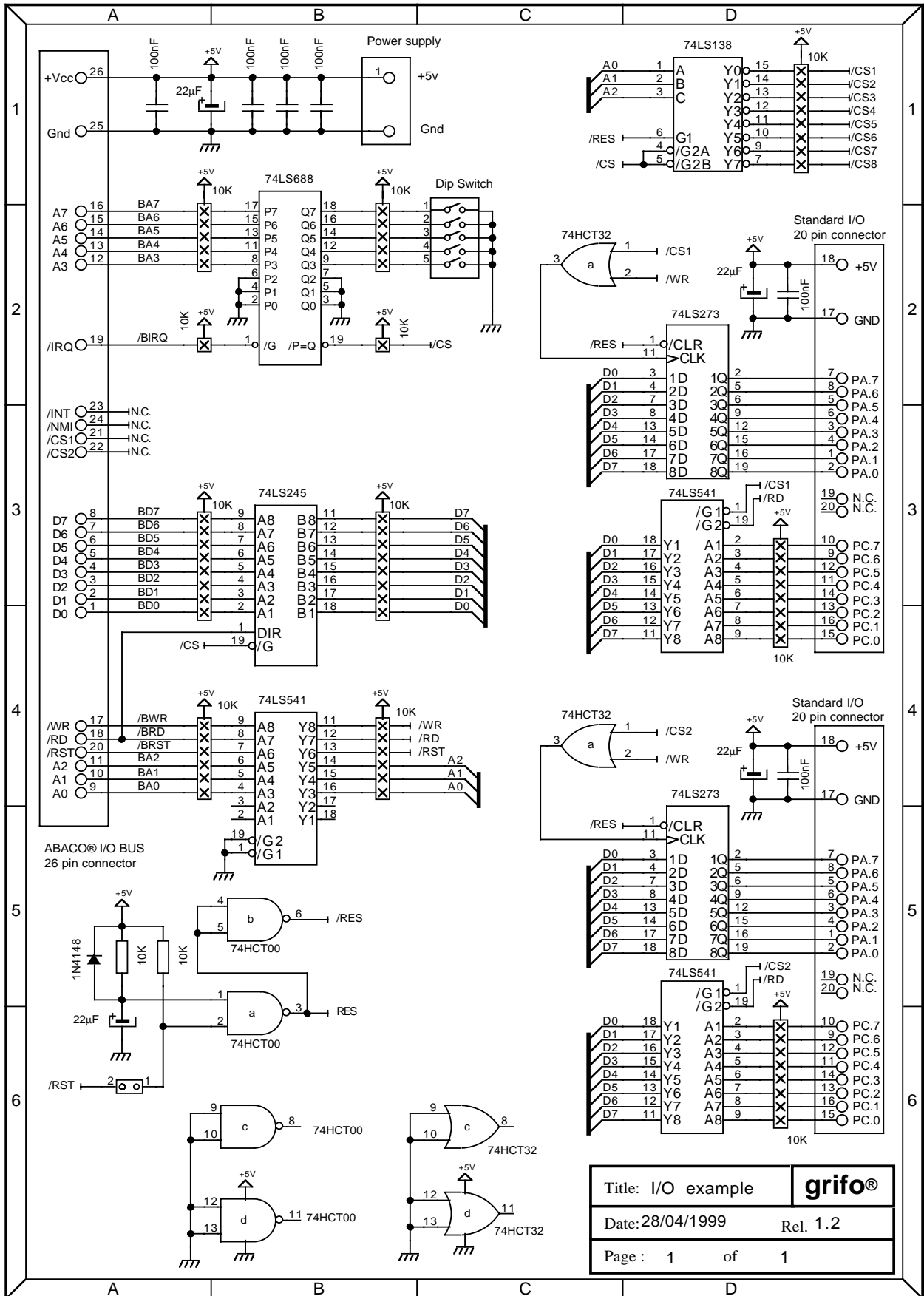


FIGURA D6: SCHEMA ELETTRICO IAC 01





Title: I/O example	grifo®
Date: 28/04/1999	Rel. 1.2
Page : 1	of 1

FIGURA D7: SCHEMA ELETTRICO DI I/O SU ABACO® I/O BUS



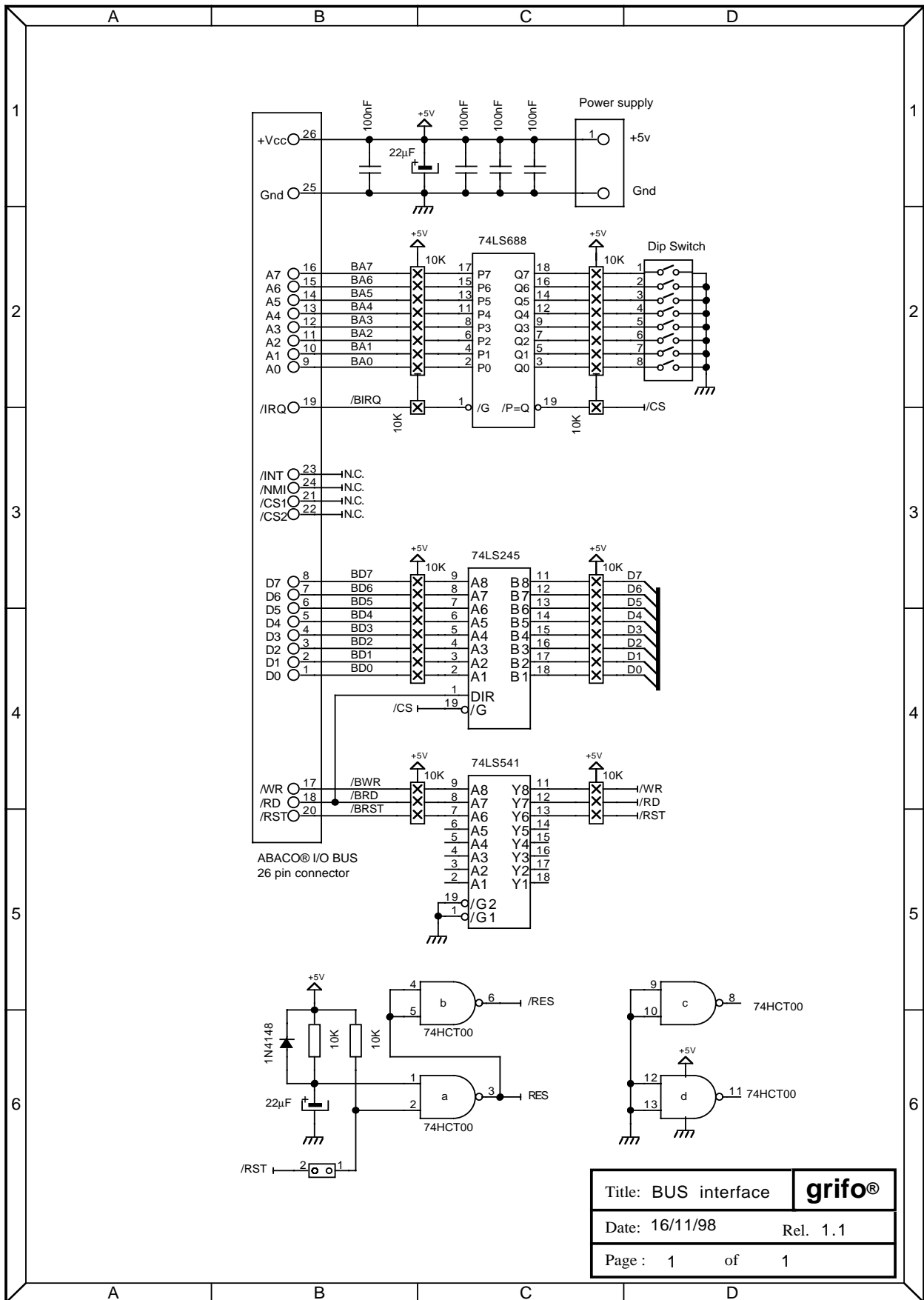


FIGURA D8: SCHEMA ELETTRICO INTERFACCIA BUS



APPENDICE E: INDICE ANALITICO

A

A/D CONVERTER 6, 18, 20, 40

ABACO® I/O BUS 4, 11, 37

ASSISTENZA 1

B

BACK UP 9, 10, 32

BATTERIA 9, 10, 32

BIBLIOGRAFIA 45

C

CARATTERISTICHE

ELETTRICHE 9

FISICHE 8

GENERALI 8

CLOCK 3

COMUNICAZIONE SERIALE 4, 29, A-1, A-2

CONNETTORI 10

CN1 11

CN2 10

CN3A 12

CN3B 14

CN5 18

CN5A 20

CONSUMO 9

CPU 3, B-1

D

DESCRIZIONE SOFTWARE 33

DIMENSIONI 8, C-1

DISPOSIZIONE COMPONENTI 7

E

EEPROM 4, 30, 37, 39

EPROM 4, 30, 37

F

FLASH EPROM 4, 30, 37

FOTO 7

I

I/O DIGITALI 6, 18, 22, 23
INDIRIZZAMENTI 35
INFORMAZIONI GENERALI 2
INPUT UTENTE 39
INSTALLAZIONE 10
INTERRUPTS 28
INTRODUZIONE 1

J

JUMPERS 24, A-1
2 VIE 26
3 VIE 27
5 VIE 27
DISPOSIZIONE 25

L

LINEA SERIALE A 4, 15, 29, A-2
LINEA SERIALE B 4, 9, 15, 16, 29, A-2

M

MANUTENZIONE 1
MAPPAGGI 35
MEMORIE 4, 30, 37, 38, A-1
MONTAGGIO MECCANICO C-1

P

PERIFERICHE IN I/O 36
PESO 8
PIANTE COMPONENTI 7
PIN MULTIPLEXATI 31
PIO 6, 18, 22, 31, 41
POWER FAILURE 30
PROCESSORE 3, B-1

R

RAM 4, 30, 37
REAL TIME CLOCK 6, 40
RESET 22, 28
RS 232 4, 15, 29, A-2
RS 422 4, 9, 15, 29, A-2
RS 485 4, 9, 15, 16, 29, A-2

S

SCHEDE ESTERNE 42
SCHEMA A BLOCCHI 5
SOFTWARE 33
SPECIFICHE TECNICHE 8

T

TARATURE 23

TASTO DI RESET 22

TEMPERATURA 8

TRIMMER 23

U

UMIDITÀ 9

V

VERSIONE SCHEDA 1

W

WATCH DOG 6, 9, 28, 39

