

君正[®] JZ4775

硬件设计指南

版本: 1.2

日期: 2014 年 6 月



北京君正集成电路股份有限公司
Ingenic Semiconductor Co., Ltd.

君正 JZ4775

硬件设计指南

Copyright © Ingenic Semiconductor Co. Ltd 2012. All rights reserved.

Release history

Date	Revision	Change
2013.11	1.0	1、第一版
2014.4	1.1	1、第二版 去除 RTC, 增加 LCD、USB OTG 和某些 pin 的特殊接法
2014.6	1.2	1、第三版 更改 LPDDR VREF 的接法

Disclaimer

This documentation is provided for use with Ingenic products. No license to Ingenic property rights is granted. Ingenic assumes no liability, provides no warranty either expressed or implied relating to the usage, or intellectual property right infringement except as provided for by Ingenic Terms and Conditions of Sale.

Ingenic products are not designed for and should not be used in any medical or life sustaining or supporting equipment.

All information in this document should be treated as preliminary. Ingenic may make changes to this document without notice. Anyone relying on this documentation should contact Ingenic for the current documentation and errata.

北京君正集成电路股份有限公司

地址：北京市海淀区西北旺东路10号院东区14号楼 君正大厦

邮编：100193

电话：86-10-56345000

传真：86-10-56345001

网址：Http: //www.ingenic.com.cn

目录

1. 原理图设计注意事项	1
1.1. DDR3	1
1.2. 电源	1
1.3. JZ4775 的 BOOT 方式	2
1.4. LCD	2
1.5. USB OTG	3
1.6. 某些 pin 的固定接法	3
2. PCB 叠层和阻抗要求	2
2.1. PCB 叠层	2
2.2. 阻抗要求	6
3. DDR3 PCB 设计注意事项	6
3.1. 走线顺序	6
3.2. 走线宽度和间距	6
3.3. 信号分组	6
3.4. 走线要求	6
3.5. 拓扑结构	8
3.6. 阻抗匹配	8
3.7. 电源和地的处理	8
4. PCB 设计的其他注意事项	11
4.1. 过孔的设置	11
4.2. 铺铜的设置	11
4.3. 散热设计	11
4.4. 其他电源的设计	12
4.5. USB 走线	12
4.6. 音频走线	12

1. 原理图设计注意事项

1.1. DDR3

- 1) DCK/DCK_N 串联电阻、并联电容，电阻 10R，电容 NC。

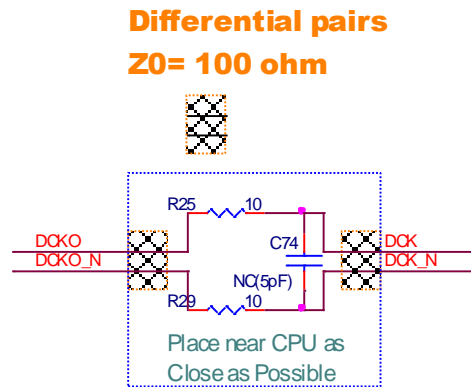


图 1-1

- 2) DQS/DQS_N, DQ, DQM, CKE, ODT, BA, A, DRAS, DCAS, DWE 串联 22R 电阻。
- 3) ZQ: 接 240Ω 1%电阻到地。
- 4) VREF 做分压，从 VDDMEM 分压取得，分压电阻为 1K 1%，去耦电容 0.01uF。

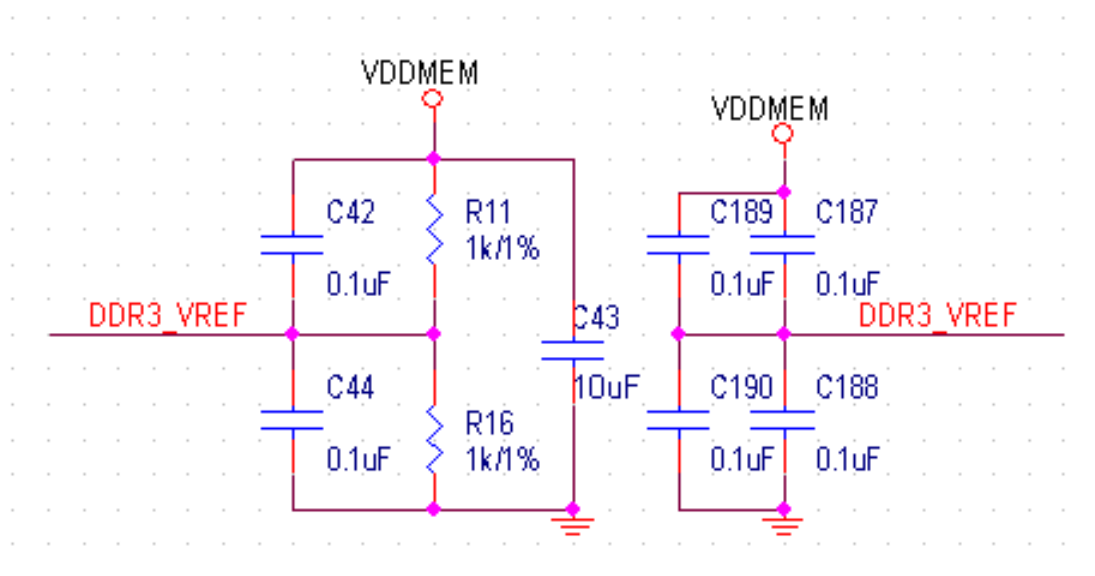


图 1-2

如果用 LPDDR，VREF 部分可将分压电阻改为 200K。

1.2. 电源

- 1) 电源的高频阻抗与电源的感应系数有关。在 VDDMEM, VDDCORE 和地之间要加多级电容滤波，譬如 22uF+0.1uF+0.01uF，可以增加电容的滤波范围，减小电源上的高频阻抗。
- 2) 如果某个模块在产品中不需要，那么电源 PIN 的滤波电容和磁珠可以省略，但是供电不可以省略。

3) JZ4775 的电源划分

Symbol	Description	Min	Typical	Max	Unit
VDDMEM	VDDQ voltage for LPDDR	1.65	1.8	1.95	V
	VDDQ voltage for SSTL18 (DDR2)	1.7	1.8	1.9	V
	VDDQ voltage for DDR3	1.425	1.5	1.575	V
	VDDQ voltage for DDR3L	1.28	1.35	1.45	V
VDDIO	VDDIO voltage	1.62	-	3.6	V
VDDNAND	VDDIO_N voltage	1.62	-	3.6	V
VDDCORE	VDDcore voltage	1.08	1.2	1.32	V
PLLAVDD	AVDPLL analog voltage	1.08	1.2	1.32	V
VDDEFUSE	AVDEFUSE voltage	2.25	2.5	2.75	V
VDDRTC	VDDRTC voltage	1.8	1.8	3.63	V
AVDOTG25	AVDOTG25 voltage	2.25	2.5	2.75	V
UHC_AVDD	UHC_AVDD voltage	3.0	3.3	3.6	V
AVDADC	AVDADC voltage	3.0	3.3	3.6	V
AVDCDC25	AVDCDC25 voltage	2.25	2.5	2.75	V

这里需要注意的是是一些 IO 口是与 NAND 功能 pin 复用的，走的是 VDDIO_N 的电源域，在选择 GPIO 口一定要保持与 VDDIO 电源域一致，不要用 VDDNAND 电源域的 IO 口。

CIM1 与静态 memory 的 SD8~15 复用，所以属于 NAND 域。CIM1 (PG6-PG8) 的 4 根控制线是 VDDIO 域的，不是 VDDNAND 域的。

VDDNAND 电源域的 IO 口有：PA00~PA07, PA18~PA23, PA29, PB00~PB01, PG10~PG17。

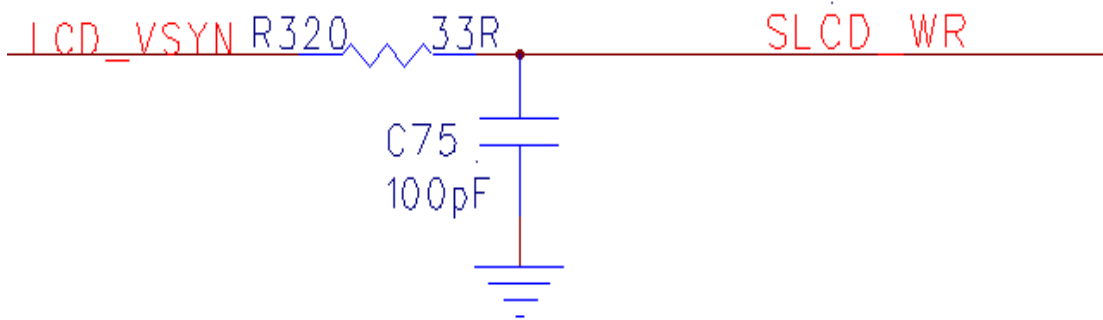
1.3. JZ4775 的 BOOT 方式

BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	Boot From
1	1	1	USB boot (USB 2.0 device, EXTCLK=24MHz)
1	0	0	SD boot @ MSC1 (MMC/SD use GPIO Port E)
1	0	1	SD boot@ MSC0 (MMC/SD use GPIO Port A)
0	1	1	eMMC boot @ MSC0 (use GPIO Port A)
1	1	0	NAND boot @ CS1
0	0	0	SPI boot @ SPI0/CE0
0	0	1	USB boot (USB 2.0 device, EXTCLK=26MHz)
0	1	0	NOR boot @ CS4 (just for FPGA testing)

我们常用的 USB boot, SD boot, NAND boot。其中 SD boot 不只针对于 SD 卡，只要是 SDIO 通讯协议的都可以使用 SD boot。对于 eMMC boot 是针对于某种特殊接口 iNAND 而言的，对于 SDIO 接口的 iNAND，要使用 SD boot。

1.4. LCD

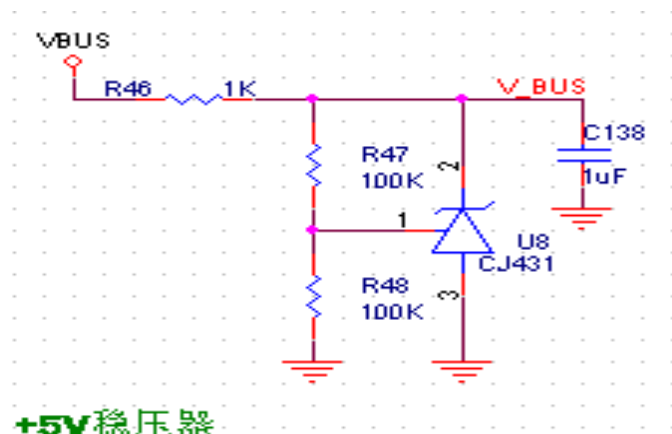
如果采用 smart LCD，WR 上要加延迟电路，如下图。因为通常 smart LCD 要求先有 DC，再有 WR。但是 JZ4775 的 smart LCD 控制器是同时输出两个信号的，所以需要在 WR 上保留下面的延迟电路。



1.5. USB OTG

OTG 的 ID PIN 要连接到 CPU 的 ID pin 上，同时还要连接到一个 GPIO 口上做为中断触发。因为为了省电，将 CPU 中的 USB 的 PHY 在不用时关闭，此时 USB 的 ID PIN 是不能触发的，所以用 CPU 的一个 GPIO 作为中断触发，在使用 OTG 时，让 CPU 打开 USB 的 PHY 功能模块。

注意：CPU 端 VBUS pin 要加稳压二极管保护，主要是为了防止 VBUS 电压过高击穿 CPU 的 VBUS pin。如下图：



如果 USB 只用于 DEVICE 功能，CPU 端 VBUS pin 可做悬空处理。

1.6. 某些 pin 的固定接法

CLK32K/PD14 接 100K 电阻到地，降低待机功耗。

TXR_RKL 接 43.2 R 1%电阻到地，调整 USB2.0 的负载阻抗。

如果不用 EFUSE 烧录功能，AVDEFUSE 要用小于 50Ω 的电阻接地，否则容易在读 EFUSE 时出错。

2. PCB 叠层和阻抗要求

2.1. PCB 叠层

JZ4775 可以采用 4 层或 6 层结构。

如果采用 6 层板，叠层设置为 TOP-GND-Signal-POWER-GND-BOTTOM。DDR3 的信号线要走在 TOP, L3 和 BOTTOM；TOP 层和 L3 层参考 L2 (GND)，BOTTOM 层和 L4(POWER)层参考 L5 层 (GND)。叠层结构如下图：

层	厚度
TOP	10z
	PP
L2	10z
	Core
L3	10z
	根据板厚调整

L4	=====	10z
	Core	5.118(mil)
L5	=====	10z
	PP	4.432(mil)
BOT	=====	10z

图 2-1

如果采用 4 层板，叠层设置为 TOP-GND-VCC-BOTTOM。DDR3 的 DQ,DQS,DM 要走在 TOP 层，其他信号线可以走在 BOTTOM 层。TOP 层参考 L2，BOTTOM 层参考 L3。叠层结构如下图：

层	厚度
TOP	===== 10z
	PP 3(mil)
L2	===== 10z
	Core 根据板厚调整
L3	===== 10z
	PP 3(mil)
BOT	===== 10z

图 2-2

2.2. 阻抗要求

- 1) 单线特征线宽 4mils，阻抗控制 $50\text{ohm}\pm 10\%$ ，但内外层布线的阻抗突变应小于 10ohm。
- 2) 差分对阻抗控制 $100\text{ohm}\pm 10\%$ ，但内外层布线的阻抗突变应小于 20ohm。
- 3) 电路板的填充材料的介电常数一般变化范围是 4.0~4.5，它的数值随着频率，温度等因素变化。FR-4 就是一种典型的介电材料，在 100MHz 时的平均介电常数为 4.2；推荐使用 FR-4 作为 PCB 的填充材料。

3. DDR3 PCB 设计注意事项

3.1. 走线顺序

按照走线的重要性来安排 DDR 部分的走线顺序：

- 1) 双沿采样的信号：DQ,DM,DQS/DQS_N 都应该最先走线，因为他们的时序要求最严格。DQ,DM 的建立/保持时间要求最大不超过 1/4 的 CLOCK 周期。
- 2) DCK/DCK_N 和单沿采样的信号：地址线、控制线、命令线，他们的建立/保持时间不超过 1/2 的 CLOCK 周期
- 3) 所有 DQS/DQS_N 的上升沿与 DCK/DCK_N 的上升沿之间的时序差不能超过 1/4 的 CLOCK 周期。
- 4) VREF 和其他的信号的走线。

3.2. 走线宽度和间距

- 1) 走线宽度：所有的走线线宽为 4mils。
 - 2) 同一信号组内两相邻导线走线从 IC 出来之后有条件情况下可适当展开，至少满足相邻两线边缘的间距达到 2W；DQS/DQS_N 与其他信号边缘之间的间距至少 3W。
 - 3) 不同信号组之间两相邻导线之间的间距至少 3W,越大越好。
 - 4) 差分线走线线宽 4mils，线间距 4mils。可以根据阻抗匹配的要求调整线间距。
 - 5) CLK 与控制线之间的间距至少要满足 3W，最好可以达到 5W。
- 注：W 为线宽。

3.3. 信号分组

- 1) 数据线 DQ、DATA MASKS DM、DATA STROBES 差分线 DQS/DQS_N，这些线分为四组：
 - 第 0 组：DQ0~DQ7, DM0, DQS0/DQS0_N;
 - 第 1 组：DQ8~DQ15, DM1, DQS1/DQS1_N;
 - 第 2 组：DQ16~DQ23, DM2, DQS2/DQS2_N;
 - 第 3 组：DQ24~DQ31, DM3, DQS3/DQS3_N。
- 2) 时钟线：DCK/DCK_N 差分线
- 3) 地址线：DA0~DA15
- 4) 控制线：WE_N, RAS_N, CAS_N, CKE, ODT0, CS0_N, CS1_N, BA0, BA1, BA2, RST_N

3.4. 走线要求

- 1) 数据线走线要求

① 数据线都要走在 TOP 层，先以 4mil 线宽、4mil 间距走出 BGA，然后再加大线间距。如果是单面 4 片 8bit DDR3，所有的 DQ，DQM，DQS/DQS_N 都可以从 TOP 引线到 DDR3，不需要任何过孔。如下图所示。

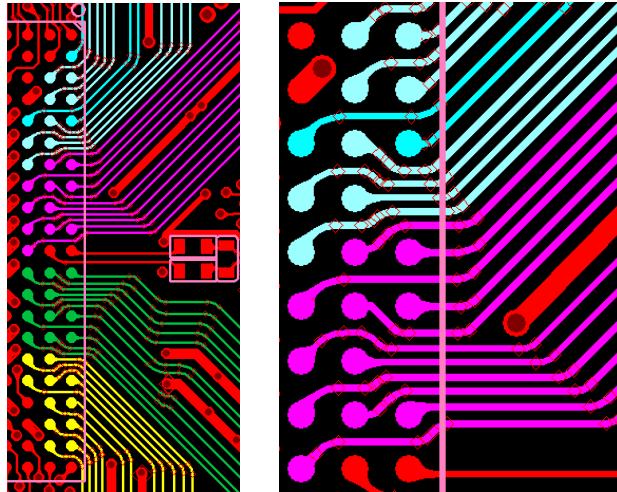


图 3-1

② 如果采用 4 片 8bit DDR3 双面对贴或者采用 2 片 16bit DDR3，不得不在两层走数据线，要保证每组线同层，孔数量一样。

③ DQS 走线位置应在组内的 DQ 中间，并与其他信号线保持 3W 以上的间距。

④ DQS 与时钟线不能相邻。

⑤ 数据线的组与组之间不能交叉。

2) 时钟线走线要求

DCK/DCK_N 要严格按照差分线的要求走线，要求 100Ω 差分阻抗匹配。在 DCK/DCK_N 差分线分支点处必须预留电阻，为可能出现的兼容性问题提供调试空间。

3) 地址线、控制线走线要求

地址线和控制线是以 CLK 的下降沿由 DDR 控制器输出，DDR 颗粒由 CLK 的上升沿锁存地址线和控制线上的状态，所以需要严格控制 CLK 与地址线、控制线之间的时序关系，确保 DDR 颗粒能够获得足够的、最佳的建立/保持时间。

4) 等长要求

高速 PCB 设计的基本原则是时序和斜率。时序和斜率的控制要通过控制走线的匹配来控制，所有较短的 net 都要匹配最长的 net。

下面的等长要求都是假设走在 TOP 层的微带线的速度是 151ps/英寸，走在内层的微带线或带状线的速度是 179ps/英寸。

表格 3-1 等长要求

Skew Control Recommendations for DDR Interfaces.					
		Bit Rate	@ 400 Mbps	@ 800 Mbps	@ 1600 Mbps
DQ to DQS Domain	Skew in ps.		50	25	10
	Skew in Inches of Microstrip		0.33	0.17	0.07
	Skew in Inches of Stripline		0.28	0.14	0.06
Addr/Cmd to CK/CK# Domain	Skew in ps.		100	50	25
	Skew in Inches of Microstrip		0.67	0.33	0.17
	Skew in Inches of Stripline		0.56	0.28	0.14
DQS to CK	Skew in ps.		375	188	94
	Skew in Inches of Microstrip		2.50	1.25	0.63
	Skew in Inches of Stripline		2.08	1.04	0.52

如果为了等长，不得不绕蛇形线。蛇形线的线与线中心间距保证至少 3 倍线宽，蛇形线振幅应控制在 180mils 以内，否则会破坏信号质量。

3.5. 拓扑结构

① 如果使用 2 片 16bits 的 DDR2/3

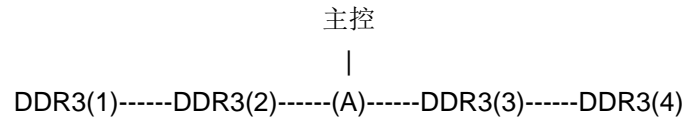
地址线、控制线、时钟线要采用“T”型拓扑结构，并尽可能缩短分支线长度。

CPU 至各个 DDR 颗粒的点对点长度误差应小于 100mils；分支节点至各个 DDR 颗粒的布线长度要尽可能短，同时要尽量保证分支节点到两个 DDR 颗粒的布线长度相等。对称的“T”型拓扑可以最大限度改善信号质量。

为满足 CPU 至各个 DDR 颗粒等长要求，应优先考虑在 CPU 至分支节点之间做蛇形线处理。

② 如果使用 4 片 8bits 的 DDR3（单面贴片）

地址线、控制线、时钟线要采用“T”型拓扑结构，并尽可能缩短分支线长度，如下图：



尽可能满足 DDR3(1)至 DDR3(2)之间的长度和 DDR3(2)至分支节点 A 之间的长度相等，DDR3(3)、DDR3(4)的要求与此相同。为满足 CPU 至各个 DDR 颗粒等长要求，应优先考虑在 CPU 至分支节点之间做蛇形线处理。

③ 如果使用 4 片 8bits DDR3（双面贴片）

拓扑结构与 2 片 DDR 的要求基本一致。但是由于双面对贴，所以需要换层的信号较多，在信号线的过孔旁边要尽量增加地孔，以其改善信号的回流路径。并且要避免其他信号线与数据线的回流路径平行。

3.6. 阻抗匹配

信号完整性意味着控制过冲、振铃和上升/下降沿。这些问题的根源都是阻抗的不匹配。走线的阻抗与线宽、厚度、PCB 绝缘层（一般采用 FR-4）的电介质常数都有关。

为了控制走线的阻抗比较均匀，要尽量减少走线的弯曲和过孔的数目。如果在走线上有一个过孔，必须在旁边有一个地的过孔，这样来保证阻抗的连续性。**如果参考平面由地层换成电源层，或者由电源层换成地层，要在转换位置增加 0.1uF 电容来减小由于参考平面变化而带来的阻抗匹配问题。**

DDR3 的信号线必须有完整的参考面，不能跨越平面分割带，**不能将走线经过 VIA 与铜的避让区**，以保证信号电路的回流路径阻抗最小。其它信号线不要穿过 DDR 区域。

DQ, DM, 控制线，地址线都要满足特征阻抗 50Ω。DQS/DQS_N, DCK/DCK_N 要满足差分阻抗 100Ω。

3.7. 电源和地的处理

1) 电源的处理

在 CPU 和 DDR3 的背面，最好对应每个电源 PIN 对应放置一个去耦电容，而且过孔应该紧挨着管脚放置，走线尽量粗而短，以避免增加导线的电感。

CPU 和 DDR 部分的 VDDMEM 要接到一起，然后铺铜，铺铜的区域要覆盖全部 DDR3 的信号线。DDR 的信号线不能跨平面的分割带，分割带会破坏信号的回流并会与相邻的信号产生串扰。

VDDMEM 的平面一定要保证实际的走线宽度。换层时要打尽量多的过孔，避免成为整个平面的瓶颈。

建议 POWER 层设置成 Split/Mixed，而且铺铜的线宽尽量小（譬如 2mil），可以使用铺铜效果更好。如下图蓝色为 VDDMEM。

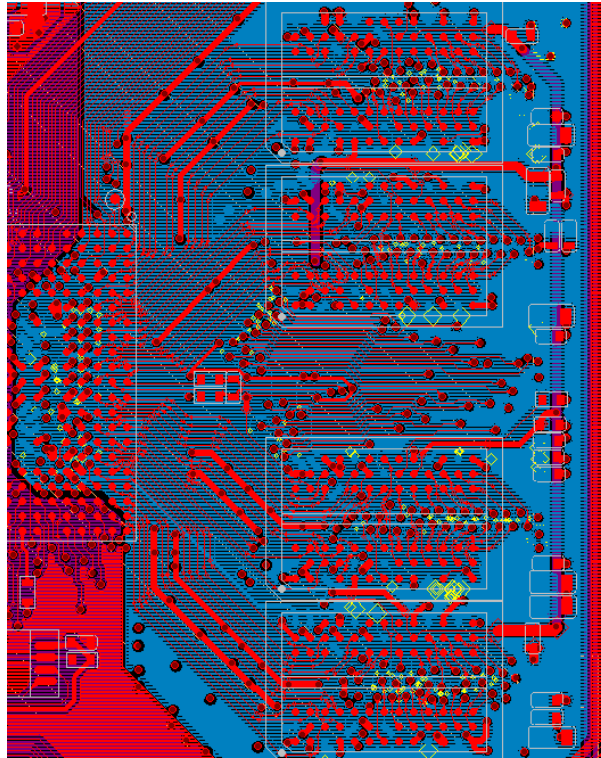


图 3-2

2) 地的处理

串扰从根本上来说取决于 PCB 的叠层和最小线间距。避免串扰的最好方法是保证信号有非常好的回流路径。每个信号层都要靠近完整的地平面以提供最短的回流路径。为了保持特征阻抗一致，地平面完整性是非常重要的，地平面不能被打断。

在走完信号线后，剩余的空间必须用 GND 填满，而且铺铜的线宽尽量小，可以使用铺铜效果更好。

下图是地的效果图，左边是完整图片，右边是放大图片，尽量保证每个过孔都被地包围（地平面不要被过孔打断）。

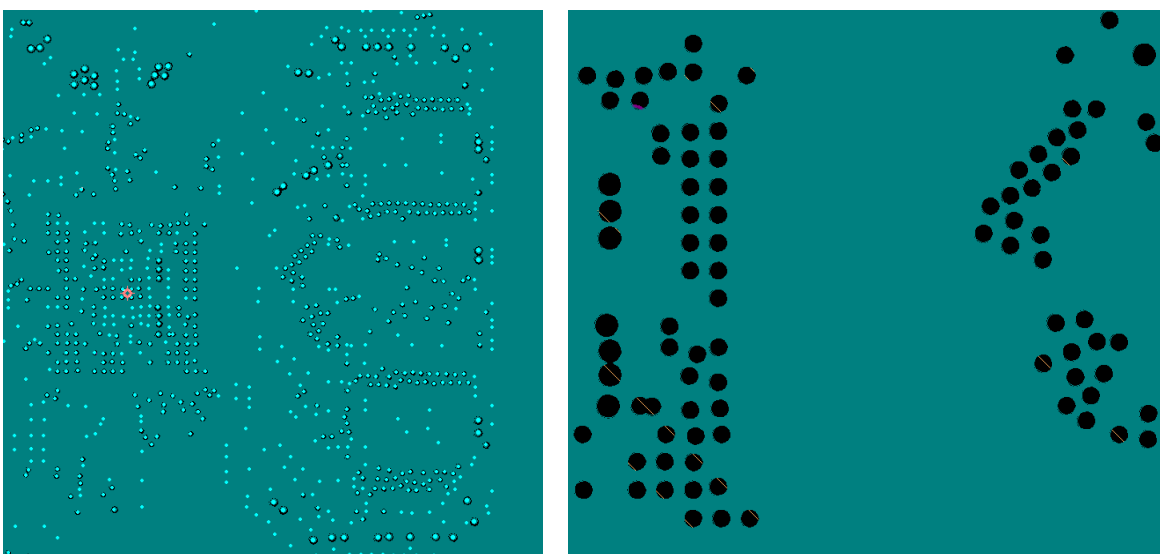


图 3-3

3) VREF 的处理

VREF 是 DDR3 输入 buffer 的参考。VREF 分压电路要尽量靠近芯片,走线尽量短,建议线宽 20mi,并且与其他数据线保持 3W 以上的间距,保证不受干扰。每个 VREF PIN 都要在靠近 PIN 脚的地方加 0.01uF 电容。

4. PCB 设计的其他注意事项

4.1. 过孔的设置

- 1) 普通过孔采用 8mil 孔径、16mil 外环，但是这些过孔的地、电层外环为 12mil。
- 2) 地、电过孔采用 12mil 孔径、24mil 外环。
- 3) CPU 和 DDR 部分的过孔排列要合理，间距最好不小于 30mil，不能破坏地、电层的回路。

4.2. 铺铜的设置

- 4) 过孔与铺铜的安全间距为 6mil。
- 5) 地、电层的铺铜线宽设置为 2mil。其他层可以设置为 4mil。

4.3. 散热设计

- 1) 铜铂厚度建议采用 1OZ，改善 PCB 的散热性能。
- 2) CPU 出线完毕后，在不影响电源平面完整性的前提下尽量多打一些地孔(如下图)。在 bottom 层可以在地孔位置处漏铜，装配时可用导热绝缘胶贴着防止短路。

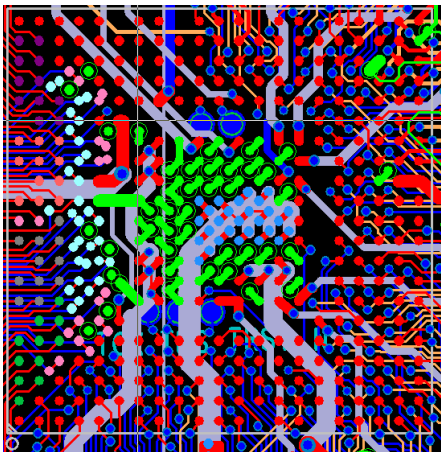


图 4-1 没有增加地孔（绿色为地孔）

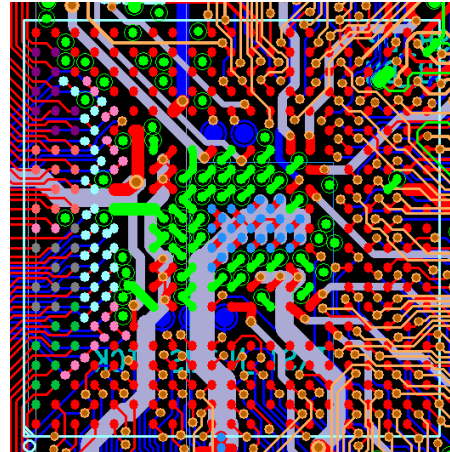


图 4-2 增加地孔（绿色为地孔）

- 3) 地层一定要完整，CPU 内部的地可以有多个通路与 CPU 外侧连通。

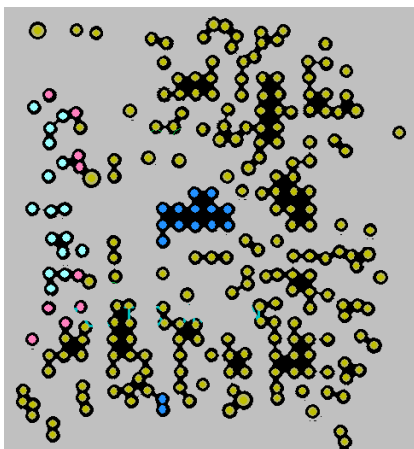


图 4-3 地不完整

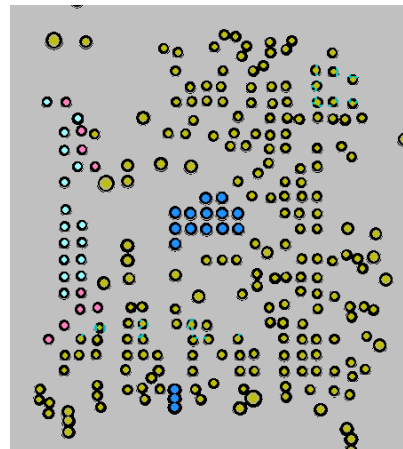


图 4-4 地比较完整

- 4) 大电流的走线应尽量短，尽量铺铜设计，以加宽走线宽度，同时该层的厚度要求在 1OZ 以

上，对于内层的走线，应安排在地层的相邻层。

- 5) PCB 上的屏蔽罩地孔应直接地层，不用盲孔转接，屏蔽罩建议不采用那种夹子式。
- 6) PCB 板边用地孔（通孔）围起来、露铜，有利壳子的金属接地及 ESD，对散热也有好处。
- 7) 在布局上，CPU 和其他发热的器件隔开一定的宽度（至少 20mm），利用壳体开口方向（如散热窗，大的连接器开口等）则使最发热的器件放在其附近，成直线放置（CPU 可以这样排布）。对几个发热器件，交叉排布，不可成行成列布局。

4.4. 其他电源的设计

- 1) PMU 要尽量靠近 CPU 布局。
- 2) PMU 布局时一定要需要注意 DC/DC 输入、输出电容的位置，输入输出电容都要尽量靠近 DC/DC 的 PIN 脚，并且确保它们的地和 CPU 的地之间的距离尽量短。
- 3) CPU VDDCORE, VDDMEM, VDDPLL, VDDIO 等的滤波电容要放在尽量靠近 CPU PIN 脚的位置上。
- 4) VDDCORE, VDDMEM, VDDIO 要在电源层铺铜，而不用走线的方式。
- 5) 电源信号换层时都要打尽量多的过孔，避免成为电源信号的传输瓶颈。
- 6) CPU 相关电容布局：
第 1 优先级：PLLAVDD, PLLDVDD, VDDCORE, VDDMEM, VCAP, VREFP, VDDIO。
第 2 优先级：AVDCDC, AVDOTG25, UHC_AVDD, VDDIO_NAND。
第 3 优先级：VDDRTC, VDEFUSE。
- 7) 保证 CPU 下方铺铜（地和电源）的完整性及连续性，便于能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性；同时也可以改善的散热的性能。
- 8) 所有的接地焊盘都要就近打过孔接地层。

4.5. USB 走线

USB HOST 和 OTG 都要差分走线，并且满足 90Ω 的差分阻抗匹配。

4.6. 音频走线

音频部分走线时要将输入和输出的走线分开，AIP/AIN, AOLOP/AOLON 都要差分走线。并且要避免其他信号的干扰。