

Ingenic® M200

Hardware Design Guide

版本: 1.0

日期: 2014 年 7 月



北京君正集成电路股份有限公司
Ingenic Semiconductor Co., Ltd.

Ingenic M200

Board Design Guide

Copyright © Ingenic Semiconductor Co. Ltd 2013. All rights reserved.

Release history

Date	Revision	Change
2014 年 7 月	1.0	第一版

Disclaimer

This documentation is provided for use with Ingenic products. No license to Ingenic property rights is granted. Ingenic assumes no liability, provides no warranty either expressed or implied relating to the usage, or intellectual property right infringement except as provided for by Ingenic Terms and Conditions of Sale.

Ingenic products are not designed for and should not be used in any medical or life sustaining or supporting equipment.

All information in this document should be treated as preliminary. Ingenic may make changes to this document without notice. Anyone relying on this documentation should contact Ingenic for the current documentation and errata.

北京君正集成电路股份有限公司

地址：北京市海淀区西北旺东路10号院东区14号楼 君正大厦

邮编：100193

电话：86-10-56345000

传真：86-10-56345001

网址：Http: //www.ingenic.com

目录

1. 概述.....	1
1.1. 引言.....	1
1.2. 参考平台.....	1
2. 静态存储器接口设计指南.....	3
2.1. 概述.....	3
2.2. 启动存储器.....	3
2.3. NAND FLASH 连接.....	4
3. LPDDR2 SDRAM.....	5
3.1. 概述.....	5
3.2. 布线原则.....	5
3.3. 电源和地的处理.....	7
4. 音频设计指南.....	9
4.1. 概述.....	9
4.2. 音频电源.....	9
4.3. 耳机输出.....	9
4.4. MIC 输入.....	10
4.5. SPEAKER.....	10
4.6. 数字 MIC.....	11
4.7. 布局指南.....	11
5. OTG 设计指南.....	13
5.1. USB 概述.....	13
5.2. USB 电源.....	13
5.3. OTG 概述.....	13
5.4. OTG 电源.....	13
5.5. USB OTG 接口指南.....	13
6. LCD.....	15
6.1. RGB 屏连接方法.....	15
6.2. SLCD 屏连接方法.....	16
6.3. EPD 屏连接方法.....	17
7. CAMERA.....	19
7.1. MIPI CAMERA.....	19
7.2. 并行 CAMERA.....	19
8. SAR A/D 转换器.....	21
8.1. 概述.....	21

8.2. 电池电压检测.....	21
9. OTP EFUSE.....	23
9.1. 概述.....	23
9. RTC.....	25
9.1. 概述.....	25
9.2. RTC 时钟.....	25
9.3. 电源控制.....	25
10. 其它外围设计指南.....	27
10.1. SSI 设计指南.....	27
10.2. UART.....	28
10.2.1. UART 实现.....	28
10.3. SMB 总线.....	28
10.4. PWM.....	29
10.5. GPIO.....	29
10.6. JTAG /调试端口.....	29
11. 电源平台指南.....	31
11.1. 概述.....	31
11.2. 电源传输和去耦.....	31
12. PCB 设计的其他注意事项.....	33
12.1. 叠层.....	33
12.2. 过孔的设置.....	33
12.3. 铺铜的设置.....	33
12.4. 散热设计.....	33
12.5. 其他电源的设计.....	34

1. 概述

M200是一款针对多媒体应用和移动设备的移动应用处理器，如智能手表、智能眼镜、智能家居等。

存储器接口支持多种存储器类型，满足灵活的设计要求，包括无缝连接到SLC NAND Flash或64-bitECC MLC/ TLC NAND闪存以及toggle NAND Flash。它的内存接口，支持DDR2、DDR3、DDR3L以及低功耗的LPDDR、LPDDR2内存芯片。M200还集成了DDR（包括DDR2，DDR3，DDR3L，LPDDR和LPDDR2）存储器控制器，LCD控制器，CODEC，SAR-ADC，AC97/I2S控制器，MIPI-CSI Camera接口，支持MIPI-DSI(v1.1)，PCM接口，MMC/SD/SDIO主机控制器，高速SPI，SMB接口，USB OTG，UART，GPIO等。

1.1. 引言

本设计指南是针对M200处理器的系统设计建议。本文档的目的是最大程度保证电路设计的灵活同时降低设计风险。

设计注意事项：平台的设计建议为达到设计要求提供了一种方法。该设计注意事项是基于君正的参考设计，它只是作为例子,但未必适用于特定的设计。

注意：在本手册中处理器如果没有特殊指定，都是指 M200。

本手册中所建议的原则是基于君正 M200 系统开发时的经验和仿真。这项工作仍在进行中,这些建议和注意事项有可能发生变化。

电路板设计者可以方便获得平台的参考原理图，虽然原理图涉及的是一个特定应用，但是原理图的核心部分大多数应用相同。这原理图每一个平台板和通用系统板提供一个参考原理图。

本文档可以帮助客户解决问题,利用现有的软硬件资源设计产品。你的建议是对我们最好的鼓励。

1.2. 参考平台

图 1 - 1 为 M200 开发板结构

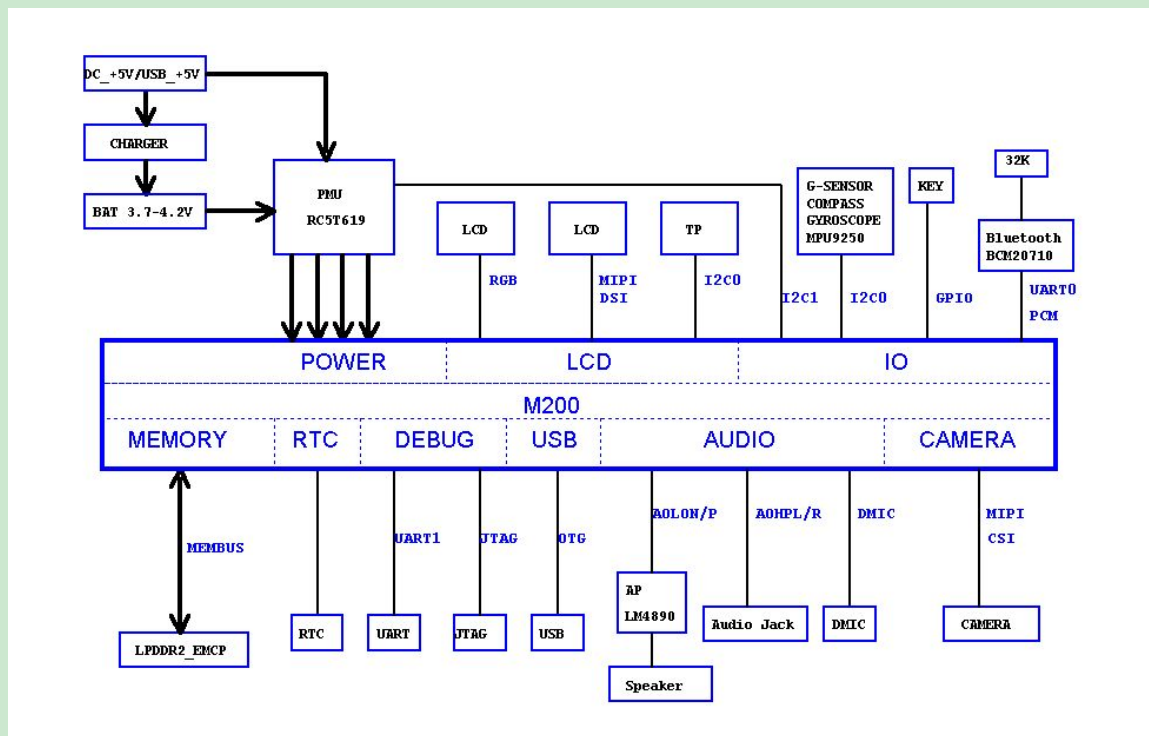


图 1 - 1 M200 开发板结构

2. 静态存储器接口设计指南

2.1. 概述

外部 NAND 存储控制器（NEMC）分为片外存储器和输出控制信号，符合各类静态存储器和总线接口规范。

它支持传统的 NAND flash、Toggle NAND flash 和其它 flash。

本节是针对外部存储器接口的设计指南。

静态存储器控制器为 NOR Flash ,NAND Flash 和 Toggle NAND flash 提供了无缝接口。它支持 3 片选 CS3~CS1，并且块都可以单独配置。M200 支持大多数类型的 NAND 闪存，包括 SLC、MLC 和 TLC，8-bit 数据存取，512B/2K/4K/8KB 页；同时它还支持从 NAND 闪存启动。

2.2. 启动存储器

BOOT_SEL[2:0]引脚配置如下表所示。

表 2-1 启动配置

BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	Boot From
1	1	1	USB boot @ USB 2.0 device, EXTCLK=24MHz
1	0	0	MMC/SD boot @ MSC1 (MMC/SD use GPIO Port E)
1	0	1	MMC/SD boot @ MSC0 (MMC/SD use GPIO Port A)
0	1	1	eMMC boot @ MSC0 (use GPIO Port A)
1	1	0	NAND boot @ CS1
0	0	0	SPI boot @ SPI0/CE0
0	0	1	USB boot @ USB 2.0 device, EXTCLK=26MHz

启动流程如下：

- 在从 NAND/SDcard/iNAND/SPI 启动的情况下，如果失败，会进入 MSC1 和 USB 启动。
- 在从 USB 启动的情况下，如果 10s 之内没有和主机的 USB 通信成功，重新启动启动流程。
- 如果启动程序已经重复超过 3 次，进入休眠模式。

另外需要注意，BOOT_SEL[2:0]这三个 PIN 只能做输入 PIN，在 GPIO 数量够用的情况下不建议将这几个 PIN 用作 GPIO。

2.3. NAND FLASH 连接

支持CS[3:1]，共用静态存储器bank3~bank1。

下图 2-1 是 8 位的 NAND 闪存连接实例，图 2-2 是 8 位切换 NAND FLASH 连接实例。

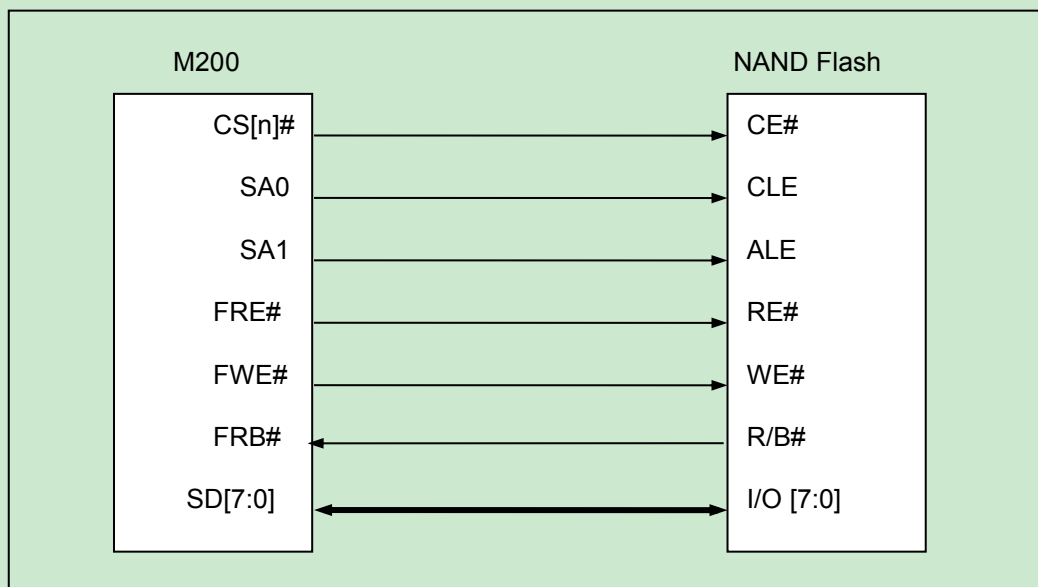


图 2-1 8 位的 NAND 闪存连接

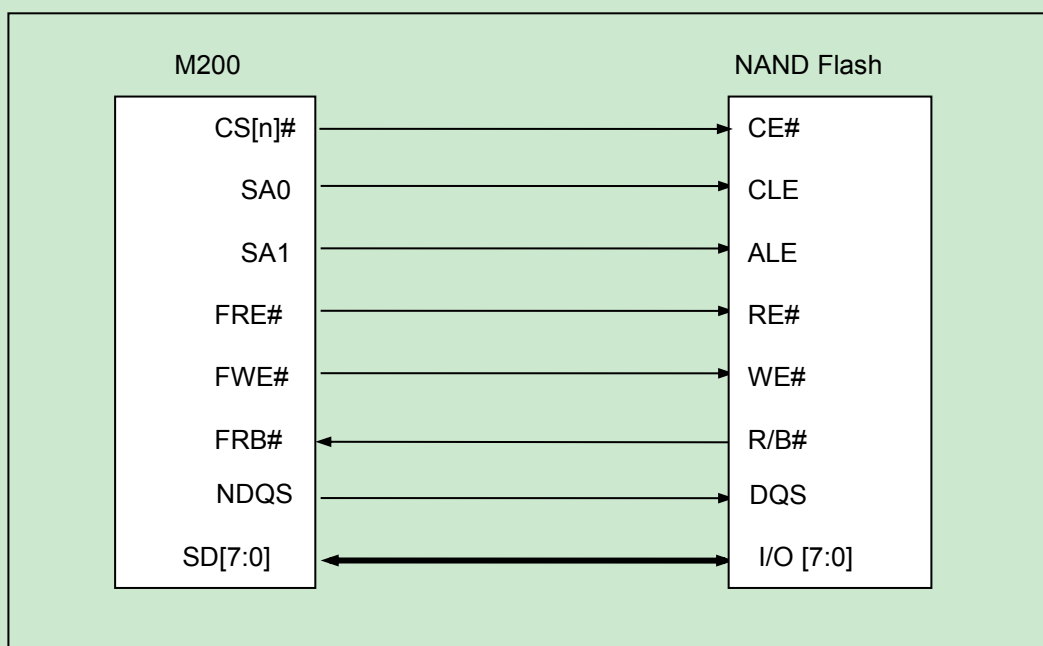


图 2-2 8 位 Toggle NAND FLASH 连接

3. LPDDR2 SDRAM

3.1. 概述

M200 包含一个 DDR 控制器，它是一个通用的 IP，提供一个与 DDR2，DDR3，DDR3L，LPDDR 和 LPDDR2 内存连接的接口。下面以 LPDDR2 为例说明，其余 DDR 的要求与 LPDDR2 类似。

3.2. 布线原则

在高速电路设计中，为保证 LPDDR2 的最佳性能，应该遵循以下准则。还应注意：信号完整性、阻抗匹配、串扰、电源纹波等问题。

基本建议如下：

- 按照走线的重要性来安排走线顺序。优先次序如下：
 - 1) 双沿采样的信号，DQ/DM，DQS /DQS #都应优先布线，因为它们的时序要求最严格。DQ, DM 的建立/保持时间要求最大不超过一个 CLOCK 周期的 1/4。
 - 2) 差分时钟和单沿采样的信号：地址/命令/控制线，它们的建立/保持时间不能超过 1/2 的 CLOCK 周期。
 - 3) DQS / DQS #的建立/保持时间不能超过 1/4 的 CLOCK 周期。
 - 4) VREF 和其他的信号走线。
- 高速 PCB 的基本原则是延时和斜率。调整器件的最佳布局位置，所有较短的网络要匹配较长的网络。因此,时序和斜率的控制要通过控制走线的匹配来控制。
- 信号完整性是指控制过冲、振铃和上升/下降沿。这些问题的根源都是阻抗的不匹配。走线的阻抗与线宽、厚度和 PCB 绝缘层(通常 FR-4)的介电常数都有关。为了控制走线阻抗比较均匀，要尽量减少走线的弯曲和过孔的数目。

如果在走线上有一个过孔，必须在旁边有一个地孔，这样来保证阻抗的连续性。
- 串扰从根本上来说是取决与 PCB 层叠和最小线距控制。避免串扰问题的最好方法是确保信号有非常好的回流路径。
 - 1) 每个信号层都要靠近完整地平面以提供最短的电流回路。为了保持一致的特性阻抗,地平面是非常重要的，地平面不能被打断。高速信号走线不能跨越分割带，这将中段电流、也会导致走线之间的串扰。这也将增加电路板的 EMI。
 - 2) 数据线组与组之间不能交叉(D0 ~ D7，DQS0 / DQS0_N 和 DQM0 一组线走在一起)。如果数据线要在两层布线，要保证同组数据线在同一层，过孔数量也要相同。
 - 3) 串扰和走线特性阻抗是相互关联的。为了减少串扰，走线的特性阻抗主要是由参考平面和走线的距离所造成的。要做到两相邻导线之间的距离至少 2H，越大越好。图 3-1 显示建议的间距（“H”指与参考面之间的高度。）。

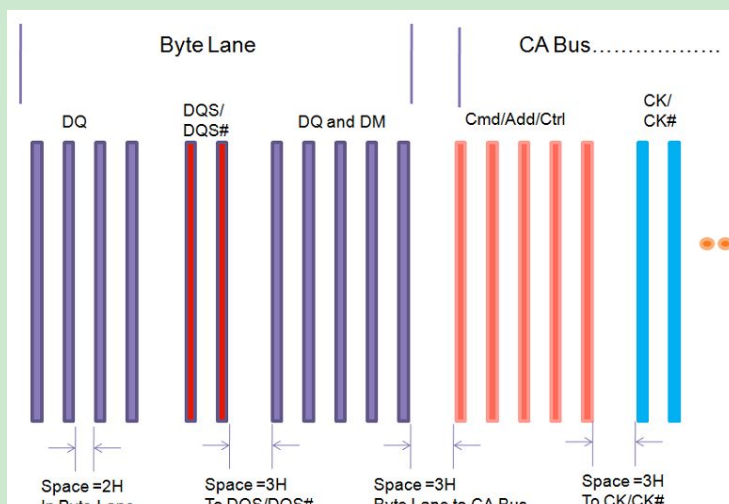
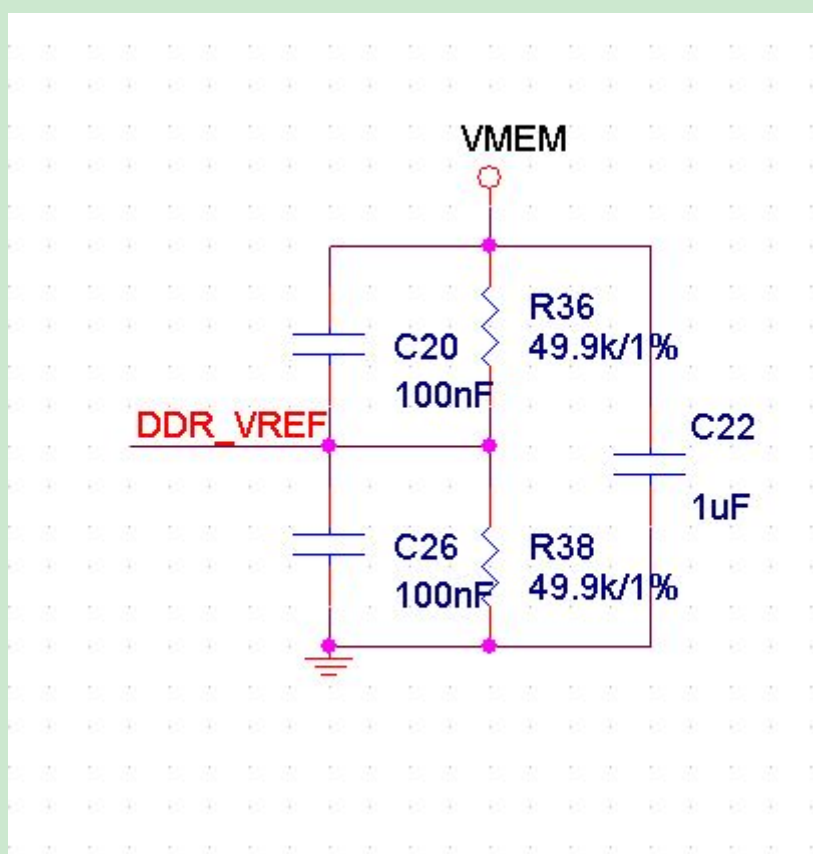


图 3-1 不同的信号组之间的距离

- 4) 高速 PCB 板的电源回路是很重要的。电源高频阻抗与电源的感应系数有关。在电源和地之间要加多级电容滤波。增加电容滤波范围减少电源上的高频阻抗。一个电容器的电感取决于它的大小。电容器应非常接近他们的引脚。
- 5) VREF 是 LPDDR2 输入 buffer 的参考。建议使用电阻分压器提供 1/2 的 LPDDR2 电源电压,其他方法不推荐。入下图:



- 6) PCB 中的 LPDDR2 电路必须与其他信号隔离。该区域应包括 LPDDR2 的所有线路。非 LPDDR2 信号不应布置在此区域。LPDDR2 必须保证有一个完整的参考平面。
- 7) 旁路电容应靠近引脚,用最短的连线连接引脚,降低阻抗。

3.3. 电源和地的处理

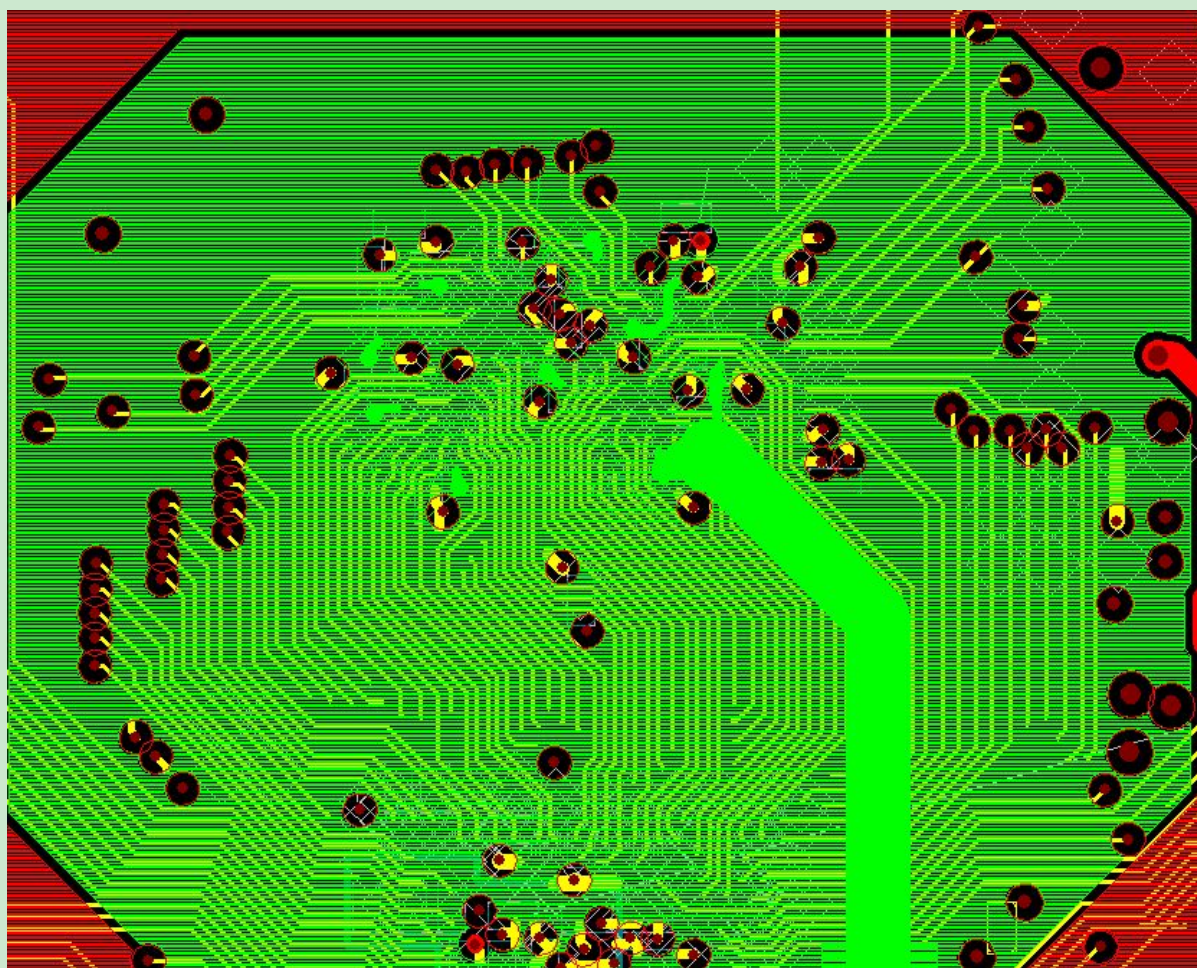
1) 电源的处理

在 CPU 和 LPDDR2 的背面，最好对应每个电源 PIN 对应放置一个去耦电容,而且过孔应该紧挨着管脚放置,走线尽量粗而短，以避免增加导线的电感。

CPU 和 DDR 部分的 VDDMEM 要接到一起，然后铺铜，铺铜的区域要覆盖全部 LPDDR2 的信号线（如下图，绿色部分为 VDDMEM）。DDR 的信号线不能跨平面的分割带，分割带会破坏信号的回流并会与相邻的信号产生串扰。

VDDMEM 的平面一定要保证实际的走线宽度。换层时要打尽量多的过孔，避免成为整个平面的瓶颈。

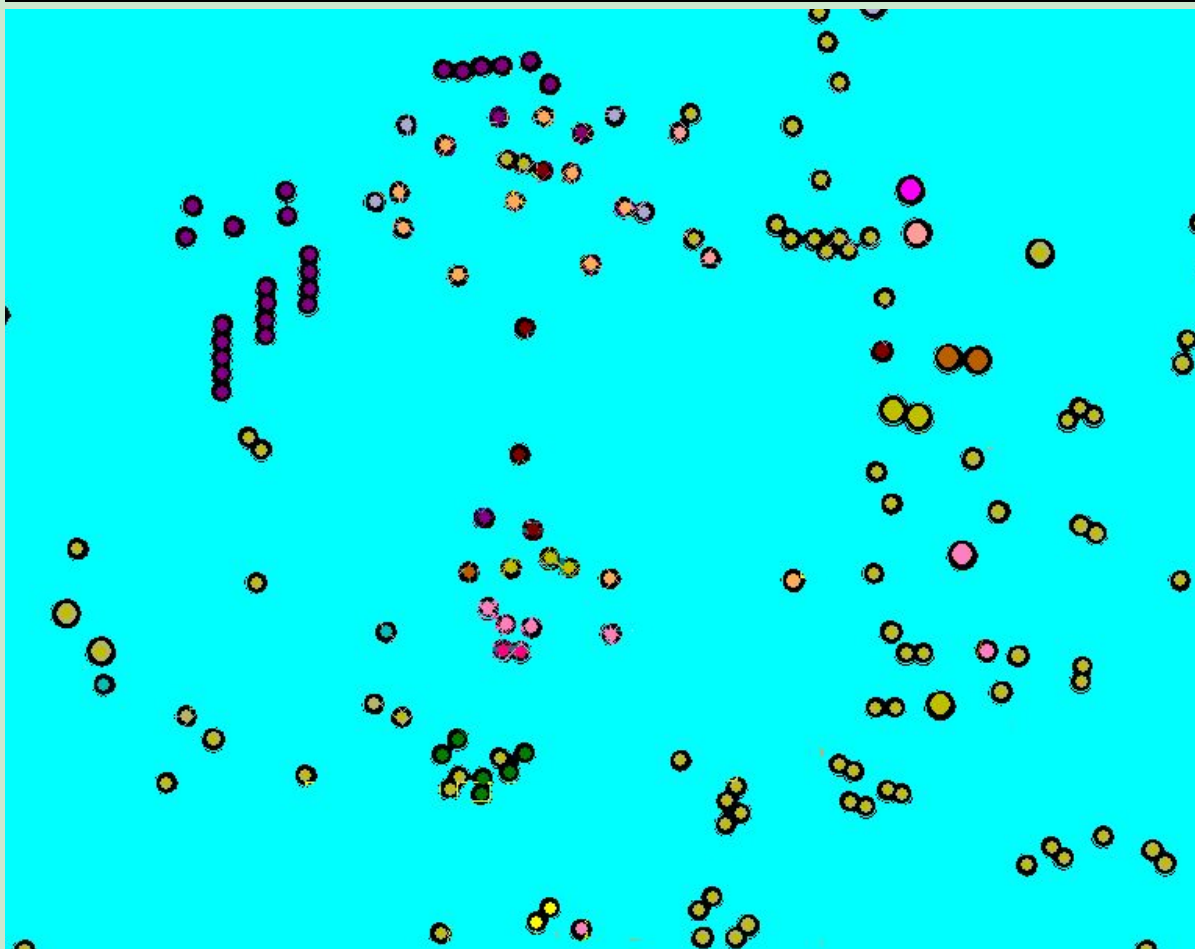
建议 POWER 层设置成 Split/Mixed，而且铺铜的线宽尽量小（譬如 2mil），可以使铺铜效果更好。



2) 地的处理

串扰从根本上来说取决于 PCB 的叠层和最小线间距。避免串扰的最好方法是保证信号有非常好的回流路径。每个信号层都要靠近完整的地平面以提供最短的回流路径。为了保持特征阻抗一致，地平面完整是非常重要的，地平面不能被打断（如下图所示）。

在走完信号线后，剩余的空间必须用 GND 填满，而且铺铜的线宽尽量小，可以使铺铜效果更好。



3) VREF 的处理

VREF 是 LPDDR2 输入 buffer 的参考。VREF 分压电路要尽量靠近芯片，走线尽量短，建议线宽 20mi，并且与其他数据线保持 3W 以上的间距，保证不受干扰。每个 VREF PIN 都要在靠近 PIN 脚的地方加 0.01uF 电容。

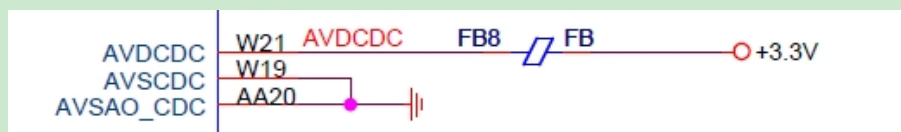
4. 音频设计指南

4.1. 概述

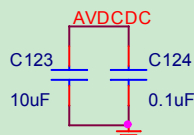
本章描述了嵌入式音频编解码器。该嵌入式编解码器是支持 I2S 接口。AIC（AC'97 和 I2S 控制器）模块用于音频数据重放和记录。I2S 与内部 CODEC 不能同时使用，即如果使用了 I2S，CODEC 就不能使用，反之亦然。

4.2. 音频电源

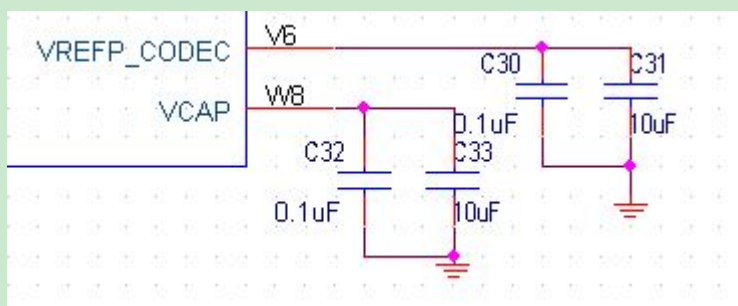
AVDCDC 应该连接到一个干净的正 3.3 v 电源。



引脚 AVDCDC 和 AVSCDC 之间需要连接去耦电容（10μF 和 0.1μF 陶瓷电容）。



为了消除高频噪声的影响，VREFP_CODEC 和 VCAP 引脚需要连接一个 10μF 陶瓷电容或钽电容和一个 0.1μF 陶瓷电容。0.1μF 陶瓷电容必须尽可能接近于 IC PIN 脚（小于 0.2 英寸）



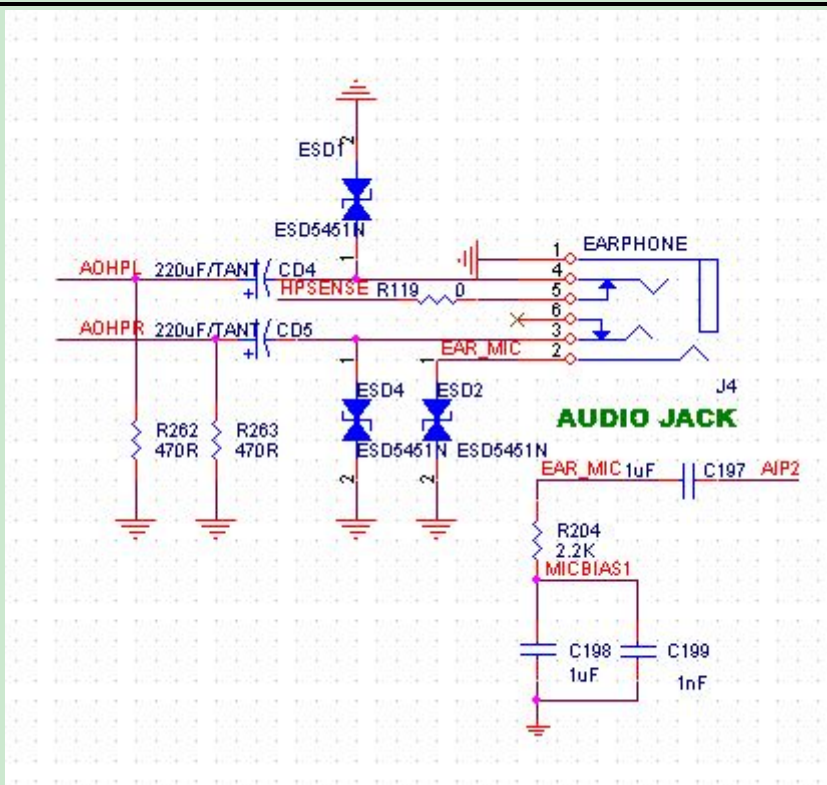
如果不使用 CODEC，VREFP_CODEC 和 VCAP 引脚的电容可以省略。

4.3. 耳机输出

AOHPL/AOHPR 耳机部分电路：对地的 470R 电阻不可以 NC，否则耳机插座的左/右声道信号上会有初始电平，插入耳机时，容易产生短路保护，并且不容易恢复，而且对左右声道分离度也有影响。

HPSENSE 是一种检测耳机插入的方式。只有在 CPU 的 CODEC 打开的情况下，它才可以实现耳机检测功能。

ESD1、ESD2 和 ESD4 为电路提供了静电保护。



4.4. MIC 输入

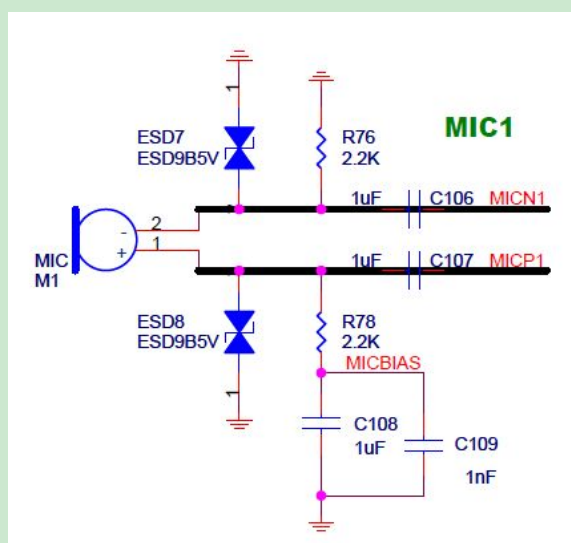
电阻的标称值 (R76, R78, 通常从 2.2k Ω 到 4.7K Ω)。Vmicbias (如果由外部电路供给, 一般是 1~2V 或者更高) 取决于所选的 EC (驻极体) MIC。

MICBIAS 引脚处的 1nF 去耦电容用于消除芯片的高频噪声。

MICBIAS 的输出电压, 等于 $5/6 \times AVDCDC$ (典型值为 2.08V)。

MICBIAS 输出最大电流为 4mA。

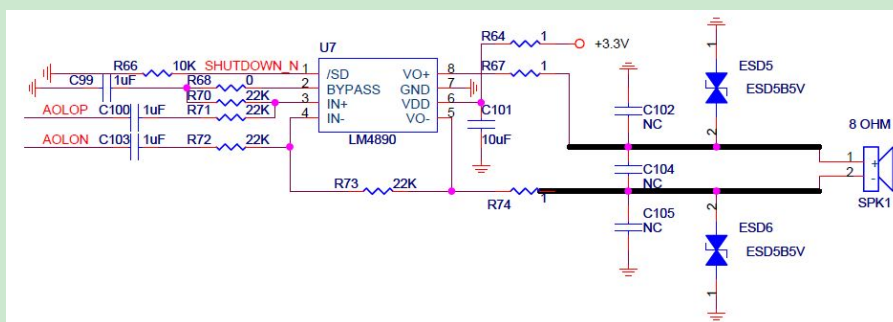
ESD7 和 ESD8 提供了静电放电保护。



4.5. Speaker

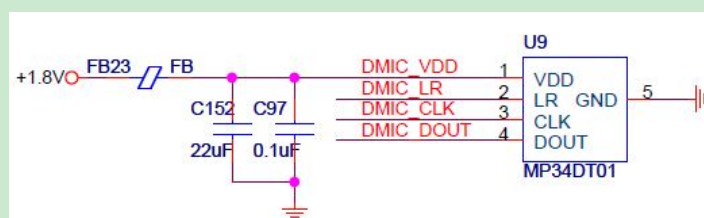
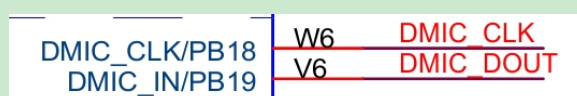
AOLOP/AOLON 这两个 PIN 用于驱动 speaker, 需要外接功放。不可以直接驱动 receiver 或 speaker。

ESD5 和 ESD6 为电路提供了静电保护。接触放电大于+/-15KV。

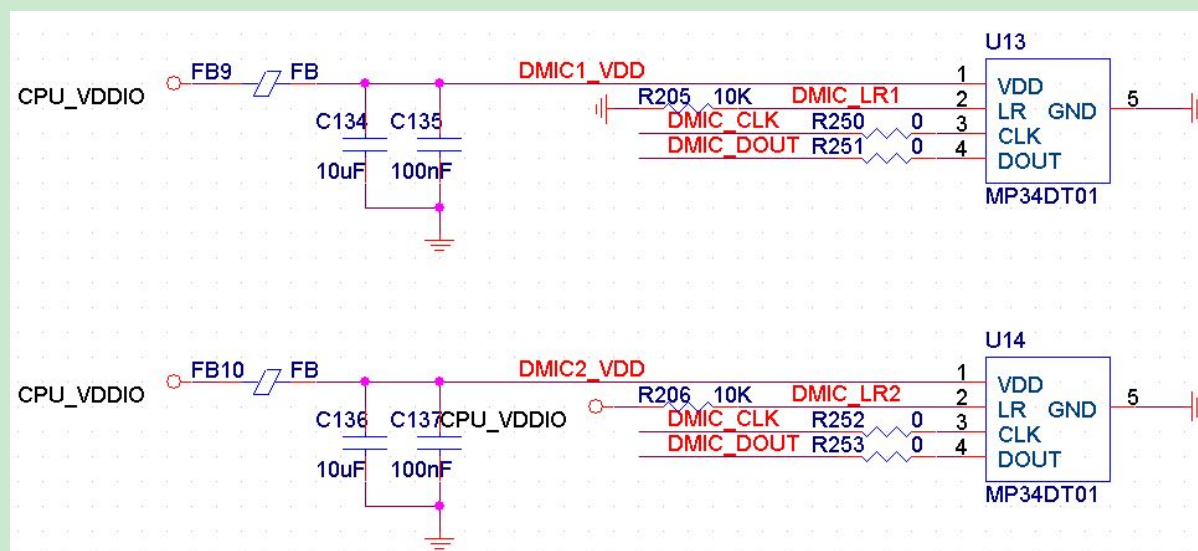


4.6. 数字 MIC

DMIC_VCC 和 GND 引脚之间需要连接去耦电容 (22 μ F 和 100nF 陶瓷)。下图是一个典型的设计



下图是两路 MIC 设计:



4.7. 布局指南

为了确保音频的最佳性能,需要合理的布线和布局。这包括输入输出音频电路的隔离,模拟电源和模拟地平面的分割,高速信号线远离音频布线区域等方面。

基本的建议如下:

- 1) 必须考虑模拟信号的地回路。
- 2) 音频信号线不能跨电源平面的分割线。模拟和数字信号分开布局。

-
- 3) 模拟部分和数字部分的电路尽量分开布局。
 - 数字信号线，尤其是时钟线尽量远离模拟输入和电源参考 pin 脚。
 - 任何信号进入或离开模拟区域时不得跨越分割带，跨越分割带会破坏信号的回流路径。如果信号跨越分隔带，大大增加了 EMI 辐射干扰，大大降低了模拟和数字信号的信号质量。
 - 4) 旁路的去耦电容应靠近 IC 引脚，走线尽量粗而短，降低线路上的阻抗。对于 VCAP 尤其重要。
 - 在信号路径中的所有电阻器或参考电压应该是金属膜电阻。碳质电阻器可用于直流电压和电源路径，它的电压系数，温度系数和噪声不受影响。
 - 5) 模拟信号的连线之间应该用铜填充，以模拟地平面作为参考。数字信号的连线之间应该用铜填充，以数字地平面作为参考。

5. OTG 设计指南

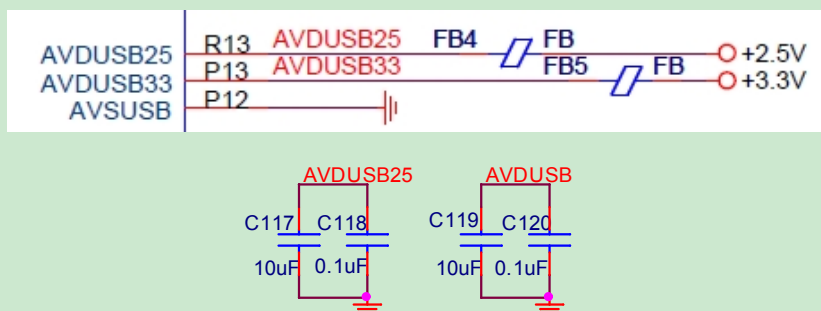
5.1. USB 概述

M200 集成了 USB 主设备控制器，嵌入 USB2.0 协议，支持高速、全速和低速 USB 设备。

5.2. USB 电源

AVDUSB25、AVDUSB33 引脚处分别接去耦电容(10uF 和 0.1uF 陶瓷电容)。

AVDUSB25 和 AVDUSB33 分别接到+2.5V 和+3.3V 电源上。



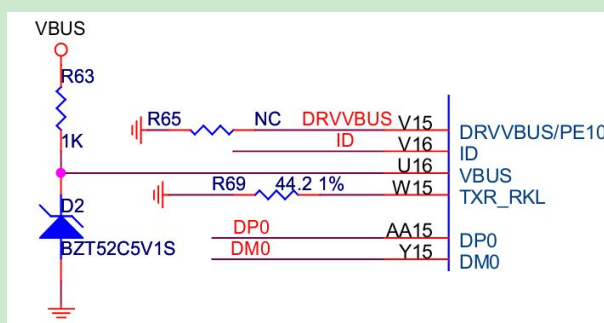
5.3. OTG 概述

通用串行总线（USB）支持主机和各种各样的便携式设备之间的串行数据交换。OTG 使便携式设备之间使用 USB 接口相互通信成为可能，OTG 即可以作为从设备也可以作为主设备。

无论是作为 high-/full-speed USB 外设还是作为主设备进行点对点通信，多点通信 M200 都符合 USB 2.0 高速（480 Mbps）规范和 ON-The-Go 的 USB 2.0 补充规范。

5.4. OTG 电源

OTG 需要外部电源供电，DRVVBUS 控制 OTG 电源的开关。



ID要同时连接到CPU的ID pin和GPIO。当OTG线插入，ID pin变为低电平，同时GPIO变为低电平，产生中断检测到有设备插入，系统打开OTG PHY，然后OTG PHY通过检测ID PIN。

5.5. USB OTG 接口指南

- DP,DM 的单个信号线的阻抗为 45Ω，建议走线线宽 9-mil-wide。DP,DM 的差分阻抗要求为 90Ω，这样才可以和 90Ω的 USB 双绞线电缆阻抗匹配。

注意：90Ω阻抗匹配是指双绞线的阻抗，单个信号线的阻抗为 45Ω。走线的阻抗可以通过调整线宽和叠层实现。

- USB 数据信号线作为关键信号线，走线优先考虑。为了减小串扰，DP/DM 走线在一起，走线间距建议两倍线宽，避免和其他信号线平行。DP/DM 等长，减小共模电流产生的 EMI。

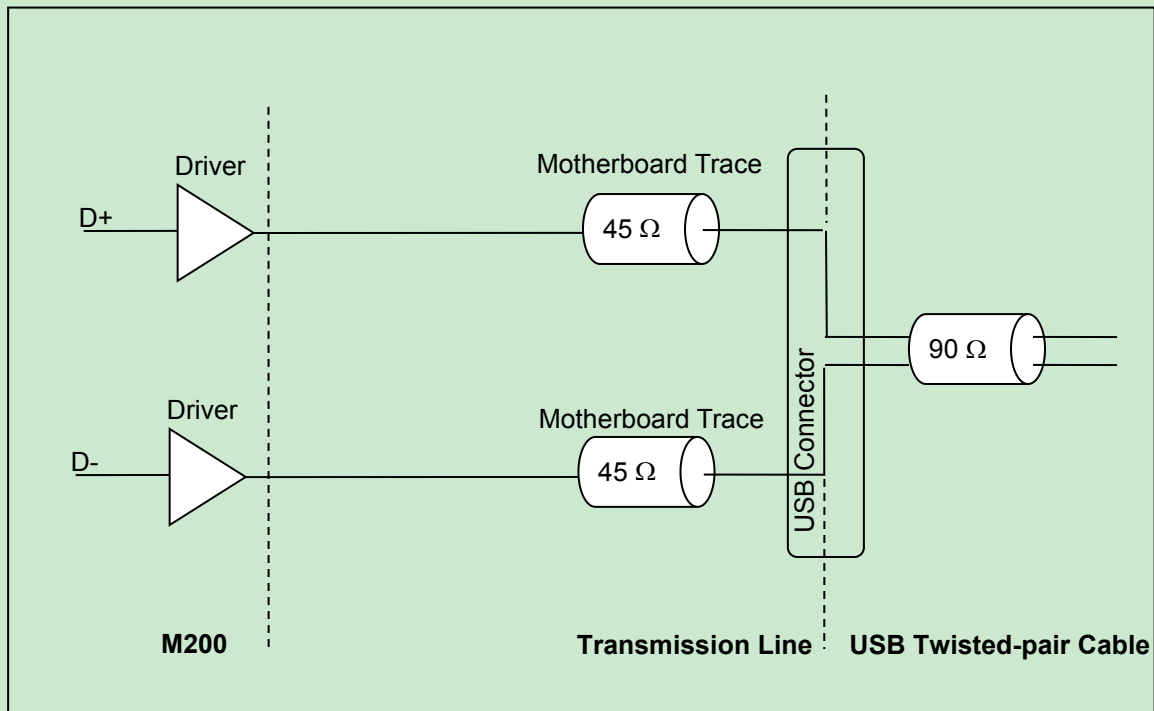


图 5-2 USB 推荐示意图

6. LCD

本节主要介绍各种 LCD 连接方法。

6.1. RGB 屏连接方法

M200 支持 18-bit 平行 TFT 屏，支持 16-bit 平行 TFT 屏。

下图是 18-bit 平行 TFT 屏连接方法：

CPU(GPIO)	18-bit TFT
LCD_B2(PC02)	B0
LCD_B3(PC03)	B1
LCD_B4(PC04)	B2
LCD_B5(PC05)	B3
LCD_B6(PC06)	B4
LCD_B7(PC07)	B5
LCD_G2(PC12)	G0
LCD_G3(PC13)	G1
LCD_G4(PC14)	G2
LCD_G5(PC15)	G3
LCD_G6(PC16)	G4
LCD_G7(PC17)	G5
LCD_R2(PC22)	R0
LCD_R3(PC23)	R1
LCD_R4(PC24)	R2
LCD_R5(PC25)	R3
LCD_R6(PC26)	R4
LCD_R7(PC27)	R5
LCD_PCLK(PC08)	PCLK
LCD_DE(PC09)	DE
LCD_HSYN(PC18)	HSYN
LCD_VSYN(PC19)	VSYN

下图是一种连接 24-bit 平行 TFT 屏的连接方法：

CPU	24-bit TFT
LCD_B2(PC02)	B2
LCD_B3(PC03)	B3
LCD_B4(PC04)	B4
LCD_B5(PC05)	B5
LCD_B6(PC06)	B6
LCD_B7(PC07)	B7
LCD_G2(PC12)	G2
LCD_G3(PC13)	G3
LCD_G4(PC14)	G4

LCD_G5(PC15)	G5
LCD_G6(PC16)	G6
LCD_G7(PC17)	G7
LCD_R2(PC22)	R2
LCD_R3(PC23)	R3
LCD_R4(PC24)	R4
LCD_R5(PC25)	R5
LCD_R6(PC26)	R6
LCD_R7(PC27)	R7
LCD_B6(PC06)	B0
LCD_B7(PC07)	B1
LCD_G6(PC16)	G0
LCD_G7(PC17)	G1
LCD_R6(PC26)	R0
LCD_R7(PC27)	R1
LCD_PCLK(PC08)	PCLK
LCD_DE(PC09)	DE
LCD_HSYN(PC18)	HSYN
LCD_VSYN(PC19)	VSYN

6.2. SLCD 屏连接方法

下图是 8-bit、10-bit、16-bit SLCD 连接方法：

CPU	16-bit SLCD	10-bit	8-bit
LCD_B2(PC02)	D0	D0	D0
LCD_B3(PC03)	D1	D1	D1
LCD_B4(PC04)	D2	D2	D2
LCD_B5(PC05)	D3	D3	D3
LCD_B6(PC06)	D4	D4	D4
LCD_B7(PC07)	D5	D5	D5
LCD_PCLK(PC08)	D6	D6	D6
LCD_DE(PC09)	D7	D7	D7
LCD_G2(PC12)	D8	D8	
LCD_G3(PC13)	D9	D9	
LCD_G4(PC14)	D10		
LCD_G5(PC15)	D11		
LCD_G6(PC16)	D12		
LCD_G7(PC17)	D13		
LCD_HSYN(PC18)	D14		
LCD_VSYN(PC19)	D15		
LCD_R5(PC25)	WR	WR	WR
LCD_R6(PC26)	DC	DC	DC
LCD_R7(PC27)	TE	TE	TE

6.3. EPD 屏连接方法

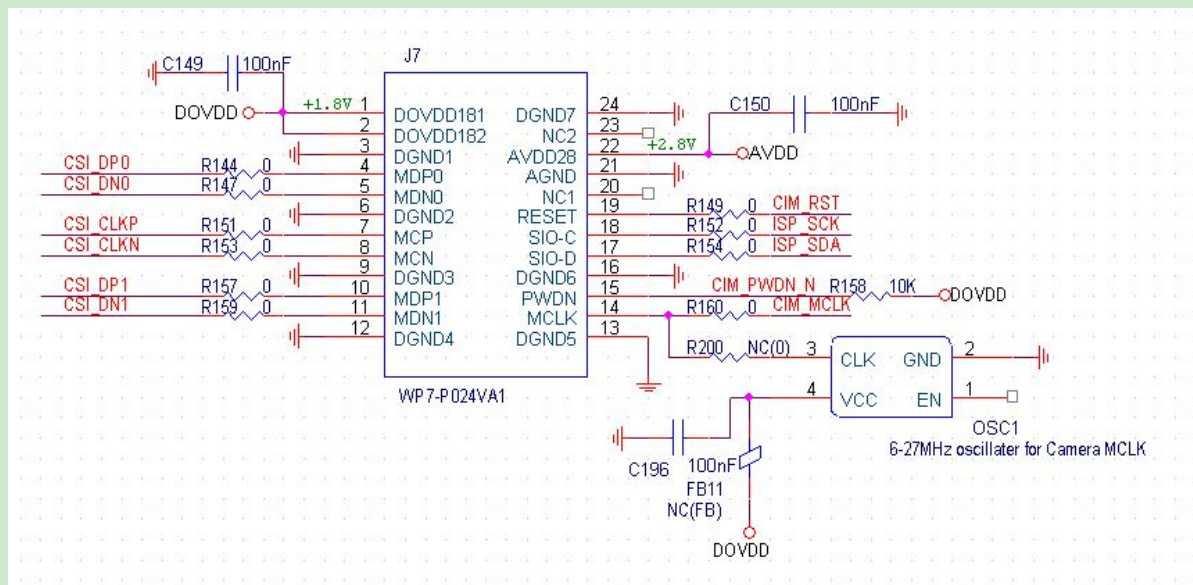
下图是 8-bit EPD 屏连接方法:

CPU	EPD
LCD_B2(PC02)	D0
LCD_B3(PC03)	D1
LCD_B4(PC04)	D2
LCD_B5(PC05)	D3
LCD_B6(PC06)	D4
LCD_B7(PC07)	D5
LCD_PCLK(PC08)	D6
LCD_DE(PC09)	D7
LCD_G2(PC12)	GDCLK
LCD_G3(PC13)	GDSP
LCD_G4(PC14)	GDOE
LCD_G5(PC15)	SDCLK
LCD_G6(PC16)	SDOE
LCD_G7(PC17)	SDLE
LCD_HSYN(PC18)	SDCE0
LCD_VSYN(PC19)	SDCE1
LCD_R2(PC22)	PWR0
LCD_R3(PC23)	PWR1
LCD_R4(PC24)	PWR2
LCD_R5(PC25)	PWR3
LCD_R6(PC26)	BD0
LCD_R7(PC27)	BD1

7. Camera

7.1. MIPI camera

M200支持mipi类型借口的camera，下图是典型应用。

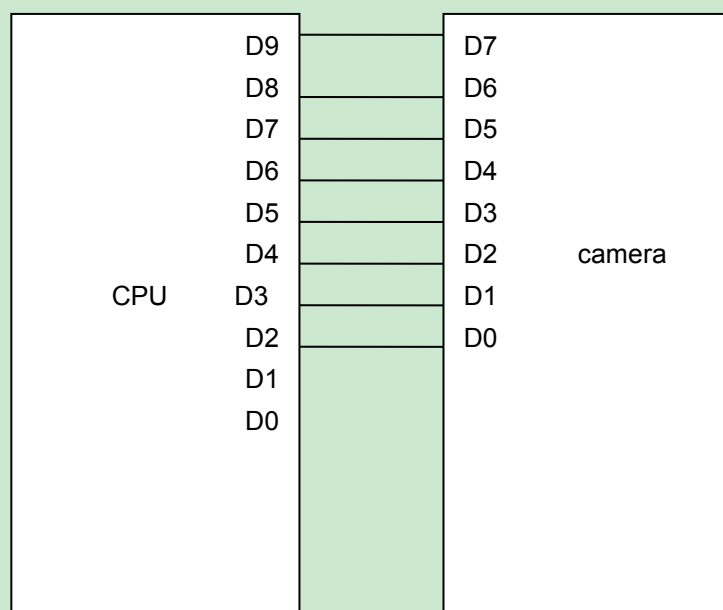


在camera设计中需要注意，如果设计使用的不是RGB屏，那么camera的ISP_RST、ISP_PWD、ISP_CLK，要连接到CPU的ISP_RST、ISP_PWD、ISP_CLK，而不使用GPIO模拟这些功能。

7.2. 并行 camera

10bit camera,按顺序连接即可。

如果使用的是8位CIM接口的camera，设计时需要注意，将camera的8位数据连接到CPU（M200）的camera控制器的高8位数据线。如下图所示：



8. SAR A/D 转换器

8.1. 概述

SAR A/D 转换器是 12bit 的 CMOS 低功耗 SAR A/D 转换器。它可以控制 A/D 工作在两个不同的模式：电池电压检测和两个辅助的 A/D 输入。这三个输入可以将数据通过 CPU 转换给 memory。

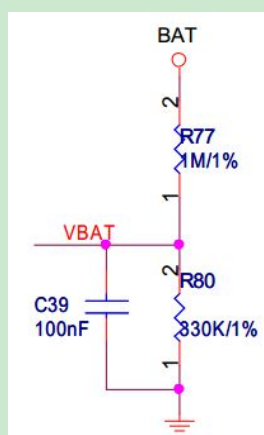
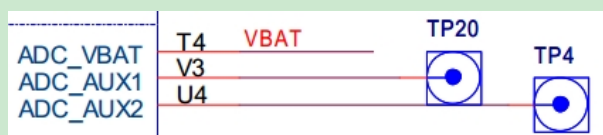
表 8-1 SAR ADC Pin 脚描述

NAME	I/O	Description
VBAT	AI	VBAT direct input
AUX1	AI	Auxiliary Input
AUX2	AI	Auxiliary Input

8.2. 电池电压检测

VBAT PIN 允许的输入电压范围是 0V~1.2V。如果用户已经在电路板上进行了电阻分压，那么 VBAT 可以用来检测电池电压值。

下图为参考电路。



9. OTP EFUSE

9.1. 概述

EFUSE 提供 4Kbits 的可编程位，总 4K 位分为七部分，如下表所示。

128bit	128bit	128bit	32bit	32bit	32bit	16bit	16bit	128bit	128bit	128bit	128bit	3072bit
--------	--------	--------	-------	-------	-------	-------	-------	--------	--------	--------	--------	---------

每个部分可以单独或在一起编译。

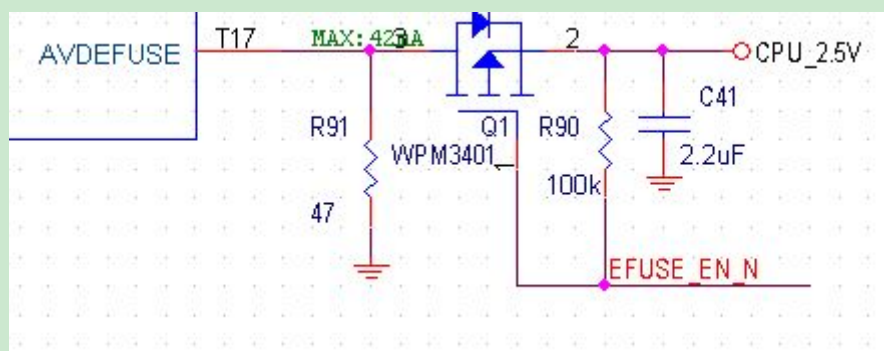
每一部分都有一个保护位，它比程序段具有更高的优先级。编程的频率很宽泛，编程的时间可以通过 EFUSE 寄存器调整。

EFUSE 的初始值为 0，当编程为 1 时，就不能再被写为 0。

如果 EFUSE 的值已经为 1，不能再进行编程，否则 EFUSE 模块会是不定状态。

为 AVDEFUSE 引脚提供编程所需电压。

- 在烧录模式下，需要提供 2.5V+/-10% 的电压给 AVDEFUSE 引脚，并且烧录时间不能超过 1s。
- 在读模式中，AVDEFUSE 的电压为 0V 或者是悬空。
- 另外需要注意，如果不用写 EFUSE，Q1 可以 NC。



9. RTC

9.1. 概述

RTC 模块一直供电，在芯片上电或是掉电的情况下都可以正常工作，RTC 电源所消耗的功耗只有几个 μW 。

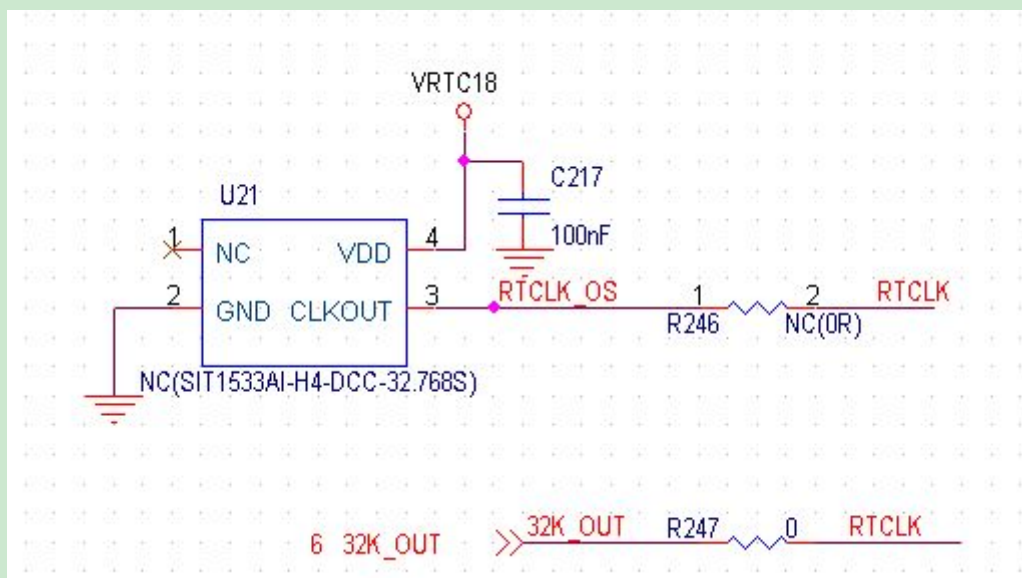
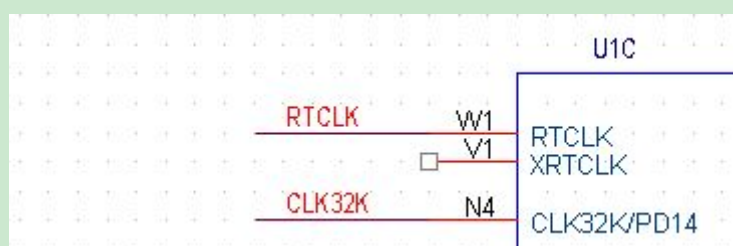
M200 的 RTC 需要外部时钟振荡器产生。

9.2. RTC 时钟

下图是一个典型的实例。

RTC 时钟有两种方式，一种是有源晶振，一种是 PMU 输出的 32.768KHZ。

CLK32K 引脚可以输出 32.768KHZ 供给其他外设。

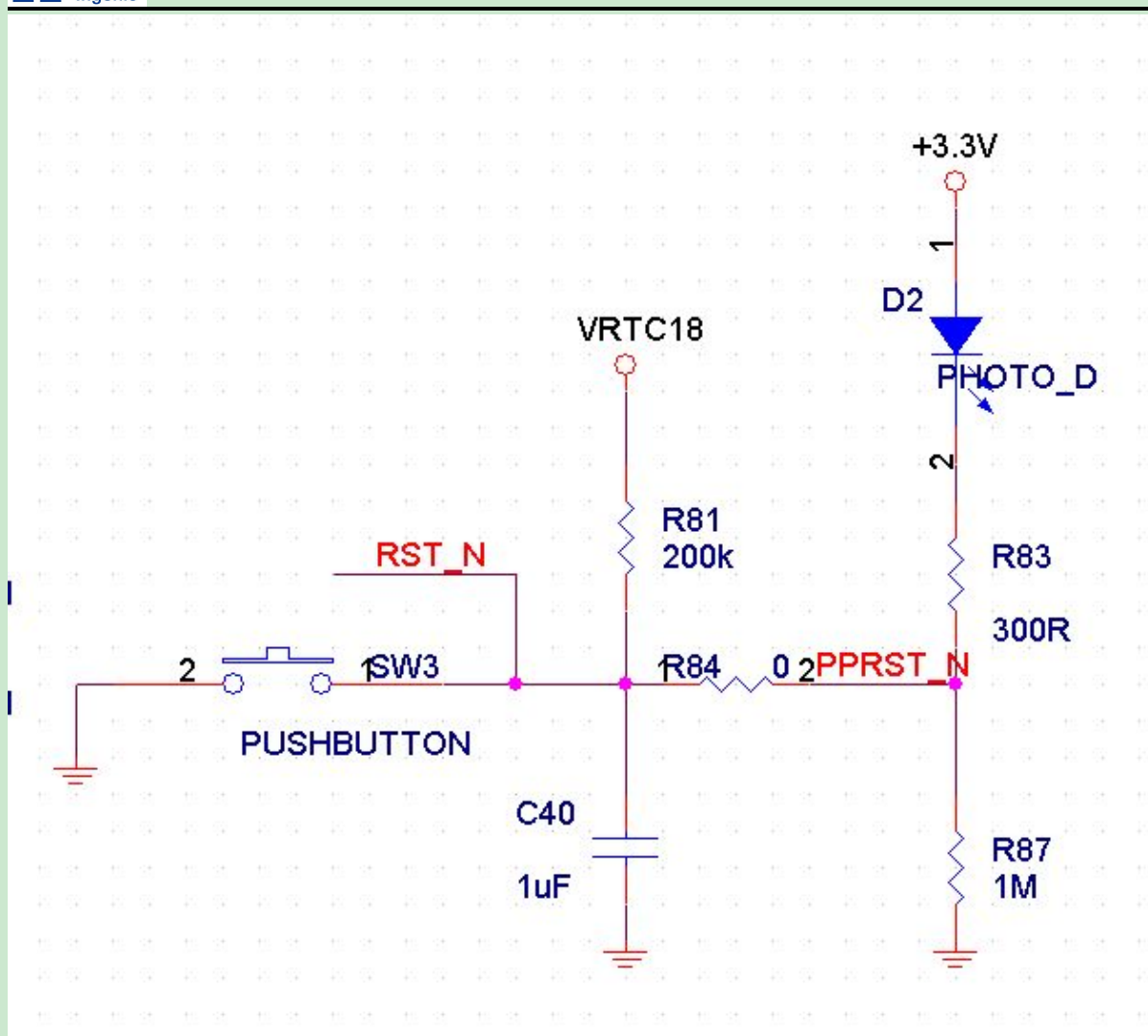


9.3. 电源控制

以下是推荐的电源控制系统。

PWRON 是一个从 CPU 输出的高电平信号，如果电源电路使能信号为高电平可以直接使用 PWRON。

下图复位电路的电路中，R87 的推荐值为 1M ohm，在关机模式下减小功耗。



10. 其它外围设计指南

10.1. SSI 设计指南

SSI 是一个全双工的同步串行接口,可连接各种使用串行数据传输协议的外部设备,例如模拟-数字转换器(A/D)、音频和电信编解码器等。SSI 支持 National 的 Microwire 协议, TI 的同步协议 (SSP), 和 Motorola 的串行外设接口 (SPI) 协议。

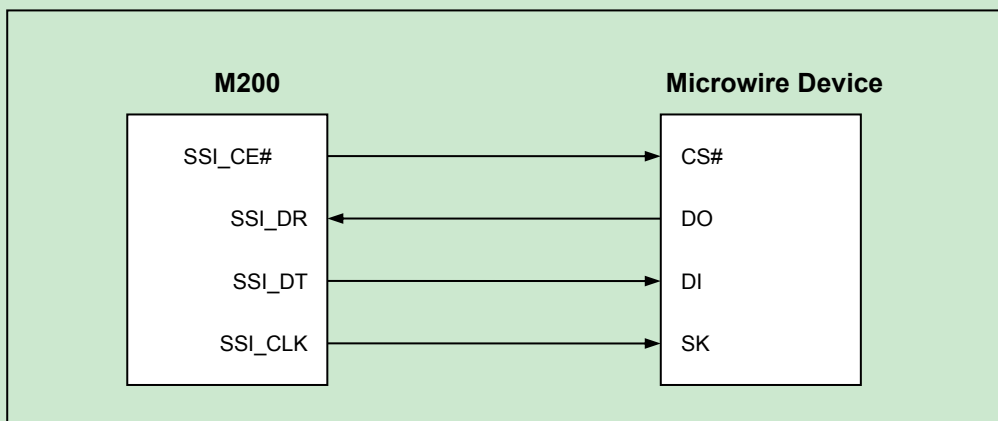


图 9-1 Microwire 连接

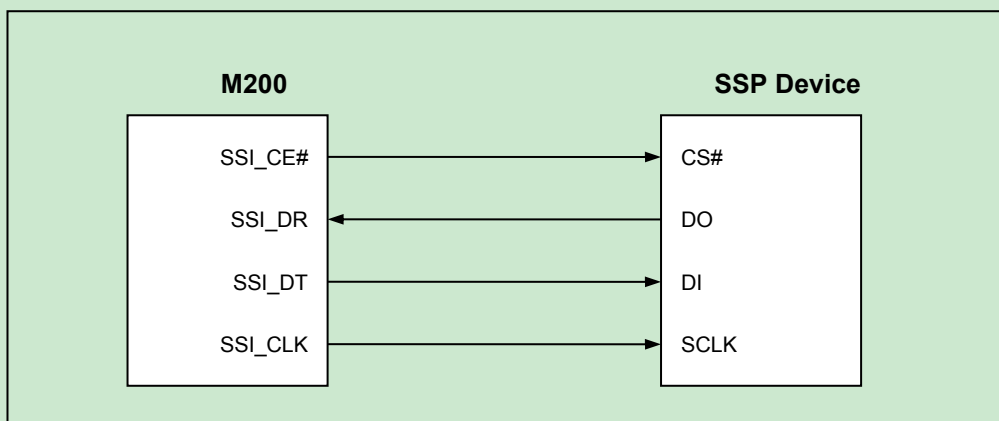


图 9-2 SSP 连接

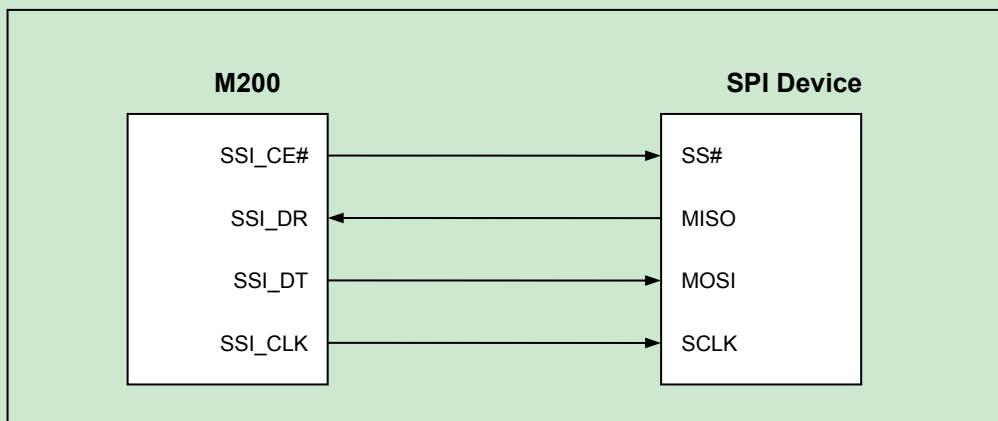


图 9-3 SPI 连接

10.2. UART

M200 的处理器有五组 UART：所有 UART 使用相同的编程模型。每个串行端口可以运行在中断模式或 DAM 模式。

10.2.1. UART 实现

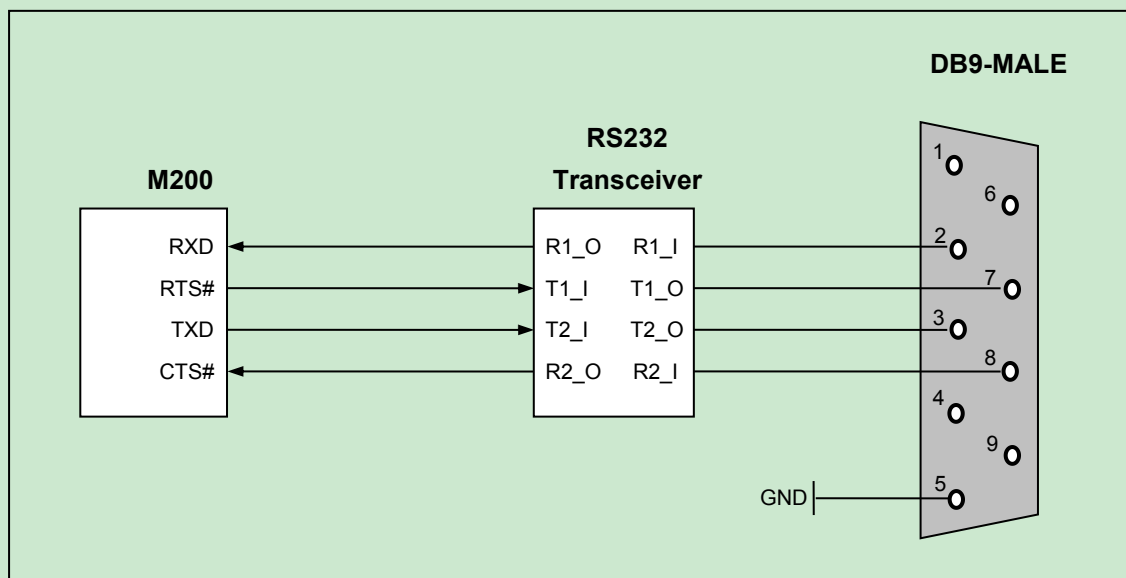


图 9-4 RS232 串口连接

接外设时，注意 TX 接外设 RX，RX 接外设 TX，RTS 接外设 CTS、CTS 接外设 RTS。

10.3. SMB 总线

SMB 是两线式串行总线。SDA 引脚用于数据的输入和输出，SCL 是 SMB 总线的串行时钟。就外部设备的子系统而言，SMB 总线需要最少的硬件继电器状态和可靠性信息。

SMB 模块支持标准模式和快速模式，频率可达 400 kHz。连接如下图所示。SMB 总线串行操作使用一个漏极开路，线与总线结构所以 SCL 和 SDA 需要上拉电阻(R1, R2=2.2K)。SMB 总线详细说明，请参阅 SMB 总线规范。

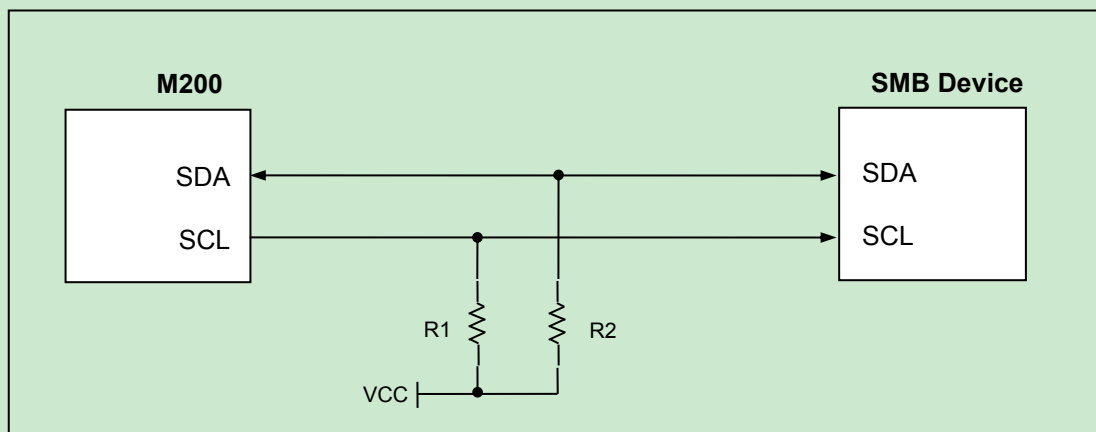


图 9-5 SMB 连接

10.4. PWM

脉冲宽度调制器（PWM）是用来控制背光芯片，调整 LCD 面板的亮度或对比度，也可以用来产生脉冲信号。PWM 由一个简单的自由运算计数器和两个比较寄存器组成，每个比较寄存器和计数器的值相匹配的时候，执行一个特定的任务。周期比较器和周期值相匹配，使能输出 pin，复位自由运算计数器。宽度比较器和计数器的值相匹配的时候，复位输出 pin。M200 包含四个脉冲宽度调制器：PWM0 ~ PWM3。

10.5. GPIO

M200 处理器，提供多路通用 I/O 端口（GPIO），用于生成和捕获特定应用程序的输入和输出信号。每个端口可以被编程为输入，输出或是功能端口。作为输入端口,拉上/下可以打开/关闭，端口也可以配置为电平或是边沿触发的中断端口。

10.6. JTAG /调试端口

M200 内置有一个 JTAG /调试端口。所有的 PIN 是直接连接 JTAG。CPU 的 JTAG PIN 建议保留测点，用于 JTAG 测试。与 JTAG 复用的 UART 可以用作调试口，但是不建议与其他外设通讯用。

11. 电源平台指南

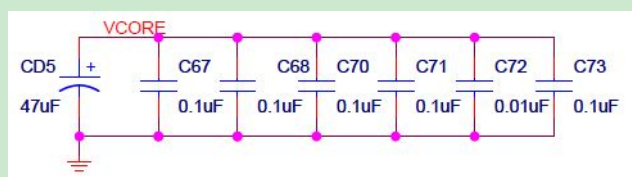
11.1. 概述

- 1、电源的高频阻抗与电源的感应系数有关。在 VDDMEM,VDDCORE 和地之间要加多级电容滤波，譬如 $22\mu\text{F}+0.1\mu\text{F}+0.01\mu\text{F}$ ，可以增加电容的滤波范围，减小电源上的高频阻抗。
- 2、如果某个模块在产品中不需要，那么电源 PIN 的滤波电容和磁珠可以省略，但是供电不可以省略。
- 3、M200 的电源划分

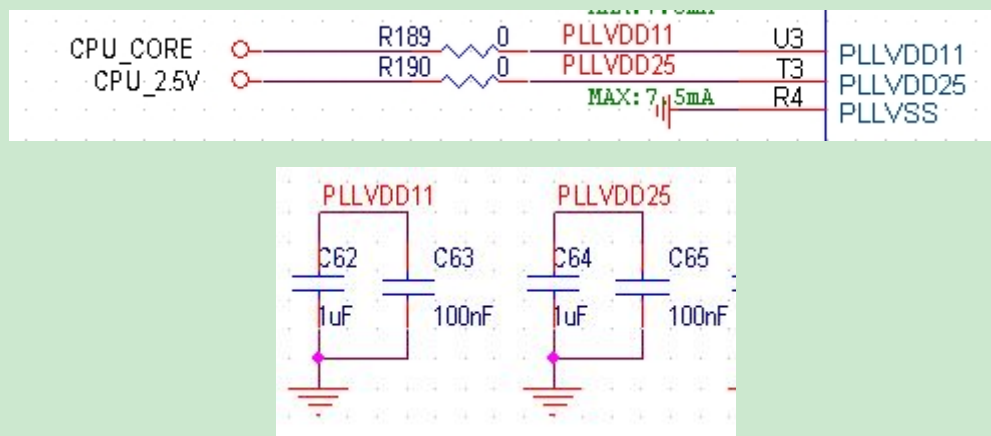
Symbol	Description	Min	Typical	Max	Unit
VDDMEM	VDDQ voltage for LPDDR2	1.08	1.2	1.32	V
	VDDQ voltage for LPDDR	1.65	1.8	1.95	V
	VDDQ voltage for SSTL18 (DDR2)	1.7	1.8	1.9	V
	VDDQ voltage for LPDDR2	1.425	1.5	1.575	V
	VDDQ voltage for LPDDR2L	1.28	1.35	1.45	V
VDDIO	VDDIO voltage	1.62	-	3.6	V
VDDIO 2	VDDIO voltage	1.62	-	3.6	V
VDDNAND	VDDIO_N voltage	1.62	-	3.6	V
VDDCORE	VDDcore voltage	0.99	1.1	1.21	V
VPLL11	AVDPLL 1.1v analog voltage	0.99	1.1	1.21	V
VPLL25	AVDPLL 2.5v analog voltage, PLL's VCO can achieve 2.0GHz	2.25	2.5	2.75	V
VPLL25(1.8v)	A VDPLL 2.5v analog voltage(Connect to 1.8V), PLL's VCO can achieve 1.6GHz	1.62	1.8	1.98	V
VDLL	VDD_DLL voltage	0.99	1.1	1.21	V
VDDEFUSE	AVDEFUSE voltage	2.25	2.5	2.75	V
VRTC33	VDDRTC33 voltage	1.8	1.8	3.63	V
VRTC11	VDDRTC11 voltage	0.99	1.1	1.21	V
VUSB25	AVDUSB25 voltage	2.25	2.5	2.75	V
VUSB33	AVDUSB33 voltage	3.0	3.3	3.6	V
VADC	AVDSADC voltage	3.0	3.3	3.6	V
VCDC	AVDCDC	2.97	3.3	3.63	V
VCSI	CSI_AVDD	2.25	2.5	2.75	V
VDSI	DSI_AVDD	2.25	2.5	2.75	V

11.2. 电源传输和去耦

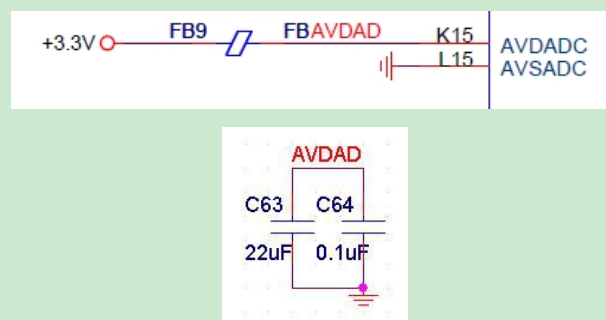
在 VDDMEM,VDDCORE 和地之间要加多级电容滤波，譬如 $10\mu\text{F}+0.1\mu\text{F}+0.01\mu\text{F}$ ，可以增加电容的滤波范围，减小电源上的阻抗。例如：



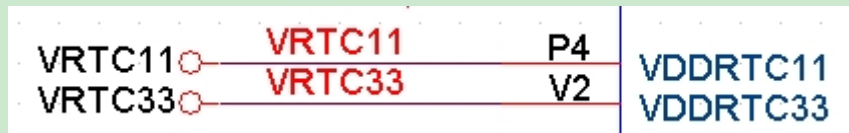
下图为锁相环的电源电路。



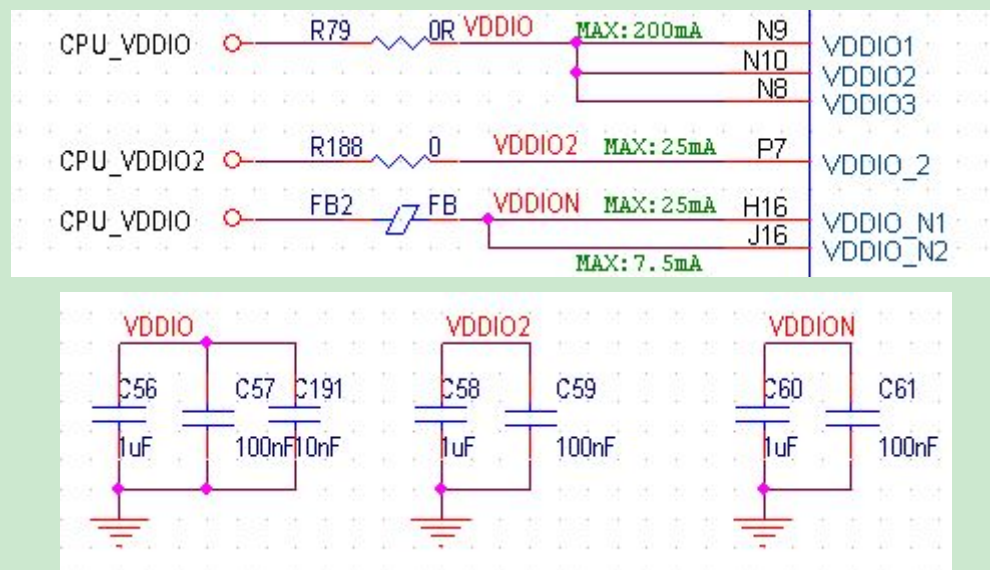
下图是 ADC 的电源电路



下图是 RTC 的电源电路



下图是 GPIO 的电源电路。



12. PCB 设计的其他注意事项

12.1. 叠层

M200 平台阻抗控制在 $50\Omega \pm 10\%$ 的层叠结构。

8 层 HDI 板, 叠层如下图所示:

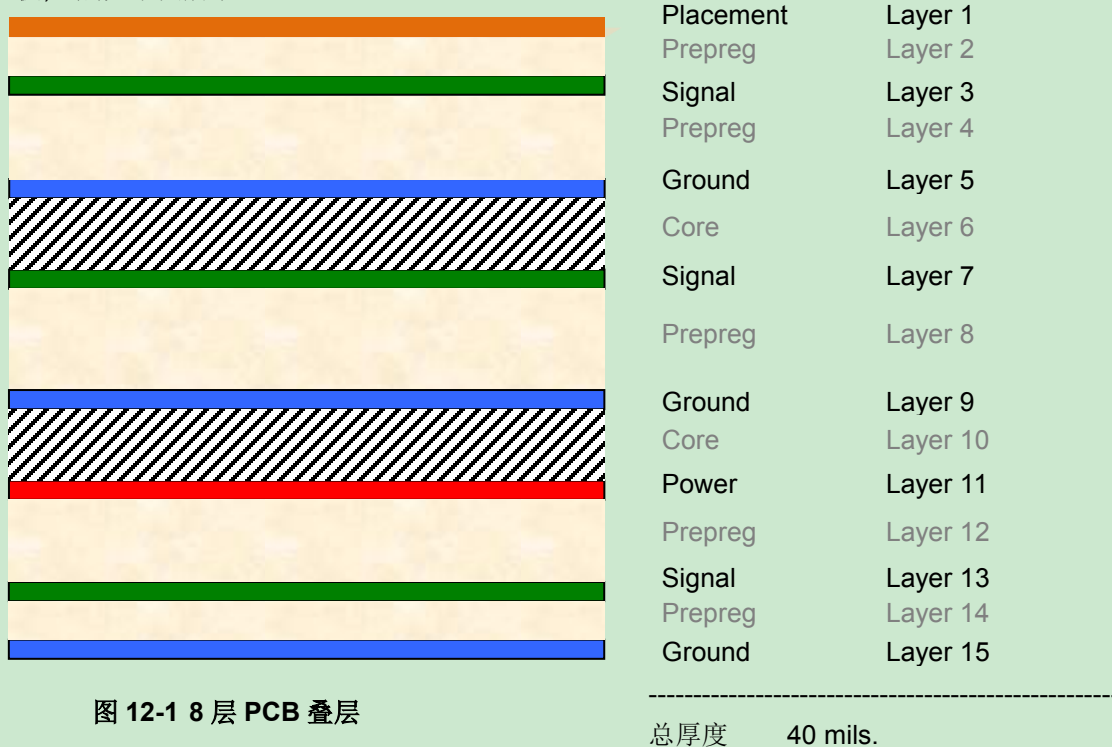


图 12-1 8 层 PCB 叠层

12.2. 过孔的设置

- 地、电过孔采用 12mil 孔径、24mil 外环。
- CPU 和 DDR 部分的过孔排列要合理，间距最好不小于 30mil，不能破坏地、电层的回路。
- 建议使用盲孔、埋孔。

12.3. 铺铜的设置

- 过孔与铺铜的安全间距为 6mil。
- 地、电层的铺铜线宽设置为 2mil。其他层可以设置为 4mil。

12.4. 散热设计

铜铂厚度建议采用 1OZ，改善 PCB 的散热性能。

CPU 出线完毕后，在不影响电源平面完整性的前提下尽量多打一些地孔。在 bottom 层可以在地孔位置处漏铜，装配时可用导热绝缘胶贴着防止短路。

地层一定要完整，CPU 内部的地可以有多条通路与 CPU 外侧连通。

大电流的走线应尽量短，尽量铺铜设计，以加宽走线宽度，同时该层的厚度要求在 1OZ 以上，

对于内层的走线，应安排在地层的相邻层。

PCB 上的屏蔽罩地孔应直接地层，不用盲孔转接，屏蔽罩建议不采用那种夹子式。

PCB 板边用地孔（通孔）围起来、露铜，有利壳子的金属接地及 ESD，对散热也有好处。

在布局上，CPU 和其他发热的器件隔开一定的宽度（至少 20mm），利用壳体开口方向（如散热窗，大的连接器开口等）则使最发热的器件放在其附近，成直线放置（CPU 可以这样排布）。

对几个发热器件，交叉排布，不可成行成列布局。

12.5. 其他电源的设计

- PMU 要尽量靠近 CPU 布局。
- PMU 布局时一定要需要注意 DC/DC 输入、输出电容的位置，输入输出电容都要尽量靠近 DC/DC 的 PIN 脚，并且确保它们的地和 CPU 的地之间的距离尽量短。
- CPU VDDCORE, VDDMEM, VDDPLL, VDDIO 等的滤波电容要放在尽量靠近 CPU PIN 脚的位置上。
- VDDCORE, VDDMEM, VDDIO 要在电源层铺铜，而不用走线的方式。
- 电源信号换层时都要打尽量多的过孔，避免成为电源信号的传输瓶颈。
- CPU 相关电容布局：
 - 第 1 优先级：PLLAVDD, PLLDVDD, VDDCORE, VDDMEM, VCAP, VREFP, VDDIO。
 - 第 2 优先级：AVDCDC, AVDOTG25, UHC_AVDD, VDDIO_NAND。
 - 第 3 优先级：VDDRTC, VDEFUSE。
- 保证 CPU 下方铺铜（地和电源）的完整性及连续性，便于能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性；同时也可以改善的散热的性能。
- 所有的接地焊盘都要就近打过孔接地层。