

4	VIVADO	
	ISE	Vivado
P&R runtime	13 hrs	5 hrs
Memory usage	16 GB	9 GB

Bild 4. Das Designbeispiel demonstriert die Vorzüge der Vivado-Designumgebung von Xilinx

Entwicklungsumgebung für programmierbare Systemintegration

Mit der „Vivado Design Suite“ von Xilinx können Systementwickler nicht nur den Entwurf von programmierbarer Logik und I/Os, sondern auch die Integration programmierbarer Systeme signifikant beschleunigen, wobei auch die Implementierung in Schaltungen mit 3D-Technologie, in ARM-Verarbeitungssystemen und in AMS (Analog/Mixed Signal) realisiert werden kann. Hinzu kommt eine große Anzahl an Halbleiter IP-Cores. Gegenüber herkömmlichen Entwicklungsumgebungen soll Vivado die Produktivität um das Vierfache steigern können (Bild 4).

Laut Victor Peng, SVP der Programmable Platforms Group bei Xilinx, sind die Vivado Tools das Ergebnis einer vierjährigen Entwicklungsarbeit. Vivado wurde von mehr als 100 Unternehmen betagetestet, einschließlich Kunden, die „Virtex-7“-FPGAs wegen der hohen Kapazitäten und Bandbreiten verwendeten. Die Vivado Design Suite ist zudem eine offene Entwicklungsumgebung, die auf den folgenden Standards basiert: AMBA4 AXI4 Interconnect Spezifikationen, IP-XACT IP Packaging Metadata, Tool Command Language (Tcl), Synopsys Design Constraints (SDC) sowie anderen Standards, die den individuellen Designfluss des jeweiligen Anwenders optimieren.

Vivado ermöglicht die Kombination aller Programmier-Technologien mit einer Skalierung von bis zu 100 Millionen ASIC-äquivalenten Gate-Designs. Um Engpässe in der Integration zu umgehen, verfügt das Vivado IDE auch über ESL Design Tools

für die schnelle Synthesierung und Verifikation C-basierender IP-Algorithmen.

Low-Power FPGAs für die gesamte Mobiltechnik

Die Designer von elektronischen Handgeräten warteten bis heute auf eine FPGA-Lösung, die ihren Wünschen nach besonderer Designflexibilität und sehr kurzen Entwicklungszyklen besser entspricht als bisher. Weit im Vordergrund der Überlegungen stehen dabei Leistungsaufnahme, Logikkapazität, Kosten und ein besonders kleiner Formfaktor sowie die erweiterte

Sensorik von Smartphones, bei der die oben erwähnten Companion Chips wertvolle Dienste leisten.

Um diesen Anforderungen beizukommen bietet Lattice Semiconductor nunmehr ein Produkt der kürzlich übernommenen Firma SiliconBlue an. Der „iCE65 MobileFPGA“ (Bild 5) gibt es jetzt in zwei Serien. Die „L-Serie“ wurde für Applikationen mit besonders niedrigem Strombedarf optimiert (12 µW), wird mit einem 65-nm-CMOS-Prozess hergestellt, kann mit bis zu 256 MHz getaktet werden und bietet eine flexible Schaltmatrix. Das reprogrammierbare FPGA bietet zudem bis zu 128 kBit RAM sowie verschiedene Gehäuseoptionen.

Die „P-Serie“ bietet demgegenüber zusätzliche Leistungsmerkmale wie ein PLL (533 MHz, 100 µA) für Applikationen mit Displays, SERDES und Speicher-Interfaces. Das LVDS Interface funktioniert bis 350 Mbps und unterstützt eine Video-Auflösung von 1024 x 600. Hinzu kommen wählbare I/O-Bänke, die für 3,3 V, 2,5 V oder 1,8 V ausgelegt sind.

Si-erprobte IP für SoC-Entwickler

Für SoC-Entwickler ist die Beurteilung, der Erwerb und die Implementierung von IP ein kritischer Faktor für die schnelle Markteinführung der eigenen Produkte. **IPExtreme**, mit Sitz im kalifornischen Campbell sowie einem Designzentrum

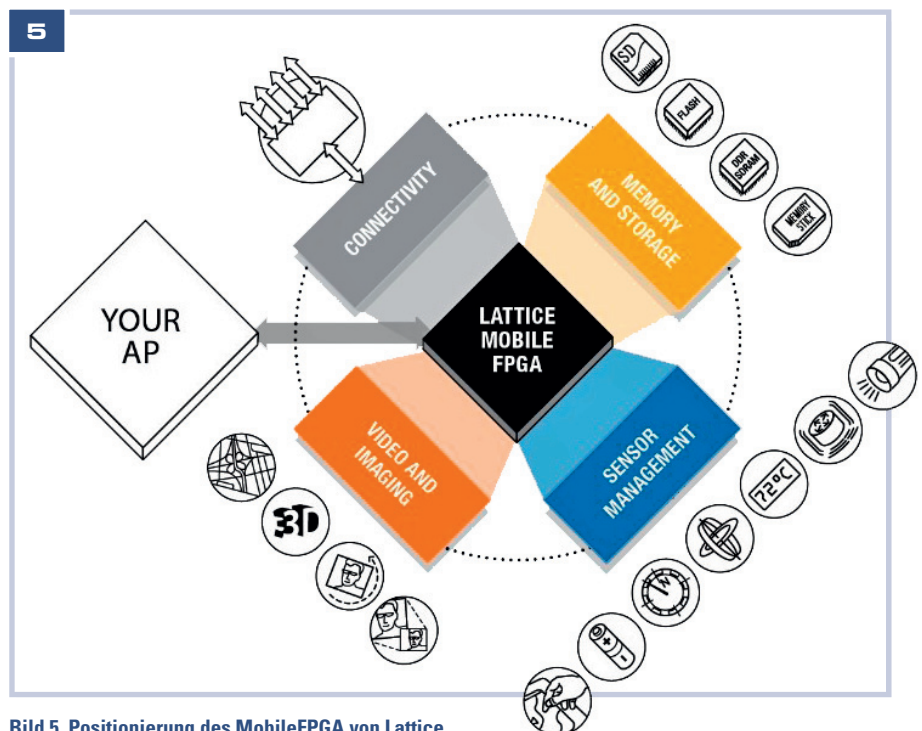


Bild 5. Positionierung des MobileFPGA von Lattice

in München, hat im Halbleitermarkt eine professionelle Brokerfunktion in Sachen IP inne.

IP von den namhaften Halbleiterunternehmen können Interessenten über IPExtreme erwerben werden – zum Vorteil beider Seiten: Das IP-Lizenzgeschäft wird den Anbietern abgenommen, die sich auf ihr Kerngeschäft konzentrieren können und die Käufer verhandeln mit einem sachkundigen Zwischenhändler, der alle Aspekte des IP-Transfers beherrscht. Die angebotene IP ist herstellungserprobt, lässt sich zu jeder Foundry transferieren und mit jedem Design-Flow eines EDA-Anbieters verarbeiten.

Die skalierbare und sichere Plattform „Xena“ bietet den IP-Lieferanten die Möglichkeit, deren IP effizient zu managen und zu verteilen und die Nutzer zu unterstützen, während der Interessent auch im CoreStore, nach Sachgruppen geordnet, seine Auswahl treffen kann.

Eine Welt und nur ein Handy-Funkmodul

Viele Nutzer von Apples „iPhone 4“ erinnern sich noch gut daran, dass ein bestimmter Griff ans Gerät die Antennenleistung gegen Null brachte – ein sicheres Zeichen dafür, dass das Wireless Interface dieses Geräts die besondere Beachtung der Entwickler verdient. Denn

trotz des geringen Formfaktors muss das HF-Frontend unter (fast) allen Umständen immer eine einwandfreie Verbindungsleistung bieten, wobei das HF-Modul auch noch Filter, Antennentuner, Netzwerke und Leistungsverstärker umfasst. Und das gesamte Hochfrequenzteil sollte zudem auch noch bestmöglich auf die geforderten Frequenzbänder abgestimmt sein.

Für alle diese Probleme hat das Fabless-Unternehmen **WiSpry** interessante Systemlösungen entwickelt, die auf der Integration von HF-MEMS-Bau-elementen mit standardisierten CMOS-Prozessen beruht und auf das HF-Front-End eines Handys abgestimmt sind. Das kann als eine langerwartete Konvergenz von Digital-, Analog- und HF-Funktionen auf einem Chip betrachtet werden.

Das Produktergebnis sind derzeit ab-stimmbare HF-Komponenten, TDCAs (Tunable Digital Capacitor Arrays), TIMs (Tunable Impedance Matching Networks), abstimmbare Filter und Duplexer sowie Tuner für Leistungsverstärker. Mithilfe von TIMs kann eine Antenne mehr Frequenzbänder mit besserer Abstimmung abdecken, wobei Sendeleistung gespart und der Akku geschont wird. Hand- und Kopf-Phantomeffekte lassen sich durch eine Reprogrammierung vermeiden, wobei SVLTE-Filter ein so genanntes Filter-on-Demand bieten. LTE-Tuner sind zudem in der Lage, Handy-Antennen bis 698 MHz

abzustimmen, um das neue Band XII abzudecken.

Bei der TIM-Schaltung „WS2018“ handelt es sich um ein Netzwerk von digital abstimmbaren HF-MEMS-Kapazitäten mit geringen Verlusten, die mit Induktivitäten kombiniert sind. Die sich ergebende Impedanz-Umsetzung kann ein VSWR von bis zu 20:1 dynamisch kompensieren. Die entsprechende Einstellung erfolgt mit einem seriellen RFFE-Bus (MIPI-Alliance) und wird kontinuierlich in Synchronisation mit dem Radio aktualisiert. Der Baustein „WS3001“ ist ein vollintegriertes SVLTE-Filtermodul, das sich nach Bedarf aktivieren lässt und damit dem Operator simultan Sprache und LTE-Daten bietet, ohne die sonst üblichen Interferenzen zu erzeugen. Mit dem LTE-Antennentuner „WS1033“ können Schaltungsentwickler eine optimierte Schaltungskonfiguration für die geforderte Antennenabstimmung vornehmen. Der Tuner verfügt sowohl über ein MIPI-Alliance-RFFE- als auch über ein 3/4-Draht-SPI-Interface. Das bedeutet Plug-and-Play-Kompatibilität mit allen wichtigen Smartphone Chipsets. (m)



DER AUTOR

HENNING WRIEDT

arbeitet als USA-Korrespondent für EL-info | Elektronik Informationen.