

暗視野成像檢測儀進行金屬線側壁空穴監測 元件可靠性增加

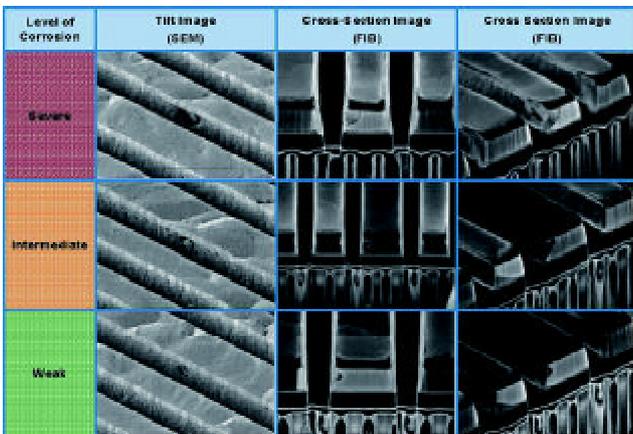
Chang Hwan Lee、Woo Yong Hwang、Chul Hong Kim、Hyung Won Yoo / Hynix Semiconductor
Yong Gao、Seong Ho Yoo / KLA-Tencor

我們採用了缺陷監控策略來辨識並追蹤會導致良率和可靠性問題的偏差。特定的缺陷類型可能會對良率、可靠性或兩者都造成影響。消除對良率致命的缺陷並不一定能確保獲得高可靠性。在高良率的晶圓上可能存在潛在的缺陷，最終影響到元件的可靠性。此類缺陷可能會對晶圓廠造成昂貴代價，因為可靠性問題只有在客戶環境下使用元件時才會發現。成功的缺陷監測方法可為工程師提供採取矯正措施所需的偏差資訊，以消除良率和可靠性方面的問題。

做為 DRAM、NAND 快閃式記憶體和 CMOS 影像感應器的量產製造商之一，Hynix Semiconductor 採行創新的監控策略，來辨識會對元件可靠性造成影響的缺陷問題。其中一個問題涉及到 66 奈米的 DRAM 元件上可見的金屬側壁空穴缺陷，該缺陷不會影響良率，但會影響元件可靠性。本文描述了側壁空穴與元件可靠性之間的相關性，以及金屬側壁空穴缺陷機制。此外，還簡要介紹了如何實施偏差監控策略來辨識和追蹤缺陷問題。這樣 Hynix 就可以對製程進行優化，藉此避免缺陷形成，並提高元件可靠性和品質。

元件可靠性

除了測試元件性能外，Hynix 還對元件可靠性進行



圖一：FIB 剖面前和剖面後的側壁影像。多數嚴重的側壁空穴會導致元件可靠性問題。

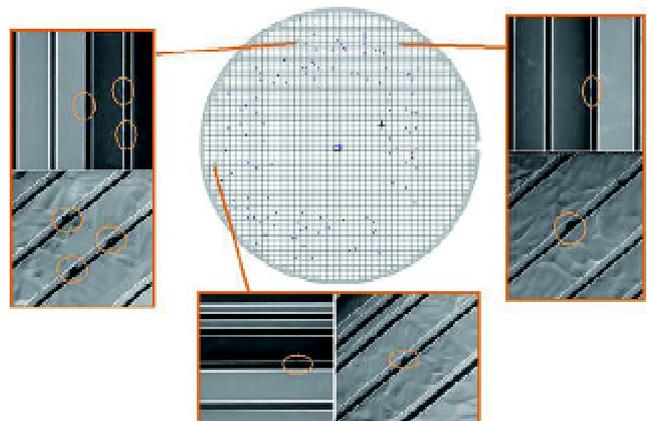
了廣泛的測試。在以往，標準可靠性分析（包括在嚴苛環境條件下的各種嚴苛重複測試），發現過一些 DRAM 元件上的週期性可靠性失效。為判斷導致可靠性失效的問題根源，因此進行了詳細的失效分析。封裝測試將可靠性失效與後端金屬層連結在一起。使用聚焦離子束 (FIB) 進行分隔和剖面，以使用透視電子顯微鏡法 (TEM) 或掃描電子顯微鏡法 (SEM) 讓有失效的地方成像。這些失效分析顯示，沿金屬線側壁（圖一）的空穴造成了可靠性問題。

進一步調查顯示，可靠性問題僅與較大空穴的大量出現有關係。單個分開的小空穴不會影響可靠性。此結果與對鉛線失效機理的早期研究相吻合。[1]

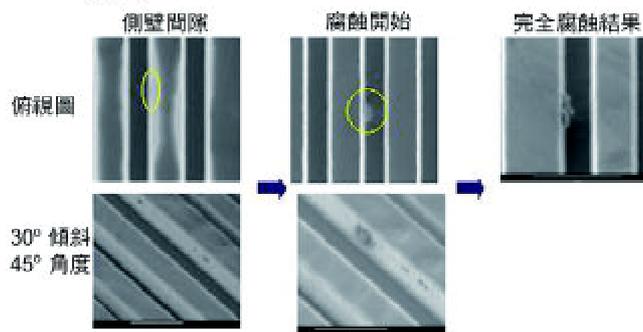
側壁空穴缺陷機理

金屬側壁空穴通常是由腐蝕所造成的。由於大面積腐蝕會導致嚴重的良率和可靠性問題，金屬蝕刻和蝕刻後的清潔製程參數和化學性質應經過仔細優化，以避免腐蝕。[2,3,4] 儘管側壁空穴構成通常是由電漿蝕刻或蝕刻後清潔製程異常導致的，[2] 其他機理也可能會形成側壁空穴。Hynix 工程師設計了一系列實驗，來判斷側壁空穴缺陷形成的根源。

對第一層金屬和第二層金屬蝕刻進行在線檢測可



圖二：Puma 9150 檢測是由第一層金屬蝕刻得出的，展示出對側壁空穴缺陷的捕捉。



圖三：側壁空穴大小和嚴重程度會隨著金屬蝕刻和後續製程步驟之間的時間長度而惡化。

大幅縮短工程反饋時間，這讓工程師能夠快速判斷哪些生產因素會造成側壁空穴。使用 KLA-Tencor 的 Puma 9150 暗視野成像晶圓檢測儀[5,6]來檢測金屬層上的側壁空穴。如圖二中的晶圓圖和 SEM 影像所示，暗視野成像檢測儀提供了足夠的檢測側壁空穴缺陷所需的解析度，同時又抑制了金屬微粒雜訊。

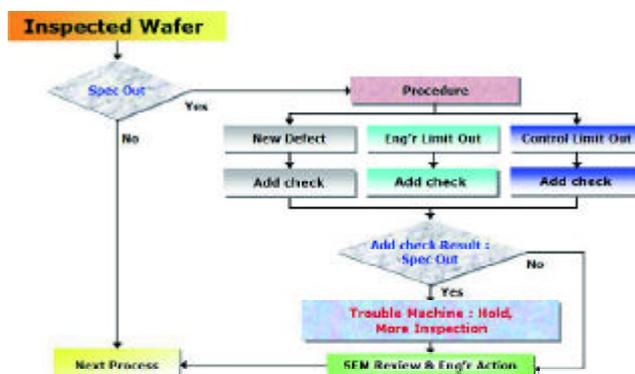
實驗測試顯示蝕刻和蝕刻後清潔製程條件和化學性質不會導致側壁空穴的形成。空氣傳播的分子污染物 (AMC)，例如水蒸氣和酸性分子已被證實會導致金屬腐蝕。[4,7]Hynix 工程師認為金屬蝕刻後，在晶圓廠環境中暴露於腐蝕性的 AMC 會導致金屬線逐步惡化，且會隨時間推移而導致側壁空隙數量增加，最終導致器件可靠性變得很差。工程師進行了可控加速測試，將晶圓放在高濕度、化學條件各不相同的房間內。然後可對受測晶圓的腐蝕過程進行測量，以測量其在暴露時間、濕度水準和化學含量方面的特性。透過這些測試，工程師判斷出側壁空穴的形成實際上與 AMC 的暴露相關，且側壁空穴的嚴重程度會隨著晶圓暴露於 AMC 的時間長度而增加。實驗和晶圓廠環境對比，即確定了側壁空穴形成與晶圓在晶圓廠環境下暴露於 AMC 期間的駐留時間(queue time)長短有直接關係。如圖三所示，側壁空穴缺陷的嚴重程度會隨著金屬蝕刻後清潔和後續製程步驟之間的駐留時間(queue time)長度而惡化。

Hynix 透過利用暗視野成像檢測儀來追蹤側壁空穴缺陷程度，即可對製程進行優化。這有助於最大程度地降低金屬蝕刻後的晶圓暴露於生產環境中，藉此大幅降低與側壁空穴缺陷相關的可靠性問題的數量。我們已採取一些額外措施來避免側壁空穴的形成，包括對蝕刻、清潔和移除後的產品製程條件控制。如果蝕刻後製程設備發生故障，導致產品的等待時間長於最優時間，那麼晶圓就必須儲存在充滿惰性氣體的手套箱內，並且在表面上加上氧化物層。

側壁空穴缺陷檢測策略

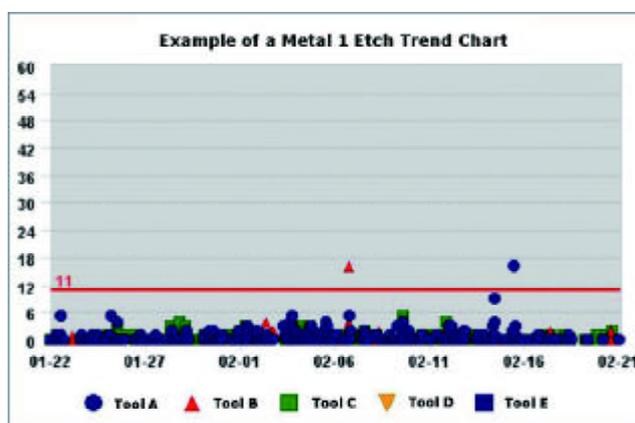
除了優化製程來避免大量側壁空穴缺陷的形成外，Hynix 還在金屬蝕刻層實施了偏差監控步驟。此監控步驟有雙重目的：確認製程優化已經消除了側壁空穴導致的可靠性問題；並標出可能導致今後可靠性問題的任何金屬蝕刻缺陷問題。由於工程師已經找到側壁空穴缺陷程度增加與駐留時間(queue time)增加之間的關聯性，因此確保金屬蝕刻後缺陷監控檢測有較快檢測速度非常重要，如此可最大限度地降低整個製程流增加的時間。

Puma 9150 暗視野成像檢測儀能夠以大約 15wph 的檢測速度，可靠地檢測側壁空穴缺陷，使其成為金屬蝕刻偏差監控的理想檢測儀。



圖四：決策樹類型範例，用於 Hynix 的生產良率和可靠性控制。

Hynix 使用詳細的決策樹 (圖四) 和暗視野成像檢測儀做為第一層金屬和第二層金屬蝕刻的偏差監控，以便能成功追蹤偏差並提供相應資料，這一措施已確認降低了側壁空穴缺陷形成 (圖五)。這一金屬蝕刻偏差監控策略還能提醒工程師改變生產條件，如此就能採取早期矯正措施，以避免發生可靠性問題，並維持元件的高品質。



圖五：使用 Puma 9150 的檢測結果產生的第一層金屬蝕刻的生產趨勢圖範例。

【文轉 58 頁】

總結和結論

透過可靠性測試和失效分析，Hynix 確認了金屬側壁空穴缺陷是可靠性問題的根源。使用暗視野成像檢測儀來追蹤金屬蝕刻後層的側壁空穴缺陷，工程師就能夠將側壁空穴缺陷程度與製程流方面的環境因素導致的腐蝕關聯在一起。使用暗視野檢測儀來優化駐留時間並實施偏差監控，則可大幅降低側壁空隙缺陷程度，並藉此改善元件可靠性和元件品質。 **SST-AP/Taiwan**

致謝

作者謹此對 Hynix M7 的 ChangHo Lee 和 Hynix M10 的 JaeHa Ryu 表示謝意，感謝他們提供製程資料和資料獲取所需的儀器和時間。

參考文獻

1. R. Ravikumar, H. Cichy, R.G. Filippi, E.W. Kiewra, D.L. Rath and G. Stojakovic, "Influence of Sidewall Roughness on the Reliability of 0.20- μ m AL RIE Wiring", Interconnect Technology, IEEE International Conference, 1999.
2. M. Armacost, P.D. Hoh, R. Wise, W. Yan, J.J. Brown, J.H. Keller, G.A. Kaplita, S. D. Halle, K.P. Muller, M.D. Naem, S. Srinivasan, H.Y. Ng, M. Gutsche, A. Gutman and B. Spuler, "Plasma-etching processes for ULSI semiconductor circuits", IBM Journal of Research and Development, Vol. 43, 1/2, 1999.
3. M. Martinetti, I. Schirrecker, O. Keller, B. Andreani, S. Giancaterina, L. Larchier, B. Lecohier, S. La Delfa and G. Musco, "Dry/Wet Process Integration for Polymer Removal After Etch", Semiconductor International, June 2002.
4. C. Morilla, P. Prieta and F. Barbado, "Control and reduction of post-metal etch corrosion effects due to airborne molecular contamination", Proceedings of SPIE, Vol. 4406, 2001.
5. A.E. Braun, "Resolved Darkfield Imaging Extends Wafer Inspection", Semiconductor International, July 2005.
6. C. Perry-Sullivan, C. Chua and M. McLaren, "Advanced Darkfield Inspection for 765nm Design Rules", Solid State Technology Taiwan, Vol. 63, September 2006.
7. C. Ayre, A. Mittal and J. O'Sullivan, "The influence and measurement of airborne molecular contaminants in advanced semiconductor processing", Semiconductor Fabtech, 24th Edition, October 2004.