



集成电路测试

集成电路的复杂度要求
计算机技术的发展

2003-10-18

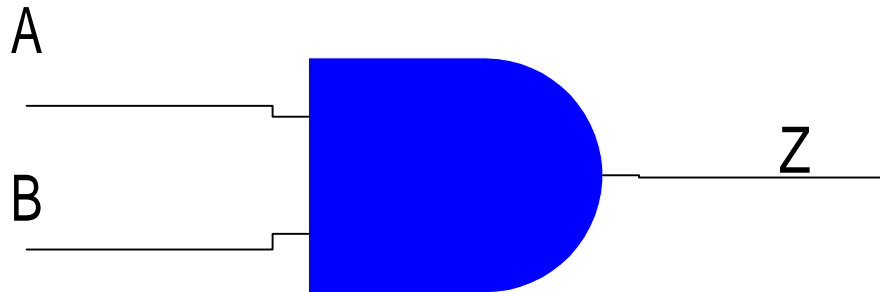
1



测试介绍

- n 测试：就是检测出生产过程中的缺陷，并挑出废品的过程。
- n 测试的基本情况：封装前后都需要进行测试。
- n 测试与验证的区别：目的、方法和条件
- n 测试的难点：复杂度和约束。
- n 可测性设计：有利于测试的设计。

简单的测试例子



$$A=1, B=1 \Rightarrow Z=1$$

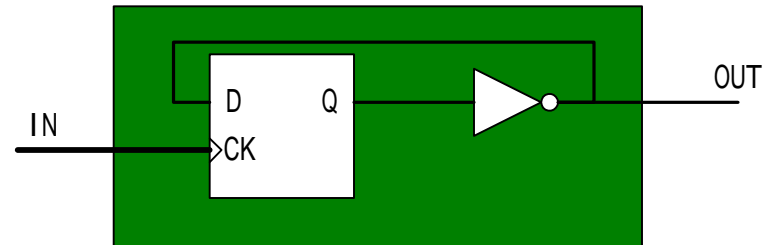
$$A=0, B=1 \Rightarrow Z=0$$

$$A=1, B=0 \Rightarrow Z=0$$

$$A=0, B=0 \Rightarrow Z=0$$

可测性设计举例

n 可控性:



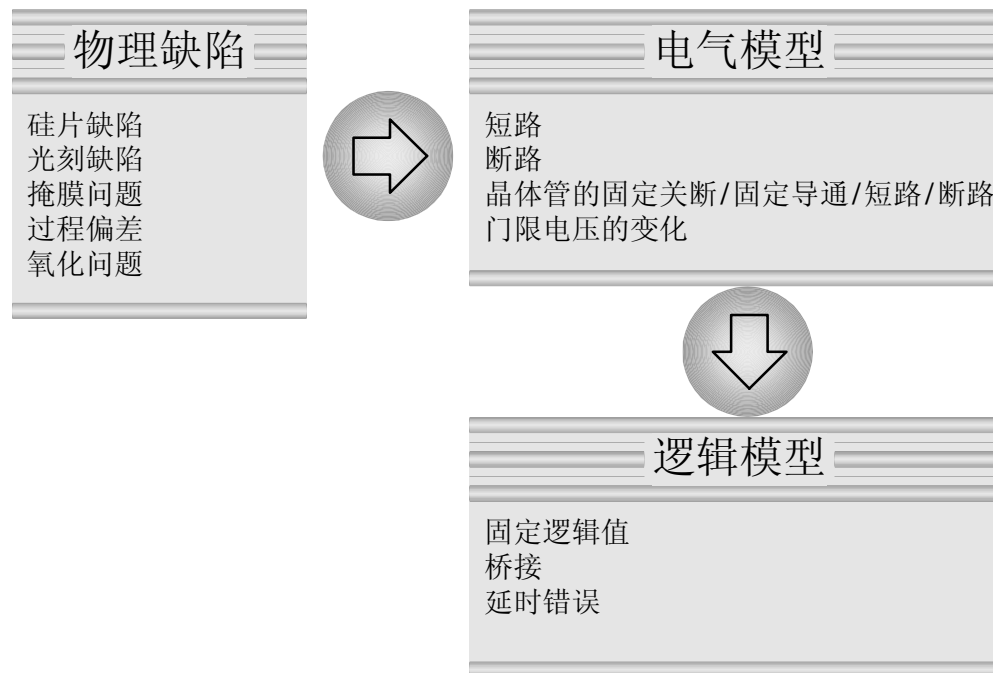
l 可观性:



基本概念1：故障和故障模型

故障：集成电路不能正常工作。

故障模型：物理缺陷的逻辑等效。





故障举例

物理缺陷

逻辑等效

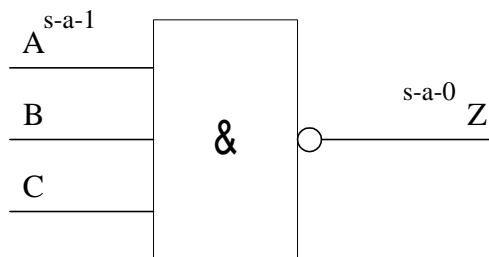


逻辑门故障模型

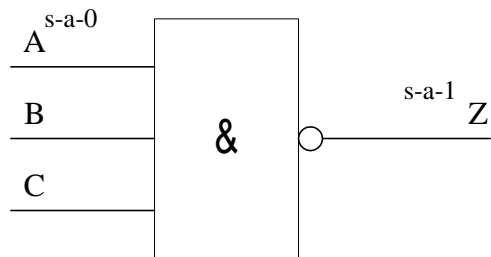
- n 固定值逻辑：所有缺陷都表现为逻辑门层次上线网的逻辑值被固定为0或者1。
表示： $s-a-1$, $s-a-0$ 。
- n 桥接
- n 逻辑门故障模型的局限性

故障的等效和从属

故障等效



故障从属



故障类型与测试码

测试码		故障
A B C	Z	
1 1 1	0	A/0, B/0, C/0, Z/1
0 1 1	1	A/1, Z/0
1 0 1	1	B/1, Z/0
1 1 0	1	C/1, Z/0



基本概念2：测试向量和测试图形

- n 测试向量：加载到集成电路的输入信号称为测试向量（或测试矢量）。
- n 测试图形：测试向量以及集成电路对这些输入信号的响应合在一起成为集成电路的测试图形。



测试仪

- n 测试仪是测试集成电路的仪器。它负责按照测试向量对集成电路加入激励，同时观测响应。目前，测试仪一般都是同步的，按照时钟节拍从存储器中调入测试向量。

测试仪参数

Parameter	Sentry	STS	STSEVM	Tektronix
Tester_channels	120	256	256	512
Tester_Min_Cycles(ns)	50	50	50	20
Tester_Min_Pulse(ns)	10	10	5	5
Tester_SB_Deadzone(ns)	20	15	15	3
Tester_Timesets	6	6	6	12
Tester_Strobe	2	2	2	6

2003-10-18

11

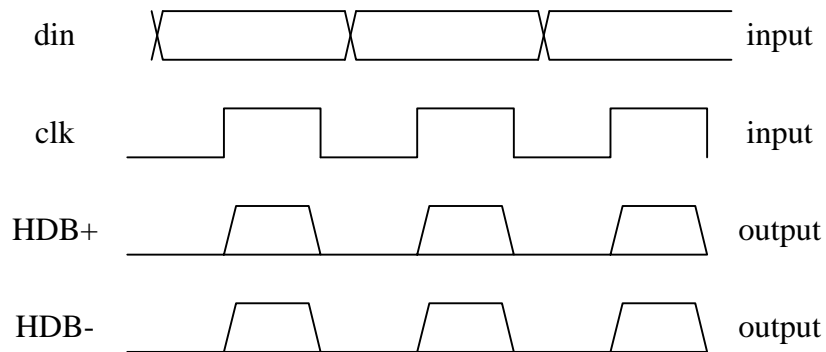


测试仪特点

- n 同步时序
- n 激励的波形有限
- n 响应的测试时刻有限
- n 支持clock burst

测试仪的规定波形举例

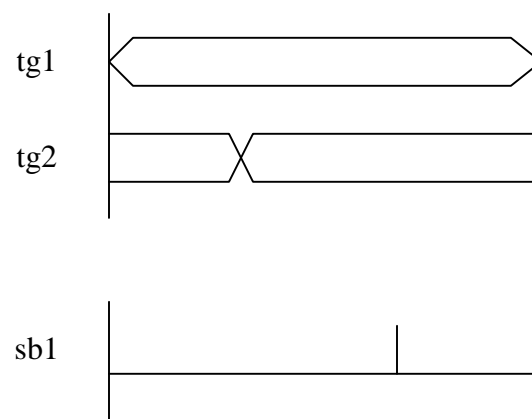
管脚信号图



break

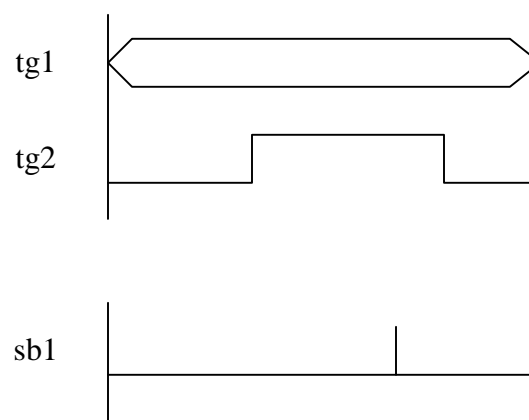
测试仪的规定波形举例

测试码规定图1:



测试仪的规定波形举例

测试码规定图2:





测试向量的生成

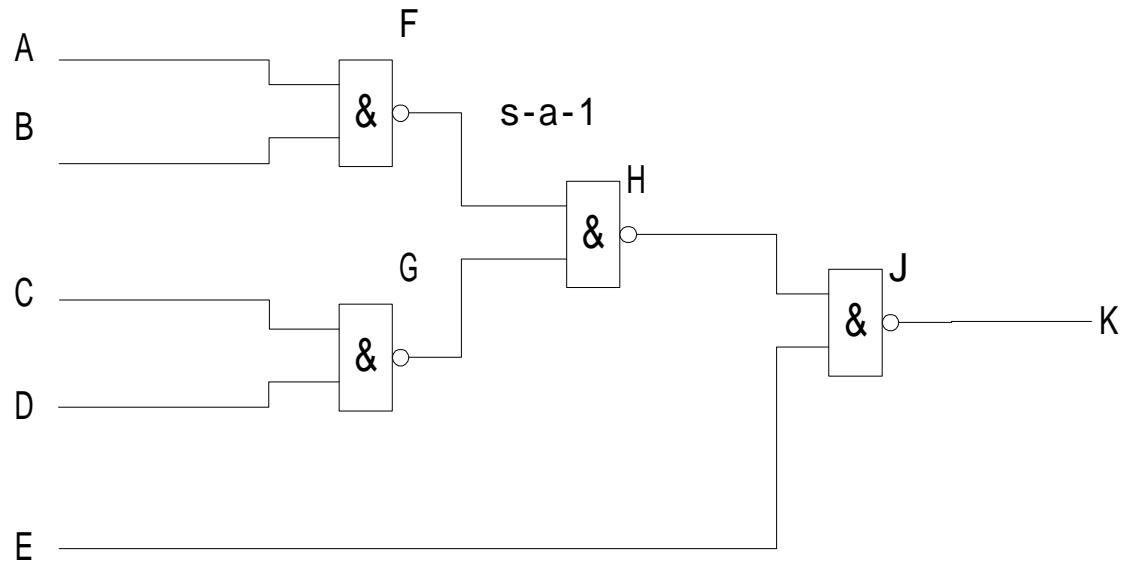
- n 人工法
- n 程序自动生成
- n 自测试



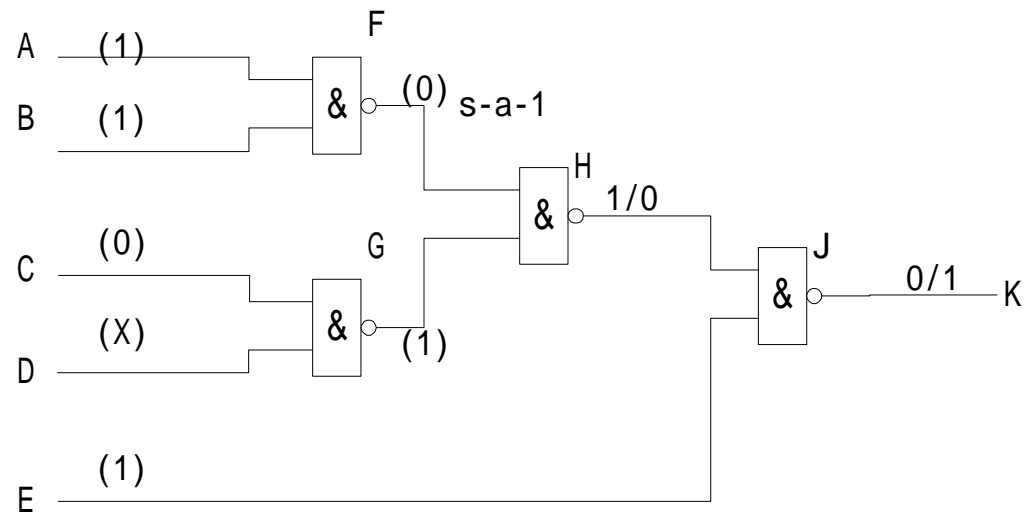
手工生成

- n 故障建立
- n 故障传播
- n 决策及测试码生成

故障图



手工测试码



2003-10-18

19



组合逻辑测试法1：差分法

- n 差分法(**Boolean difference method**)是一种测试向量的生成方法。它不依赖路径传播等技巧，而是依靠布尔代数的关系，通过运算来确定测试向量。



差分法

定义 $\frac{d}{dx_i} f(X) = f(x_1, \mathbf{L}, x_i, \mathbf{L}, x_n) \oplus f(x_1, \mathbf{L}, \bar{x}_i, \mathbf{L}, x_n)$

如果 $(d/dx_i) f(X) = 1$

那么在 x_i 上的固定逻辑值就可以被检测到，否则就不能。



差分法的性质

$$\frac{d}{dx_i} f(X) = \frac{d}{dx_i} \overline{f(X)}$$

$$\frac{d}{dx_i} f(X) = \frac{d}{d\bar{x}_i} f(X)$$

$$\frac{d}{dx_i} \left\{ \frac{d}{dx_j} f(X) \right\} = \frac{d}{dx_j} \left\{ \frac{d}{dx_i} f(X) \right\}$$

$$\frac{d}{dx_i} \{f(X) \cdot g(X)\} = \left(f(X) \cdot \frac{d}{dx_i} g(X) \right) \oplus \left(g(X) \cdot \frac{d}{dx_i} f(X) \right) \oplus \left(\frac{d}{dx_i} f(X) \cdot \frac{d}{dx_i} g(X) \right)$$

$$\frac{d}{dx_i} \{f(X) + g(X)\} = \left(\overline{f(X)} \cdot \frac{d}{dx_i} g(X) \right) \oplus \left(\overline{g(X)} \cdot \frac{d}{dx_i} f(X) \right) \oplus \left(\frac{d}{dx_i} f(X) \cdot \frac{d}{dx_i} g(X) \right)$$



差分法

如果 $g(X)$ 与 x_i 无关, 则可以简化为:

$$\frac{d}{dx_i} \{f(X) \cdot g(X)\} = g(X) \cdot \frac{d}{dx_i} f(X)$$

$$\frac{d}{dx_i} \{f(X) + g(X)\} = \frac{d}{dx_i} f(X)$$

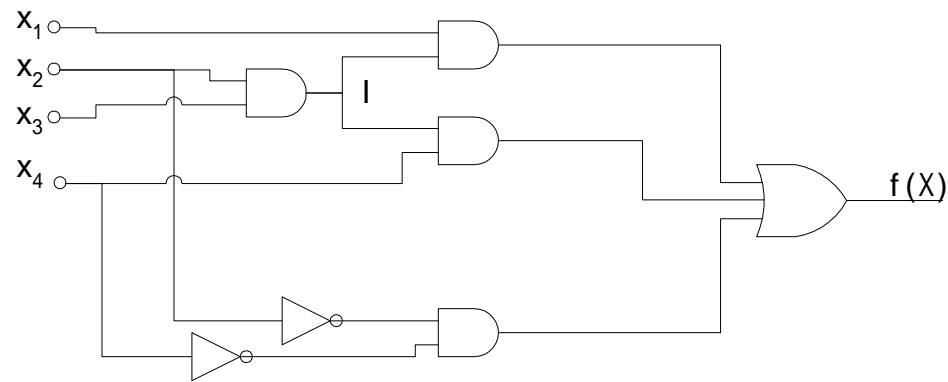
如果要检测s-a-0的故障, 则使用:

$$x_i \cdot \frac{d}{dx_i} f(X)$$

如果要检测s-a-1的故障, 则使用:

$$\underline{x}_i \cdot \frac{qx^i}{q} f(X)$$

差分法的例子



对于 x_1 的错误，推导如下：

$$\begin{aligned}\frac{d}{dx_1} f(X) &= \frac{d}{dx_1} (x_1 x_2 x_3 + x_2 x_3 x_4 + \bar{x}_2 \bar{x}_4) \\ &= (\overline{x_2 x_3 x_4 + \bar{x}_2 \bar{x}_4}) \bullet \frac{d}{dx_1} (x_1 x_2 x_3) \\ &= (\bar{x}_2 + \bar{x}_3 + \bar{x}_4) \bullet (x_2 + x_4) \bullet (x_2 x_3) \\ &= x_2 x_3 \bar{x}_4\end{aligned}$$



测试法2: D算法

- n 激活
- n 传播
- n 决策

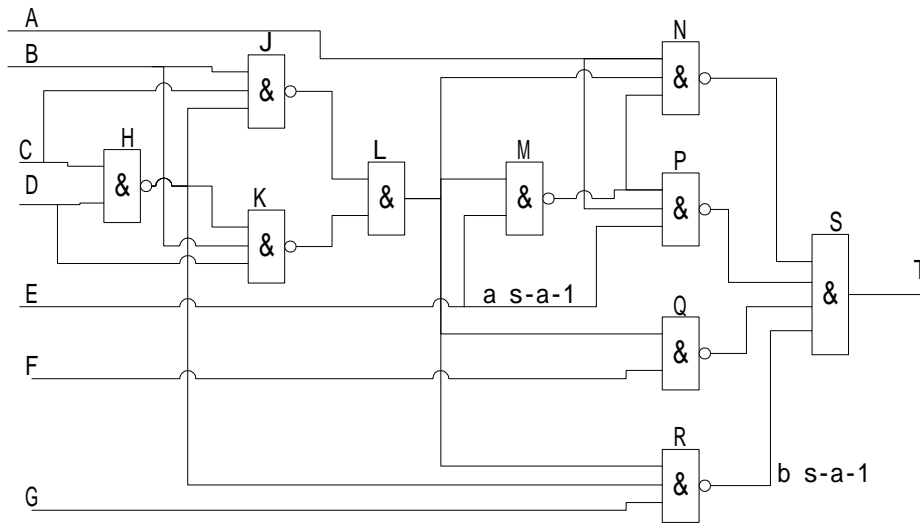


D算法

D : 对于无故障电路, D 的值为 1, 对于故障电路 D 的值为 0。

\bar{D} : 对于无故障电路, \bar{D} 的值为 0, 对于故障电路 \bar{D} 的值为 1。

故障例子



对于故障 a s-a-1:

故障激活: $E=0 \Rightarrow M=1, A=1$

$\Rightarrow P=D$

故障传播: $N=1, Q=1, R=1$

$\Rightarrow S=D, T=D$

决策: $L=0$, 假设 $J=0$

$\Rightarrow B=1, C=1, H=1, D=0, K=1$

测试矢量: $A=B=C=1, D=E=0$

对于故障 b s-a-1

故障激活: $G=1, H=1, L=1 \Rightarrow R = \bar{D}$

故障传播: $N=1, P=1, Q=1 \Rightarrow S = \bar{D}, T = \bar{D}$

决策: $L=1 \Rightarrow J=1, K=1$

$Q=1 \Rightarrow F=0$

$J=1 \Rightarrow$ 假设 $B=0$

$N=1 \Rightarrow$ 假设 $A=0 \Rightarrow P=1$

$H=1 \Rightarrow$ 假设 $C=0$

无冲突

测试向量: $A=B=C=F=0, G=1$



SoC测试中的几个常用技术

- n 静态电源电流测试(Iddq)
- n 扫描路径法
- n BIST
- n Boundary Scan



Iddq

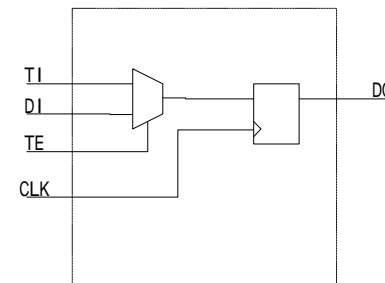
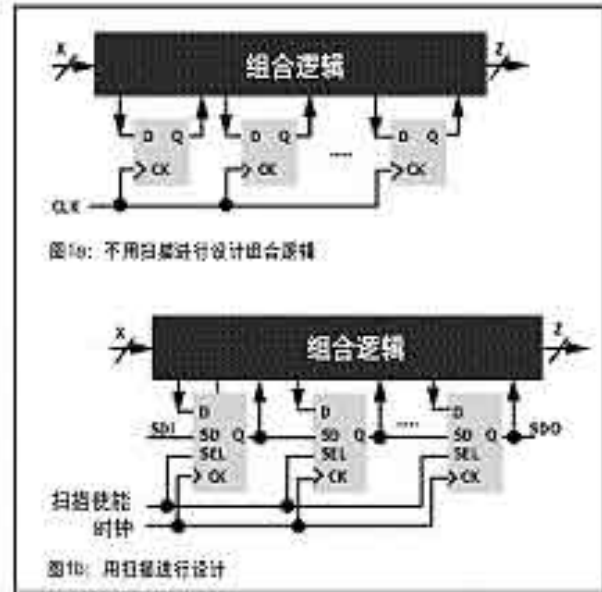
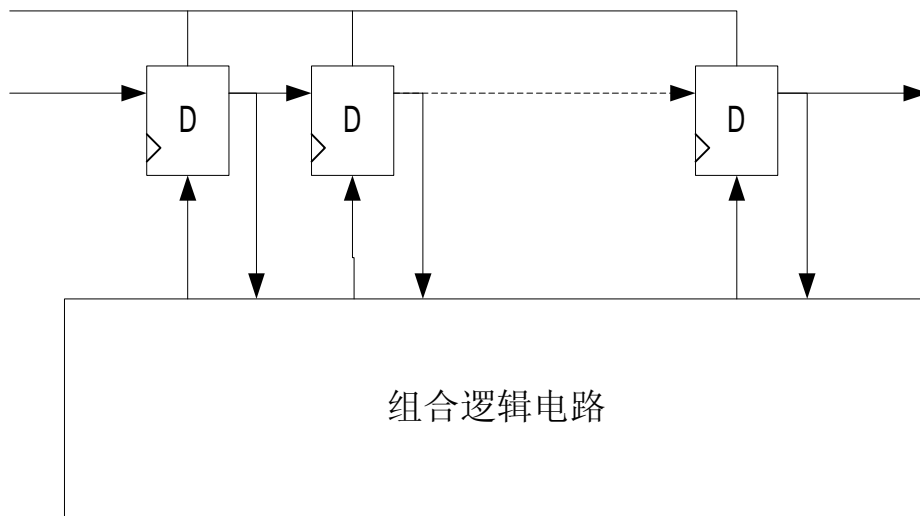
- n Iddq: 静态电流测试。测试时使电流越小越好。
- n 一般设置：
 - n 没有三态。
 - n 内部RAM关闭。
 - n 上下拉电阻设置为合适电平。



扫描路径法

- n 扫描路径法是一种规则的可测试性设计方法，适用于时序电路。其设计思想是把电路中的关键节点连接到一个移位寄存器上，当作为扫描路径的移位寄存器处于串入/并出状态时，可以用来预置电路的状态。当作为扫描路径的移位寄存器处于并入/串出状态时，可以把内部节点的状态依次移出寄存器链。

扫描路径法



2003-10-18

31



扫描路径法

- n 测试扫描路径本身
- n 移入测试序列，电路进入正常工作，测试与扫描路径相连的部分电路
- n 移出扫描路径，检查状态的正确性

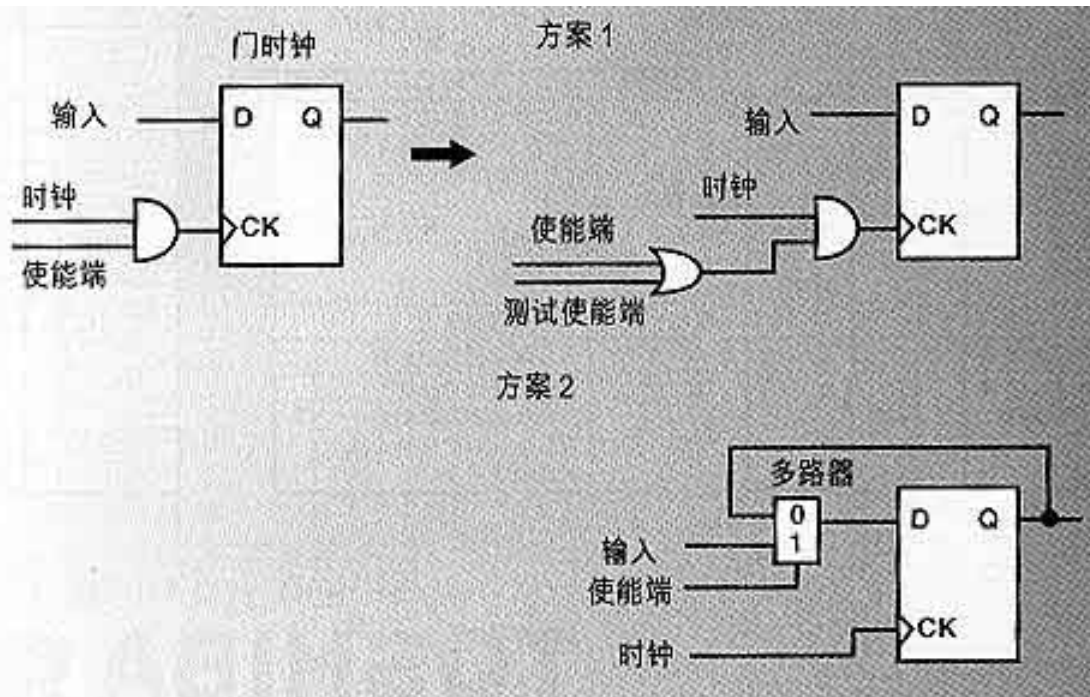


扫描路径法注意事项

尽量使得扫描路径像一个标准的扫描链。

- Avoid gated clocks or make them predictable when in test mode
- Avoid latches or make them transparent when in test mode
- Controllable asynchronous set/reset during test mode
- Avoid tri-state logic if possible
- Configure ASIC bi-direct pins as output only during test mode
(make all output enables active)
- Use externally generated clocks
- Avoid combinatorial feedback loops

扫描路径的简单例子



2003-10-18

34



BIST

- n 内置式自测(BIST)
- n 将一个激励电路和一个响应电路加在被测电路(CUT)中。激励电路会产生大量激励信号，并将其应用于CUT中，响应电路就用来对CUT的响应进行评测。
- n 与ATE不同，BIST的性能不受负载板或测试头电气特性的限制。

RAMBIST

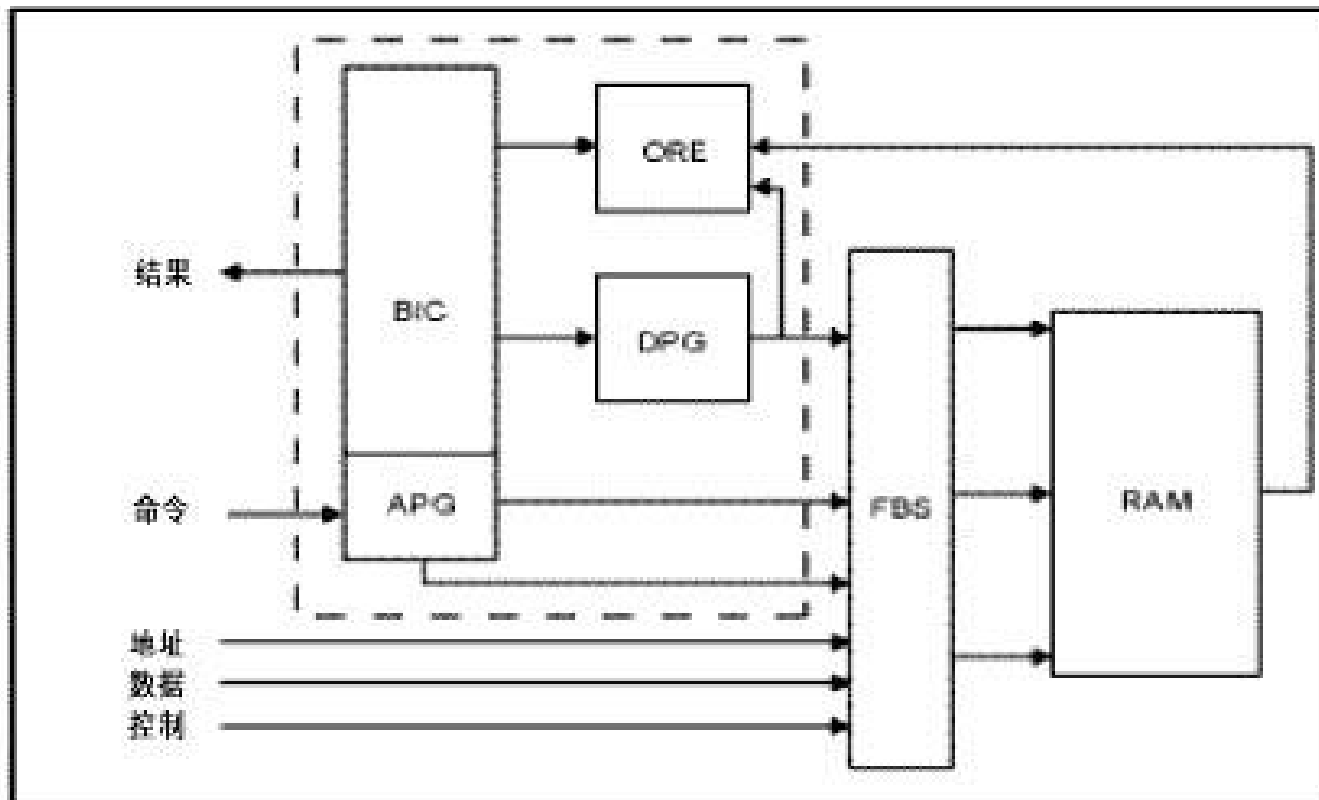


图2: 在BIST激励和存储器功能输入之间用FBS电路进行选择。

2003-10-18

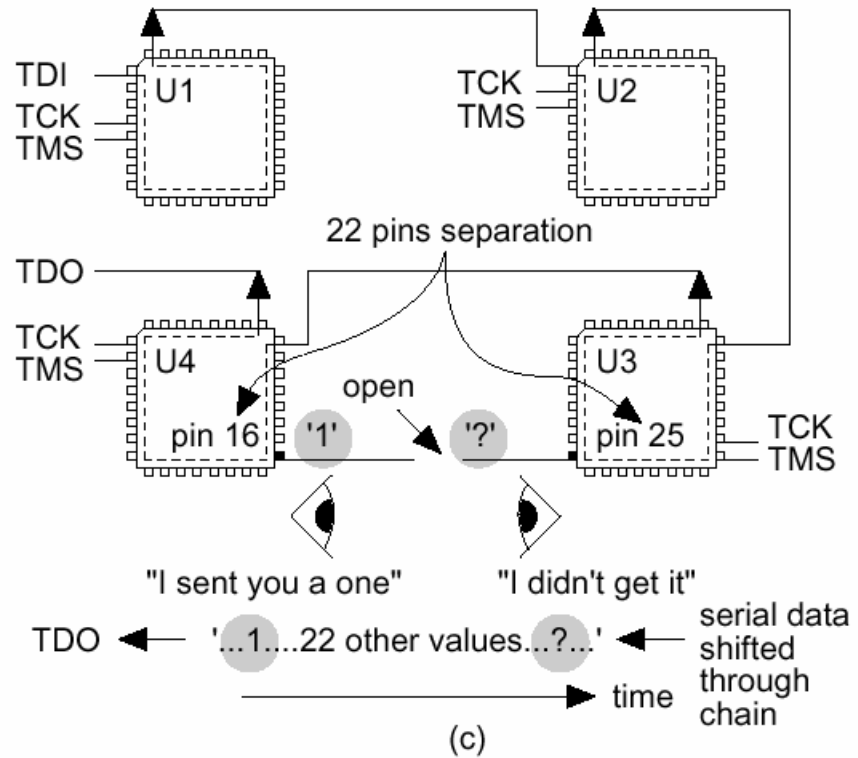
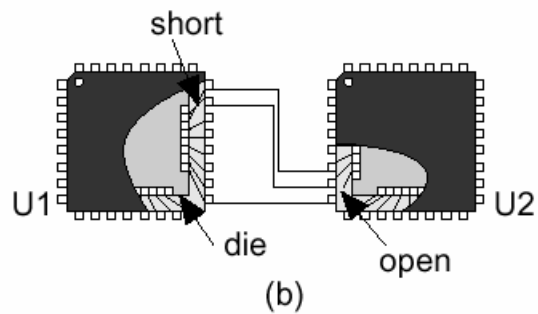
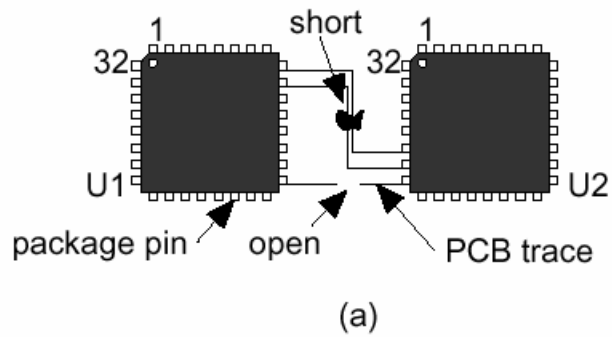
36



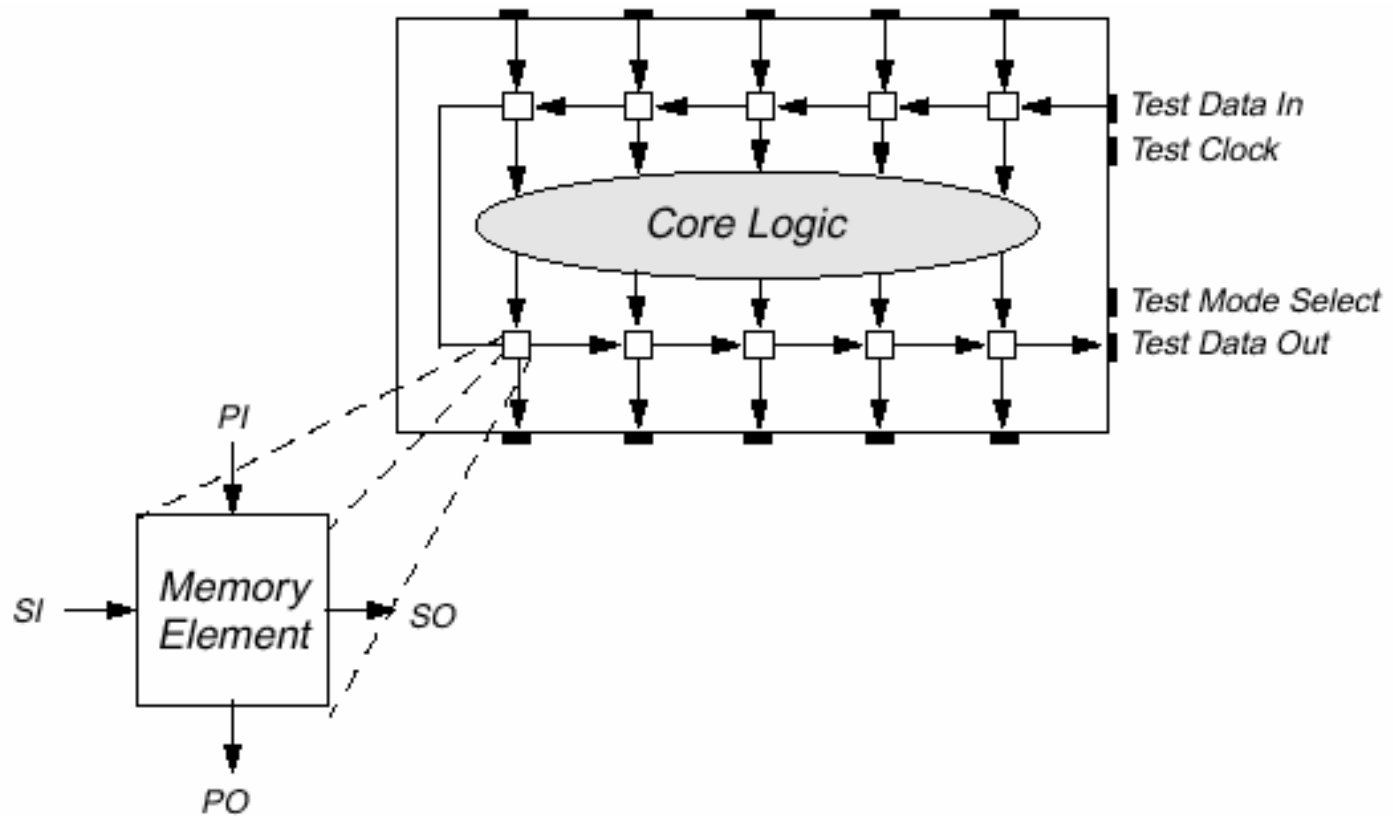
JTAG

- n 目的：由于表面贴装技术以及高密度封装(BGA)的使用，使得PCB的密度越来越高，以往的针床测试法变得越来越不易使用。为了简化测试过程、统一测试方式，IEEE制订了边界扫描标准。
- n 概念：利用四线接口扫描所有的管脚。

JTAG



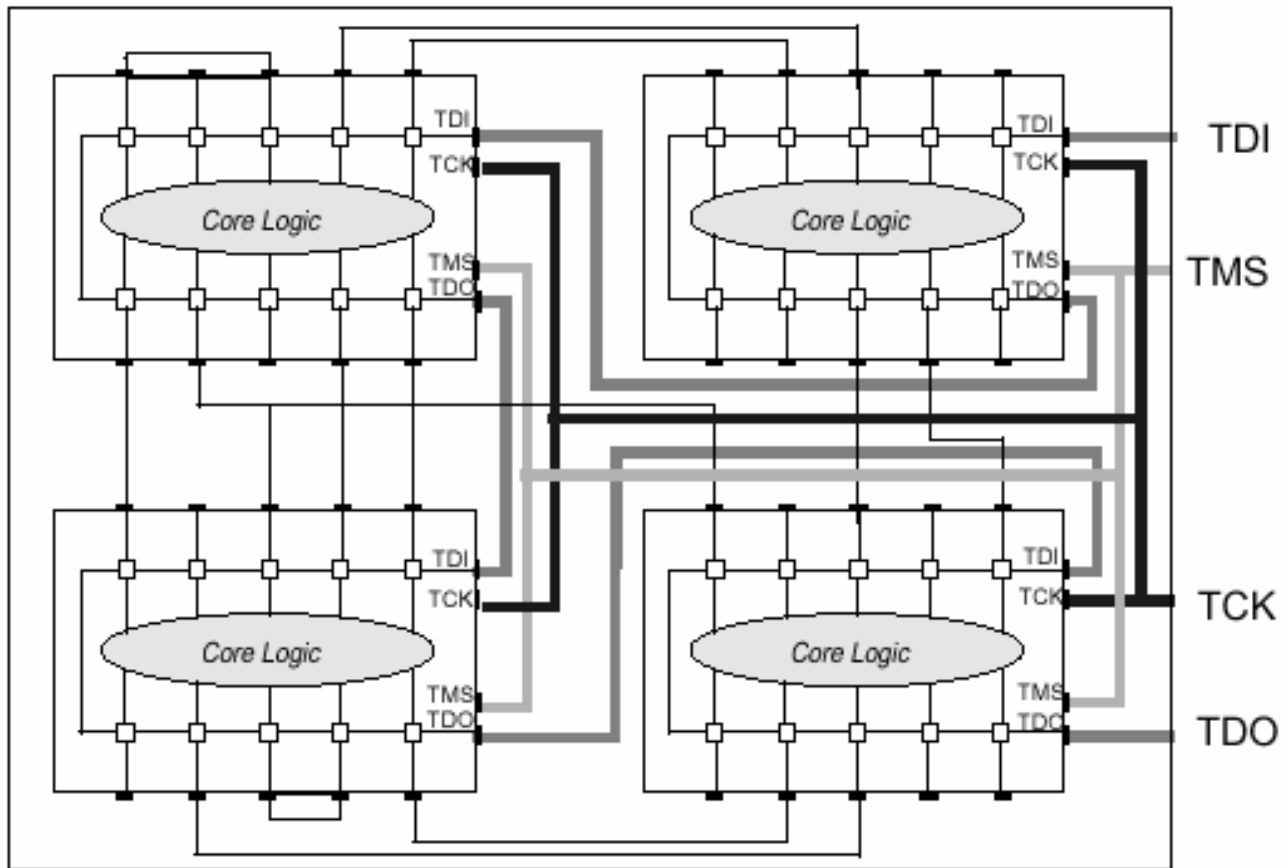
JTAG



2003-10-18

39

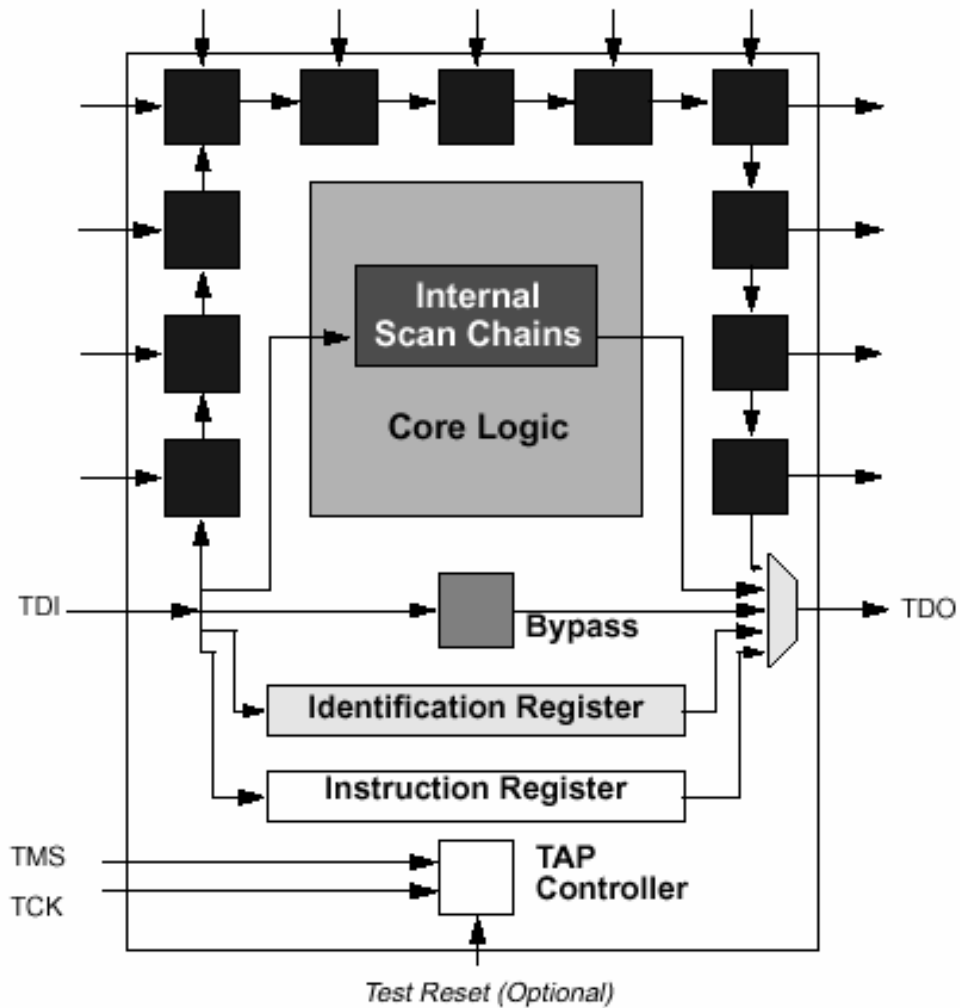
JTAG



2003-10-18

40

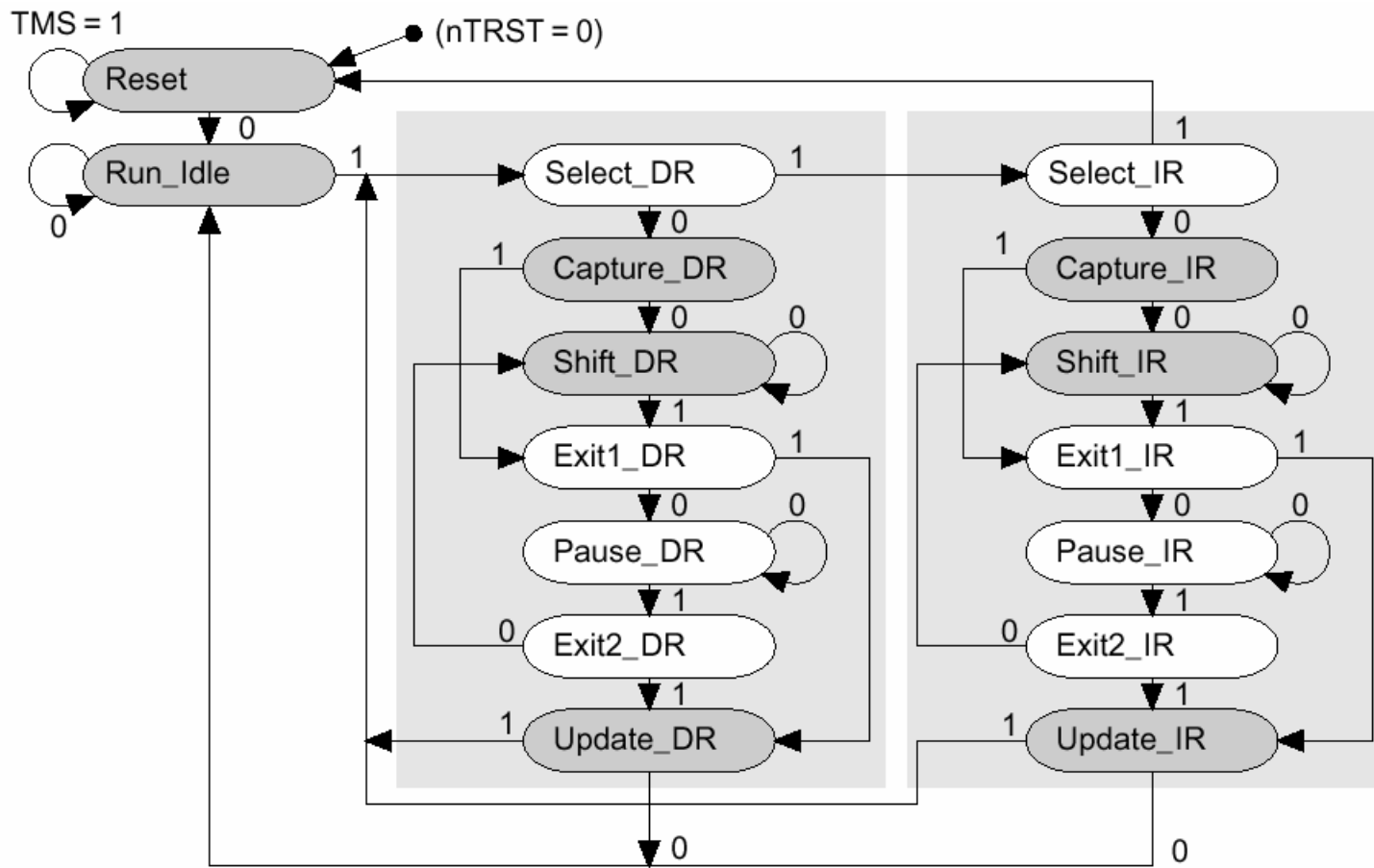
JTAG

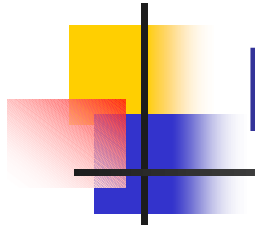


2003-10-18

41

TAP





BSDL

n 一个例子



JAM

- n Altera对JTAG的编程语言。
- n 一个例子
- n 结果



实际的例子

n JAM

n 结果