



LPC1111/12/13/14 产品数据手册

32-位 ARM Cortex-M0 微控制器，高达 32KB Flash 和 8 KB SRAM

Rev. 4 – 2011年2月10日

产品数据手册

1. 概述

LPC1111/12/13/14是基于ARM Cortex-M0内核的低成本微控制器系列，可用于现有的8位/16位的应用，为用户提供高性能、低功耗、易于使用的指令集和存储器地址空间，以及比现有8位/16位架构更精简的代码量。

LPC1111/12/13/14的工作频率高达50MHz。

LPC1111/12/13/14的外设包括：高达32kB的Flash、8kB的数据存储器、一个Fast-mode Plus的I²C总线接口、一个RS-485/EIA-485通用异步收发器 (UART)、2个支持SSP功能的SPI接口、4个通用定时器，一个10位ADC，以及多达42个通用I/O引脚。

注意： LPC1111/12/13/14系列包括LPC1100系列（器件尾缀是LPC111x/101/201/301）和LPC1100L系列（器件尾缀是LPC111x/102/202/302）。LPC1100L包含了对系统功耗进行优化的Power Profile功能。

2. 功能和特性

- 系统：
 - ARM Cortex-M0 处理器，工作频率最高为 50MHz
 - ARM Cortex-M0 处理器，内置嵌套向量中断控制器 (NVIC)
 - 串行线调试 (SWD, Serial Wire Debug)
 - 系统节拍定时器 (System tick timer)
- 存储器：
 - 32kB (LPC1114)、24kB (LPC1113)、16kB (LPC1112) 或 8kB (LPC1111) 的片内Flash 程序存储器
 - 8kB、4kB或2kB的静态随机访问存储器 SRAM
 - 通过片内 Bootloader 软件来实现在系统编程 (ISP) 和在应用编程 (IAP)
- 数字外围设备：
 - 多达42个通用I/O引脚 (GPIO, General Purpose I/O)，带可配置的上拉和下拉电阻
 - GPIO引脚可用作边沿或电平触发的中断源
 - 一个引脚的最大电流输出驱动能力为 20mA
 - Fast-mode plus 模式下，I2C 总线引脚的最大灌电流为 20mA
 - 4个通用定时器/计数器，共有4个捕获输入和13个匹配输出
 - 可编程的看门狗定时器 (WDT)
- 模拟外围设备：
 - 10位 ADC，在8个引脚之间实现输入多路复用
- 串行接口：
 - 带小数波特率生成器的UART，带有内部FIFO，支持 RS-485 模式

- 2个支持SSP功能的SPI控制器，具有FIFO和多协议功能（只在LQFP48和PLCC44封装上具有两个SPI接口）
- I2C总线接口支持完整的I2C总线规范和Fast-mode Plus模式，数据速率高达1Mbit/s，具有多地址识别和监控模式
- 时钟产生：
 - 12MHz内部RC (IRC) 振荡器，精度范围已调节到1%，可用作系统时钟
 - 晶体振荡器的工作范围为1MHz~25MHz
 - 可编程的看门狗振荡器，频率范围是7.8kHz~1.8MHz
 - 锁相环 (PLL, Phase-locked loops) 允许CPU无需使用高频晶体也可工作在最大CPU速率。时钟可以由系统振荡器或内部RC振荡器提供
 - 带分频器的时钟输出功能，可以连接到主振荡器时钟、IRC时钟、CPU时钟和看门狗时钟
- 功率控制：
 - 集成的功率管理单元 (PMU, Power Management Unit) 在睡眠、深度睡眠和深度掉电模式下将功耗降至最低
 - 通过boot ROM中的功率优化功能 Power Profile，只需调用简单的函数即可在给定的应用中实现性能的优化和功耗的最小化（此功能只限LPC1100L系列产品：LPC111x/102/202/302）
 - 3种节能模式：睡眠、深度睡眠和深度掉电
 - 处理器可通过专用启动逻辑 (Start Logic) 从深度睡眠模式中唤醒，最多可从13个功能引脚触发启动逻辑
 - 上电复位 (POR)
 - 掉电检测 (BOD)，支持四个独立的阈值，可产生中断和强制复位
- 唯一的设备序列号
- 单电源供电 (1.8V~3.6V)
- 提供 LQFP48、PLCC44和HVQFN33几种封装形式

3. 应用

- 电子测量
- 照明
- 警报系统
- 白色家电

4. 订购信息

表1 订购信息

器件编号	封装信息		
	名称	描述	版本
LPC1111FHN33/101	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1111FHN33/102	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1111FHN33/201	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1111FHN33/202	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1112FHN33/101	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1112FHN33/102	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1112FHN33/201	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1112FHN33/202	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1113FHN33/201	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1113FHN33/202	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1113FHN33/301	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1113FHN33/302	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1114FHN33/201	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1114FHN33/202	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1114FHN33/301	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1114FHN33/302	HVQFN33	HVQFN: 超薄塑料热增强型扁平封装; 无引线; 33 个引脚; 裸片尺寸: 7×7×0.85mm	n/a
LPC1113FBD48/301	LQFP48	LQFP48: 塑料薄型QFP; 48 条引线; 裸片尺寸: 7×7×1.4mm	sot313-2
LPC1113FBD48/302	LQFP48	LQFP48: 塑料薄型QFP; 48 条引线; 裸片尺寸: 7×7×1.4mm	sot313-2
LPC1114FBD48/301	LQFP48	LQFP48: 塑料薄型QFP; 48 条引线; 裸片尺寸: 7×7×1.4mm	sot313-2
LPC1114FBD48/302	LQFP48	LQFP48: 塑料薄型QFP; 48 条引线; 裸片尺寸: 7×7×1.4mm	sot313-2
LPC1114FA44/301[1]	PLCC44	PLCC44: 带引线的塑料芯片载体; 44 条引线	sot187-2
LPC1114FA44/302[1]	PLCC44	PLCC44: 带引线的塑料芯片载体; 44 条引线	sot187-2

[1] 2011年2季度提供样片

4.1 订购选择

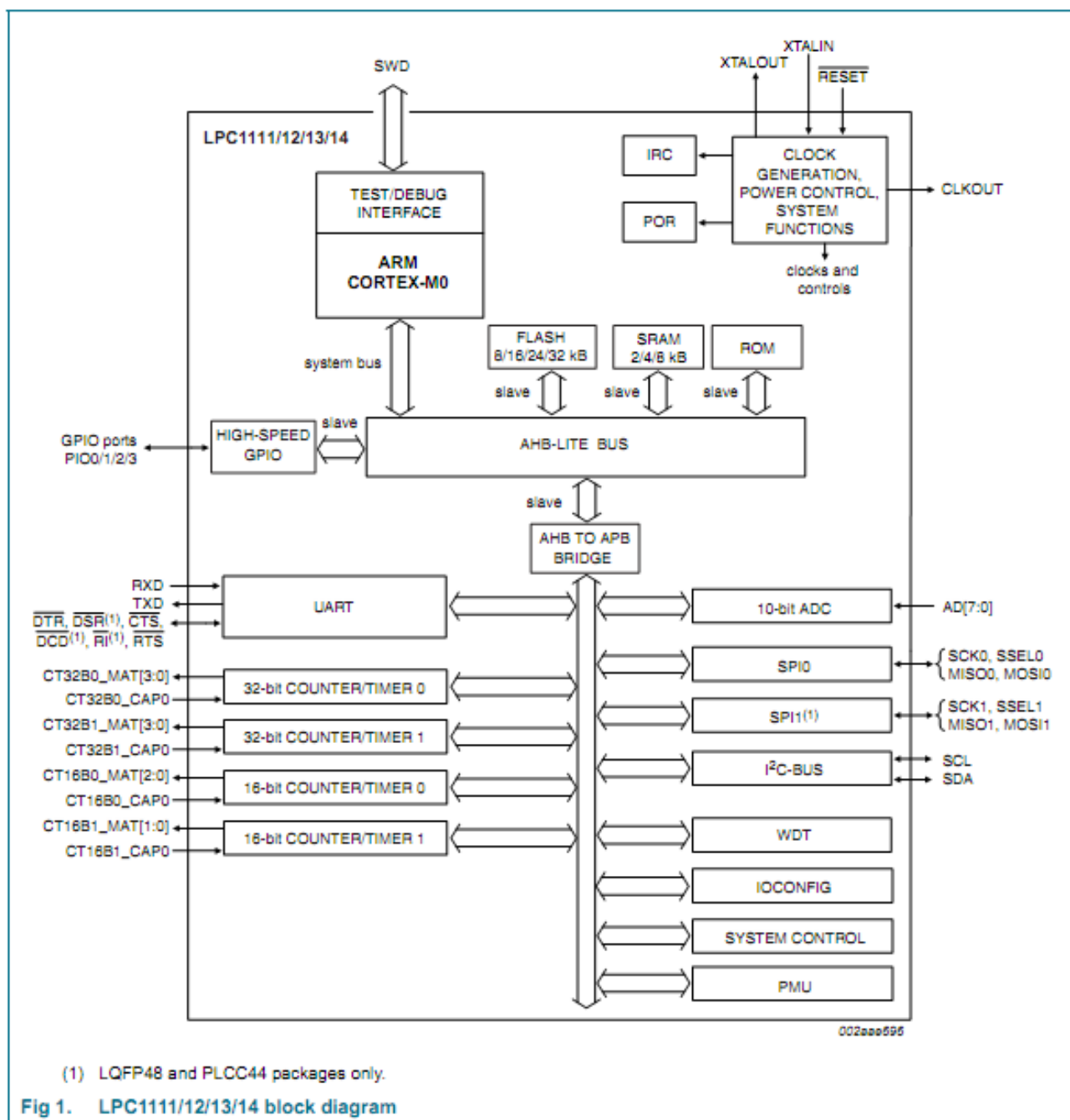
表2 订购选择

型号	系列	Flash	SRAM	Power Profile	UART RS-485	I2C/Fast+	SPI	ADC通道	封装
LPC1111									

LPC1111FHN33/101	LPC1100	8kB	2kB						HVQFN33
LPC1111FHN33/102	LPC1100L	8kB	2kB	有	1	1	1	8	HVQFN33
LPC1111FHN33/201	LPC1100	8kB	4kB	无	1	1	1	8	HVQFN33
LPC1111FHN33/202	LPC1100L	8kB	4kB	有	1	1	1	8	HVQFN33
LPC1112									
LPC1112FHN33/101	LPC1100	16kB	2kB	无	1	1	1	8	HVQFN33
LPC1112FHN33/102	LPC1100L	16kB	2kB	有	1	1	1	8	HVQFN33
LPC1112FHN33/201	LPC1100	16kB	4kB	无	1	1	1	8	HVQFN33
LPC1112FHN33/202	LPC1100L	16kB	4kB	有	1	1	1	8	HVQFN33
LPC1113									
LPC1113FHN33/201	LPC1100	24kB	4kB	无	1	1	1	8	HVQFN33
LPC1113FHN33/202	LPC1100L	24kB	4kB	有	1	1	1	8	HVQFN33
LPC1113FHN33/301	LPC1100	24kB	8kB	无	1	1	1	8	HVQFN33
LPC1113FHN33/302	LPC1100L	24kB	8kB	有	1	1	1	8	HVQFN33
LPC1113FBD48/301	LPC1100	24kB	8kB	无	1	1	2	8	LQFP48
LPC1113FBD48/302	LPC1100L	24kB	8kB	有	1	1	2	8	LQFP48
LPC1114									
LPC1114FHN33/201	LPC1100	32kB	4kB	无	1	1	1	8	HVQFN33
LPC1114FHN33/202	LPC1100L	32kB	4kB	有	1	1	1	8	HVQFN33
LPC1114FHN33/301	LPC1100	32kB	8kB	无	1	1	1	8	HVQFN33
LPC1114FHN33/302	LPC1100L	32kB	8kB	有	1	1	1	8	HVQFN33
LPC1114FBD48/301	LPC1100	32kB	8kB	无	1	1	2	8	LQFP48
LPC1114FBD48/302	LPC1100L	32kB	8kB	有	1	1	2	8	LQFP48
LPC1114FA44/301[1]	LPC1100	32kB	8kB	无	1	1	2	8	PLCC44
LPC1114FA44/302[1]	LPC1100L	32kB	8kB	有	1	1	2	8	PLCC44

[1] 2011年2季度提供样片

5. 系统框图



6. 引脚信息

6.1 引脚

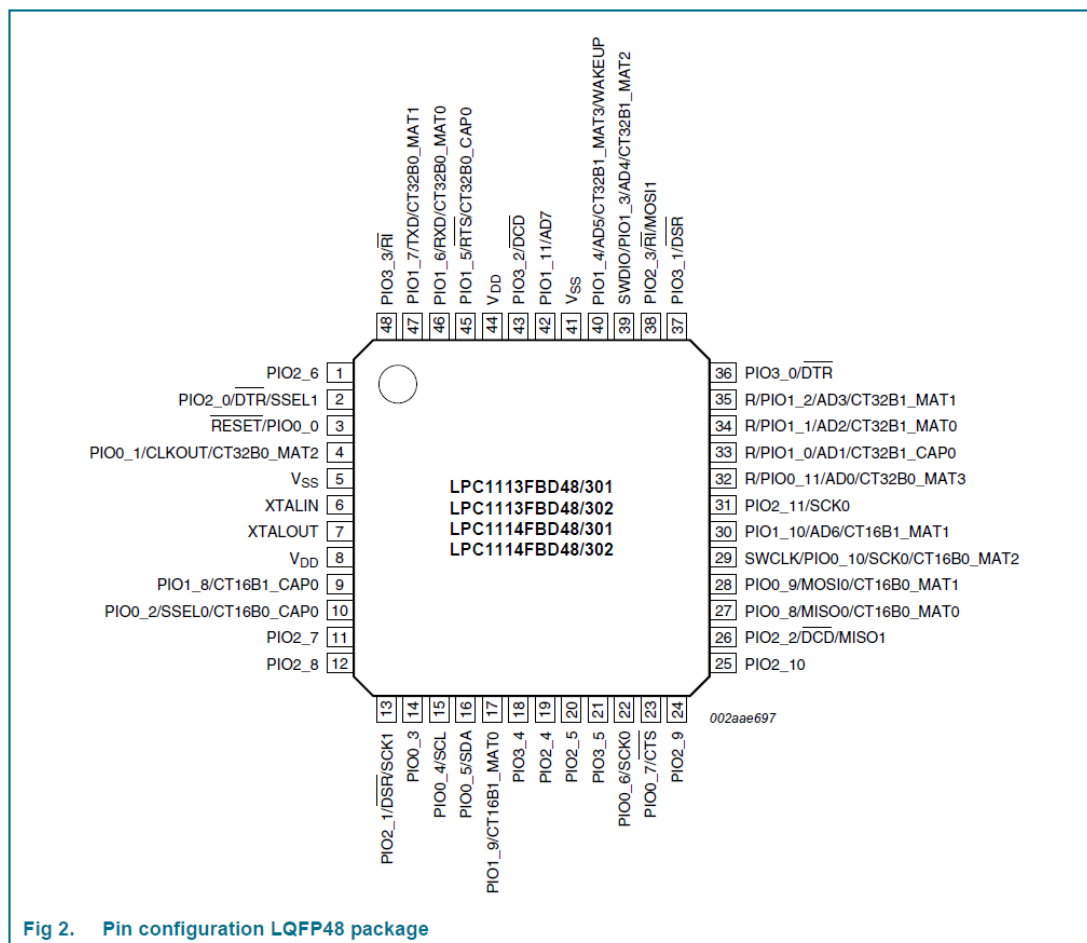


Fig 2. Pin configuration LQFP48 package

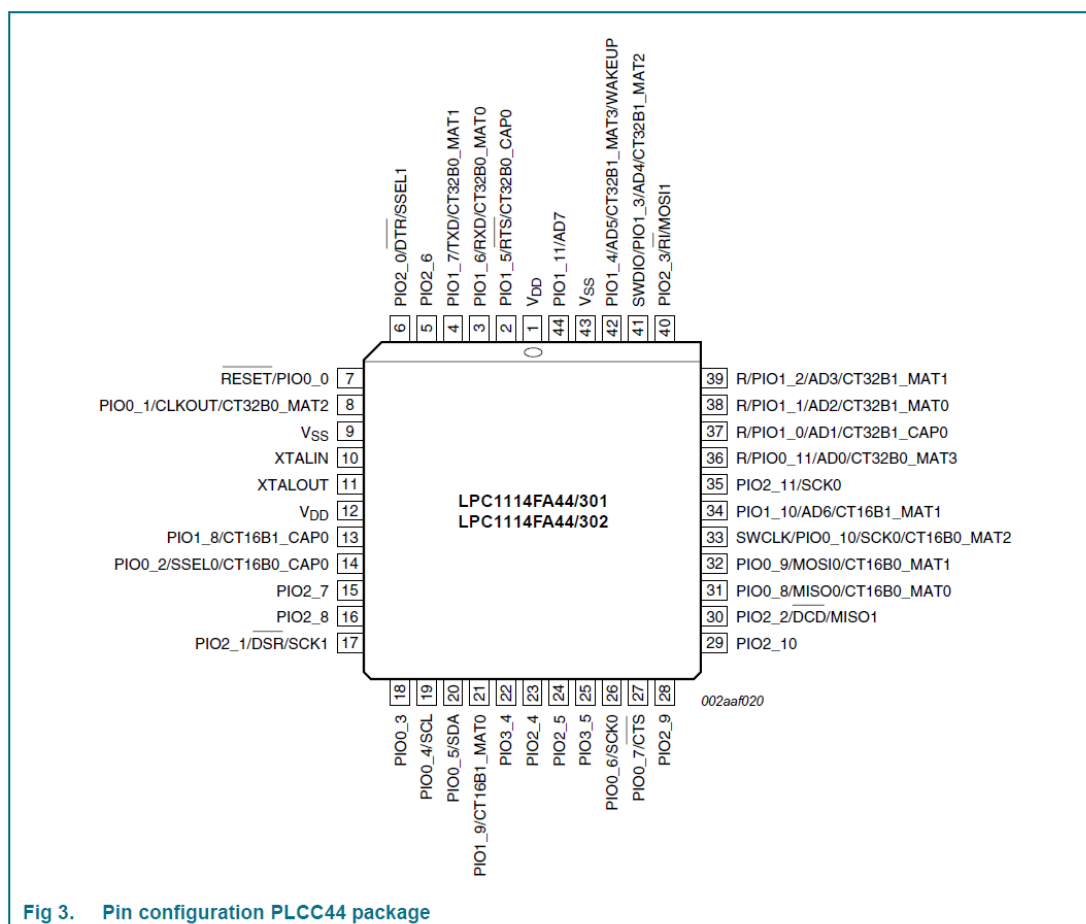


Fig 3. Pin configuration PLCC44 package

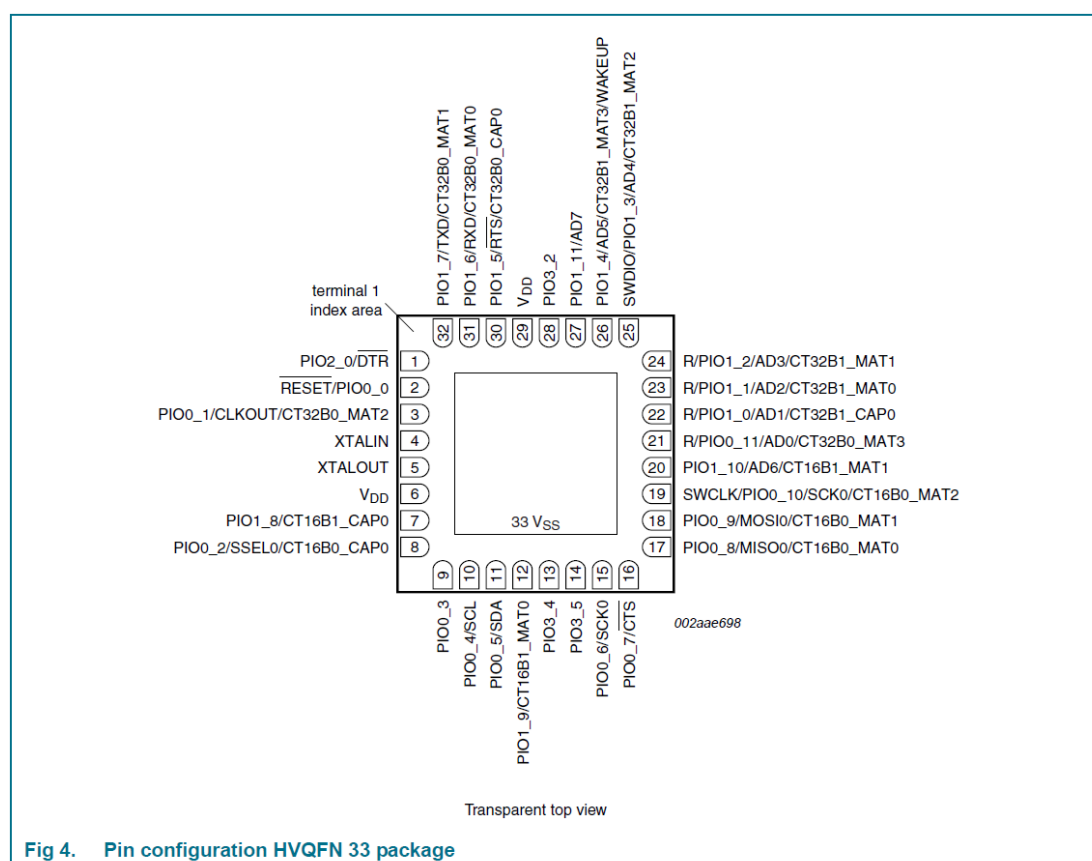


Fig 4. Pin configuration HVQFN 33 package

6.2 引脚描述

表3 LPC1113/14引脚描述表（LQFP48封装）

符号	引脚	Start logic 输入	型号	复位状态 ^[1]	描述
PIO0_0至 PIO0_11			I/O		Port 0——Port 0是12位的IO口，可单独控制每一位的方向和功能。Port 0引脚的功能选择是通过IOCONFIG寄存器实现的
RESET / PIO0_0	3[2]	是	I	I; PU	RESET —外部复位输入：该引脚为低电平时复位器件，使I/O 端口和外设进入其默认状态，并且处理器从地址0 开始执行
			I/O		PIO0_0—通用数字输入/输出引脚，带10ns干扰滤波器
PIO0_1/CLKOUT/ T/ CT32B0_MAT2	4[3]	是	I/O	I; PU	PIO0_1—通用数字输入/输出引脚，在复位时，该引脚为低电平就启动ISP命令处理程序
			O		CLKOUT—时钟输出引脚
			O		CT32B0_MAT2—32 位定时器0的匹配输出2
PIO0_2/SSEL0/ CT16B0_CAP0	10[3]	是	I/O	I; PU	PIO0_2—通用数字输入/输出引脚
			O		SSEL0—SSP 的从选择
			I		CT16B0_CAP0—16 位定时器0 的捕获输入0
PIO0_3	14[3]	是	I/O	I; PU	PIO0_3—通用数字输入/输出引脚
PIO0_4/SCL	15[4]	是	I/O	I; IA	PIO0_4—通用数字输入/输出引脚
			I/O		SCL—I2C 总线时钟输入/输出。只有在I/O 配置寄存器中选择了I2C 快速模式plus，才有高灌电流
PIO0_5/SDA	16[4]	是	I/O	I; IA	PIO0_5—通用数字输入/输出引脚（漏极开路）
			I/O		SDA—I2C 总线数据输入/输出。只有在I/O 配置寄存器中选择了I2C fast mode plus，才有高灌电流

PIO0_6//SCK0	22[3]	是	I/O	I; PU	PIO0_6—通用数字输入/输出引脚
			I/O		SCK—SSP0 的串行时钟
PIO0_7/ CTS	23[3]	是	I/O	I; PU	PIO0_7—通用数字输入/输出引脚（高电流输出驱动）
			I		CTS—清除UART 以发送到输入
PIO0_8/MISO/ CT16B0_MAT0	27[3]	是	I/O	I; PU	PIO0_8—通用数字输入/输出引脚
			I/O		MISO—SSP0 的主机输入/从机输出
			O		CT16B0_MAT0—16 位定时器0 的匹配输出0
PIO0_9/MOSI/ CT16B0_MAT1	28[3]	是	I/O	I; PU	PIO0_9—通用数字输入/输出引脚
			I/O		MOSI—SSP0 的主机输出/从机输入
			O		CT16B0_MAT1—16 位定时器0 的匹配输出1
SWCLK/PIO0_10/ SCK0/CT16B0_MAT2	29[3]	是	I	I; PU	SWCLK—串行线时钟
			I/O		PIO0_10—通用数字输入/输出引脚
			I/O		SCK—SSP0 的串行时钟
			O		CT16B0_MAT2—16 位定时器0 的匹配输出2
R/PIO0_11/ AD0/CT32B0_MAT3	32[5]	是	I	I; PU	R—保留，在IOCONFIG模块中配置为替换功能
			I/O		PIO0_11—通用数字输入/输出引脚
			I		AD0—A/D 转换器，输入0
			O		CT32B0_MAT3—32 位定时器0 的匹配输出3
PIO1_0至 PIO1_11			I/O		Port 1——Port 1是12位的IO口，可单独控制每一位的方向和功能。Port 1引脚的功能选择是通过IOCONFIG寄存器实现的
R/PIO1_0/ AD1/CT32B1_CAP0	33[5]	是	I	I; PU	R—保留，在IOCONFIG模块中配置为替换功能
			I/O		PIO1_0—通用数字输入/输出引脚
			I		AD1—A/D 转换器，输入1
			I		CT32B1_CAP0—32 位定时器1 的捕获输入0
R /PIO1_1/ AD2/CT32B1_MAT0	34[5]	否	O	I; PU	R—保留，在IOCONFIG模块中配置为替换功能
			I/O		PIO1_1—通用数字输入/输出引脚
			I		AD2—A/D 转换器，输入2
			O		CT32B1_MAT0—32 位定时器1 的匹配输出0
R /PIO1_2/ AD3/CT32B1_MAT1	35[5]	否	I	I; PU	R—保留，在IOCONFIG模块中配置为替换功能
			I/O		PIO1_2—通用数字输入/输出引脚
			I		AD3—A/D 转换器，输入3
			O		CT32B1_MAT1—32 位定时器1 的匹配输出1
SWDIO/PIO1_3/ AD4/ CT32B1_MAT2	39[5]	否	I/O	I; PU	SWDIO—串行线调试输入/输出
			I/O		PIO1_3—通用数字输入/输出引脚
			I		AD4—A/D 转换器，输入4
			O		CT32B1_MAT2—32 位定时器1 的匹配输出2
PIO1_4/AD5/ CT32B1_MAT3/ WAKEUP	40[5]	否	I/O	I; PU	PIO1_4—通用数字输入/输出引脚，带10ns干扰滤波器
			I		AD5—A/D 转换器，输入5
			O		CT32B1_MAT3—32 位定时器1 的匹配输出3
			I		WAKEUP—从深度掉电模式唤醒的引脚，带20ns干扰滤波器，为进入深度睡眠模式该引脚从外部拉高，对出深度睡眠模式应从外部拉低。一个低电平只持续50ns的脉冲就可以唤醒器件。
PIO1_5/ RTS / CT32B0_CAP0	45[3]	否	I/O	I; PU	PIO1_5—通用数字输入/输出引脚
			O		RTS—UART 请求发送到输出
			I		CT32B0_CAP0—32 位定时器0 的捕获输入0
PIO1_6/RXD/ CT32B0_MAT0	46[3]	否	I/O	I; PU	PIO1_6—通用数字输入/输出引脚
			I		RXD—UART 的接收器输入
			O		CT32B0_MAT0—32 位定时器0 的匹配输出0
PIO1_7/TXD/ CT32B0_MAT1	47[3]	否	I/O	I; PU	PIO1_7—通用数字输入/输出引脚
			O		TXD—UART 的发送器输出
			O		CT32B0_MAT1—32 位定时器0 的匹配输出1
PIO1_8/CT16B1	9[3]	否	I/O	I; PU	PIO1_8—通用数字输入/输出引脚

_CAP0			I		CT16B1_CAP0—16 位定位器1 的捕获输入0
PIO1_9/CT16B1_MAT0	17[3]	否	I/O	I; PU	PIO1_9—通用数字输入/输出引脚
			O		CT16B1_MAT0—16 位定时器1 的匹配输出0
PIO1_10/AD6/CT16B1_MAT1	30[5]	否	I/O	I; PU	PIO1_10—通用数字输入/输出引脚
			I		AD6—A/D 转换器, 输入6
PIO1_11/AD7	42[5]	否	O		CT16B1_MAT1—16 位定时器1 的匹配输出1
			I/O	I; PU	PIO1_11—通用数字输入/输出引脚
PIO2_0至 PIO2_11			I		AD7—A/D 转换器, 输入7
			I/O		Port 2——Port 2是12位的IO口, 可单独控制每一位的方向和功能。Port 2引脚的功能选择是通过IOCONFIG寄存器实现的
PIO2_0/ DTR /.SSEL1	2[3]	否	I/O	I; PU	PIO2_0—通用数字输入/输出引脚
			O		DTR —UART 数据终端就绪输出
			O		SSEL1—SSP1 的从机选择
PIO2_1/ DSR /SCK1	13[3]	否	I/O	I; PU	PIO2_1—通用数字输入/输出引脚
			I		DSR —UART 数据设置就绪输入
			I/O		SCK1—SSSP1 的串行时钟
PIO2_2/ DCD /MISO1	26[3]	否	I/O	I; PU	PIO2_2—通用数字输入/输出引脚
			I		DCD —UART 数据载波检测输入
			I/O		MISO1—SSP1 的主机输入从机输出
PIO2_3/ RI /MOSI1	38[3]	否	I/O	I; PU	PIO2_3—通用数字输入/输出引脚
			I		RI —UART 铃响指示器输入
			I/O		MOSI1—SSP1 的主机输出从机输入
PIO2_4	19[3]	否	I/O	I; PU	PIO2_4—通用数字输入/输出引脚
PIO2_5	20[3]	否	I/O	I; PU	PIO2_4—通用数字输入/输出引脚
PIO2_6	1[3]	否	I/O	I; PU	PIO2_6—通用数字输入/输出引脚
PIO2_7	11[3]	否	I/O	I; PU	PIO2_7—通用数字输入/输出引脚
PIO2_8	12[3]	否	I/O	I; PU	PIO2_8—通用数字输入/输出引脚
PIO2_9	24[3]	否	I/O	I; PU	PIO2_9—通用数字输入/输出引脚
PIO2_10	25[3]	否	I/O	I; PU	PIO2_10—通用数字输入/输出引脚
PIO2_11/SCK0	31[3]	否	I/O	I; PU	PIO2_11—通用数字输入/输出引脚
			I/O		SCK0—SSP0 的串行时钟
PIO3_0至 PIO3_5			I/O		Port 3——Port 3是12位的IO口, 可单独控制每一位的方向和功能。Port 3引脚的功能选择是通过IOCONFIG寄存器实现的。不存在PIO3_6至PIO3_11的引脚。
PIO3_0/ DTR	36[3]	否	I/O	I; PU	PIO3_0—通用数字输入/输出引脚
			O		DTR —UART 数据终端就绪输出
PIO3_1/ DSR	37[3]	否	I/O	I; PU	PIO3_1—通用数字输入/输出引脚
			I		DSR —UART 数据设置就绪输入
PIO3_2/ DCD	43[3]	否	I/O	I; PU	PIO3_2—通用数字输入/输出引脚
			I		DCD —UART 数据载波检测输入
PIO3_3/ RI	48[3]	否	I/O	I; PU	PIO3_3—通用数字输入/输出引脚
			I		RI —UART 铃响指示器输入
PIO3_4	18[3]	否	I/O	I; PU	PIO3_4—通用数字输入/输出引脚
PIO3_5	21[3]	否	I/O	I; PU	PIO3_5—通用数字输入/输出引脚
VDD	8; 44		I		3.3V 的输入/输出供电电压, 供给内部稳压器和ADC 的3.3 V 电压。也用作ADC 参考电压
XTALIN	6[6]		I		振荡器电路和内部时钟发生器电路的输入。输入电压必须超过1.8 V
XTALOUT	7[6]		O		振荡器放大器的输出
VSS	5; 41		I		地

[1] 复位后默认功能的引脚状态: I=输入; O=输出; PU=使能内部上拉; IA=未激活, 没有使能上拉或下拉。

[2] 见图33关于复位引脚的配置。在深度掉电模式下RESET引脚是不使能的。使用WAKEUP引脚复位和从深度睡眠模式中唤醒。深度睡眠模式下, 该引脚需要外加一个上拉电阻。

- [3] 5V 容差引脚，提供带可配置滞后的上拉/下拉电阻的数字 I/O 功能（见图32）。
- [4] I2C 总线引脚符合I2C 标准模式和I2C Fast-mode plus 的I2C 总线规格。
- [5] 5V 容差引脚。提供带可配置滞后上拉/下拉电阻和模拟输入（当配置为ADC 输入时）的数字I/O功能，引脚的数字部分被禁能并且引脚不是5V的容差（见图32）。
- [6] 不使用系统振荡器时，XTALIN 和XTALOUT 连接方法如下：XTALIN 可以悬空或接地（接地更好，因为可以减少噪声干扰），XTALOUT 应该悬空。

表4 LPC1114 引脚描述表（PLCC44 封装）

符号	引脚	Start logic 输入	类型	复位状态[1]	描述
PIO0_0至PIO0_11			I/O		Port 0——Port 0是12位的IO口，可单独控制每一位的方向和功能。Port 0引脚的功能选择是通过IOCONFIG寄存器实现的
RESET /PIO0_0	7[2]	是	I	I; PU	RESET —外部复位输入：该引脚为低电平时复位器件，使I/O 端口和外设进入其默认状态，并且处理器从地址0 开始执行
			I/O		PIO0_0—通用数字输入/输出引脚，带10ns干扰滤波器
PIO0_1/CLKOUT/ CT32B0_MAT2/	8[3]	是	I/O	I; PU	PIO0_1—通用数字输入/输出引脚，在复位时，该引脚为低电平就启动ISP 指令处理
			O		CLKOUT—时钟输出引脚
			O		CT32B0_MAT2—32 位定时器0 的匹配输出2
PIO0_2/SSEL0/ CT16B0_CAP0	14[3]	是	I/O	I; PU	PIO0_2—通用数字输入/输出引脚
			O		SSEL0—SSP0 的从机选择
			I		CT16B0_CAP0—16 位定时器0 的捕获输入0
PIO0_3	18[3]	是	I/O	I; PU	PIO0_3—通用数字输入/输出引脚
PIO0_4/SCL	19[4]	是	I/O	I; PU	PIO0_4—通用数字输入/输出引脚（漏极开路）
			I/O		SCL—I2C 总线时钟输入/输出。只有在I/O 配置寄存器中选择了I2C 快速模式plus，才有高灌电流
PIO0_5/SDA	20[4]	是	I/O	I; PU	PIO0_5—通用数字输入/输出引脚（漏极开路）
			I/O		SDA—I2C 总线数据输入/输出。只有在I/O 配置寄存器中选择了I2C 快速模式plus，才有高灌电流
PIO0_6/SCK0	26[3]	是	I/O	I; PU	PIO0_6—通用数字输入/输出引脚
			I/O		SCK0—SSP0 的串行时钟
PIO0_7/ CTS	27[3]	是	I/O	I; PU	PIO0_7—通用数字输入/输出引脚（高电流输出驱动）
			I		CTS —清除UART 以发送到输入
PIO0_8/MISO0/ CT16B0_MAT0	31[3]	是	I/O	I; PU	PIO0_8—通用数字输入/输出引脚
			I/O		MISO0—SSP0 的主机输入从机输出
			O		CT16B0_MAT0—16 位定时器0 的匹配输出0
PIO0_9/MOSI0/ CT16B0_MAT1	32[3]	是	I/O	I; PU	PIO0_9—通用数字输入/输出引脚
			I/O		MOSI0—SSP0 的主机输出从机输入
			O		CT16B0_MAT1—16 位定时器0 的匹配输出1
SWCLK/PIO0_10/ SCK0/CT16B0_M AT2	33[3]	是	I	I; PU	SWCLK—串行线时钟
			I/O		PIO0_10—通用数字输入/输出引脚
			O		SCK0—SSP0 的串行时钟
			O		CT16B0_MAT2—16 位定时器0 的匹配输出2
R/PIO0_11/ AD0/CT32B0_MA T3	36[5]	是		I; PU	R—保留，在IOCONFIG模块中配置为替换功能
			I/O		PIO0_11—通用数字输入/输出引脚
			I		AD0—A/D 转换器，输入0
			O		CT32B0_MAT3—32 位定时器0 的匹配输出3
PIO1_0至 PIO1_11			I/O		Port 1——Port 1是12位的IO口，可单独控制每一位的方向和功能。Port 1引脚的功能选择是通过IOCONFIG寄存器实现的

R/PIO1_0/ AD1/CT32B1_CA P0	37[5]	是		I; PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO1_0—通用数字输入/输出引脚
			I		AD1—A/D 转换器, 输入1
			I		CT32B1_CAP0—32 位定时器1 的捕获输入0
R/PIO1_1/ AD2/CT32B1_MA T0	38[5]	否		I; PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO1_1—通用数字输入/输出引脚
			I		AD2—A/D 转换器, 输入2
			O		CT32B1_MAT0—32 位定时器1 的匹配输出0
R/PIO1_2/ AD3/CT32B1_MA T1	39[5]	否		I; PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO1_2—通用数字输入/输出引脚
			I		AD3—A/D 转换器, 输入3
			O		CT32B1_MAT1—32 位定时器1 的匹配输出1
SWDIO/PIO1_3/A D4/ CT32B1_MAT2	41[5]	否	I/O	I; PU	SWDIO—串行线调试输入/输出
			I/O		PIO1_3—通用数字输入/输出引脚
			I		AD4—A/D 转换器, 输入4
			O		CT32B1_MAT2—32 位定时器1 的匹配输出2
PIO1_4/AD5/ CT32B1_MAT3/ WAKEUP	42[5]	否	I/O	I; PU	PIO1_4—通用数字输入/输出引脚, 带10ns干扰滤波器
			I		AD5—A/D 转换器, 输入5
			O		CT32B1_MAT3—32 位定时器1 的匹配输出3
			I		WAKEUP—从深度掉电模式唤醒的引脚, 带20ns干扰滤波器, 为进入深度睡眠模式该引脚从外部拉高, 对出深度睡眠模式应从外部拉低。一个低电平只持续50ns的脉冲就可以唤醒器件。
PIO1_5/ RTS / CT32B0_CAP0	2[3]	否	I/O	I; PU	PIO1_5—通用数字输入/输出引脚
			O		RTS —UART 请求发送到输出
			I		CT32B0_CAP0—32 位定时器0 的捕获输入0
PIO1_6/RXD/ CT32B0_MAT0	3[3]	否	I/O	I; PU	PIO1_6—通用数字输入/输出引脚
			I		RXD—UART 的接收器输入
			O		CT32B0_MAT0—32 位定时器0 的匹配输出0
PIO1_7/TXD/ CT32B0_MAT1	4[3]	否	I/O	I; PU	PIO1_7—通用数字输入/输出引脚
			O		TXD—UART 的发送器输出
			O		CT32B0_MAT1—32 位定时器0 的匹配输出1
PIO1_8/CT16B1_ CAP0	13[3]	否	I/O	I; PU	PIO1_8—通用数字输入/输出引脚
			I		CT16B1_CAP0—16 位定时器1 的捕获输入0
PIO1_9/ CT16B1_MAT0	21[3]	否	I/O	I; PU	PIO1_9—通用数字输入/输出引脚
			O		CT16B1_MAT0—16 位定时器1 的匹配输出0
PIO1_10/AD6/ CT16B1_MAT1	34[5]	否	I/O	I; PU	PIO1_10—通用数字输入/输出引脚
			I		AD6—A/D 转换器, 输入6
			O		CT16B1_MAT1—16 位定时器1 的匹配输出1
PIO1_11/AD7	44[5]	否	I/O	I; PU	PIO1_11—通用数字输入/输出引脚
			I		AD7—A/D 转换器, 输入7
PIO2_0至 PIO2_11			I/O		Port 2——Port 2是12位的IO口, 可单独控制每一位的方向和功能。Port 2引脚的功能选择是通过IOCONFIG寄存器实现的
PIO2_0/ DTR/SSEL1	6[3]	否	I/O	I; PU	PIO2_0—通用数字输入/输出引脚
			O		DTR —UART 数据终端就绪输出
			O		SSEL1—SSP1 的从机选择
PIO2_1/ DSR /SCK1	17[3]	否	I/O	I; PU	PIO2_1—通用数字输入/输出引脚
			I		DSR —UART 数据设置就绪输入
			I/O		SCK1—SSSP1 的串行时钟
PIO2_2/ DCD /MISO1	30[3]	否	I/O	I; PU	PIO2_2—通用数字输入/输出引脚
			I		DCD —UART 数据载波检测输入
			I/O		MISO1—SSP1 的主机输入从机输出
PIO2_3/ RI /MOSI1	40[3]	否	I/O	I; PU	PIO2_3—通用数字输入/输出引脚
			I		RI —UART 铃响指示器输入

			I/O		MOSI1—SSP1 的主机输出从机输入
PIO2_4	23[3]	否	I/O	I; PU	PIO2_4—通用数字输入/输出引脚
PIO2_5	24[3]	否	I/O	I; PU	PIO2_5—通用数字输入/输出引脚
PIO2_6	5[3]	否	I/O	I; PU	PIO2_6—通用数字输入/输出引脚
PIO2_7	15[3]	否	I/O	I; PU	PIO2_7—通用数字输入/输出引脚
PIO2_8	16[3]	否	I/O	I; PU	PIO2_8—通用数字输入/输出引脚
PIO2_9	28[3]	否	I/O	I; PU	PIO2_9—通用数字输入/输出引脚
PIO2_10	29[3]	否	I/O	I; PU	PIO2_10—通用数字输入/输出引脚
PIO2_11/SCK0	35[3]	否	I/O	I; PU	PIO2_11—通用数字输入/输出引脚
			I/O		SCK0—SSP0 的串行时钟
PIO3_0至 PIO3_5			I/O		Port 3——Port 3是12位的IO口，可单独控制每一位的方向和功能。Port 3引脚的功能选择是通过IOCONFIG寄存器实现的。不存在PIO3_0至PIO3_3、PIO3_6至PIO3_11的引脚。
PIO3_4	22[3]	否	I/O	I; PU	PIO3_4—通用数字输入/输出引脚
PIO3_5	25[3]	否	I/O	I; PU	PIO3_5—通用数字输入/输出引脚
VDD	1; 12		I		3.3V 的输入/输出供电电压，供给内部稳压器和ADC 的3.3 V 电压。也用作ADC 参考电压
XTALIN	10[6]		I		振荡器电路和内部时钟发生器电路的输入。输入电压必须超过1.8 V
XTALOUT	11[6]		O		振荡器放大器的输出
VSS	9; 43		I		地

- [1] 复位后默认功能的引脚状态：I=输入；O=输出；PU=使能内部上拉；IA=未激活，没有使能上拉或下拉。
- [2] 见图33关于复位引脚的配置。在深度掉电模式下RESET引脚是不使能的。使用WAKEUP引脚复位和从深度睡眠模式中唤醒。深度睡眠模式下，该引脚需要外加一个上拉电阻。
- [3] 5V 容差引脚，提供带可配置滞后的上拉/下拉电阻的数字I/O 功能（见图32）。
- [4] I2C 总线引脚符合I2C 标准模式和I2C Fast-mode plus 的I2C 总线规格。
- [5] 5V 容差引脚。提供带可配置滞后上拉/下拉电阻和模拟输入（当配置为ADC 输入时）的数字I/O功能，引脚的数字部分被禁能并且引脚不是5V的容差（见图32）。
- [6] 不使用系统振荡器时，XTALIN 和XTALOUT 连接方法如下：XTALIN 可以悬空或接地（接地更好，因为可以减少噪声干扰），XTALOUT 应该悬空。

表5 LPC1111/12/13/14 引脚描述表（HVQFN33 封装）

符号	引脚	Start logic 输入	类型	复位状态[1]	描述
PIO0_0至 PIO0_11			I/O		Port 0——Port 0是12位的IO口，可单独控制每一位的方向和功能。Port 0引脚的功能选择是通过IOCONFIG寄存器实现的
RESET /PIO0_0	2[2]	是	I	I;PU	RESET —外部复位输入：该引脚为低电平时复位器件，使I/O 端口和外设进入其默认状态，并且处理器从地址0 开始执行
			I/O		PIO0_0—通用数字输入/输出引脚，带10ns干扰滤波器
PIO0_1/CLKOUT / CT32B0_MAT2/	3[3]	是	I/O	I;PU	PIO0_1—通用数字输入/输出引脚，在复位时，该引脚为低电平就启动ISP 指令处理
			O		CLKOUT—时钟输出引脚
			O		CT32B0_MAT2—32 位定时器0 的匹配输出2
PIO0_2/SSEL0/ CT16B0_CAP0	8[3]	是	I/O	I;PU	PIO0_2—通用数字输入/输出引脚
			O		SSEL0—SSP0 的从机选择
			I		CT16B0_CAP0—16 位定时器0 的捕获输入0
PIO0_3	9[3]	是	I/O	I;PU	PIO0_3—通用数字输入/输出引脚
PIO0_4/SCL	10[4]	是	I/O	I;PU	PIO0_4—通用数字输入/输出引脚
			I/O		SCL—I2C 总线时钟输入/输出。只有在I/O 配置寄存

					器中选择了I2C 快速模式plus, 才有高灌电流
PIO0_5/SDA	11[4]	是	I/O	I;PU	PIO0_5—通用数字输入/输出引脚（漏极开路）
			I/O		SDA—I2C 总线数据输入/输出。只有在I/O 配置寄存器中选择了I2C 快速模式plus, 才有高灌电流（High-current sink）
PIO0_6//SCK0	15[3]	是	I/O	I;PU	PIO0_6—通用数字输入/输出引脚
			I/O		SCK0—SSP0 的串行时钟
PIO0_7/ CTS	16[3]	是	I/O	I;PU	PIO0_7—通用数字输入/输出引脚（高电流输出驱动）
			I		CTS —清除UART 以发送到输入
PIO0_8/MISO0/ CT16B0_MAT0	17[3]	是	I/O	I;PU	PIO0_8—通用数字输入/输出引脚
			I/O		MISO0—SSP0 的主机输入从机输出
			O		CT16B0_MAT0—16 位定时器0 的匹配输出0
PIO0_9/MOSI0/ CT16B0_MAT1	18[3]	是	I/O	I;PU	PIO0_9—通用数字输入/输出引脚
			I/O		MOSI0—SSP0 的主机输出从机输入
			O		CT16B0_MAT1—16 位定时器0 的匹配输出1
SWCLK/PIO0_10 / SCK0/CT16B0_ MAT2	19[3]	是	I	I;PU	SWCLK—串行线时钟
			I/O		PIO0_10—通用数字输入/输出引脚
			O		SCK0—SSP0 的串行时钟
			O		CT16B0_MAT2—16 位定时器0 的匹配输出2
R /PIO0_11/ AD0/CT32B0_M AT3	21[5]	是		I;PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO0_11—通用数字输入/输出引脚
			I		AD0—A/D 转换器, 输入0
			O		CT32B0_MAT3—32 位定时器0 的匹配输出3
PIO1_0至 PIO1_11			I/O		Port 1——Port 1是12位的IO口, 可单独控制每一位的方向和功能。Port 1引脚的功能选择是通过IOCONFIG寄存器实现的
R /PIO1_0/ AD1/CT32B1_CA P0	22[5]	是		I;PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO1_0—通用数字输入/输出引脚
			I		AD1—A/D 转换器, 输入1
			I		CT32B1_CAP0—32 位定时器1 的捕获输入0
R /PIO1_1/ AD2/CT32B1_M AT0	23[5]	否		I;PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO1_1—通用数字输入/输出引脚
			I	I;PU	AD2—A/D 转换器, 输入2
			O		CT32B1_MAT0—32 位定时器1 的匹配输出0
R /PIO1_2/ AD3/CT32B1_M AT1	24[5]	否		I;PU	R—保留, 在IOCONFIG模块中配置为替换功能
			I/O		PIO1_2—通用数字输入/输出引脚
			I		AD3—A/D 转换器, 输入3
			O		CT32B1_MAT1—32 位定时器1 的匹配输出1
SWDIO/PIO1_3/ AD4/CT32B1_M AT2	25[5]	否	I/O	I;PU	SWDIO—串行线调试输入/输出
			I/O		PIO1_3—通用数字输入/输出引脚
			I		AD4—A/D 转换器, 输入4
			O		CT32B1_MAT2—32 位定时器1 的匹配输出2
PIO1_4/AD5/ CT32B1_MAT3/ WAKEUP	26[5]	否	I/O	I;PU	PIO1_4—通用数字输入/输出引脚
			I		AD5—A/D 转换器, 输入5
			O		CT32B1_MAT3—32 位定时器1 的匹配输出3
			I		WAKEUP—从深度掉电模式唤醒的引脚, 带20ns干扰滤波器, 为进入深度睡眠模式该引脚从外部拉高, 对出深度睡眠模式应从外部拉低。一个低电平只持续50ns的脉冲就可以唤醒器件。
PIO1_5/ RTS / CT32B0_CAP0	30[3]	否	I/O	I;PU	PIO1_5—通用数字输入/输出引脚
			O		RTS —UART 请求发送到输出
			I		CT32B0_CAP0—32 位定时器0 的捕获输入0
PIO1_6/RXD/ CT32B0_MAT0	31[3]	否	I/O	I;PU	PIO1_6—通用数字输入/输出引脚
			I		RXD—UART 的接收器输入
			O		CT32B0_MAT0—32 位定时器0 的匹配输出0
PIO1_7/TXD/	32[3]	否	I/O	I;PU	PIO1_7—通用数字输入/输出引脚

CT32B0_MAT1			O		TXD—UART 的发送器输出
			O		CT32B0_MAT1—32 位定位器0 的匹配输出1
PIO1_8/ CT16B1_CAP0	7[3]	否	I/O	I;PU	PIO1_8—通用数字输入/输出引脚
			I		CT16B1_CAP0—16 位定位器1 的捕获输入0
PIO1_9/ CT16B1_MAT0	12[3]	否	I/O	I;PU	PIO1_9—通用数字输入/输出引脚
			O		CT16B1_MAT0—16 位定位器1 的匹配输出0
PIO1_10/AD6/ CT16B1_MAT1	20[5]	否	I/O	I;PU	PIO1_10—通用数字输入/输出引脚
			I		AD6—A/D 转换器, 输入6
			O		CT16B1_MAT1—16 位定位器1 的匹配输出1
PIO1_11/AD7	27[5]	否	I/O	I;PU	PIO1_11—通用数字输入/输出引脚
			I		AD7—A/D 转换器, 输入7
PIO2_0至 PIO2_11			I/O		Port 2——Port 2是12位的IO口, 可单独控制每一位的方向和功能。Port 2引脚的功能选择是通过IOCONFIG寄存器实现的。不存在PIO2_1至PIO2_11的引脚。
PIO2_0/ DTR	1[3]	否	I/O	I;PU	PIO2_0—通用数字输入/输出引脚
			O		DTR —UART 数据终端就绪输出
PIO3_0至 PIO3_5			I/O		Port 3——Port 3是12位的IO口, 可单独控制每一位的方向和功能。Port 3引脚的功能选择是通过IOCONFIG寄存器实现的。不存在PIO3_0, PIO3_1, PIO3_3、PIO3_6至 PIO3_11的引脚。
PIO3_2	28[3]	否	I/O	I;PU	PIO3_2—通用数字输入/输出引脚
PIO3_4	13[3]	否	I/O	I;PU	PIO3_4—通用数字输入/输出引脚
PIO3_5	14[3]	否	I/O	I;PU	PIO3_5—通用数字输入/输出引脚
VDD	6; 29		I		3.3V 的输入/输出供电电压, 供给内部稳压器和ADC 的3.3 V 电压。也用作ADC 参考电压
XTALIN	4[6]		I		振荡器电路和内部时钟发生器电路的输入。输入电压必须超过1.8 V
XTALOUT	5[6]		O		振荡器放大器的输出
VSS	33				散热引脚, 和地相连,

- [1] 复位后默认功能的引脚状态: I=输入; O =输出; PU =使能内部上拉; IA =未激活, 没有使能上拉或下拉。
- [2] 见图33关于复位引脚的配置。在深度掉电模式下RESET引脚是不使能的。使用WAKEUP引脚复位和从深度睡眠模式中唤醒。深度睡眠模式下, 该引脚需要外加一个上拉电阻。
- [3] 5V 容差引脚, 提供带可配置滞后的上拉/下拉电阻的数字I/O 功能 (见图32)。
- [4] I2C 总线引脚符合I2C 标准模式和I2C Fast-mode plus 的I2C 总线规格。
- [5] 5V 容差引脚。提供带可配置滞后上拉/下拉电阻和模拟输入 (当配置为ADC 输入时) 的数字I/O功能, 引脚的数字部分被禁能并且引脚不是5V的容差 (见图32)。
- [6] 不使用系统振荡器时, XTALIN 和XTALOUT 连接方法如下: XTALIN 可以悬空或接地 (接地更好, 因为可以减少噪声干扰), XTALOUT 应该悬空。

7. 功能描述

7.1 ARM Cortex-M0处理器

ARM Cortex-M0处理器是一个通用的32位微处理器，具有高性能和低功耗的特点。

7.2 片上Flash程序存储器

LPC1111/12/13/14拥有32kB (LPC1114)，24kB (LPC1113)，16kB (LPC1112) 或8kB (LPC1111) 的片上 Flash 存储器。

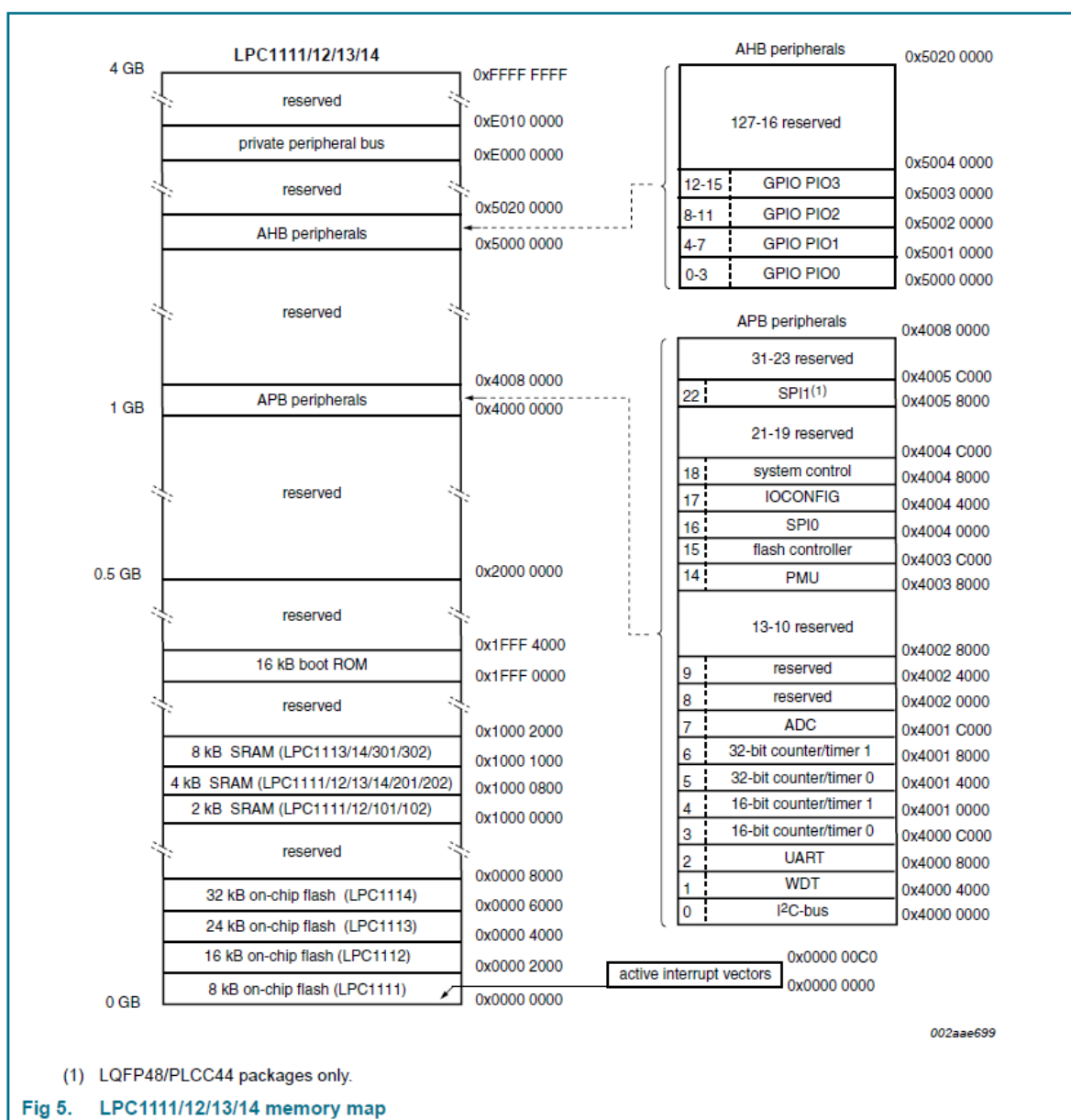
7.3 片上SRAM

LPC1111/12/13/14 拥有共计2 kB, 4 kB 或 8 kB 片上静态 RAM 存储器。

7.4 存储器映射

LPC1111/12/13/14包含了下图所示的若干不同存储区域。图5展示了复位后从程序入口点开始整个地址空间的全部映射。其中中断向量区支持地址的重映射。

AHB外设区的大小为 2MB，可分配多达 128个外设。APB 外设区的大小为512KB，可分配多达 32个外设，任何类型的外设空间的大小都为 16KB，从而简化了每个外设的地址译码。



7.5 嵌套向量中断控制器 (NVIC, Nested Vectored Interrupt Controller)

嵌套向量中断控制器 (NVIC) 是 Cortex-M0 不可分割的一部分。它与 CPU 紧密结合，降低了中断延时，并能够有效处理即将到来的中断。

7.5.1 特性

- 可对系统异常和外设中断进行控制
- 在 LPC1111/12/13/14 中，NVIC 支持 32 个向量中断，包括对 GPIO 引脚启动 Start logic 的 13 个输入信号的响应
- 4 个可编程的中断优先级级别，具有硬件优先级屏蔽功能
- 软件中断生成器。

7.5.2 中断源

每一个外围设备和嵌套向量中断控制器 (NVIC) 之间只通过一条中断线相连，但可以有多个中断标志。每个中断标志还可以代表几个中断源。

不论选择什么功能模式，任何GPIO引脚（最多达42个）都可通过编程从而产生由电平、上升沿、下降沿或双边沿触发的中断。

7.6 IOCONFIG模块

IOCONFIG 模块允许选定的微控制器引脚可完成多种功能。配置寄存器控制多路选择开关来使能引脚和片上外设之间的连接。

在激活外设功能或使能相应的中断前，必须将外设和相应的引脚相连。如果外设功能没有映射到相应的引脚，则激活外设功能的操作将被视为未定义的。

7.7 快速通用并行IO口

未和特定外设功能相连的芯片引脚受到GPIO寄存器的控制。GPIO寄存器控制没有连接到特定外设的引脚。引脚可以被动态配置为输入或输出。可在一个写操作中对多个输出信号进行置位和复位的操作。

LPC1111/12/13/14使用了GPIO 加速功能：

- GPIO寄存器是一个专用的AHB外设，这样就可以实现最快的输入输出时序。
- 可用一条指令完成整个端口的值的写入。

此外，不论选择什么功能模式，任何GPIO引脚（最多达42个）都可通过编程从而产生由电平、上升沿、下降沿或双边沿触发的中断。

7.7.1 特性

- 位电平端口寄存器允许一条指令在一次写操作中实现对任意个数的位进行置位和复位
- 单个位的方向控制
- 复位后，所有I/O口默认为带上拉电阻的输入接口，但作为I2C接口的PIO0_4和PIO0_5除外
- 对于每个GPIO引脚来说，上拉/下拉电阻的配置可以通过IOCONFIG模块编程实现（PIO0_4和PIO0_5除外）

7.8 UART

LPC1111/12/13/14含有一个UART模块。

支持RS485/9位模式，允许软件地址检测和9位模式下的自动地址检测。

UART包含了一个小数波特率发生器。可以在晶体频率大于2 MHz的任何情况下，达到标准波特率：如115200 Bd。

7.8.1 特性

- 最大UART数据位传输率为3.125 MBit/s
- 16 字节接收和发送 FIFO
- 寄存器位置符合 16C550 工业标准
- 接收 FIFO 可在 1、4、8和 14字节时被触发
- 内置小数波特率发生器，无需特定频率的外部晶振就可涵盖较宽范围的波特率
- FIFO控制机制可实现软件流程控制

- 支持 RS-458/9位模式
- 支持modem控制

7.9 SPI 串行I/O 控制器

LQFP48/PLCC44封装的LPC1111/12/13/14器件拥有两个SPI控制器，HVQFN33封装的LPC1111/12/13/14器件只有一个SPI控制器 (SPI0)。SPI控制器都支持SSP功能。

SPI控制器可控制 SSP、4线 SSI或 Microwire 总线的操作。它可在一条总线上和多个主机或从机交互。在一次数据传输中，总线上只有一个主机和一个从机进行通信。SPI支持全双工方式传输，将长度为4位到16 位数据帧由主机发送到从机或由从机发送到主机。在实际应用中，通常情况下只有一个方向上的数据流包含有意义的数据。

7.9.1 特性

- 在SSP模式下，最大SPI速率为25Mbit/s（主机模式）或4.17Mbit/s（从机模式）
- 兼容 Motorola SPI、TI的4线SSI和National Semiconductor的Microwire总线
- 同步串行通信
- 主/从操作
- 8 帧收发FIFO
- 每帧4到16位

7.10 I2C总线串行IO控制器

LPC1111/12/13/14拥有一个I2C总线控制器。

I2C总线是用于IC器件互联控制的双向总线，它只需要两根连接线：一条串行数据线SDA，一条串行时钟线SCL。每个器件都通过唯一的地址来识别，并可工作在只接收模式下（如LCD驱动器）或者作为可以接收和发送信息的传输器（如存储器）。根据芯片被初始化为数据发送方还是只是被编址，可以确定主机和/或从机处于发送和（或）接收模式。I2C总线是一种多主机总线，可以由连接到总线上的多个主机控制。

7.10.1 特性

- I2C接口是一个与标准 I2C 兼容的带漏极开路引脚的总线接口。I2C总线接口还支持Fast-mode Plus，最高位速率为1Mbit/s
- 可配置为主机、从机或主/从机
- 可编程时钟允许调整 I2C传输速率
- 主机和从机之间的数据传输是双向的
- 多主机总线（无核心主节点）
- 在同时发送的主机之间进行仲裁，而不会破坏总线上的串行数据
- 串行时钟同步允许具有不同位速率的设备通过一条串行总线进行通信
- 串行时钟同步用作握手机制以挂起及恢复串行传输
- I2C 总线可用于测试和诊断
- I2C 总线控制器支持多地址识别和总线监视模式

7.11 10位模数转换器 (ADC)

LPC1111/12/13/14内置一个ADC模块。它是一个8通道10位逐次逼近式模数转换器。

7.11.1 特性

- 10 位逐次逼近式模数转换器
- 在 8 个引脚间实现输入多路复用
- 掉电模式
- 测量范围：0V~VDD
- 10 位转换时间 $\geq 2.44\mu\text{s}$
- 一个或多个输入的突发转换模式
- 转换的启动可来源于由输入引脚跳变或定时器匹配信号触发
- 每个 A/D 通道的独立结果寄存器，减少了中断开销

7.12 通用外部事件计数器/定时器

LPC1111/12/13/14 拥有 2 个 32 位和 2 个 16 位定时器/计数器。定时器/计数器用来对系统时钟周期进行计数。可基于四个匹配寄存器，选择在规定的时间内产生中断或执行其他操作。每个定时器/计数器还包含 1 个捕获输入，用来在输入信号变化时捕获定时器瞬时值，也可选择产生中断。

7.12.1 特性

- 一个 32 位/16 位的定时器/计数器，带有一个可编程的 32 位/16 位的预分频器
- 可工作在计数器模式或定时器模式
- 每个定时器都有一个捕获通道，可在输入信号跳变时捕捉定时器的瞬时值。捕获事件也可以产生中断
- 4 个匹配寄存器，允许执行以下操作：
 - 匹配时连续工作，在匹配时可选择产生中断
 - 在匹配时停止定时器运行，可选择产生中断
 - 在匹配时复位定时器，可选择产生中断
- 有 4 个与匹配寄存器相对应的外部输出，这些输出具有以下功能：
 - 匹配时设为低电平
 - 匹配时设为高电平
 - 匹配时翻转电平
 - 匹配时不执行任何操作

7.13 系统节拍定时器

ARM Cortex-M0 含有一个系统节拍定时器(SYSTICK)，用于在固定的时间间隔（一般是 10ms）产生一个专用的 SYSTICK 异常。

7.14 看门狗定时器

看门狗定时器是用来在一个可选的时间周期内将微控制器复位。

7.14.1 特性

- 如果没有周期性喂狗，则通过内部方式对芯片复位。产生片内复位（若使能），或只产生中断
- 具有调试模式
- 可通过软件使能，但需要禁止硬件复位或看门狗复位/中断

- 如果使能了看门狗定时器，那么错误/不完整的喂狗时序会令看门狗复位/中断
- 具有指示看门狗复位的标志
- 带内置预分频器的可编程24位定时器
- 可选择 $T_{cy(WDCLK)} \times 4$ 倍数的时间周期：从 $(T_{cy(WDCLK)} \times 256 \times 4)$ 到 $(T_{cy(WDCLK)} \times 2^4 \times 4)$
- 看门狗时钟 (WDCLK) 源可以选择内部RC振荡器 (IRC)、主时钟或看门狗振荡器，这为看门狗在不同节能模式下提供了较宽的时序选择范围。为了提高可靠性，还可以使看门狗定时器在内部时钟源下运行，这就与外部晶振及其相关元件无关。

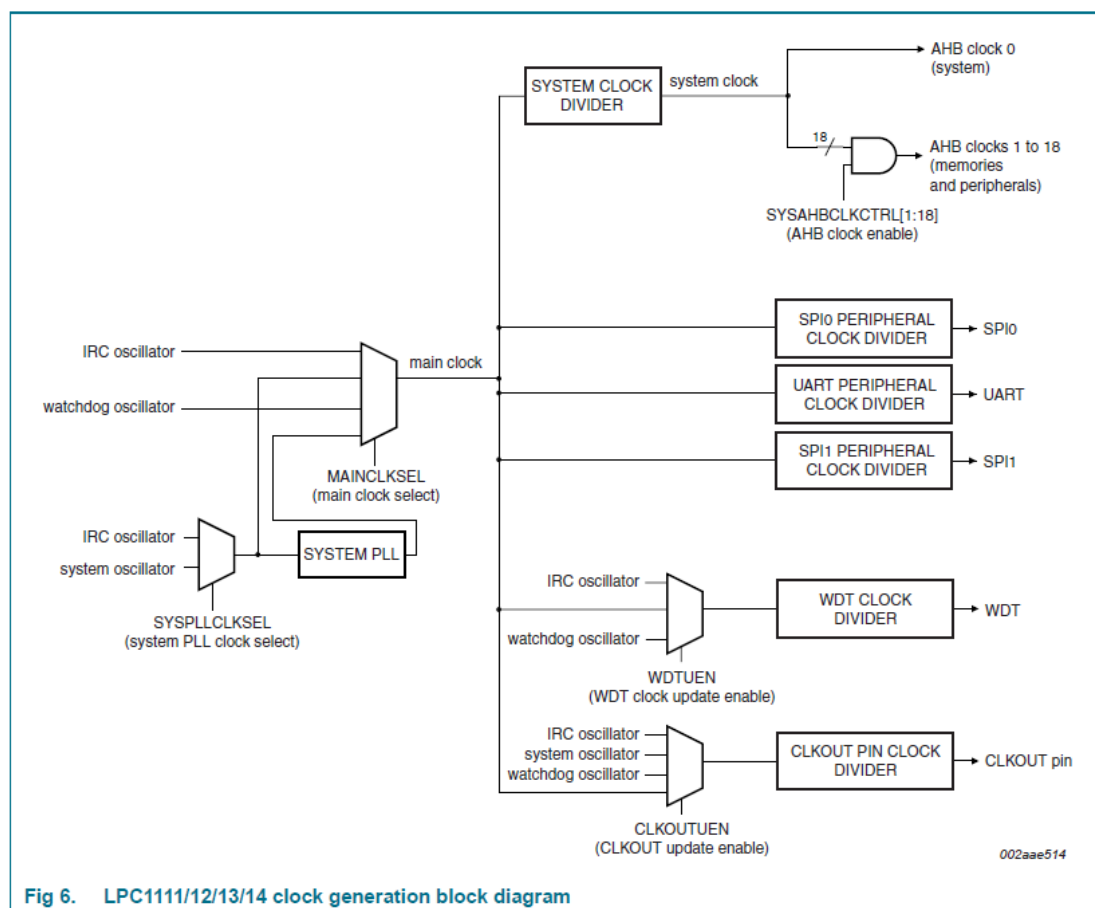
7.15 时钟和电源控制

7.15.1 晶体振荡器

LPC1111/12/13/14 含有3个独立的振荡器：系统振荡器、内部RC振荡器 (IRC) 和看门狗振荡器，每个振荡器都有不止一项的用途，可针对不同应用要求选择使用。

复位后，LPC1100系列自动选择内部RC振荡器作为系统的时钟源，直到通过软件改变。这使得系统能在没有外部晶振的情况下也可以运行，也使得 BootLoader 程序能够在一个确定频率下运行。

图6展示了LPC1111/12/13/14时钟产生的总体框图。



7.15.1.1 内部RC振荡器

内部RC振荡器 (IRC) 可用作看门狗定时器的时钟源, 也可以用作驱动PLL和随后驱动CPU的时钟源。IRC的标称频率为12MHz, 在整个电压和温度范围内精度为 $\pm 1\%$ 。

在上电或芯片复位时, LPC1111/12/13/14使用IRC作为时钟源。此后, 用户可通过编程切换到另一种可用的时钟源。

7.15.1.2 系统振荡器

系统振荡器可作为CPU的时钟源 (不管是否使用PLL)。系统振荡器工作在1MHz到25MHz下。用户可通过系统PLL来提高CPU的工作频率, 直到CPU的最大工作频率。

7.15.1.3 看门狗振荡器

看门狗振荡器可用作直接驱动CPU、看门狗定时器或CLKOUT引脚的时钟源。看门狗振荡器的频率是可编程的, 可以在7.8KHz ~1.7MHz的范围内。随工艺和温度的影响, 该频率的精度变化范围是 $\pm 40\%$ 。

7.15.2 系统锁相环 (PLL)

PLL接受的输入时钟频率范围为10MHz~25MHz。输入频率会通过电流控制振荡器(CCO, Current Controlled Oscillator) 倍频到较高频率。倍频系数可以是1至32的整数。CCO的工作频率是156MHz~320MHz, 因此, 在环内还有一个分频器以保证CCO工作在频率范围内, 从而使PLL可以提供所需要的输出频率。PLL的输出频率必须在100 MHz以下。输出分频器应该设置为2、4、6、8或16分频, 以产生输出时钟。由于最小输出分频是2分频, 保证了PLL的输出有50%的占空比。PLL在芯片复位后被关闭或旁路, 需要时可通过软件使能。程序需要配置和激活PLL, 等待PLL锁定, 然后连接PLL作为时钟源。PLL的设置时间是100 μ s。

7.15.3 时钟输出

LPC1111/12/13/14拥有时钟输出功能。可以将内部RC振荡器、系统振荡器、看门狗振荡器或主时钟连接到输出引脚。

7.15.4 唤醒过程

LPC1111/12/13/14在上电和从深度睡眠模式中唤醒后, 开始工作时使用 12MHz 的内部RC振荡器作为时钟源。这可以使芯片快速的重新工作。如果应用程序需要使用到系统振荡器或者锁相环, 那么就需要用软件使能这些功能, 等待它们稳定, 再将它们作为时钟源。

7.15.5 电源管理

LPC1111/12/13/14支持多种电源控制功能。主要有三种特别的处理器节能模式, 分别为睡眠模式、深度睡眠模式和深度掉电模式。CPU的时钟速率也可以通过改变时钟源、重置PLL值和/或改变系统时钟分频值来调整。这样就使得处理器速率和处理器所消耗的功率达到平衡, 满足应用的需求。此外, 可利用一个寄存器来关闭输出到个别片上外设的时钟, 通过关闭所有应用中不必要的外设, 减少动态功耗, 达到对功耗的细调。被选中的外设都有自己的时钟分频器, 可以实现更好的功率控制。

7.15.5.1 功率配置 (Power Profile) — 此功能仅在LPC1100L系列 (LPC111x/102/202/302)

正常运行模式和睡眠模式的功耗可以根据应用需要通过简单调用功率配置 **Power Profile** 函数得到优化。功率配置过程会将LPC1111/12/13/14配置为以下几种功率模式之一：

- 默认模式 (Default mode) 是复位后的电源配置模式
- CPU性能模式 (CPU performance mode) 适用于优化处理能力
- 效能模式 (Efficiency mode) 适用于优化电流消耗和CPU性能之间的平衡
- 低电流模式 (Low-current mode) 适用于最低的功率消耗

此外，功率配置还包含了为给定的系统时钟和PLL输入时钟选择最优的PLL设置这一功能。

7.15.5.2 睡眠模式

在睡眠模式下，内核的时钟停止。从睡眠模式中恢复不需要特别的操作，只需要重新使能ARM内核的时钟。

在睡眠模式下，指令的执行被中止直至复位或中断出现。在睡眠模式下，外设的功能继续运行，并可能产生中断使处理器重新运行。睡眠模式降低了处理器自身、存储器系统、相关控制器和内部总线所使用的动态电源。

7.15.5.3 深度睡眠模式

在深度睡眠模式中，芯片进入睡眠模式，并且各种模拟模块掉电。作为一个例外，用户可以保持看门狗振荡器和掉电检测 (BOD) 电路的运行，从而可以进行自定时的唤醒和BOD保护。深度睡眠模式可以进一步降低功耗。

多达13个引脚可以作为起始逻辑 (Start logic) 的外部唤醒引脚，将芯片从深度睡眠模式中唤醒。

除非在深度睡眠模式中保持了看门狗振荡器的运行，在进入深度睡眠模式之前应将时钟源切换到内部RC振荡器，因为内部RC振荡器可以被无干扰的打开和关闭。

7.15.5.4 深度掉电模式

在深度掉电模式下，整个芯片的电源都关闭 (WAKEUP 引脚除外)。LPC1111/12/13/14可以通过 WAKEUP 引脚从深度掉电模式中唤醒。

一个持续50ns的低电平脉冲可以将器件从深度掉电模式中唤醒。

当进入深度掉电模式后，需要在 WAKEUP 引脚添加一个上拉电阻将它保持在高电平。RESET 引脚也应保持在高电平以防止在深度掉电模式中引脚电压出现浮动。

7.16 系统控制

7.16.1 起始逻辑 (Start Logic)

起始逻辑将外部引脚和嵌套向量中断控制器 (NVIC) 相应的中断连接起来。表3和表5中所示的作为起始逻辑输入的每个引脚都在 NVIC 中断向量表中有一个独立的向量。当芯片在运行中时，起始逻辑引脚可以作为外部中断引脚使用。此外，在所有时钟都关闭的情况下，起始逻辑上的输入信号可以将芯片从深度睡眠模式中唤醒。

起始逻辑在使用前必须在系统配置模块和NVIC中进行配置。

7.16.2 复位

LPC1111/12/13/14有4个复位源：RESET 引脚、看门狗复位、上电复位 (POR) 和掉电检测

(BOD) 电路。RESET 引脚为施密特触发式输入引脚。芯片复位可以由任意一个复位源引起，只要工作电压达到规定值，就会启动 IRC，同时振荡器运行，Flash 控制器完成初始化。

一个持续50ns的低电平脉冲可以将器件复位。

当内部复位移除时，处理器就在地址 0 处开始运行，这里原先是从引导模块映射来的复位向量。这时，处理器和外设的所有寄存器已被初始化成预设值。

如果使用了深度掉电模式，需要在RESET引脚上增加一个上拉电阻。

7.16.3 掉电检测 (BOD, Brownout detection)

LPC1111/12/13/14设有4个电平值来监控VDD引脚上的电压。当VDD (3V3) 引脚上的电压低于任何一个选定的电平值时，BOD 就会向 NVIC 发出一个中断信号。为了引起 CPU 中断，该信号可以使能中断使能寄存器里的中断；如果不能，软件就会通过读取专门的状态寄存器来监控该信号。此外，这4个电平值还可以用于产生芯片强制复位的信号。

7.16.4 代码安全—代码读保护 (CRP, Code Read Protection)

LPC1111/12/13/14的该项功能允许用户使能系统中的不同安全级别，以便限制片内Flash的访问、ISP和SWD的使用。需要时，可通过在专用Flash位置编写特定格式的代码来调用CRP。IAP命令不受代码读保护的影响。

此外，负责进入ISP模式的引脚PIO0_1可以在不使用CRP的情况下被禁止，请参阅《LPC111x 用户手册》以获得详细信息。

代码读保护有三个等级：

- (1) CRP1禁止了通过SWD对芯片的访问，允许使用一套限制的ISP命令对Flash进行部分更新（Flash扇区0除外）。当需要CRP，同样需要Flash现场更新但不必将所有的扇区都擦除时，可使用此模式。
- (2) CRP1禁止了通过SWD对芯片的访问，只允许使用一套精简的ISP命令进行整个flash的擦除和更新。
- (3) 被设置为CRP3的应用程序将禁止通过SWD和ISP对芯片的全部访问。这个模式也有效地禁止了通过拉低PIO0_1引脚进入ISP模式。用户的应用程序可决定是调用IAP来进行Flash更新还是通过UART重新调用ISP命令来进行Flash更新。



警告：

如果选择了CRP3，那么以后就不能再对芯片进行出厂测试。

在这三个CRP等级之外，有效用户代码对PIO0_1的采样可以被禁止，请参阅《LPC111x用户手册》以获得详细信息。

7.16.5 APB接口

APB外设位于APB总线上。

7.16.6 AHBLite

AHBLite 将 ARM Cortex-M0 的 CPU 总线、Flash 存储器、主 SRAM 和 Boot RAM 联系在一起。

7.16.7 外部中断输入

所有的 GPIO 引脚都可以作为电平或边沿敏感的中断输入。此外，起始逻辑输入也可以作为外部中断（见7.16.1）。

7.17 仿真和调试

ARM Cortex-M0集成了调试功能。串行线调试 (SWD, Serial Wired Debug) 支持四个断点和两个观察点。

8. 限定值

表6 限定值

按照最大额定系统 (IEC 60134)

Symbol	Parameter	Conditions	Min	Max	Unit
V_{DD}	supply voltage (core and external rail)		1.8	3.6	V
V_I	input voltage	5 V tolerant I/O pins; only valid when the V_{DD} supply voltage is present	[2] -0.5	+5.5	V
I_{DD}	supply current	per supply pin	[3] -	100	mA
I_{SS}	ground current	per ground pin	[3] -	100	mA
I_{latch}	I/O latch-up current	$-(0.5V_{DD}) < V_I < (1.5V_{DD})$; $T_j < 125\text{ }^{\circ}\text{C}$	-	100	mA
T_{stg}	storage temperature		[4] -65	+150	$^{\circ}\text{C}$
$T_{j(max)}$	maximum junction temperature		-	150	$^{\circ}\text{C}$
$P_{tot(pack)}$	total power dissipation (per package)	based on package heat transfer, not device power consumption	-	1.5	W
V_{ESD}	electrostatic discharge voltage	human body model; all pins	[5] -6500	+6500	V

[1] 以下情况适用于限定值:

- a. 产品包括为防止过大的静电效应对内部器件造成损坏而设计的特殊保护电路。然而, 建议采用传统的保护措施以避免器件工作在超过最大额定值的情况。
- b. 除非另有规定, 参数在工作温度范围内有效。除非另有说明, 所有的电压都是相对于VSS。

[2] 包括3态输出模式下的电压;

[3] 电流的峰值被限制在相应最大电流的25倍以下。

[4] 和具体的封装形式有关

[5] 人体模型: 等效于一个100 pF的电容通过一个串联的1.5 k Ω 的电阻放电。

9. 静态参数

表7 静态参数

除非特别说明, $T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85$

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit	
V _{DD}	supply voltage (core and external rail)		1.8	3.3	3.6	V	
LPC1100 series (LPC111x/101/201/301) power consumption							
I _{DD}	supply current	Active mode; code while(1){}					
		executed from flash					
		system clock = 12 MHz V _{DD} = 3.3 V	[2][3][4] [5][6]	-	3	-	mA
		system clock = 50 MHz V _{DD} = 3.3 V	[2][3][5] [6][7]	-	9	-	mA
		Sleep mode; system clock = 12 MHz V _{DD} = 3.3 V	[2][3][4] [5][6]	-	2	-	mA
		Deep-sleep mode; V _{DD} = 3.3 V	[2][3][8]	-	6	-	μA
		Deep power-down mode; V _{DD} = 3.3 V	[2][9]	-	220	-	nA
LPC1100L series (LPC111x/102/202/302) power consumption in low-current mode ^[10]							
I _{DD}	supply current	Active mode; code while(1){}					
		executed from flash					
		system clock = 12 MHz V _{DD} = 3.3 V	[2][3][4] [5][6]	-	2	-	mA
		system clock = 50 MHz V _{DD} = 3.3 V	[2][3][5] [6][7]	-	7	-	mA
		Sleep mode; system clock = 12 MHz V _{DD} = 3.3 V	[2][3][4] [5][6]	-	1	-	mA
		Deep-sleep mode; V _{DD} = 3.3 V	[2][3][8]	-	2	-	μA
		Deep power-down mode; V _{DD} = 3.3 V	[2][9]	-	220	-	nA
Standard port pins, RESET							
I _{IL}	LOW-level input current	V _I = 0 V; on-chip pull-up resistor disabled	-	0.5	10	nA	
I _{IH}	HIGH-level input current	V _I = V _{DD} ; on-chip pull-down resistor disabled	-	0.5	10	nA	
I _{OZ}	OFF-state output current	V _O = 0 V; V _O = V _{DD} ; on-chip pull-up/down resistors disabled	-	0.5	10	nA	

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
V _I	input voltage	pin configured to provide a digital function	^{[11][12][13]} 0	-	5.0	V
V _O	output voltage	output active	0	-	V _{DD}	V
V _{IH}	HIGH-level input voltage		0.7V _{DD}	-	-	V
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD}	V
V _{hys}	hysteresis voltage		-	0.4	-	V
V _{OH}	HIGH-level output voltage	2.0 V ≤ V _{DD} ≤ 3.6 V; I _{OH} = −4 mA	V _{DD} − 0.4	-	-	V
		1.8 V ≤ V _{DD} < 2.0 V; I _{OH} = −3 mA	V _{DD} − 0.4	-	-	V
V _{OL}	LOW-level output voltage	2.0 V ≤ V _{DD} ≤ 3.6 V; I _{OL} = 4 mA	-	-	0.4	V
		1.8 V ≤ V _{DD} < 2.0 V; I _{OL} = 3 mA	-	-	0.4	V
I _{OH}	HIGH-level output current	V _{OH} = V _{DD} − 0.4 V; 2.0 V ≤ V _{DD} ≤ 3.6 V	−4	-	-	mA
		1.8 V ≤ V _{DD} < 2.0 V	−3	-	-	mA
I _{OL}	LOW-level output current	V _{OL} = 0.4 V 2.0 V ≤ V _{DD} ≤ 3.6 V	4	-	-	mA
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	mA
I _{OHS}	HIGH-level short-circuit output current	V _{OH} = 0 V	^[14] -	-	−45	mA
I _{OLS}	LOW-level short-circuit output current	V _{OL} = V _{DD}	^[14] -	-	50	mA
I _{pd}	pull-down current	V _I = 5 V	10	50	150	μA
I _{pu}	pull-up current	V _I = 0 V; 2.0 V ≤ V _{DD} ≤ 3.6 V	−15	−50	−85	μA
		1.8 V ≤ V _{DD} < 2.0 V	−10	−50	−85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA
High-drive output pin (PIO0_7)						
I _{IL}	LOW-level input current	V _I = 0 V; on-chip pull-up resistor disabled	-	0.5	10	nA
I _{IH}	HIGH-level input current	V _I = V _{DD} ; on-chip pull-down resistor disabled	-	0.5	10	nA
I _{OZ}	OFF-state output current	V _O = 0 V; V _O = V _{DD} ; on-chip pull-up/down resistors disabled	-	0.5	10	nA
V _I	input voltage	pin configured to provide a digital function	^{[11][12][13]} 0	-	5.0	V
V _O	output voltage	output active	0	-	V _{DD}	V
V _{IH}	HIGH-level input voltage		0.7V _{DD}	-	-	V

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD}	V
V _{hys}	hysteresis voltage		0.4	-	-	V
V _{OH}	HIGH-level output voltage	2.5 V ≤ V _{DD} ≤ 3.6 V; I _{OH} = −20 mA	V _{DD} − 0.4	-	-	V
		1.8 V ≤ V _{DD} < 2.5 V; I _{OH} = −12 mA	V _{DD} − 0.4	-	-	V
V _{OL}	LOW-level output voltage	2.0 V ≤ V _{DD} ≤ 3.6 V; I _{OL} = 4 mA	-	-	0.4	V
		1.8 V ≤ V _{DD} < 2.0 V; I _{OL} = 3 mA	-	-	0.4	V
I _{OH}	HIGH-level output current	V _{OH} = V _{DD} − 0.4 V; 2.5 V ≤ V _{DD} ≤ 3.6 V	20	-	-	mA
		1.8 V ≤ V _{DD} < 2.5 V	12	-	-	mA
I _{OL}	LOW-level output current	V _{OL} = 0.4 V 2.0 V ≤ V _{DD} ≤ 3.6 V	4	-	-	mA
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	mA
I _{OLS}	LOW-level short-circuit output current	V _{OL} = V _{DD}	^[14] -	-	50	mA
I _{pd}	pull-down current	V _I = 5 V	10	50	150	μA
I _{pu}	pull-up current	V _I = 0 V 2.0 V ≤ V _{DD} ≤ 3.6 V	−15	−50	−85	μA
		1.8 V ≤ V _{DD} < 2.0 V	−10	−50	−85	μA
		V _{DD} < V _I < 5 V	0	0	0	μA
I ² C-bus pins (PIO0_4 and PIO0_5)						
V _{IH}	HIGH-level input voltage		0.7V _{DD}	-	-	V
V _{IL}	LOW-level input voltage		-	-	0.3V _{DD}	V
V _{hys}	hysteresis voltage		-	0.05V _{DD}	-	V
I _{OL}	LOW-level output current	V _{OL} = 0.4 V; I ² C-bus pins configured as standard mode pins 2.0 V ≤ V _{DD} ≤ 3.6 V	3.5	-	-	mA
		1.8 V ≤ V _{DD} < 2.0 V	3	-	-	
I _{OL}	LOW-level output current	V _{OL} = 0.4 V; I ² C-bus pins configured as Fast-mode Plus pins 2.0 V ≤ V _{DD} ≤ 3.6 V	20	-	-	mA
		1.8 V ≤ V _{DD} < 2.0 V	16	-	-	
I _{LI}	input leakage current	V _I = V _{DD}	^[15] -	2	4	μA
		V _I = 5 V	-	10	22	μA
Oscillator pins						
V _{i(xtal)}	crystal input voltage		−0.5	1.8	1.95	V
V _{o(xtal)}	crystal output voltage		−0.5	1.8	1.95	V

[1] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值。

[2] $T_{amb} = 25^\circ\text{C}$

[3] I_{DD} 是在将所有引脚配置为GPIO输出低电平并禁止上拉电阻的情况下测得的。

[4] 使能内部RC振荡器，禁止系统振荡器，禁止系统锁相环。

[5] 禁止掉电检测（BOD）

[6] 在SYSAHBCLKCTRL寄存器中禁止所有外设。在系统配置模块禁止UART和SPI0/1的外设时钟

[7] 使能内部RC振荡器，禁止系统振荡器，禁止系统锁相环。

[8] 在PDSLEEPCFG中关闭所有振荡器和模拟模块，即PDSLEEPCFG = 0x0000 18FF。

[9] 在外部将WAKEUP引脚拉高

[10] 当在功率优化中运行set_power任务时，选择低电流模式PWR_LOW_CURRENT。

[11] 包括3态模式输出下的电压。

[12] 必须提供V_{DD}供电电压

[13] 在深度掉电模式下，3态输出进入3态模式

[14] 只要限制电流不超过器件的最大允许电流

[15] 相对于V_{SS}

表8 ADC静态参数

除非有特殊说明，T_{amb} = -40 °C to +85 °C；ADC采样频率为4.5 MHz，V_{DD} = 2.5 V to 3.6 V。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V _{IA}	analog input voltage		0	-	V _{DD}	V
C _{ia}	analog input capacitance		-	-	1	pF
E _D	differential linearity error	[1][2]	-	-	± 1	LSB
E _{L(adj)}	integral non-linearity	[3]	-	-	± 1.5	LSB
E _O	offset error	[4]	-	-	± 3.5	LSB
E _G	gain error	[5]	-	-	0.6	%
E _T	absolute error	[6]	-	-	± 4	LSB
R _{VSI}	voltage source interface resistance		-	-	40	kΩ
R _i	input resistance	[7][8]	-	-	2.5	MΩ

[1] ADC是单调的，没有丢失的编码；

[2] 微分线性误差 (E_D)是实际步长和理想步长之间的差值。见图7。

[3] 积分非线性(E_{L(adj)})是实际步骤中心与经过适当调整增益和偏移误差的理想转换曲线之间的峰值差异。见图7。

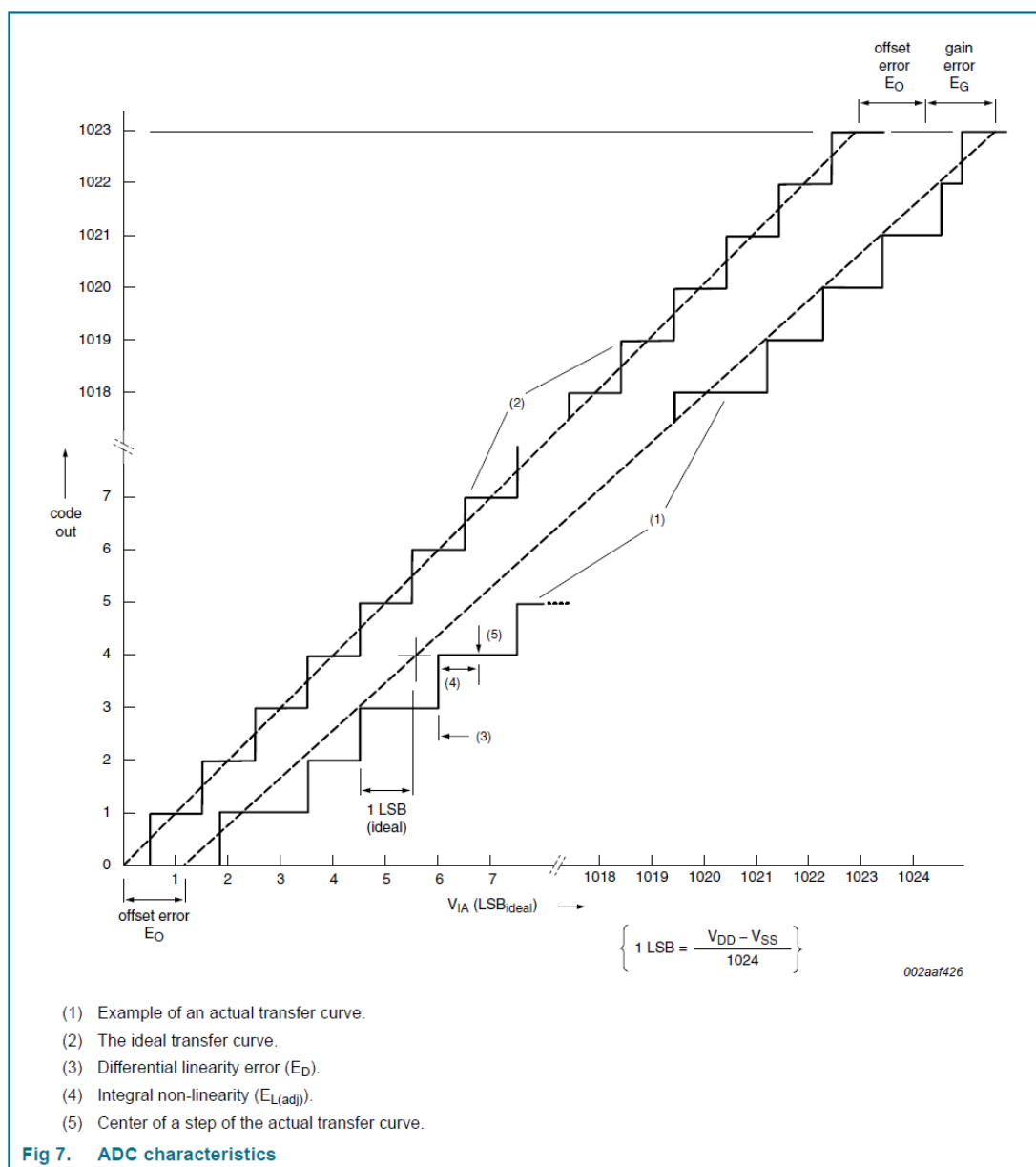
[4] 偏移误差(E_O)是根据实际曲线近似的直线和根据理想曲线近似的直线之间的绝对偏差。见图7。

[5] 增益误差(E_G)是以百分数形式表示的相对误差，它是在去除偏移误差后根据实际转换曲线近似的直线和根据理想曲线近似的直线之间的偏差。

[6] 绝对误差(E_T)是非校准ADC实际转换曲线的步距中心和理想转换曲线之间的最大偏差。

[7] T_{amb} = 25 °C；最大采样频率f_s = 4.5 MHz，模拟输入电容值为C_{ia} = 1 pF。

[8] 输入电阻R_i依赖于采样频率f_s: R_i = 1 / (f_s × C_{ia})。



9.1 掉电检测 (BOD) 静态参数

表9 BOD静态参数

$T_{amb} = 25\text{ }^{\circ}\text{C}$.

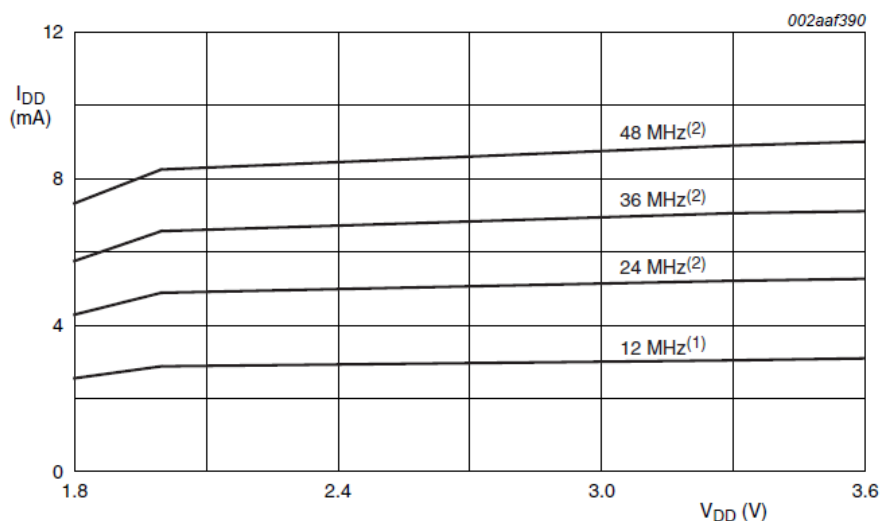
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{th}	threshold voltage	interrupt level 0				
		assertion	-	1.65	-	V
		de-assertion	-	1.80	-	V
		interrupt level 1				
		assertion	-	2.22	-	V
		de-assertion	-	2.35	-	V
		interrupt level 2				
		assertion	-	2.52	-	V
		de-assertion	-	2.66	-	V
		interrupt level 3				
		assertion	-	2.80	-	V
		de-assertion	-	2.90	-	V
		reset level 0				
		assertion	-	1.46	-	V
		de-assertion	-	1.63	-	V
		reset level 1				
		assertion	-	2.06	-	V
		de-assertion	-	2.15	-	V
		reset level 2				
		assertion	-	2.35	-	V
		de-assertion	-	2.43	-	V
		reset level 3				
		assertion	-	2.63	-	V
		de-assertion	-	2.71	-	V

[1] 输入等级是通过向BOD控制寄存器BODCTRL中写入等级数值来设定的，请参见LPC111x用户手册。

9.2 LPC111x/101/201/301的功耗

运行、睡眠和深度睡眠模式下的功率测量是在下面的条件下进行的（见LPC111x用户手册）：

- 在IOCONFIG模块中将所有的引脚配置为GPIO，并禁止上拉电阻
- 使用GPIO_DIR寄存器将GPIO引脚配置为输出
- 向所有GPIO_DATA寄存器写0，使得输出为低电平

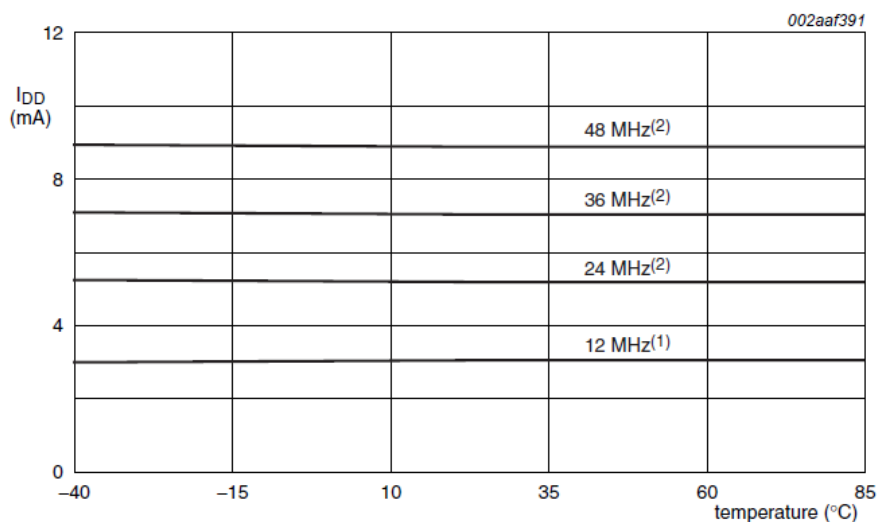


Conditions: $T_{amb} = 25^{\circ}\text{C}$; active mode entered executing code `while(1){}` from flash; all peripherals disabled in the SYSAHBCLKCTRL register (SYSAHBCLKCTRL = 0x1F); all peripheral clocks disabled; internal pull-up resistors disabled; BOD disabled.

(1) System oscillator and system PLL disabled; IRC enabled.

(2) System oscillator and system PLL enabled; IRC disabled.

Fig 8. Active mode: Typical supply current I_{DD} versus supply voltage V_{DD} for different system clock frequencies (for LPC111x/101/201/301)

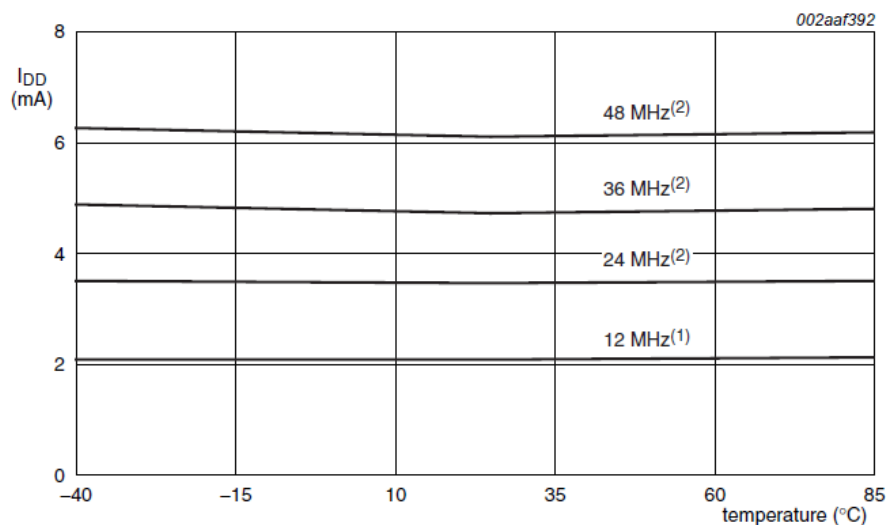


Conditions: $V_{DD} = 3.3\text{ V}$; active mode entered executing code `while(1){}` from flash; all peripherals disabled in the SYSAHBCLKCTRL register (SYSAHBCLKCTRL = 0x1F); all peripheral clocks disabled; internal pull-up resistors disabled; BOD disabled.

(1) System oscillator and system PLL disabled; IRC enabled.

(2) System oscillator and system PLL enabled; IRC disabled.

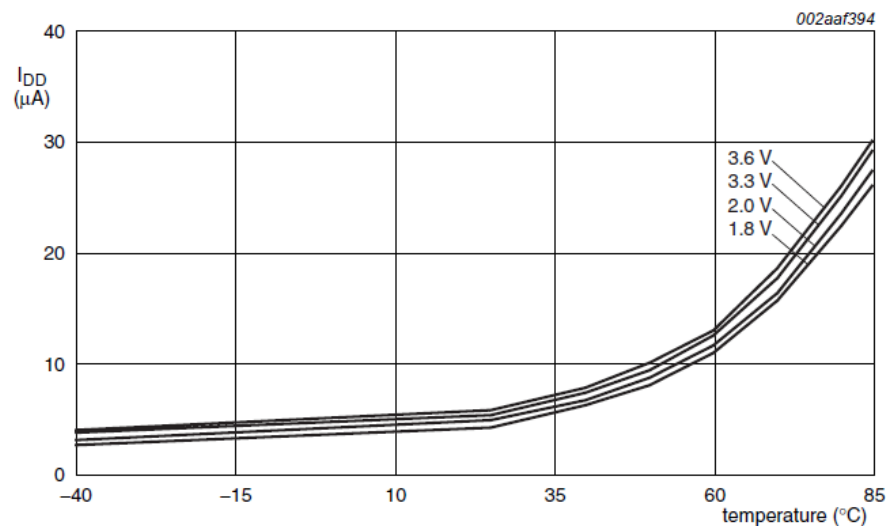
Fig 9. Active mode: Typical supply current I_{DD} versus temperature for different system clock frequencies (for LPC111x/101/201/301)



Conditions: $V_{DD} = 3.3$ V; sleep mode entered from flash; all peripherals disabled in the SYSAHBCLKCTRL register (SYSAHBCLKCTRL = 0x1F); all peripheral clocks disabled; internal pull-up resistors disabled; BOD disabled.

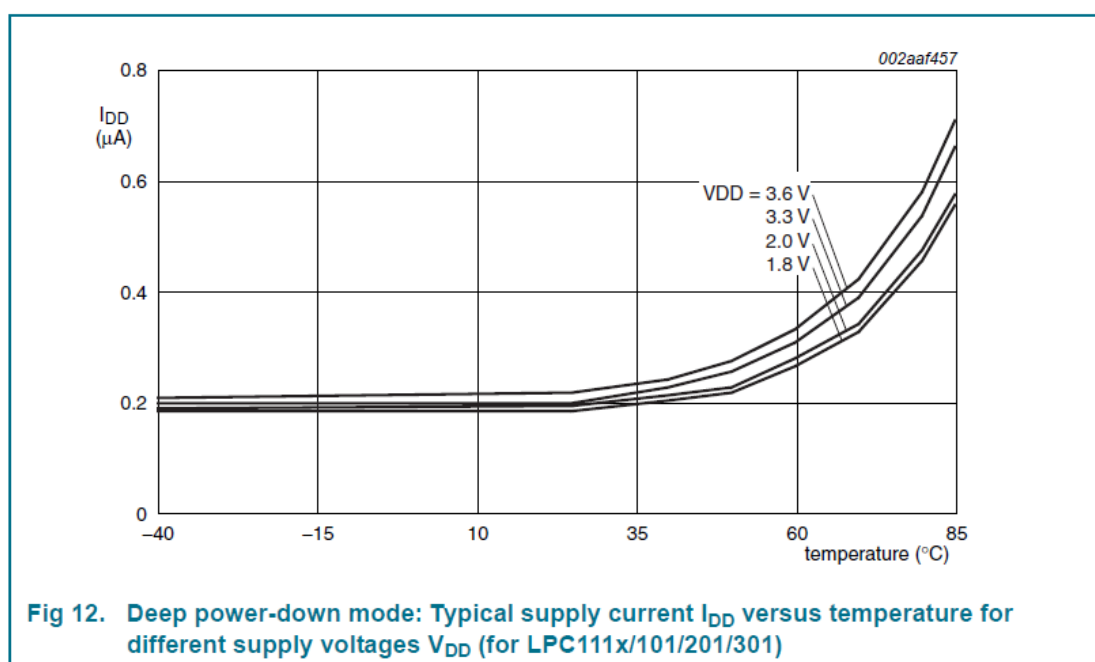
- (1) System oscillator and system PLL disabled; IRC enabled.
- (2) System oscillator and system PLL enabled; IRC disabled.

Fig 10. Sleep mode: Typical supply current I_{DD} versus temperature for different system clock frequencies (for LPC111x/101/201/301)



Conditions: BOD disabled; all oscillators and analog blocks disabled in the PDSLEEPCFG register (PDSLEEPCFG = 0x0000 18FF).

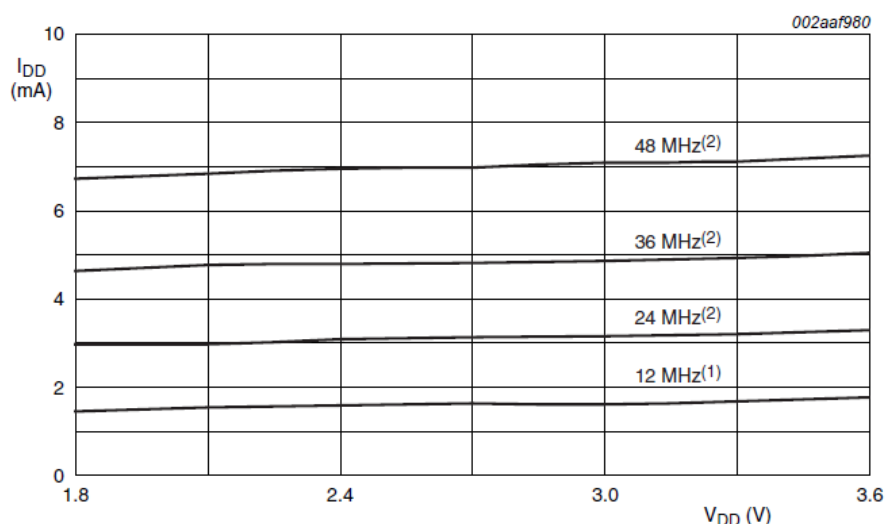
Fig 11. Deep-sleep mode: Typical supply current I_{DD} versus temperature for different supply voltages V_{DD} (for LPC111x/101/201/301)



9.3 LPC111x/102/202/302的功耗

运行、睡眠和深度睡眠模式下的功率测量是在下面的条件下进行的（见LPC111x用户手册）：

- 在IOCONFIG模块中将所有的引脚配置为GPIO，并禁止上拉电阻
- 使用GPIONDIR寄存器将GPIO引脚配置为输出
- 向所有GPIONDATA寄存器写0，使得输出为低电平

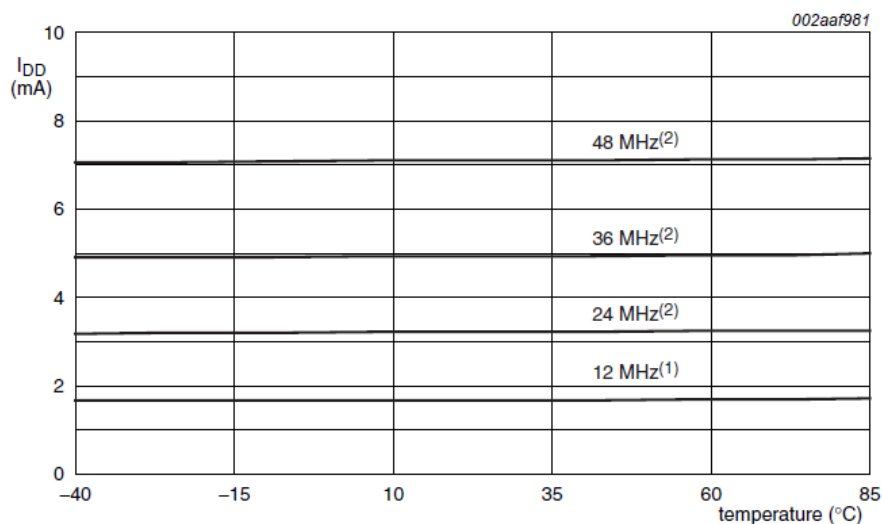


Conditions: $T_{amb} = 25\text{ }^{\circ}\text{C}$; active mode entered executing code while(1){} from flash; all peripherals disabled in the SYSAHBCLKCTRL register (SYSAHBCLKCTRL = 0x1F); all peripheral clocks disabled; internal pull-up resistors disabled; BOD disabled; low-current mode.

(1) System oscillator and system PLL disabled; IRC enabled.

(2) System oscillator and system PLL enabled; IRC disabled.

Fig 13. Active mode: Typical supply current I_{DD} versus supply voltage V_{DD} for different system clock frequencies (for LPC111x/102/202/302)

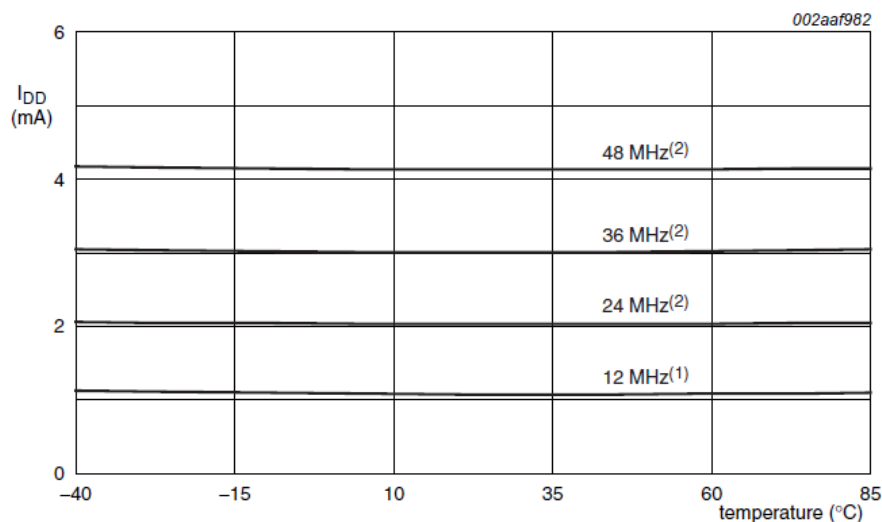


Conditions: $V_{DD} = 3.3\text{ V}$; active mode entered executing code while(1){} from flash; all peripherals disabled in the SYSAHBCLKCTRL register (SYSAHBCLKCTRL = 0x1F); all peripheral clocks disabled; internal pull-up resistors disabled; BOD disabled; low-current mode.

(1) System oscillator and system PLL disabled; IRC enabled.

(2) System oscillator and system PLL enabled; IRC disabled.

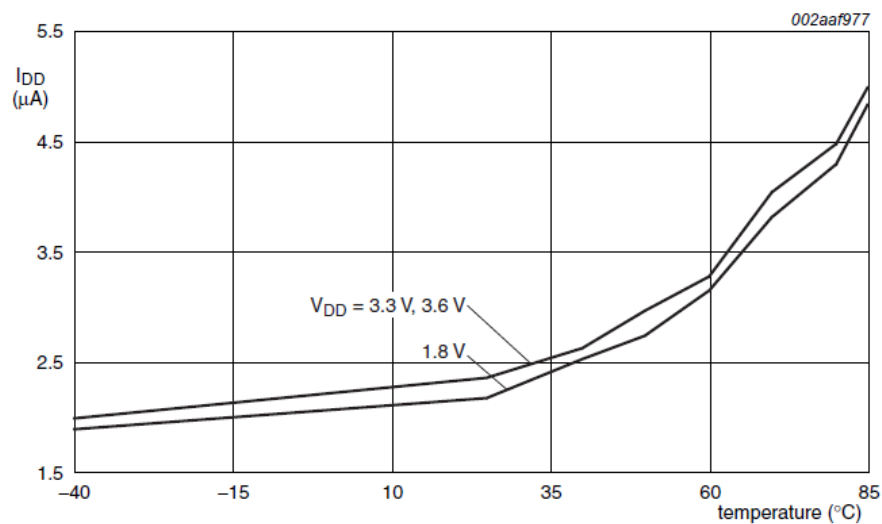
Fig 14. Active mode: Typical supply current I_{DD} versus temperature for different system clock frequencies (for LPC111x/102/202/302)



Conditions: $V_{DD} = 3.3\text{ V}$; sleep mode entered from flash; all peripherals disabled in the SYSAHBCLKCTRL register (SYSAHBCLKCTRL = 0x1F); all peripheral clocks disabled; internal pull-up resistors disabled; BOD disabled; low-current mode.

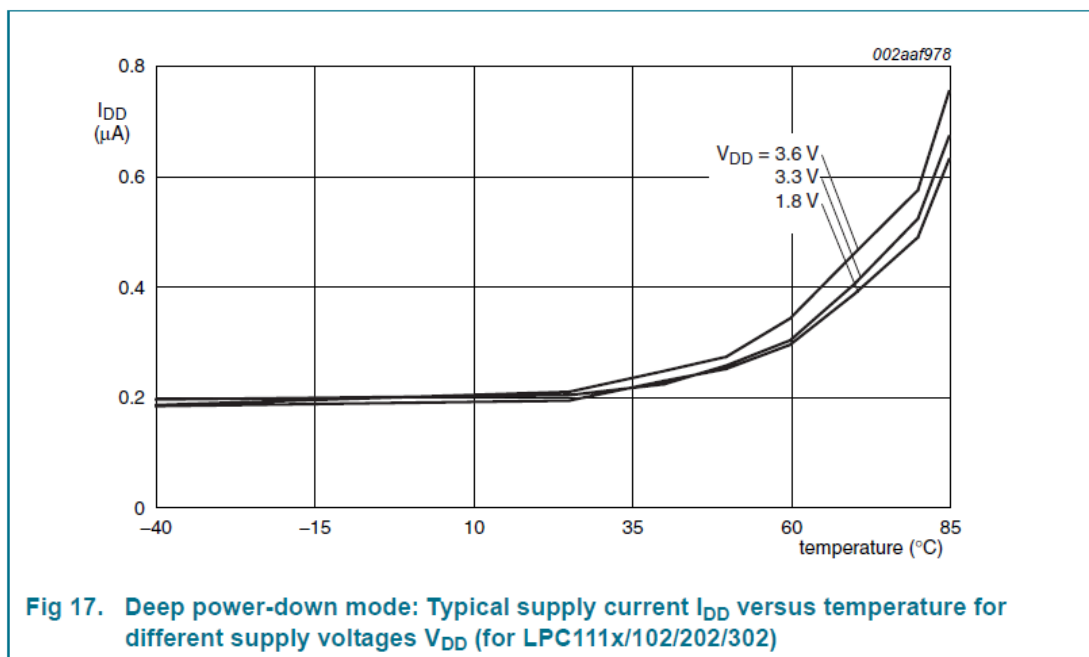
- (1) System oscillator and system PLL disabled; IRC enabled.
- (2) System oscillator and system PLL enabled; IRC disabled.

Fig 15. Sleep mode: Typical supply current I_{DD} versus temperature for different system clock frequencies (for LPC111x/102/202/302)



Conditions: BOD disabled; all oscillators and analog blocks disabled in the PDSLEEPCFG register (PDSLEEPCFG = 0x0000 18FF).

Fig 16. Deep-sleep mode: Typical supply current I_{DD} versus temperature for different supply voltages V_{DD} (for LPC111x/102/202/302)



9.4 外设的功耗

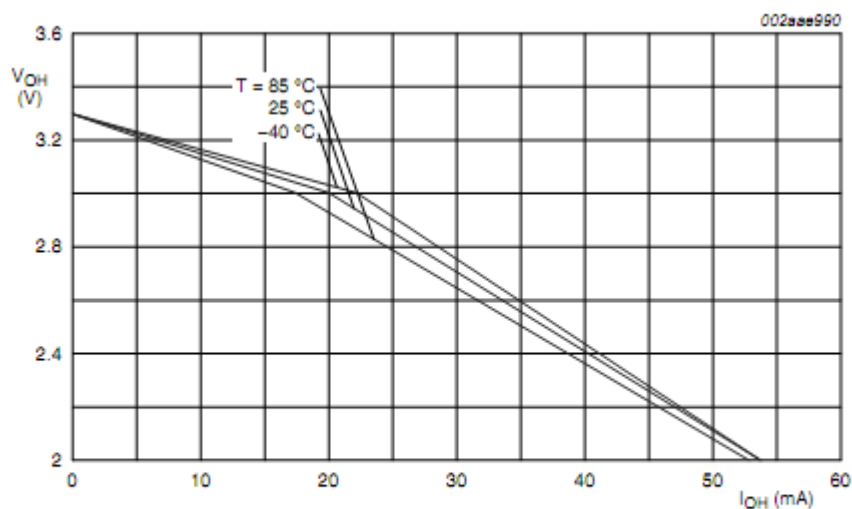
每个外设的供电电流的测量是通过设置SYSAHBCLKCFG和PDRUNCFG（用于模拟模块）寄存器，来得到外设使能时和禁止外设时的电流差值。所有其它的外设在寄存器中被禁止，也不执行代码。测量时的温度是 $T_{amb} = 25\text{ °C}$ 。除非有另外的说明，在测量时，都要运行系统振荡器和锁相环。

下表给出了系统时钟频率为12MHz和48MHz时的供电电流。

表10 各模拟和数字模块的功耗

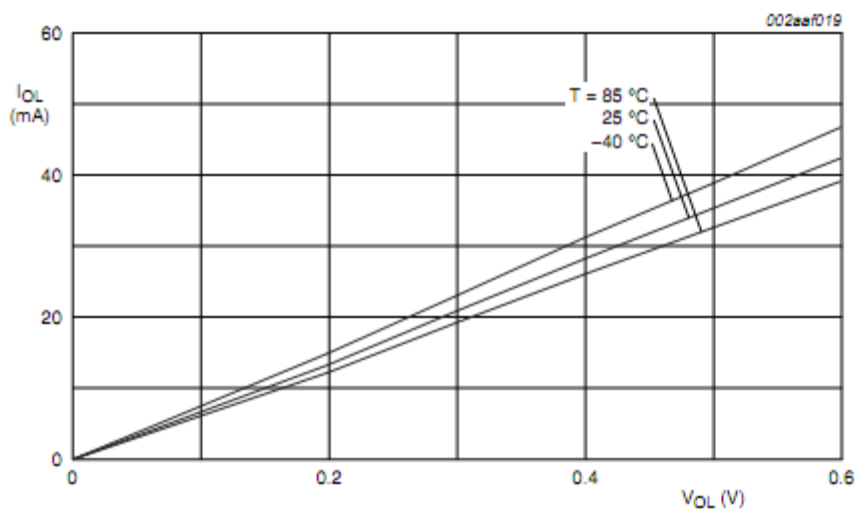
Peripheral	Typical supply current in mA			Notes
	n/a	12 MHz	48 MHz	
IRC	0.27	-	-	System oscillator running; PLL off; independent of main clock frequency.
System oscillator at 12 MHz	0.22	-	-	IRC running; PLL off; independent of main clock frequency.
Watchdog oscillator at 500 kHz/2	0.004	-	-	System oscillator running; PLL off; independent of main clock frequency.
BOD	0.051	-	-	Independent of main clock frequency.
Main PLL	-	0.21	-	
ADC	-	0.08	0.29	
CLKOUT	-	0.12	0.47	Main clock divided by 4 in the CLKOUTDIV register.
CT16B0	-	0.02	0.06	
CT16B1	-	0.02	0.06	
CT32B0	-	0.02	0.07	
CT32B1	-	0.02	0.06	
GPIO	-	0.23	0.88	GPIO pins configured as outputs and set to LOW. Direction and pin state are maintained if the GPIO is disabled in the SYSAHBCLKCFG register.
IOCONFIG	-	0.03	0.10	
I2C	-	0.04	0.13	
ROM	-	0.04	0.15	
SPI0	-	0.12	0.45	
SPI1	-	0.12	0.45	
UART	-	0.22	0.82	
WDT	-	0.02	0.06	Main clock selected as clock source for the WDT.

9.5 电气引脚参数



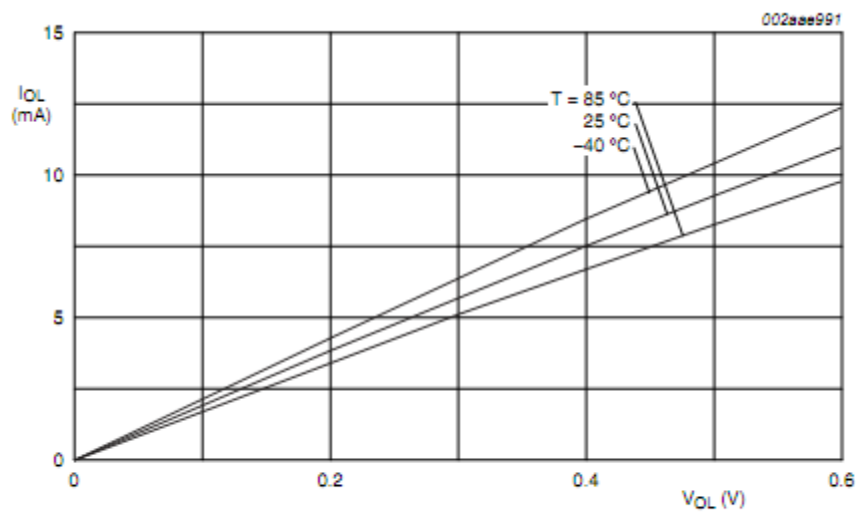
Conditions: $V_{DD} = 3.3$ V; on pin PIO0_7.

Fig 18. High-drive output: Typical HIGH-level output voltage V_{OH} versus HIGH-level output current I_{OH} .



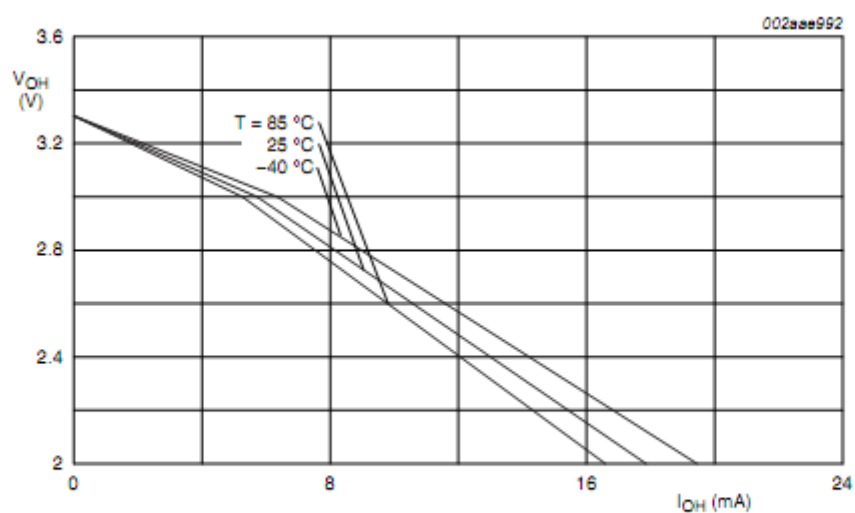
Conditions: $V_{DD} = 3.3$ V; on pins PIO0_4 and PIO0_5.

Fig 19. I²C-bus pins (high current sink): Typical LOW-level output current I_{OL} versus LOW-level output voltage V_{OL} .



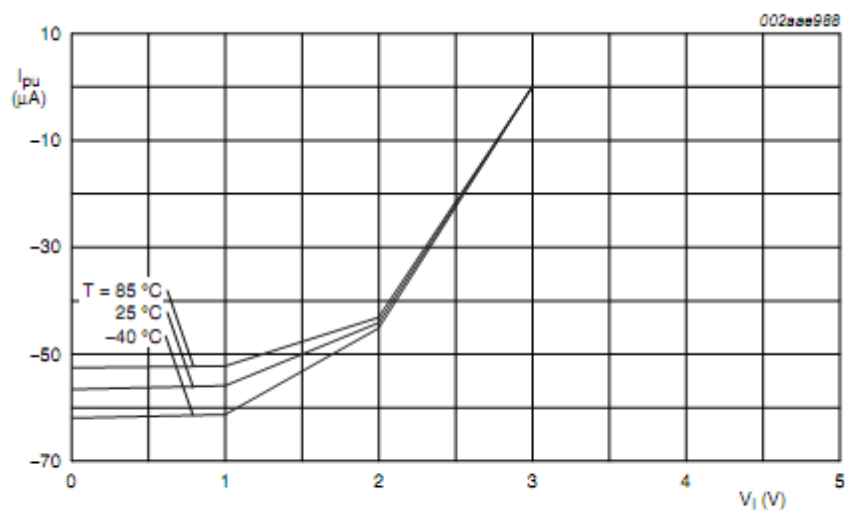
Conditions: $V_{DD} = 3.3\text{ V}$; standard port pins and PIO0_7.

Fig 20. Typical LOW-level output current I_{OL} versus LOW-level output voltage V_{OL}



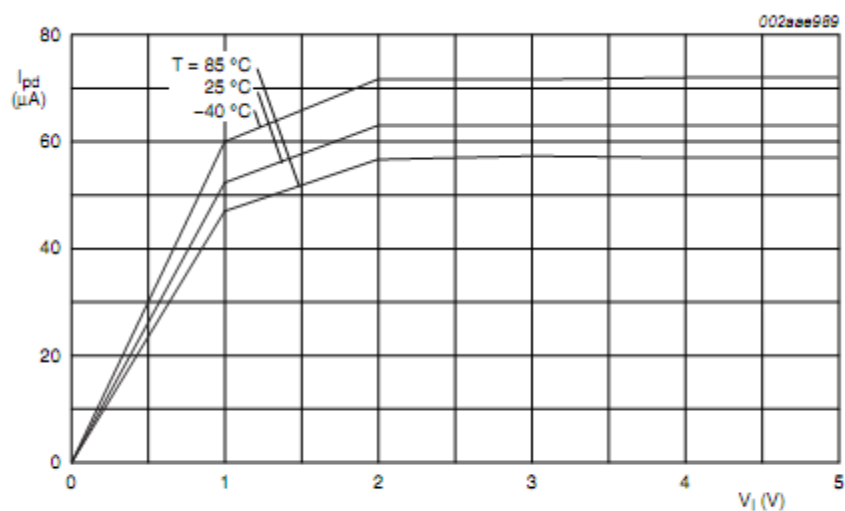
Conditions: $V_{DD} = 3.3\text{ V}$; standard port pins.

Fig 21. Typical HIGH-level output voltage V_{OH} versus HIGH-level output source current I_{OH}



Conditions: $V_{DD} = 3.3$ V; standard port pins.

Fig 22. Typical pull-up current I_{pu} versus input voltage V_i



Conditions: $V_{DD} = 3.3$ V; standard port pins.

Fig 23. Typical pull-down current I_{pd} versus input voltage V_i

10. 动态参数

10.1 上电特性

$T_{\text{amb}} = -40^{\circ}\text{C}$ 到 $+85^{\circ}\text{C}$

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t_r	rise time	at $t = t_1$: $0 < V_I \leq 400 \text{ mV}$	[1] 0	-	500	ms
t_{wait}	wait time		[1][2] 12	-	-	μs
V_I	input voltage	at $t = t_1$ on pin V_{DD}	0	-	400	mV

[1] 见图24

[2] 等待时间是指电源电压在跃升前必须低于400mV的时间。

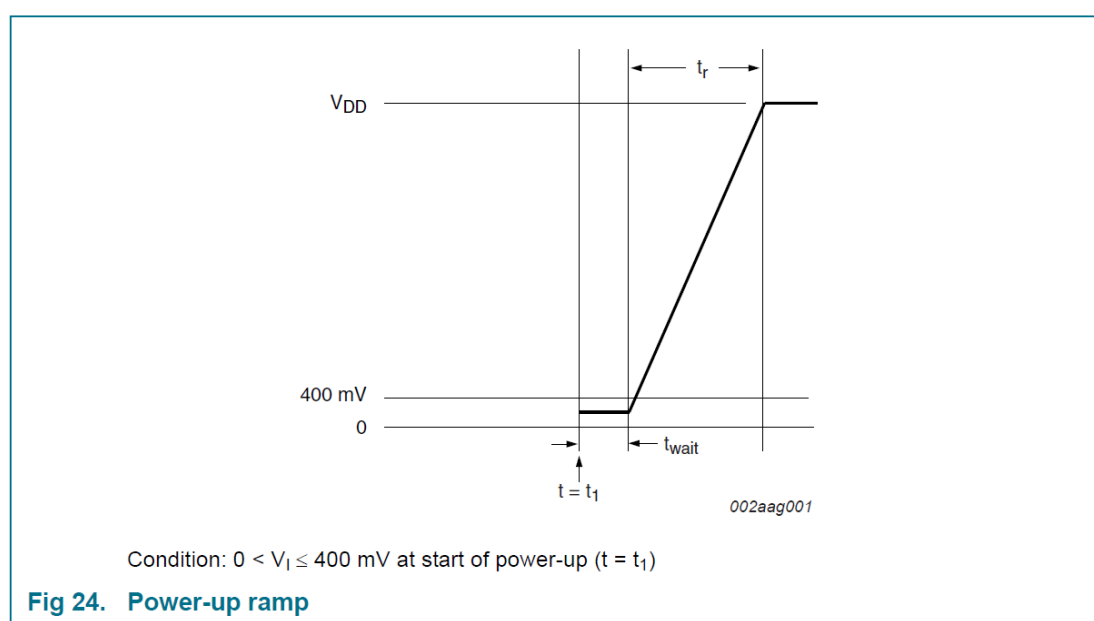


Fig 24. Power-up ramp

10.2 Flash 存储器

表12 Flash特性

$T_{\text{amb}} = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$, 除非特别说明。

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
N_{endu}	endurance		[1] 10000	100 000	-	cycles
t_{ret}	retention time	powered	10	-	-	years
		unpowered	20	-	-	years
t_{er}	erase time	sector or multiple consecutive sectors	95	100	105	ms
t_{prog}	programming time		[2] 0.95	1	1.05	ms

[1] 编程/擦写的周期数

[2] Programming times给出了从RAM写256个字节到flash中的时间。数据必须以块（256字节）的形式写入到flash

中。

10.3 外部时钟

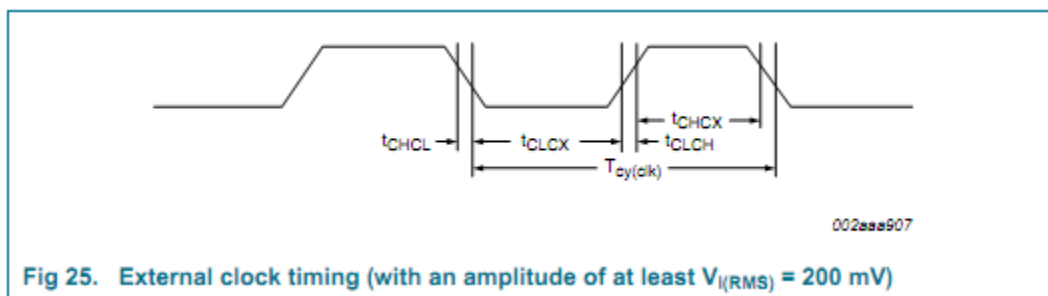
表13. 动态参数：外部时钟

Tamb = -40 °C to +85 °C; VDD在指定的范围内。

Symbol	Parameter	Conditions	Min	Typ ^[2]	Max	Unit
f _{osc}	oscillator frequency		1	-	25	MHz
T _{cy(clk)}	clock cycle time		40	-	1000	ns
t _{CHCX}	clock HIGH time		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCX}	clock LOW time		T _{cy(clk)} × 0.4	-	-	ns
t _{CLCH}	clock rise time		-	-	5	ns
t _{CHCL}	clock fall time		-	-	5	ns

[1] 除非特别说明，各参数在工作温度范围内有效

[2] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值。



10.4 内部振荡器

表14. 动态参数：内部振荡器

Tamb = -40 °C to +85 °C; 2.7 V ≤ VDD ≤ 3.6 V.

Symbol	Parameter	Conditions	Min	Typ ^[2]	Max	Unit
f _{osc(RC)}	internal RC oscillator frequency	-	11.88	12	12.12	MHz

[1] 除非特别说明，各参数在工作温度范围内有效

[2] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值。

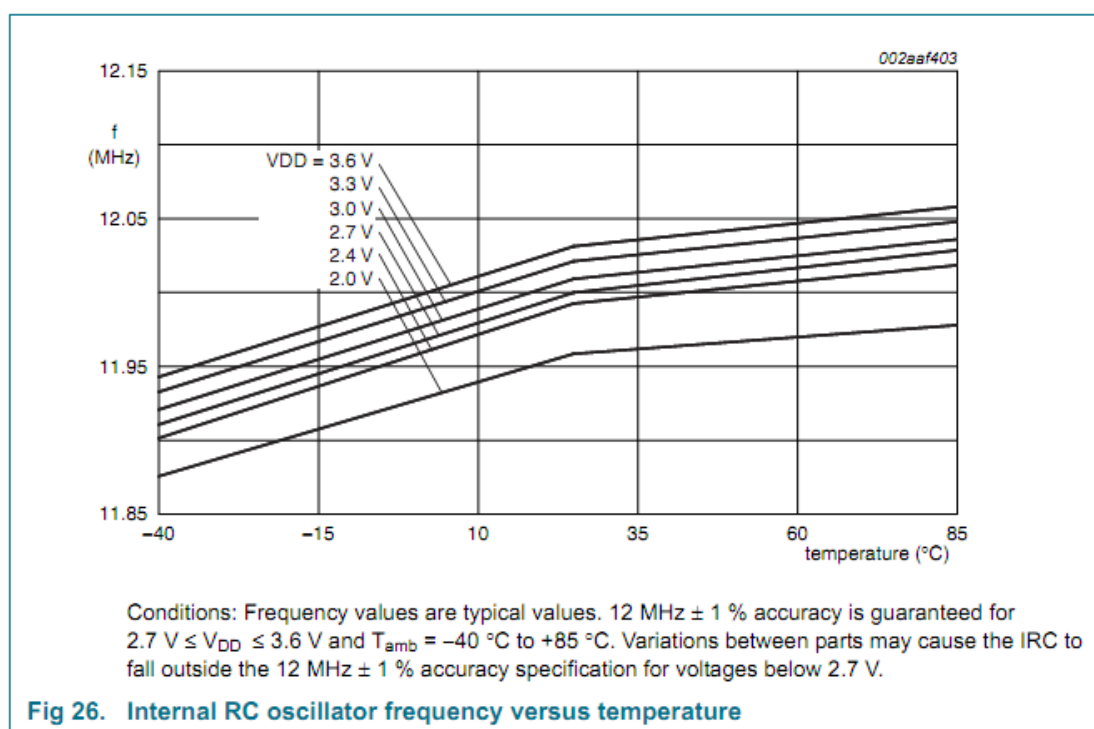


Fig 26. Internal RC oscillator frequency versus temperature

表15 动态参数：看门狗振荡器

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
f _{osc(int)}	internal oscillator frequency	DIVSEL = 0x1F, FREQSEL = 0x1 in the WDTOSCCTRL register;	[2][3] -	7.8	-	kHz
		DIVSEL = 0x00, FREQSEL = 0xF in the WDTOSCCTRL register	[2][3] -	1700	-	kHz

[1] 典型值并不是一成不变的。表中所列的值是在室温（25°C），标称电源电压下的值。

[2] 在运行过程和温度下(T_{amb} = -40 °C to +85 °C)，典型频率的变化范围是±40%。

[3] 参见LPC111x用户手册。

10.5 IO引脚

表16 动态特性：5 IO引脚

T_{amb} = -40 °C to +85 °C; 3.0 V ≤ V_{DD} ≤ 3.6 V.

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
t _r	rise time	pin configured as output	3.0	-	5.0	ns
t _f	fall time	pin configured as output	2.5	-	5.0	ns

[1] 使用于标准接口引脚和RESET引脚

10.6 I2C总线

表17 动态特性: I²C总线引脚T_{amb} = -40°C到+85 °C.

Symbol	Parameter	Conditions	Min	Max	Unit
f _{SCL}	SCL clock frequency	Standard-mode	0	100	kHz
		Fast-mode	0	400	kHz
		Fast-mode Plus	0	1	MHz
t _f	fall time	[4][5][6][7] of both SDA and SCL signals	-	300	ns
		Standard-mode			
		Fast-mode	20 + 0.1 × C _b	300	ns
		Fast-mode Plus	-	120	ns
t _{LOW}	LOW period of the SCL clock	Standard-mode	4.7	-	μs
		Fast-mode	1.3	-	μs
		Fast-mode Plus	0.5	-	μs
t _{HIGH}	HIGH period of the SCL clock	Standard-mode	4.0	-	μs
		Fast-mode	0.6	-	μs
		Fast-mode Plus	0.26	-	μs
t _{HD;DAT}	data hold time	[3][4][8] Standard-mode	0	-	μs
		Fast-mode	0	-	μs
		Fast-mode Plus	0	-	μs
t _{SU;DAT}	data set-up time	[9][10] Standard-mode	250	-	ns
		Fast-mode	100	-	ns
		Fast-mode Plus	50	-	ns

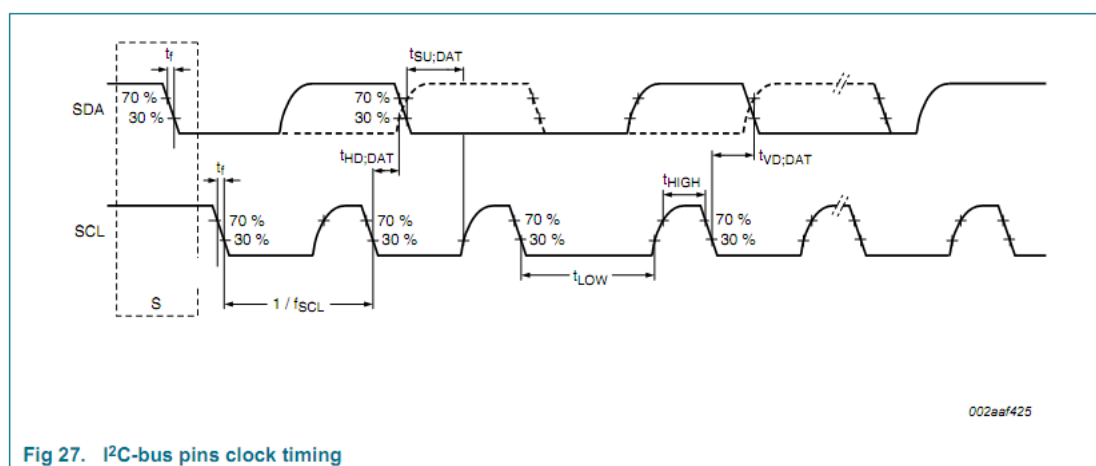
[1] 关于I2C总线的详细信息请参阅UM10204

[2] 除非特别说明, 参数在工作温度范围内有效。

[3] t_{HD;DAT}是自SCL的下降沿开始测量的数据保持时间; 适用于传输和应答的数据。[4] 器件必须在内部为SDA信号提供至少300ns的保持时间 (和SCL信号的V_{IH(min)}时间有关), 以桥接SCL下降沿的未定义区域。[5] C_b是总线上的总电容值, 单位是pF。[6] SDA和SCL线上的t_f值指定为300ns。SDA输出级的最大下降时间t_f指定为250ns。这样就允许在SDA和SCL引脚之间和SDA和SCL线上连接一系列电阻, 而不超过t_f指定的最大值。

[7] 在Fast-mode Plus功能下, 下降时间被规定为和输出级与总线时序一样。如果使用了串联电阻, 设计师在考虑总线时序时可以允许这种情况。

[8] t_{HD;DAT}的最大值针对标准模式和快速模式可以分别是3.45μs和0.9μs, 但转换时间必须小于t_{VD;DAT}或t_{VD;ACK}的最大值 (见UM10204)。如果器件没有延长“低”时间 (t_{LOW}), 这个最大值必须符合。如果时钟延长了SCL, 数据必须在释放时钟之前被set-up时间激活。[9] t_{SU;DAT}是数据的set-up时间, 是在SCL的上升沿测量的; 适用于传输和应答的数据。[10] 一个I2C总线快速模式的器件可以用于一个标准的I2C总线系统, 但t_{SU;DAT}=250ns的条件必须满足。如果器件没有延长SCL信号的“低”时间, 上述情况是自动完成的。如果器件延长了SCL信号的“低”时间, 它就必须SCL线被释放之前t_{r(max)} + t_{SU;DAT} = 1000 + 250 = 1250 ns (根据I2C总线标准模式的详细说明) 向SDA线输出下一个数据位。应答时序也必须满足这个set-up时间。

Fig 27. I²C-bus pins clock timing

10.7 SPI接口

表18 动态特性：SPI模式下的SPI引脚

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
SPI master (in SPI mode)						
$T_{cy(clk)}$	clock cycle time	when only receiving [1]	40	-	-	ns
		when only transmitting [1]	27.8	-	-	ns
t_{DS}	data set-up time	in SPI mode [2]	15	-	-	ns
		$2.4\text{ V} \leq V_{DD} \leq 3.6\text{ V}$				
		$2.0\text{ V} \leq V_{DD} < 2.4\text{ V}$ [2]	20			ns
		$1.8\text{ V} \leq V_{DD} < 2.0\text{ V}$ [2]	24	-	-	ns
t_{DH}	data hold time	in SPI mode [2]	0	-	-	ns
$t_{v(Q)}$	data output valid time	in SPI mode [2]	-	-	10	ns
$t_{h(Q)}$	data output hold time	in SPI mode [2]	0	-	-	ns

SPI从设备（处于SPI 模式）

表18 动态特性：SPI模式下的SPI引脚

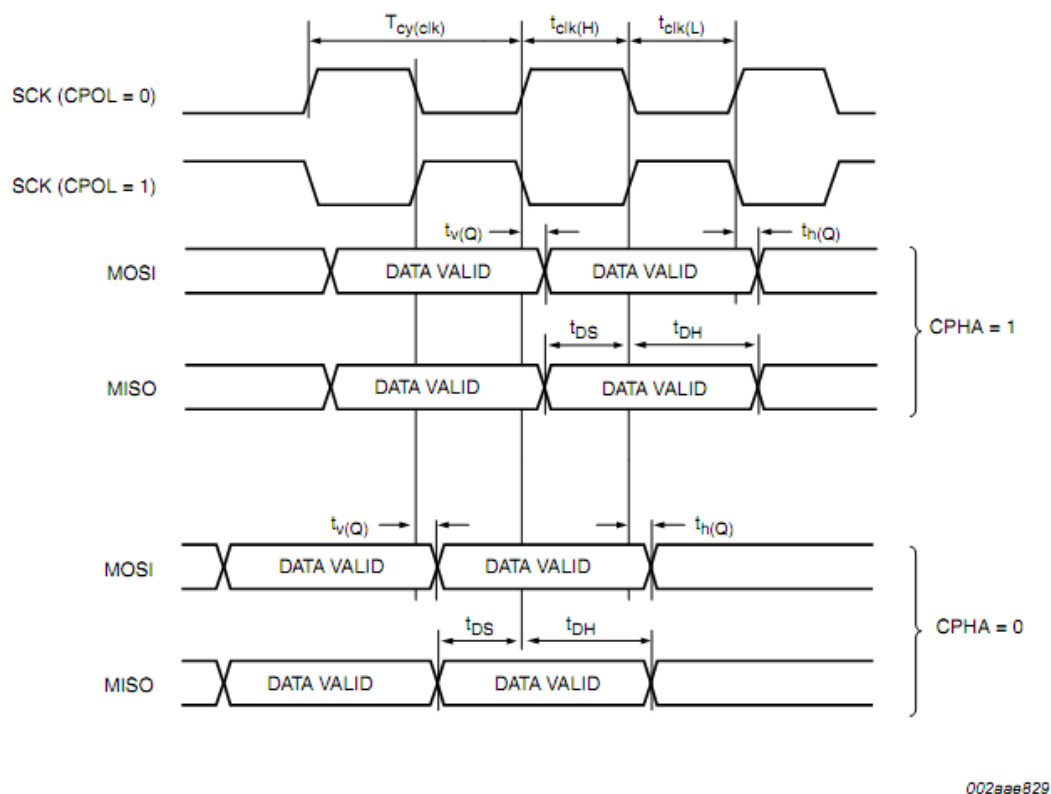
Symbol	Parameter	Conditions	Min	Typ	Max	Unit
$T_{cy(PCLK)}$	PCLK cycle time		20	-	-	ns
t_{DS}	data set-up time	in SPI mode [3][4]	0	-	-	ns
t_{DH}	data hold time	in SPI mode [3][4]	$3 \times T_{cy(PCLK)} + 4$	-	-	ns
$t_{v(Q)}$	data output valid time	in SPI mode [3][4]	-	-	$3 \times T_{cy(PCLK)} + 11$	ns
$t_{h(Q)}$	data output hold time	in SPI mode [3][4]	-	-	$2 \times T_{cy(PCLK)} + 5$	ns

[1] $T_{cy(clk)} = (SSPCLKDIV \times (1 + SCR) \times CPSPDVS R) / f_{main}$ 。来自SPI位速率的时钟周期 $T_{cy(clk)}$ 是主时钟频率 f_{main} ，SPI外设时钟分频系数(SSPCLKDIV)，SPI的SCR参数（在SSP0CR0寄存器中指定），SPI的CPSPDVS R参数（在SPI时钟预分频寄存器中指定）的函数。

[2] $T_{amb} = -40\text{ }^{\circ}\text{C}$ to $85\text{ }^{\circ}\text{C}$.

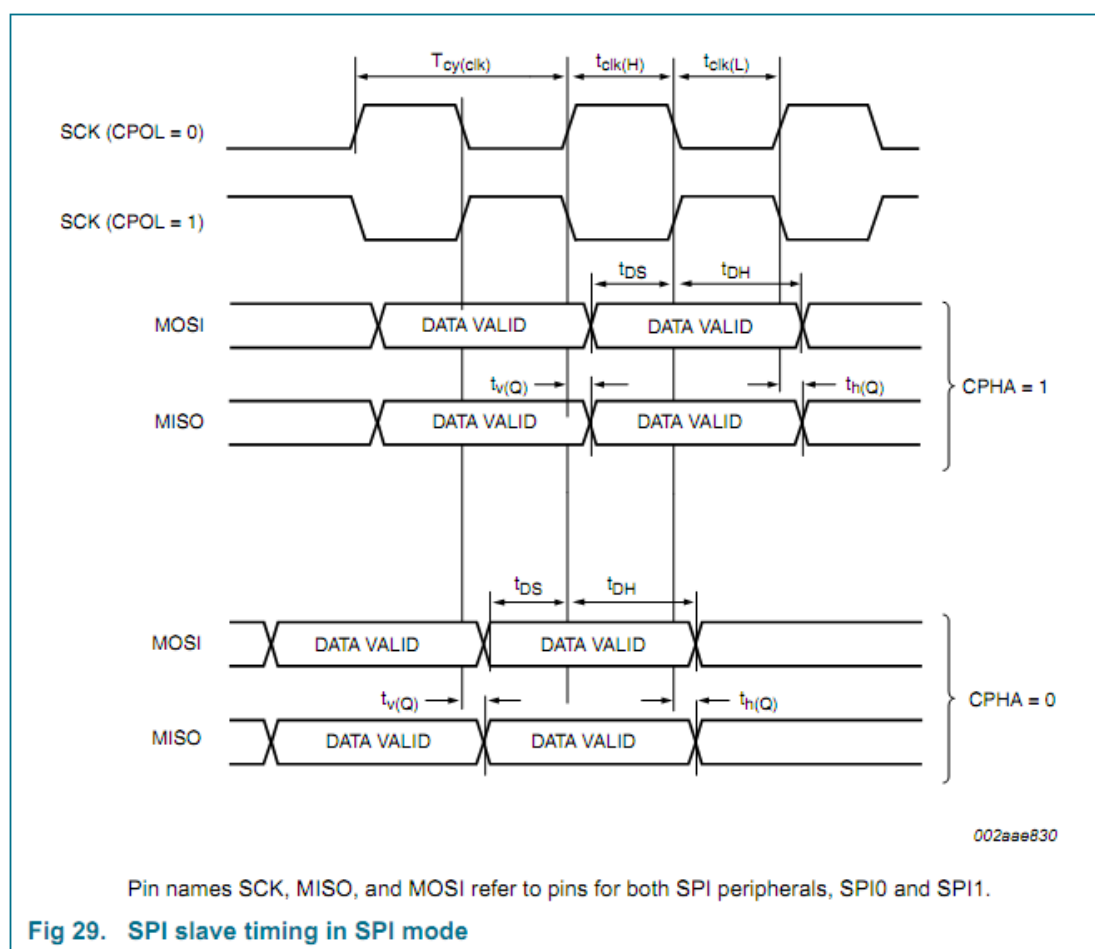
[3] $T_{cy(clk)} = 12 \times T_{cy(PCLK)}$.

[4] $T_{amb} = 25\text{ }^{\circ}\text{C}$;在标准的电源电压范围内: $V_{DD} = 3.3\text{ V}$.



Pin names SCK, MISO, and MOSI refer to pins for both SPI peripherals, SPI0 and SPI1.

Fig 28. SPI master timing in SPI mode



11. 应用信息

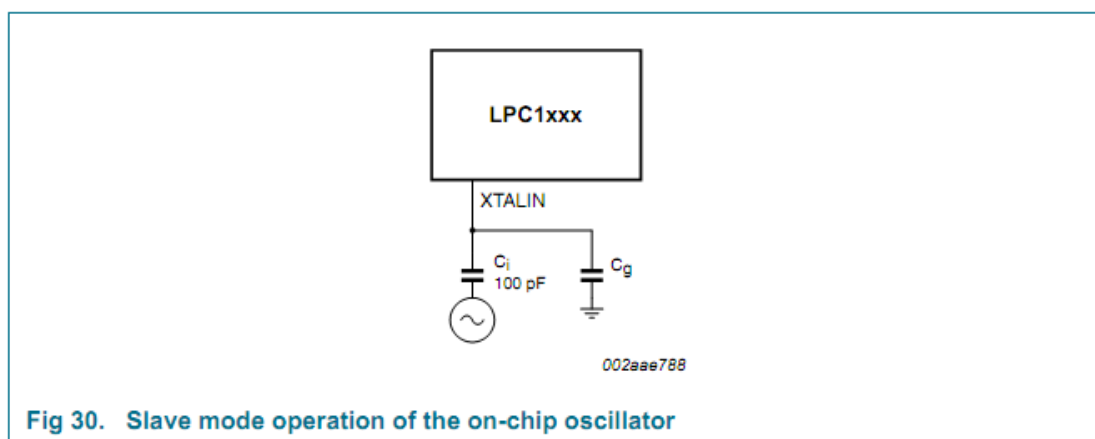
11.1 ADC使用注意事项

下面的指导建议展示了如何在一个充满干扰的环境中，超越表8中列出的ADC参数，提高ADC的性能

- ADC的输入线必须尽量靠近LPC1111/12/13/14芯片。
- ADC的输入线必须从快速开关的数字信号和带噪声干扰的电源线中隔离保护起来。
- 因为ADC和数字核心共享同样的电源，电源线必须充分滤波。
- 为了在一个充满干扰的环境中改进ADC的新能，可以在ADC转换时使器件进入睡眠模式。

11.2 XTAL输入

片上振荡器的输入电压限制为1.8V。如果振荡器被一个从模式的时钟驱动，建议时钟输入连接一个 $C_i = 100\text{ pF}$ 的电容。为了将输入的电压限制在一个指定的范围内，选择一个连接到地的附加电阻 C_g ，这样就可以将输入电压变小，系数为 $C_i/(C_i+C_g)$ 。在从模式下，需要的最小值是200 mV (RMS)。



在从模式中，输入时钟信号应该连接一个100pF的电容，幅值在200 mV (RMS)到1000 mV (RMS)之间。这相当于拥有一个280mV和1.4之间振幅的方波信号。在这个模式下XTALOUT引脚可以不连接。

振荡模块使用的外部器件和模块如图31和表19、表20所示。由于反馈电阻被集成到了芯片中，所以在振荡器的基本模式下（基本频率通过 L 、 C_L 和 R_S 表示）只需要连接晶振和电容 C_{X1} 和 C_{X2} 。在图31中表示的电容并联 C_P 应不大于7pF。参数 F_{OSC} 、 C_L 、 R_S 和 C_P 由晶振生产厂提供（见表19）。

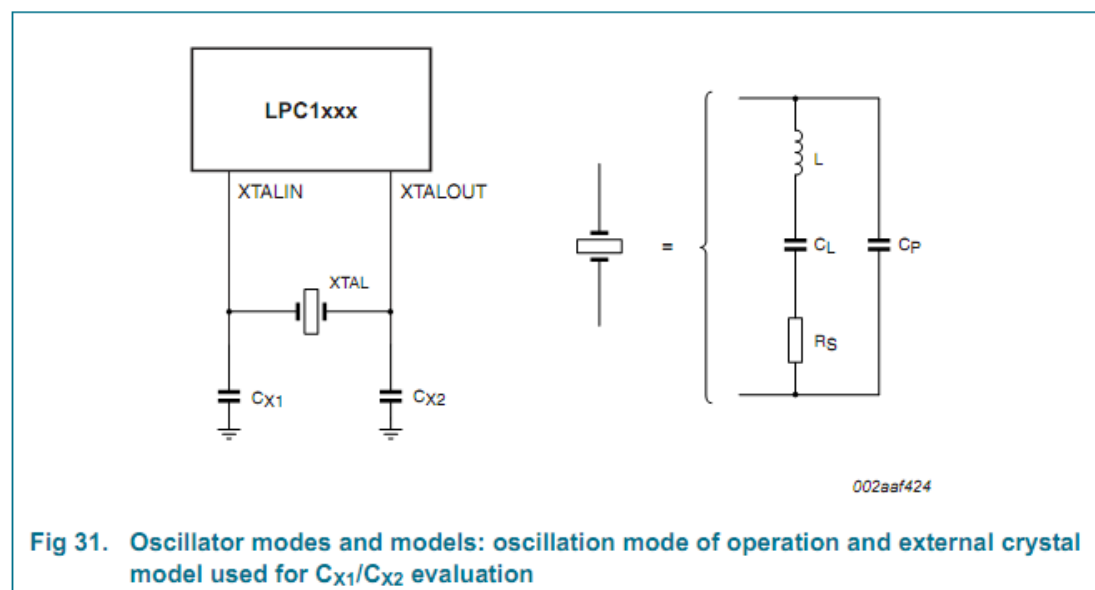


表19 振荡器低频模式下 C_{X1}/C_{X2} 的建议值（晶振和外部器件参数）

Fundamental oscillation frequency F_{OSC}	Crystal load capacitance C_L	Maximum crystal series resistance R_S	External load capacitors C_{X1}, C_{X2}
1 MHz - 5 MHz	10 pF	$< 300 \Omega$	18 pF, 18 pF
	20 pF	$< 300 \Omega$	39 pF, 39 pF
	30 pF	$< 300 \Omega$	57 pF, 57 pF
5 MHz - 10 MHz	10 pF	$< 300 \Omega$	18 pF, 18 pF
	20 pF	$< 200 \Omega$	39 pF, 39 pF
	30 pF	$< 100 \Omega$	57 pF, 57 pF
10 MHz - 15 MHz	10 pF	$< 160 \Omega$	18 pF, 18 pF
	20 pF	$< 60 \Omega$	39 pF, 39 pF
15 MHz - 20 MHz	10 pF	$< 80 \Omega$	18 pF, 18 pF

表20 振荡器较高频率模式下 C_{X1}/C_{X2} 的建议值（晶振和外部器件参数）

Fundamental oscillation frequency F_{OSC}	Crystal load capacitance C_L	Maximum crystal series resistance R_S	External load capacitors C_{X1}, C_{X2}
15 MHz - 20 MHz	10 pF	$< 180 \Omega$	18 pF, 18 pF
	20 pF	$< 100 \Omega$	39 pF, 39 pF
20 MHz - 25 MHz	10 pF	$< 160 \Omega$	18 pF, 18 pF
	20 pF	$< 80 \Omega$	39 pF, 39 pF

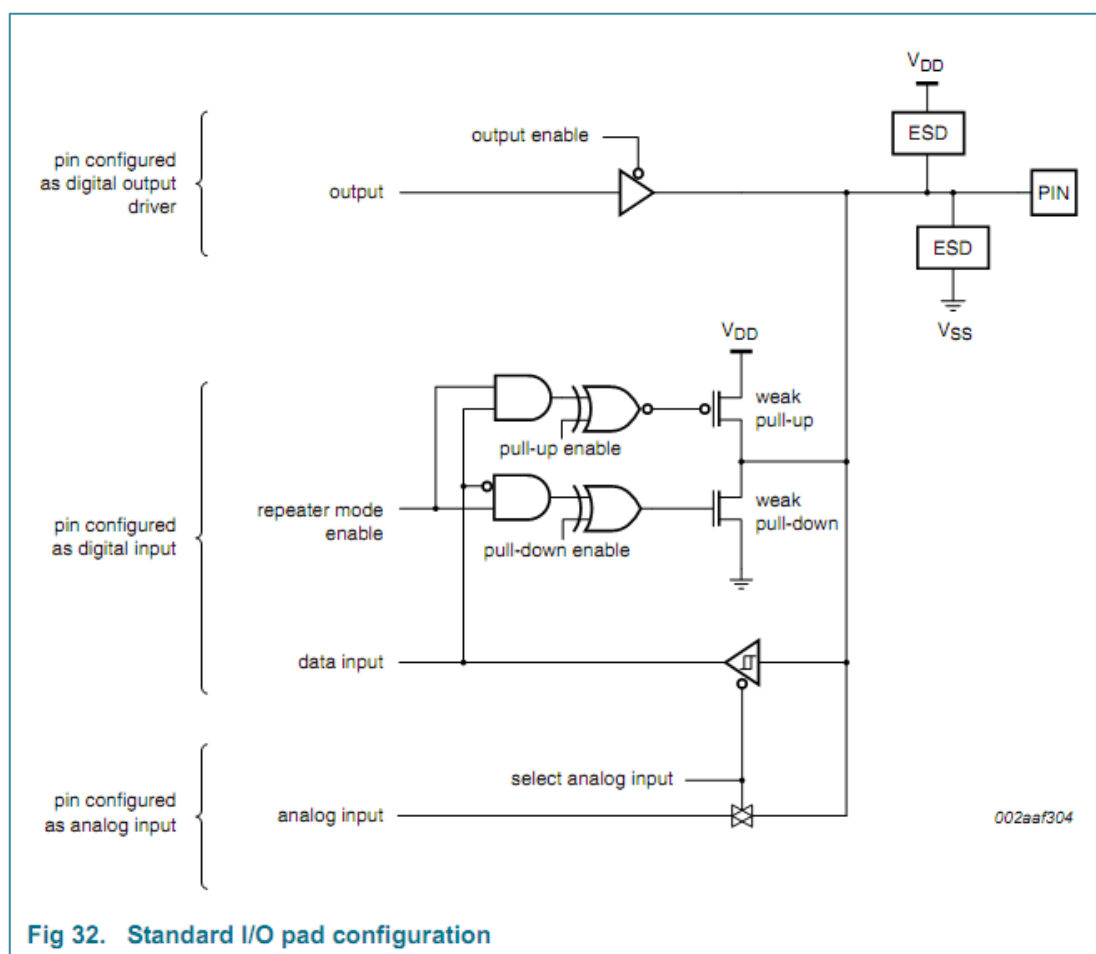
11.3 XTAL 印制电路板（PCB）布板指导

PCB板上的晶振应尽量靠近芯片振荡器的输入和输出引脚。注意，负载电容 C_{X1} ， C_{X2} 和使用第三泛音晶振时用到的 C_{X3} 有一个共同的地。外部的器件也必须连接到这个地。为了使通过PCB的噪声耦合尽量小，应使回路尽量小。寄生噪声也应该尽量小。 C_{X1} 和 C_{X2} 的取值应根据PCB板寄生噪声的增加而减小。

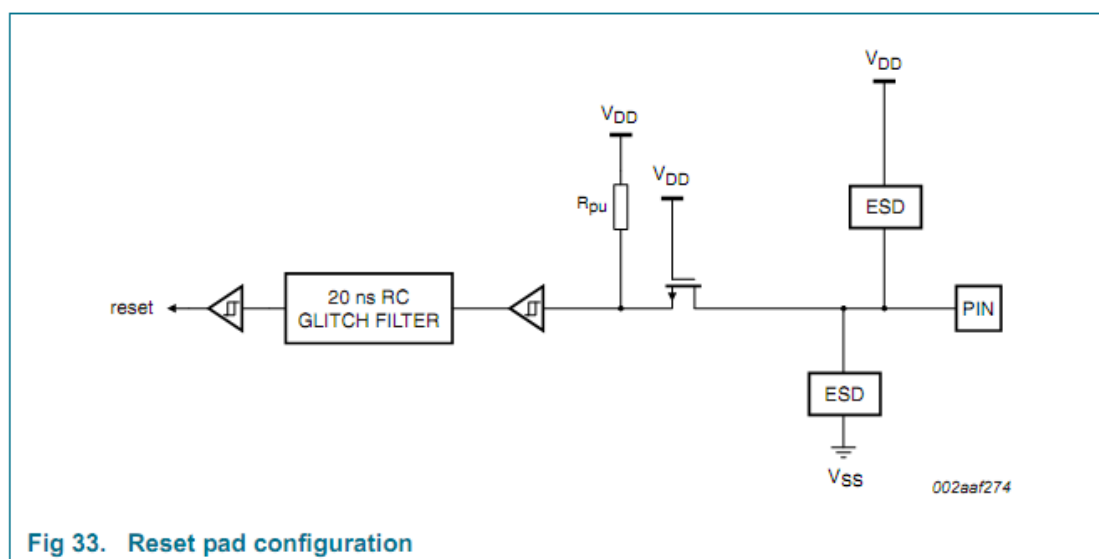
11.4 标准I/O引脚配置

图32展示了带模拟输入功能的标准IO引脚的可能引脚模式：

- 数字输出驱动
- 数字输入：上拉使能/禁止
- 数字输入：下拉使能/禁止
- 数字输入：重复模式使能/禁止
- 模拟输入



11.5 复位引脚配置



11.6 电磁兼容 (EMC)

辐射发射测量根据IEC61967-2标准, 采用TEM-cell方法, LPC1114FBD48/302的测试结果显示

在表21中。

表21 LPC1114FBD48/302器件的电磁兼容（TEM-cell方法）

VDD = 3.3 V; Tamb = 25 °C.

Parameter	Frequency band	System clock =			Unit
		12 MHz	24 MHz	48 MHz	
Input clock: IRC (12 MHz)					
maximum peak level	150 kHz - 30 MHz	−7	−5	−7	dBμV
	30 MHz - 150 MHz	−2	1	10	dBμV
	150 MHz - 1 GHz	4	8	16	dBμV
IEC level ^[1]	-	O	N	M	-
Input clock: crystal oscillator (12 MHz)					
maximum peak level	150 kHz - 30 MHz	−7	−7	−7	dBμV
	30 MHz - 150 MHz	−2	1	8	dBμV
	150 MHz - 1 GHz	4	7	14	dBμV
IEC level ^[1]	-	O	N	M	-

[1] IEC等级请参加IEC61967-2规范的附录D。

12. 封装概览

LQFP48: plastic low profile quad flat package; 48 leads; body 7 x 7 x 1.4 mm SOT313-2

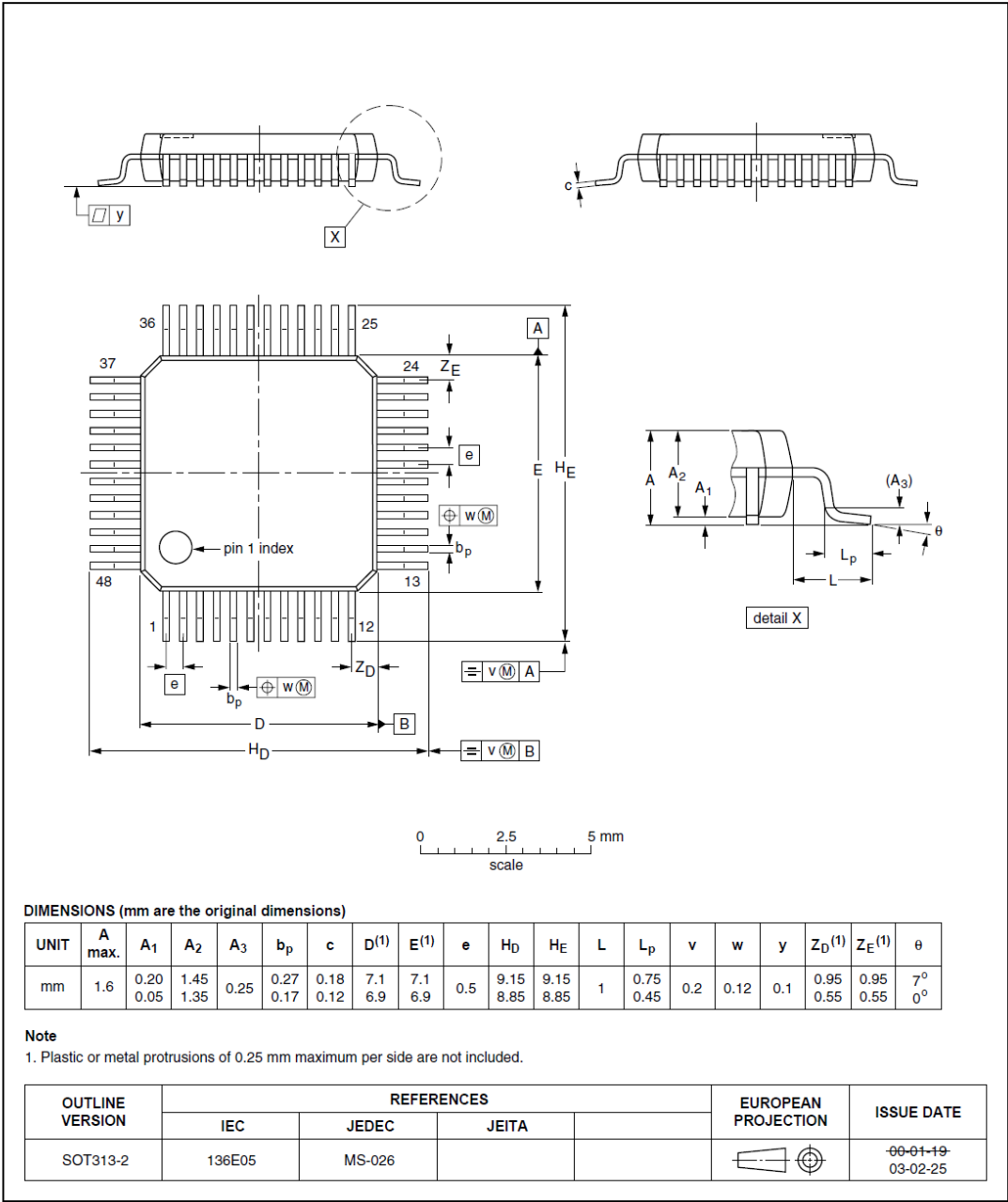


图34 封装概览 SOT313-2 (LQFP48)

PLCC44: plastic leaded chip carrier; 44 leads SOT187-2

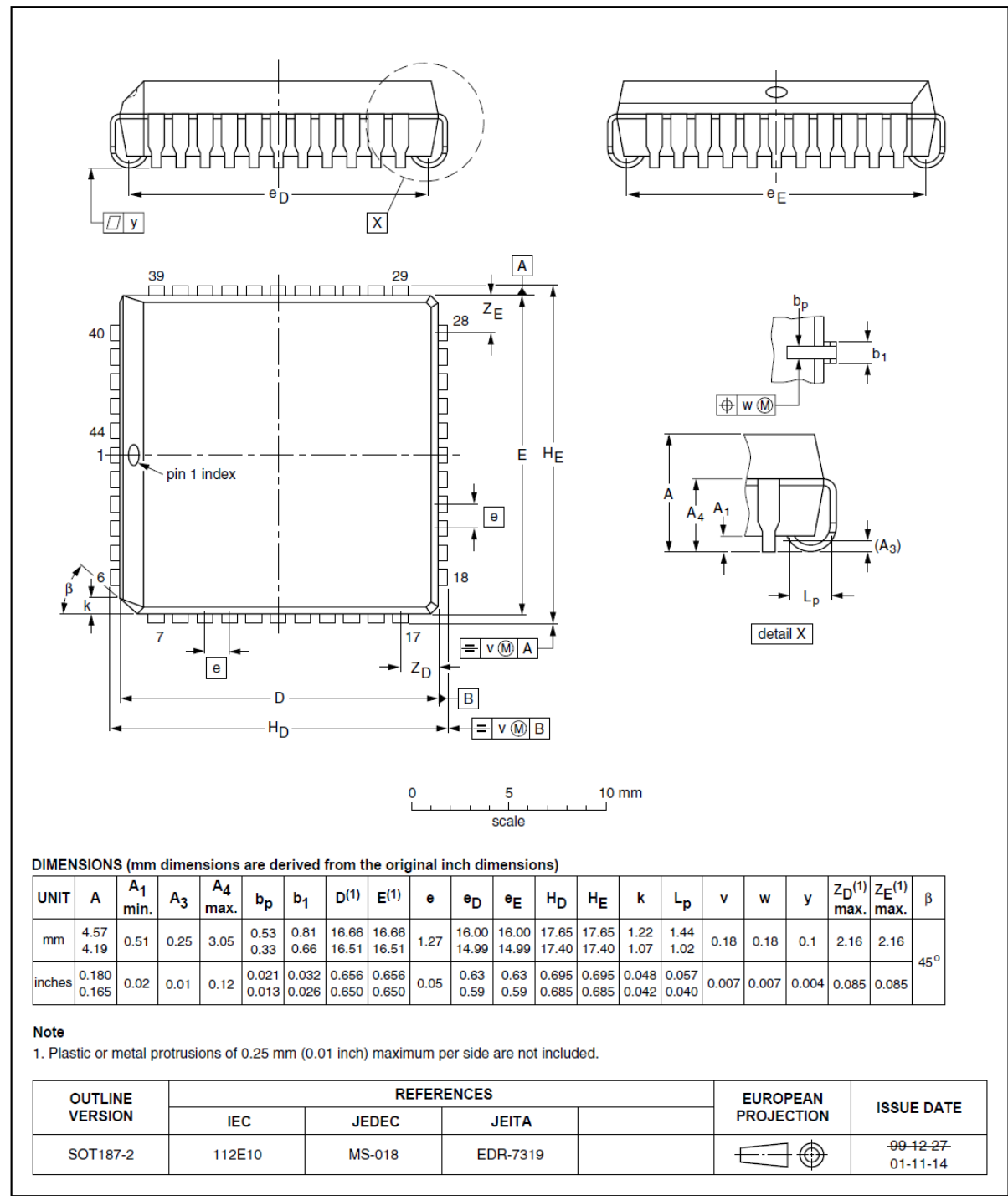


图35 封装概览 (PLCC44)

HVQFN33: plastic thermal enhanced very thin quad flat package; no leads;
33 terminals; body 7 x 7 x 0.85 mm

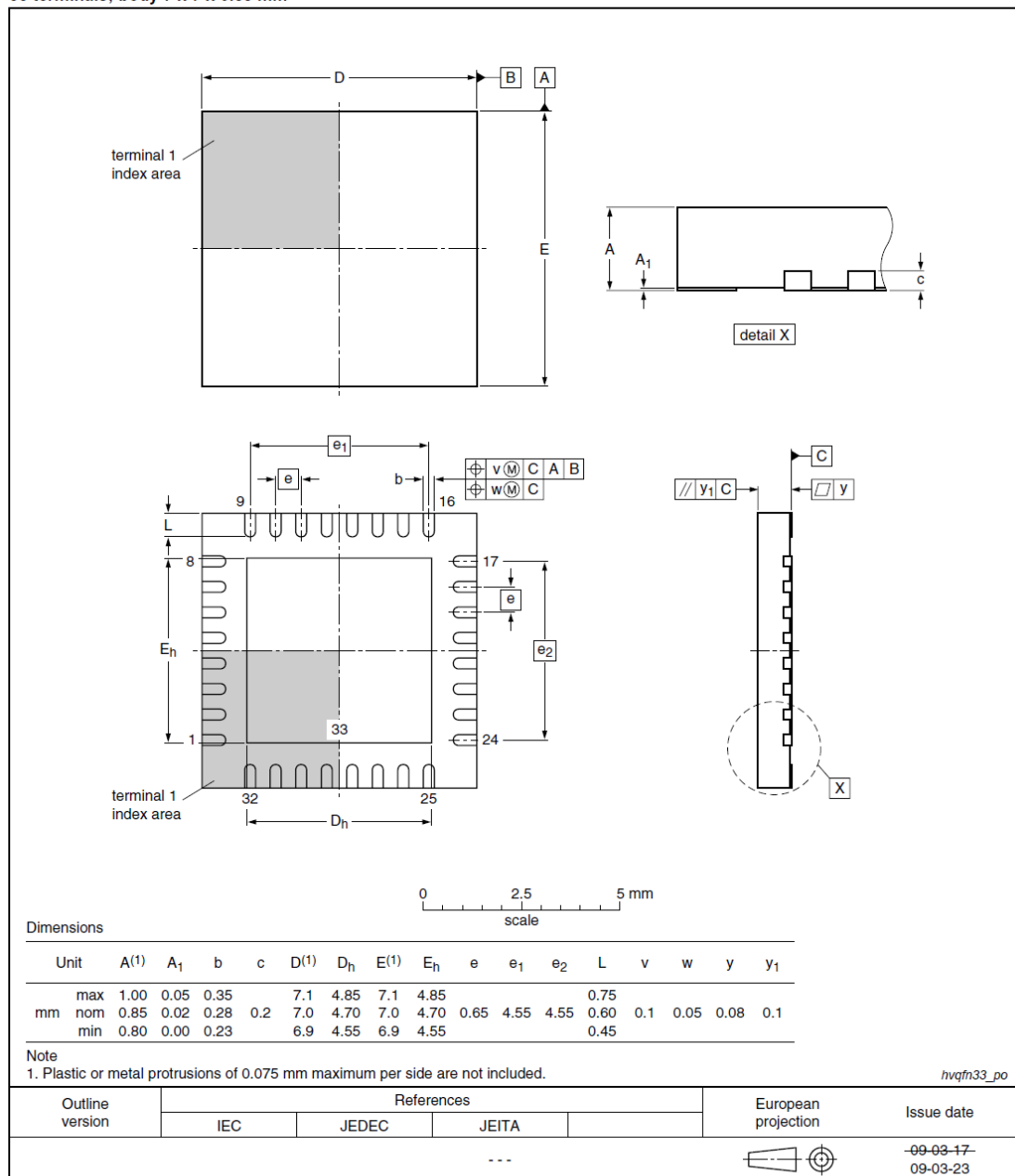


图36 封装概览 (HVQFN33)

13. 缩写

表22 缩写

缩写	描述
ADC	模数转换器
AHB	先进高性能总线 (ARM)
APB	先进外设总线 (ARM)
BOD	掉电检测
GPIO	通用输入输出
PLL	锁相环
RC	阻容
SPI	串行外设接口
SSI	串行同步接口
SSP	同步串行端口
UART	通用异步收发器

14. 修订记录

表23 修订记录

Document ID	Release date	Data sheet status	Change notice	Supersedes
LPC1111_12_13_14 v.4	20110210	Product data sheet	-	LPC1111_12_13_14 v.3
Modifications:	- Power consumption graphs added for parts LPC111x/102/202/302 (Figure 13 to Figure 17). - Parameter V_{hys} for I²C bus pins: typical value corrected $V_{hys} = 0.05V_{DD}$ in Table 7. - Typical value for parameter N_{endu} added in Table 12 "Flash characteristics". - I²C-bus pins configured as standard mode pins, parameter I_{OL} changed to 3.5 mA (minimum) for $2.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$. Section 11.6 "ElectroMagnetic Compatibility (EMC)" added. - Power-up characterization added (Section 10.1 "Power-up ramp conditions").			
LPC1111_12_13_14 v.3	20101110	Product data sheet	-	LPC1111_12_13_14 v.2
Modifications:	- Parts LPC111x/102/202/302 added (LPC1100L series). - Power consumption data for parts LPC111x/102/202/302 added in Table 7. - PLL output frequency limited to 100 MHz in Section 7.15.2. - Description of $\overline{\text{RESET}}$ and WAKEUP functions updated in Section 6. - WDT description updated in Section 7.14. The WDT is a 24-bit timer. - Power profiles added to Section 2 and Section 7 for parts LPC111x/102/202/302.			
LPC1111_12_13_14 v.2	20100818	Product data sheet	-	LPC1111_12_13_14 v.1
Modifications:	V_{ESD} limit changed to $-6500\text{ V (min) / }+6500\text{ V (max)}$ in Table 6. t_{DS} updated for SPI in master mode (Table 17). - Deep-sleep mode functionality changed to allow BOD and watchdog oscillator as the only analog blocks allowed to remain running in Deep-sleep mode (Section 7.15.5.3). V_{DD} range changed to $3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ in Table 15. - Reset state of pins and start logic functionality added in Table 3 to Table 5. Section 7.16.1 added. Section "Memory mapping control" removed. V_{OH} and I_{OH} specifications updated for high-drive pins in Table 7. Section 9.4 added.			
LPC1111_12_13_14 v.1	20100416	Product data sheet	-	-

15. 免责声明

有限保修和责任— 本文档中的信息被认为是准确和可靠的。然而，对于信息的准确性和完整性，恩智浦半导体公司不给予任何陈述或担保，明示或暗示，对于此类信息的使用后果不负任何责任。

在任何情况下，恩智浦半导体不会承担任何间接、意外发生、惩罚性、特别或相关性的损害赔偿（包括单不限于利润损失、储蓄损失、业务中断、有关去除或更换任何产品的费用或返工费用），不管这些损害赔偿是基于侵权（包括疏忽）、保修、违约合同或其他法律理论。

对于客户无论任何理由可能招致的任何损害，恩智浦半导体为在这里所提到的产品的汇总和累积责任应限制在恩智浦半导体商业销售的条款及条件里面。

变更的权利— 恩智浦半导体有权在任何时间对此文件发布的信息(包括单不限于规格和产品说明)做出任何改动。本文件将取代所有之前所公布的信息。

适用性— 恩智浦半导体产品并非为那些用于对生命和安全有重大关系的系统和设备而设计、授权或提供保证，也不用于那些可以合理预见到的因恩智浦半导体的产品的故障会造成人身伤害、甚至死亡、或是严重的财产或环境损害的应用程序中。恩智浦半导体的产品如果应用在此类的设备或应用程序中，恩智浦半导体对所此造成的风险将不承担任何责任，因此这些风险有客户自行承担。

应用— 在这里所描述有关产品的任何应用程序仅用于说明的目的。在没有进一步的测试或修改的情况下，恩智浦半导体对该应用程序对指定用途是否合适不作任何表示或保证。

客户应对其使用恩智浦半导体产品的应用以及产品的设计和运行自行负责，恩智浦半导体不负责协助应用程序或客户的产品设计。同时，客户应自行负责决定恩智浦产品是否适合客户应用、计划产品、计划的应用程序以及第三方客户使用。客户应提供适当的设计和运行的保障措施以尽量减少其产品与应用的相关风险。

因客户的应用或产品的弱点或缺陷所产生的，或因使用其第三方客户的产品而产生的任何缺陷、损失、费用支出和问题，恩智浦半导体不承担任何责任。客户应负责为其使用恩智浦半导体芯片的产品或应用以及其第三方客户使用产品或应用做必要的测试，以避免使用不当而造成不必要的损失。恩智浦对在此方面不承担任何责任。

限制值— 超过一个或多个限制值（如在IEC60134的绝对值最大额定值定义的）的施压会对设备造成永久的损害。限制值只强调额定功率，这个设备的操作除了应用在此文件中所提到的“推荐工作条件”和“特征”部分之外，恩智浦半导体不担保超过上述要求的操作。恒定或反复超出限制值将永久地和不可逆转地影响设备的质量和可靠性。

商业销售条件— 恩智浦半导体产品的销售适用公布于<http://www.nxp.com/profile/terms>网站上的通用商业销售条款，除非另存一个单独有效的书面协议，在此种情况下，将适用该单独有效的书面协议之条款和条件。关于客户采购恩智浦半导体产品，恩智浦半导体在此明确拒绝适用客户的通用条款和条件。

不构成任何出售要约或许可— 本文中任何部分都不可被翻译或解释成可以开放接受或授予、转让或任何暗示许可版权、专利或其它工业或知识产权的销售产品要约。

出口控制— 本文件以及其项目描述可能受出口管制条例限制。出口可能需事先获得国家机关许可。

非车规级产品— 除非数据手册明确标出此恩智浦半导体产品为车规级，否则该产品不适合于汽车应用。该产品未在汽车产品测试和应用条件下经测试和质量认证。恩智浦半导体对客户将非车规产品运用在汽车设备和应用中不承担任何责任。

当客户使用该产品设计并使用在需要车规级规格和标准的汽车应用时，(1) 客户在该汽车应用、使用和规格中使用恩智浦半导体产品时，不在恩智浦半导体对该产品的保证范围内；(2) 当在汽车应用中使用超出恩智浦半导体规格的产品，客户应该自行承担风险；(3) 因客户超标准和产品规格

使用恩智浦半导体产品导致的影响、损坏和失效产品索赔，客户不能要求恩智浦半导体进行赔偿。

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.

版权所有 2011恩智浦有限公司 未经许可，禁止转载